



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년05월07일
(11) 등록번호 10-2248279
(24) 등록일자 2021년04월28일

(51) 국제특허분류(Int. Cl.)
G11C 16/32 (2006.01) G11C 16/06 (2021.01)
(21) 출원번호 10-2014-0072170
(22) 출원일자 2014년06월13일
심사청구일자 2019년06월13일
(65) 공개번호 10-2015-0143943
(43) 공개일자 2015년12월24일
(56) 선행기술조사문헌
KR1020110060513 A*
US07869287 B2*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
김현진
경기도 수원시 영통구 덕영대로1555번길 20 946
동 1102호 (영통동, 벽적골9단지아파트)
이선규
경기도 화성시 동탄공원로 21-11 941동 407호 (능동, 푸른마을모아미래도아파트)
(뒷면에 계속)
(74) 대리인
특허법인 고려

전체 청구항 수 : 총 10 항

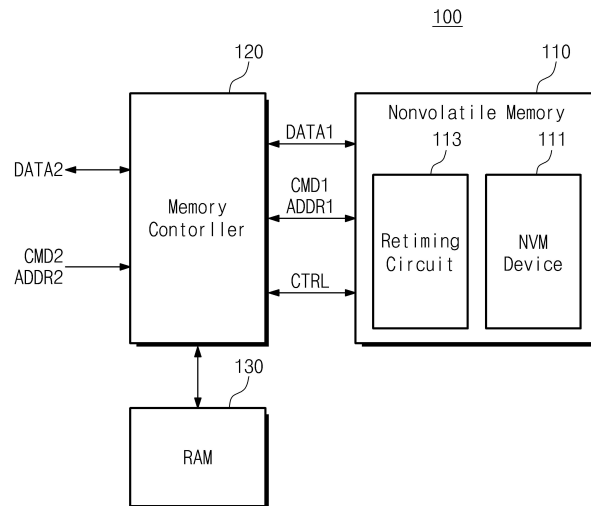
심사관 : 한선경

(54) 발명의 명칭 불휘발성 메모리 및 메모리 컨트롤러를 포함하는 스토리지 장치, 그리고 불휘발성 메모리 및 메모리 컨트롤러 사이의 통신을 중개하는 리타이밍 회로의 동작 방법

(57) 요약

본 발명은 스토리지 장치에 관한 것이다. 본 발명의 스토리지 장치는 불휘발성 메모리, 그리고 읽기 시에 불휘발성 메모리로 제1 타이밍 신호를 전송하는 메모리 컨트롤러로 구성된다. 불휘발성 메모리는, 제1 타이밍 신호에 응답하여 읽기 데이터 및 제2 타이밍 신호를 출력하는 불휘발성 메모리 장치, 그리고 제1 타이밍 신호에 따라 고정 지연을 검출하고, 고정 지연을 이용하여 제2 타이밍 신호로부터 제3 타이밍 신호를 생성하고, 제3 타이밍 신호에 동기되어 읽기 데이터를 리타이밍하고, 그리고 제3 타이밍 신호 및 리타이밍된 읽기 데이터를 메모리 컨트롤러로 출력하는 리타이밍 회로로 구성된다.

대표도 - 도1



(72) 발명자

임정돈

경기도 성남시 분당구 황새울로200번길 22, 한솔인
피니티오피스텔동 902호 (수내동)

전영진

경기도 화성시 동탄반석로 71 451동 501호 (반송
동, 솔빛마을쌍용예가아파트)

명세서

청구범위

청구항 1

불휘발성 메모리; 그리고

상기 불휘발성 메모리를 제어하고, 읽기 시에 상기 불휘발성 메모리로 제1 타이밍 신호를 전송하도록 구성되는 메모리 컨트롤러를 포함하고,

상기 불휘발성 메모리는,

상기 제1 타이밍 신호에 응답하여 읽기 데이터 및 제2 타이밍 신호를 출력하도록 구성되는 불휘발성 메모리 장치; 그리고

상기 제1 타이밍 신호에 따라 고정 지연(locking delay)을 검출하고, 상기 검출된 고정 지연을 이용하여 상기 제2 타이밍 신호로부터 제3 타이밍 신호를 생성하고, 상기 제3 타이밍 신호에 동기되어 상기 읽기 데이터를 래치함으로써 상기 읽기 데이터를 리타이밍(retiming)하고, 그리고 상기 제3 타이밍 신호 및 상기 리타이밍된 읽기 데이터를 상기 메모리 컨트롤러로 출력하도록 구성되는 리타이밍 회로를 포함하는 스토리지 장치.

청구항 2

제1 항에 있어서,

상기 리타이밍 회로는,

상기 메모리 컨트롤러로부터 상기 제1 타이밍 신호를 수신하는 제1 타이밍 수신 노드;

상기 제1 타이밍 수신 노드를 통해 수신되는 상기 제1 타이밍 신호를 상기 불휘발성 메모리로 전달하는 제1 타이밍 송신 노드;

상기 불휘발성 메모리로부터 상기 제2 타이밍 신호를 수신하는 제2 타이밍 수신 노드;

상기 제1 타이밍 수신 노드를 통해 수신되는 상기 제1 타이밍 신호로부터 상기 고정 지연(locking delay)을 검출하고, 상기 제2 타이밍 수신 노드를 통해 수신되는 상기 제2 타이밍 신호로부터 상기 검출된 고정 지연을 이용하여 상기 제3 타이밍 신호를 생성하는 지연 고정 루프; 그리고

상기 지연 고정 루프로부터 출력되는 상기 제3 타이밍 신호를 상기 메모리 컨트롤러로 출력하는 제2 타이밍 송신 노드를 포함하는 스토리지 장치.

청구항 3

제2 항에 있어서,

상기 리타이밍 회로는,

상기 불휘발성 메모리로부터 출력되는 상기 읽기 데이터를 수신하는 데이터 수신 노드;

상기 지연 고정 루프로부터 출력되는 상기 제3 타이밍 신호에 동기되어, 상기 데이터 수신 노드를 통해 수신되는 상기 읽기 데이터를 수신 및 출력하는 플립플롭; 그리고

상기 플립플롭의 출력을 상기 리타이밍된 데이터로서 상기 메모리 컨트롤러로 출력하는 데이터 송신 노드를 더 포함하는 스토리지 장치.

청구항 4

제1 항에 있어서,

상기 메모리 컨트롤러는 쓰기 시에 상기 불휘발성 메모리로 쓰기 데이터 및 제4 타이밍 신호를 전송하도록 구성되고,

상기 리타이밍 회로는 상기 제4 타이밍 신호로부터 제2 고정 지연(locking delay)을 검출하고, 상기 검출된 고정 지연을 이용하여 상기 제4 타이밍 신호로부터 제5 타이밍 신호를 생성하도록 구성되는 스토리지 장치.

청구항 5

제4 항에 있어서,

상기 리타이밍 회로는 상기 제5 타이밍 신호에 동기되어 상기 쓰기 데이터를 래치함으로써 상기 쓰기 데이터를 리타이밍(retiming)하고, 그리고 상기 제5 타이밍 신호 및 상기 리타이밍된 쓰기 데이터를 상기 불휘발성 메모리로 출력하도록 구성되는 스토리지 장치.

청구항 6

제5 항에 있어서,

상기 리타이밍 회로는,

상기 메모리 컨트롤러로부터 상기 제4 타이밍 신호를 수신하는 타이밍 수신 노드;

상기 타이밍 수신 노드를 통해 수신되는 상기 제4 타이밍 신호로부터 상기 제2 고정 지연을 검출하고, 상기 검출된 제2 고정 지연을 이용하여 상기 제4 타이밍 신호로부터 상기 제5 타이밍 신호를 생성하는 지연 고정 루프; 그리고

상기 지연 고정 루프로부터 출력되는 상기 제5 타이밍 신호를 상기 불휘발성 메모리로 전송하는 타이밍 송신 노드를 포함하는 스토리지 장치.

청구항 7

제6 항에 있어서,

상기 리타이밍 회로는,

상기 메모리 컨트롤러로부터 상기 쓰기 데이터를 수신하는 데이터 수신 노드;

상기 지연 고정 루프로부터 출력되는 상기 제5 타이밍 신호에 동기되어 상기 쓰기 데이터를 수신 및 출력하는 플립플롭; 그리고

상기 플립플롭의 출력을 상기 리타이밍된 쓰기 데이터로서 상기 불휘발성 메모리로 전송하는 데이터 송신 노드를 더 포함하는 스토리지 장치.

청구항 8

제5 항에 있어서,

상기 제5 타이밍 신호는 상기 제4 타이밍 신호보다 1/4 주기만큼 지연된 신호이고,

상기 리타이밍된 쓰기 데이터는 상기 쓰기 데이터보다 상기 제4 타이밍 신호의 1/4 주기만큼 지연되고,

상기 제5 타이밍 신호는, 상기 불휘발성 메모리의 쓰기 시에 상기 메모리 컨트롤러에 의해 토글되는 데이터 스트로브(Data Strobe, DQS) 신호인 스토리지 장치.

청구항 9

제1 항에 있어서,

상기 제1 타이밍 신호는 상기 불휘발성 메모리의 읽기 시에 상기 메모리 컨트롤러에 의해 토글되는 읽기 인에이블 신호(Read Enable, RE)이고,

상기 제2 타이밍 신호는 읽기 시에 상기 불휘발성 메모리가 상기 읽기 인에이블 신호에 기반하여 생성하는 데이터 스트로브(Data Strobe, DQS) 신호이고,

상기 제3 타이밍 신호는 상기 제2 타이밍 신호보다 1/4 주기만큼 지연된 신호이고,

상기 리타이밍된 읽기 데이터는 상기 읽기 데이터보다 상기 제3 타이밍 신호의 1/4 주기만큼 지연되는 스토리지

장치.

청구항 10

불휘발성 메모리 및 메모리 컨트롤러 사이의 통신을 증개하는 리타이밍 회로의 동작 방법에 있어서:

상기 메모리 컨트롤러로부터 제1 타이밍 신호를 수신하는 단계;

상기 제1 타이밍 신호로부터 고정 지연(locking delay)을 검출하는 단계;

상기 불휘발성 메모리로부터 데이터 및 제2 타이밍 신호를 수신하는 단계;

상기 검출된 고정 지연 및 상기 제2 타이밍 신호를 이용하여 제3 타이밍 신호를 생성하는 단계; 그리고

상기 제3 타이밍 신호를 이용하여 상기 데이터를 래치함으로써 상기 데이터를 리타이밍하는 단계를 포함하는 동작 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 메모리에 관한 것으로, 더 상세하게는 불휘발성 메모리 및 메모리 컨트롤러를 포함하는 스토리지 장치, 그리고 불휘발성 메모리 및 메모리 컨트롤러 사이의 통신을 증개하는 리타이밍 회로의 동작 방법에 관한 것이다.

배경 기술

[0002] 스토리지 장치는 컴퓨터, 스마트폰, 스마트패드 등과 같은 호스트 장치의 제어에 따라 데이터를 저장하는 장치이다. 스토리지 장치는 하드 디스크 드라이브(HDD, Hard Disk Drive)와 같이 자기 디스크에 데이터를 저장하는 장치, 솔리드 스테이트 드라이브(SSD, Solid State Drive), 메모리 카드 등과 같이 반도체 메모리, 특히 불휘발성 메모리에 데이터를 저장하는 장치를 포함한다.

[0003] 불휘발성 메모리는 ROM (Read Only Memory), PROM (Programmable ROM), EPROM (Electrically Programmable ROM), EEPROM (Electrically Erasable and Programmable ROM), 플래시 메모리, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등을 포함한다.

[0004] 반도체 제조 기술이 발전되면서, 스토리지 장치의 고용량화 및 고속화가 진행되고 있다. 스토리지 장치의 고용량화는 반도체 메모리 칩의 고집적화 뿐 아니라, 복수의 반도체 메모리 칩들을 중첩하여 사용함으로써 달성되고 있다. 스토리지 장치의 고속화는, SDR (Single Data Rate) 방식 대신에 DDR (Dual Data Rate) 방식을 적용함으로써 달성되고 있다.

[0005] 그러나, 스토리지 장치의 고용량화 및 고속화는 스토리지 장치의 신뢰성을 저해할 수 있다. 예를 들어, 중첩되어 사용되는 반도체 칩들의 수가 증가할수록, 반도체 칩들로 인해 생성되는 저항 성분이 증가한다. 저항 성분이 증가하면, 반도체 칩들과 통신하는 채널의 토글 속도가 저해된다. 토글 속도의 저해는 스큐(skew)를 증가시킬 수 있다. 특히 스토리지 장치가 고속화될수록, 스큐의 증가는 스토리지 장치의 신뢰성을 저해할 수 있다. 따라서, 스토리지 장치의 고속화 및 고용량화가 진행될수록, 향상된 신뢰성을 갖는 스토리지 장치를 구현하기 위한 방법이 요구되고 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 향상된 신뢰성을 갖는 스토리지 장치 및 리타이밍 회로를 제공하는 데에 있다.

과제의 해결 수단

[0007] 본 발명의 실시 예에 따른 스토리지 장치는, 불휘발성 메모리; 그리고 상기 불휘발성 메모리를 제어하고, 읽기 시에 상기 불휘발성 메모리로 제1 타이밍 신호를 전송하도록 구성되는 메모리 컨트롤러를 포함하고, 상기 불휘발성 메모리는, 상기 제1 타이밍 신호에 응답하여 읽기 데이터 및 제2 타이밍 신호를 출력하도록 구성되는 불휘발성 메모리 장치; 그리고 상기 제1 타이밍 신호에 따라 고정 지연(locking delay)을 검출하고, 상기 검출된 고

정 지연을 이용하여 상기 제2 타이밍 신호로부터 제3 타이밍 신호를 생성하고, 상기 제3 타이밍 신호에 동기되어 상기 읽기 데이터를 래치함으로써 상기 읽기 데이터를 리타이밍(retiming)하고, 그리고 상기 제3 타이밍 신호 및 상기 리타이밍된 읽기 데이터를 상기 메모리 컨트롤러로 출력하도록 구성되는 리타이밍 회로를 포함한다.

[0008] 실시 예로서, 상기 리타이밍 회로는, 상기 메모리 컨트롤러로부터 상기 제1 타이밍 신호를 수신하는 제1 타이밍 수신 노드; 상기 타이밍 수신 노드를 통해 수신되는 상기 제1 타이밍 신호를 상기 불휘발성 메모리로 전달하는 제1 타이밍 송신 노드; 상기 불휘발성 메모리로부터 상기 제2 타이밍 신호를 수신하는 제2 타이밍 수신 노드; 상기 제1 수신 노드를 통해 수신되는 상기 제1 타이밍 신호로부터 상기 고정 지연(locking delay)을 검출하고, 상기 제2 타이밍 수신 노드를 통해 수신되는 상기 제2 타이밍 신호로부터 상기 검출된 고정 지연을 이용하여 상기 제3 타이밍 신호를 생성하는 지연 고정 루프; 그리고 상기 지연 고정 루프로부터 출력되는 상기 제3 타이밍 신호를 상기 메모리 컨트롤러로 출력하는 제2 타이밍 송신 노드를 포함한다.

[0009] 실시 예로서, 상기 리타이밍 회로는, 상기 불휘발성 메모리로부터 출력되는 상기 읽기 데이터를 수신하는 데이터 수신 노드; 상기 지연 고정 루프로부터 출력되는 상기 제3 타이밍 신호에 동기되어, 상기 데이터 수신 노드를 통해 수신되는 상기 읽기 데이터를 수신 및 출력하는 플립플롭; 그리고 상기 플립플롭의 출력을 상기 리타이밍된 데이터로서 상기 메모리 컨트롤러로 출력하는 데이터 송신 노드를 더 포함한다.

[0010] 실시 예로서, 상기 메모리 컨트롤러는 쓰기 시에 상기 불휘발성 메모리로 쓰기 데이터 및 제4 타이밍 신호를 전송하도록 구성되고, 상기 리타이밍 회로는 상기 제4 타이밍 신호로부터 제2 고정 지연(locking delay)을 검출하고, 상기 검출된 고정 지연을 이용하여 상기 제4 타이밍 신호로부터 제5 타이밍 신호를 생성하도록 구성된다.

[0011] 실시 예로서, 상기 리타이밍 회로는 상기 제5 타이밍 신호에 동기되어 상기 쓰기 데이터를 래치함으로써 상기 쓰기 데이터를 리타이밍(retiming)하고, 그리고 상기 제5 타이밍 신호 및 상기 리타이밍된 쓰기 데이터를 상기 불휘발성 메모리로 출력하도록 구성된다.

[0012] 실시 예로서, 상기 리타이밍 회로는, 상기 메모리 컨트롤러로부터 상기 제4 타이밍 신호를 수신하는 타이밍 수신 노드; 상기 제1 수신 노드를 통해 수신되는 상기 제4 타이밍 신호로부터 상기 제2 고정 지연을 검출하고, 상기 검출된 제2 고정 지연을 이용하여 상기 제4 타이밍 신호로부터 상기 제5 타이밍 신호를 생성하는 지연 고정 루프; 그리고 상기 지연 고정 루프로부터 출력되는 상기 제5 타이밍 신호를 상기 불휘발성 메모리로 전송하는 타이밍 송신 노드를 포함한다.

[0013] 실시 예로서, 상기 리타이밍 회로는, 상기 메모리 컨트롤러로부터 상기 쓰기 데이터를 수신하는 데이터 수신 노드; 상기 지연 고정 루프로부터 출력되는 상기 제5 타이밍 신호에 동기되어 상기 쓰기 데이터를 수신 및 출력하는 플립플롭; 그리고 상기 플립플롭의 출력을 상기 리타이밍된 쓰기 데이터로서 상기 불휘발성 메모리로 전송하는 데이터 송신 노드를 더 포함한다.

[0014] 실시 예로서, 상기 리타이밍 회로는, 상기 메모리 컨트롤러로부터 제어 신호를 수신하고, 상기 수신된 제어 신호에 응답하여 상기 불휘발성 메모리의 쓰기 또는 읽기를 판별하고, 그리고 상기 불휘발성 메모리의 쓰기 또는 읽기를 가리키는 동작 신호를 출력하는 디코더; 상기 메모리 컨트롤러 및 상기 불휘발성 메모리로부터 타이밍 신호를 수신하고, 상기 수신된 타이밍 신호에 기반하여 리타이밍용 타이밍 신호를 생성하는 타이밍 신호 처리부; 그리고 상기 메모리 컨트롤러 및 상기 불휘발성 메모리로부터 데이터를 수신하고, 상기 타이밍 신호 처리부로부터 수신되는 상기 리타이밍용 타이밍 신호를 이용하여 상기 수신된 데이터를 리타이밍하는 데이터 리타이밍부를 포함한다.

[0015] 실시 예로서, 상기 타이밍 신호 처리부는, 상기 메모리 컨트롤러로부터 상기 제1 타이밍 신호를 수신하는 제1 타이밍 수신 노드; 상기 제1 수신 노드를 통해 수신되는 상기 제1 타이밍 신호를 상기 불휘발성 메모리로 전달하는 제1 타이밍 송신 노드; 상기 불휘발성 메모리로부터 상기 제2 타이밍 신호를 수신하는 제2 타이밍 수신 노드; 상기 메모리 컨트롤러로부터 상기 제4 타이밍 신호를 수신하는 제3 타이밍 수신 노드; 상기 동작 신호에 응답하여, 읽기 시에 상기 제1 타이밍 수신 노드를 통해 수신되는 상기 제1 타이밍 신호 및 상기 제2 타이밍 수신 노드를 통해 수신되는 상기 제2 타이밍 신호를 출력하고, 쓰기 시에 상기 제3 타이밍 수신 노드를 통해 수신되는 상기 제4 타이밍 신호를 출력하도록 구성되는 멀티플렉서; 읽기 시에, 상기 멀티플렉서로부터 출력되는 상기 제1 타이밍 신호로부터 상기 고정 지연을 검출하고, 상기 검출된 고정 지연을 이용하여 상기 제2 타이밍 신호로부터 상기 제3 타이밍 신호를 생성하고, 쓰기 시에, 상기 멀티플렉서로부터 출력되는 상기 제4 타이밍 신호로부터 상기 제2 고정 지연을 검출하고, 상기 검출된 제2 고정 지연을 이용하여 상기 제4 타이밍 신호로부터 상기 제5 타이밍 신호를 생성하는 지연 고정 루프; 상기 지연 고정 루프의 출력되는 상기 제3 타이밍 신호를 상기 메

모리 컨트롤러로 전송하는 제2 타이밍 송신 노드; 그리고 상기 지연 고정 루프로부터 출력되는 상기 제5 타이밍 신호를 상기 불휘발성 메모리로 전송하는 제3 타이밍 송신 노드를 포함한다.

[0016] 실시 예로서, 상기 데이터 리타이밍부는, 상기 불휘발성 메모리로부터 상기 읽기 데이터를 수신하는 제1 데이터 수신 노드; 상기 지연 고정 루프로부터 출력되는 상기 제3 타이밍 신호에 동기되어 상기 제1 데이터 수신 노드를 통해 수신되는 상기 읽기 데이터를 수신 및 출력하도록 구성되는 제1 플립플롭; 상기 제1 플립플롭의 출력을 상기 리타이밍된 읽기 데이터로서 상기 메모리 컨트롤러로 전송하는 제1 데이터 송신 노드; 상기 메모리 컨트롤러로부터 상기 쓰기 데이터를 수신하는 제2 데이터 수신 노드; 상기 지연 고정 루프로부터 출력되는 상기 제5 타이밍 신호에 동기되어 상기 제2 데이터 수신 노드를 통해 수신되는 상기 쓰기 데이터를 수신 및 출력하도록 구성되는 제2 플립플롭; 그리고 상기 제2 플립플롭의 출력을 상기 리타이밍된 쓰기 데이터로서 상기 불휘발성 메모리로 전송하는 제2 데이터 송신 노드를 포함한다.

[0017] 실시 예로서, 상기 타이밍 신호 처리부는, 상기 메모리 컨트롤러로부터 상기 제1 타이밍 신호를 수신하는 제1 타이밍 수신 노드; 상기 제1 수신 노드를 통해 수신되는 상기 제1 타이밍 신호를 상기 불휘발성 메모리로 전달하는 제1 타이밍 송신 노드; 상기 불휘발성 메모리로부터 상기 제2 타이밍 신호를 수신하는 제2 타이밍 수신 노드; 상기 메모리 컨트롤러로부터 상기 제4 타이밍 신호를 수신하는 제3 타이밍 수신 노드; 상기 동작 신호에 응답하여, 읽기 시에 상기 제1 타이밍 수신 노드를 통해 수신되는 상기 제1 타이밍 신호 및 상기 제2 타이밍 수신 노드를 통해 수신되는 상기 제2 타이밍 신호를 출력하고, 쓰기 시에 상기 제3 타이밍 수신 노드를 통해 수신되는 상기 제4 타이밍 신호를 출력하도록 구성되는 제1 멀티플렉서; 읽기 시에, 상기 멀티플렉서로부터 출력되는 상기 제1 타이밍 신호로부터 상기 고정 지연을 검출하고, 상기 검출된 고정 지연을 이용하여 상기 제2 타이밍 신호로부터 상기 제3 타이밍 신호를 생성하고, 쓰기 시에, 상기 멀티플렉서로부터 출력되는 상기 제4 타이밍 신호로부터 상기 제2 고정 지연을 검출하고, 상기 검출된 제2 고정 지연을 이용하여 상기 제4 타이밍 신호로부터 상기 제5 타이밍 신호를 생성하는 지연 고정 루프; 상기 지연 고정 루프로부터 출력되는 상기 제3 타이밍 신호 및 상기 제2 타이밍 수신 노드를 통해 수신되는 상기 제2 타이밍 신호를 수신하고, 활성 신호에 응답하여 상기 제3 타이밍 신호 및 상기 제2 타이밍 신호 중 하나를 출력하는 제2 멀티플렉서; 상기 제2 멀티플렉서의 출력을 상기 메모리 컨트롤러로 전송하는 제2 타이밍 송신 노드; 상기 지연 고정 루프로부터 출력되는 상기 제5 타이밍 신호 및 상기 제3 타이밍 수신 노드를 통해 수신되는 상기 제4 타이밍 신호를 수신하고, 상기 활성 신호에 응답하여 상기 제5 타이밍 신호 및 상기 제4 타이밍 신호 중 하나를 출력하는 제3 멀티플렉서; 그리고 상기 제3 멀티플렉서의 출력을 상기 불휘발성 메모리로 전송하는 제3 타이밍 송신 노드를 포함한다.

[0018] 실시 예로서, 상기 불휘발성 메모리로부터 상기 읽기 데이터를 수신하는 제1 데이터 수신 노드; 상기 지연 고정 루프로부터 출력되는 상기 제3 타이밍 신호에 동기되어 상기 제1 데이터 수신 노드를 통해 수신되는 상기 읽기 데이터를 수신 및 출력하도록 구성되는 제1 플립플롭; 상기 제1 데이터 수신 노드를 통해 수신되는 상기 읽기 데이터 및 상기 제1 플립플롭으로부터 출력되는 상기 리타이밍된 읽기 데이터를 수신하고, 상기 활성 신호에 응답하여 상기 읽기 데이터 및 상기 리타이밍된 읽기 데이터 중 하나를 출력하는 제4 멀티플렉서; 상기 제4 멀티플렉서의 출력을 상기 메모리 컨트롤러로 전송하는 제1 데이터 송신 노드; 상기 메모리 컨트롤러로부터 상기 쓰기 데이터를 수신하는 제2 데이터 수신 노드; 상기 지연 고정 루프로부터 출력되는 상기 제5 타이밍 신호에 동기되어 상기 제2 데이터 수신 노드를 통해 수신되는 상기 쓰기 데이터를 수신 및 출력하도록 구성되는 제2 플립플롭; 상기 제2 데이터 수신 노드를 통해 수신되는 상기 쓰기 데이터 및 상기 제2 플립플롭으로부터 출력되는 상기 리타이밍된 쓰기 데이터를 수신하고, 상기 활성 신호에 응답하여 상기 쓰기 데이터 및 상기 리타이밍된 쓰기 데이터 중 하나를 출력하는 제5 멀티플렉서; 그리고 상기 제5 멀티플렉서의 출력을 상기 불휘발성 메모리로 전송하는 제2 데이터 송신 노드를 포함한다.

[0019] 실시 예로서, 상기 제5 타이밍 신호는 상기 제4 타이밍 신호보다 1/4 주기만큼 지연된 신호이고, 상기 리타이밍된 쓰기 데이터는 상기 쓰기 데이터보다 상기 제4 타이밍 신호의 1/4 주기만큼 지연된다.

[0020] 실시 예로서, 상기 제5 타이밍 신호는, 상기 불휘발성 메모리의 쓰기 시에 상기 메모리 컨트롤러에 의해 토글되는 데이터 스트로브(Data Strobe, DQS) 신호이다.

[0021] 실시 예로서, 상기 제1 타이밍 신호는 상기 불휘발성 메모리의 읽기 시에 상기 메모리 컨트롤러에 의해 토글되는 읽기 인에이블 신호(Read Enable, RE)이고, 상기 제2 타이밍 신호는 읽기 시에 상기 불휘발성 메모리가 상기 읽기 인에이블 신호에 기반하여 생성하는 데이터 스트로브(Data Strobe, DQS) 신호이다.

[0022] 실시 예로서, 상기 제3 타이밍 신호는 상기 제2 타이밍 신호보다 1/4 주기만큼 지연된 신호이고, 상기 리타이밍된 읽기 데이터는 상기 읽기 데이터보다 상기 제3 타이밍 신호의 1/4 주기만큼 지연된다.

[0023] 실시 예로서, 상기 불휘발성 메모리는 복수의 불휘발성 메모리 장치들을 더 포함하고, 상기 불휘발성 메모리 및 상기 복수의 불휘발성 메모리 장치들은 상기 리타이밍 회로에 공통으로 연결된다.

[0024] 실시 예로서, 상기 불휘발성 메모리 및 상기 복수의 불휘발성 메모리 장치들은 상기 제1 타이밍 신호 및 상기 제3 타이밍 신호를 하나의 공유 채널을 통해 상기 리타이밍 회로와 교환하고, 상기 읽기 데이터를 적어도 두 개의 공유 채널들을 통해 상기 리타이밍 회로와 교환한다.

[0025] 실시 예로서, 상기 고정 지연의 검출은 상기 제1 타이밍 신호가 두 사이클 토글되는 동안 수행된다.

[0026] 불휘발성 메모리 및 메모리 컨트롤러 사이의 통신을 중개하는 본 발명의 실시 예에 따른 리타이밍 회로의 동작 방법은, 상기 메모리 컨트롤러로부터 제1 타이밍 신호를 수신하는 단계; 상기 제1 타이밍 신호로부터 고정 지연(locking delay)을 검출하는 단계; 상기 불휘발성 메모리로부터 데이터 및 제2 타이밍 신호를 수신하는 단계; 상기 검출된 고정 지연 및 상기 제2 타이밍 신호를 이용하여 제3 타이밍 신호를 생성하는 단계; 그리고 상기 제3 타이밍 신호를 이용하여 상기 데이터를 래치함으로써 상기 데이터를 리타이밍하는 단계를 포함한다.

발명의 효과

[0027] 본 발명의 실시 예들에 따르면, 스토리지 장치의 정상 동작들에 중첩되어 데이터가 리타이밍된다. 따라서, 동작 성능을 저해하지 않으면서 향상된 신뢰성을 갖는 스토리지 장치 및 리타이밍 회로를 제공하는 데에 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 실시 예에 따른 스토리지 장치를 보여주는 블록도이다.
- 도 2는 메모리 컨트롤러 및 리타이밍 회로 사이의 연결 관계를 보여주는 블록도이다.
- 도 3은 리타이밍 회로 및 불휘발성 메모리 장치 사이의 연결 관계를 보여주는 블록도이다.
- 도 4는 본 발명의 실시 예에 따른 리타이밍 회로의 동작 방법을 보여주는 순서도이다.
- 도 5는 본 발명의 제1 실시 예에 따른 리타이밍 회로를 보여준다.
- 도 6은 본 발명의 제1 실시 예에 따른 지연 고정 루프를 보여준다.
- 도 7은 리타이밍 회로에 입력 및 출력되는 신호들을 보여주는 타이밍도이다.
- 도 8은 본 발명의 제2 실시 예에 따른 리타이밍 회로를 보여준다.
- 도 9는 본 발명의 제2 실시 예에 따른 지연 고정 루프를 보여준다.
- 도 10은 리타이밍 회로에 입력 및 출력되는 신호들을 보여주는 타이밍도이다.
- 도 11은 본 발명의 제3 실시 예에 따른 리타이밍 회로를 보여준다.
- 도 12는 본 발명의 제4 실시 예에 따른 리타이밍 회로를 보여준다.
- 도 13은 리타이밍 회로 및 불휘발성 메모리 장치 사이의 연결 관계의 다른 예를 보여주는 블록도이다.
- 도 14는 본 발명의 제5 실시 예에 따른 리타이밍 회로를 보여준다.
- 도 15는 본 발명의 제2 실시 예에 따른 스토리지 장치를 보여주는 블록도이다.
- 도 16은 본 발명의 제3 실시 예에 따른 스토리지 장치를 보여주는 블록도이다.
- 도 17은 본 발명의 제4 실시 예에 따른 스토리지 장치를 보여주는 블록도이다.
- 도 18은 본 발명의 실시 예에 따른 메모리 컨트롤러를 보여주는 블록도이다.
- 도 19는 본 발명의 제5 실시 예에 따른 스토리지 장치를 보여주는 블록도이다.
- 도 20은 본 발명의 실시 예에 따른 메모리 컨트롤러를 보여주는 블록도이다.
- 도 21은 본 발명의 실시 예에 따른 불휘발성 메모리를 보여주는 블록도이다.
- 도 22는 본 발명의 실시 예에 따른 메모리 블록을 보여주는 회로도이다.

도 23은 본 발명의 다른 실시 예에 따른 메모리 블록을 보여주는 회로도이다.

도 24는 본 발명의 실시 예에 따른 컴퓨팅 장치를 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하에서, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 실시 예를 첨부된 도면을 참조하여 설명하기로 한다.
- [0030] 도 1은 본 발명의 실시 예에 따른 스토리지 장치(100)를 보여주는 블록도이다. 도 1을 참조하면, 스토리지 장치(100)는 불휘발성 메모리(110), 메모리 컨트롤러(120) 및 RAM (130)을 포함한다.
- [0031] 불휘발성 메모리(110)는 메모리 컨트롤러(120)의 제어에 따라 쓰기, 읽기 및 소거를 수행할 수 있다. 불휘발성 메모리(110)는 불휘발성 메모리(120)와 제1 데이터(DATA1)를 교환할 수 있다. 예를 들어, 불휘발성 메모리(110)는 메모리 컨트롤러(120)로부터 쓰기 데이터를 수신하고, 쓰기 데이터를 기입할 수 있다. 불휘발성 메모리(110)는 읽기를 수행하고, 읽기 데이터를 메모리 컨트롤러(120)로 출력할 수 있다.
- [0032] 불휘발성 메모리(110)는 메모리 컨트롤러(120)로부터 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 수신할 수 있다. 불휘발성 메모리(110)는 메모리 컨트롤러(120)와 제어 신호(CTRL)를 교환할 수 있다. 예를 들어, 불휘발성 메모리(110)는 불휘발성 메모리(110)를 구성하는 복수의 반도체 칩들 중 적어도 하나의 반도체 칩을 선택하는 칩 선택 신호(/CE), 메모리 컨트롤러(120)로부터 수신되는 신호가 제1 커맨드(CMD1)임을 가리키는 커맨드 래치 인에이블 신호(CLE), 메모리 컨트롤러(120)로부터 수신되는 신호가 제1 어드레스(ADDR1)임을 가리키는 어드레스 래치 인에이블 신호(ALE), 읽기 시에 메모리 컨트롤러(120)에 의해 생성되며 주기적으로 토글되어 타이밍을 맞추는 데에 사용되는 읽기 인에이블 신호(/RE), 제1 커맨드(CMD1) 또는 제1 어드레스(ADDR1)가 전송될 때에 메모리 컨트롤러(120)에 의해 활성화되는 쓰기 인에이블 신호(/WE), 전원이 변화할 때에 의도하지 않은 쓰기 또는 소거를 방지하기 위해 메모리 컨트롤러(120)에 의해 활성화되는 쓰기 방지 신호(/WP), 쓰기 시에 메모리 컨트롤러(120)에 의해 생성되며 주기적으로 토글되어 제1 데이터(DATA1)의 입력 싱크를 맞추는 데에 사용되는 데이터 스트로브 신호(DQS) 중 적어도 하나를 메모리 컨트롤러(120)로부터 수신할 수 있다. 예를 들어, 불휘발성 메모리(110)는 불휘발성 메모리(110)가 프로그램, 소거 또는 읽기 동작을 수행중인지를 가리키는 레디 및 비지 신호(R/nB), 불휘발성 메모리(110)에 의해 읽기 인에이블 신호(/RE)로부터 생성되며 주기적으로 토글되어 제1 데이터(DATA1)의 출력 싱크를 맞추는 데에 사용되는 데이터 스트로브 신호(DQS) 중 적어도 하나를 메모리 컨트롤러(120)로 출력할 수 있다.
- [0033] 불휘발성 메모리(110)는 불휘발성 메모리 장치(111) 및 리타이밍 회로(113)를 포함한다. 불휘발성 메모리 장치(111)는 리타이밍 회로(113)를 통해 메모리 컨트롤러(120)와 통신할 수 있다. 리타이밍 회로(113)는 불휘발성 메모리(111) 및 메모리 컨트롤러(120) 사이의 통신을 중개할 수 있다. 리타이밍 회로(113)는 메모리 컨트롤러(120) 및 불휘발성 메모리(111) 사이에서 교환되는 데이터에 대해 리타이밍(retiming)을 수행할 수 있다. 리타이밍은 전송되는 데이터를 저장 및 출력하는 버퍼링을 포함할 수 있다. 전송되는 데이터가 저장 및 출력되면, 전송되는 데이터의 타이밍이 재정렬되고, 스큐(skew)가 감소한다. 즉, 리타이밍 회로(113)는 불휘발성 메모리(111) 및 메모리 컨트롤러(120) 사이에서 교환되는 데이터를 재정렬하여, 스토리지 장치(100)의 신뢰성을 향상시킨다.
- [0034] 불휘발성 메모리(110)는 플래시 메모리를 포함할 수 있다. 그러나, 불휘발성 메모리(110)는 플래시 메모리를 포함하는 것으로 한정되지 않는다. 불휘발성 메모리(110)는 PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FeRAM (Ferroelectric RAM) 등과 같은 다양한 불휘발성 메모리들 중 적어도 하나를 포함할 수 있다.
- [0035] 메모리 컨트롤러(120)는 불휘발성 메모리(110)를 제어하도록 구성된다. 예를 들어, 메모리 컨트롤러(120)는 불휘발성 메모리(110)가 쓰기, 읽기 또는 소거를 수행하도록 제어할 수 있다. 메모리 컨트롤러(120)는 불휘발성 메모리(110)와 제1 데이터(DATA1) 및 제어 신호(CTRL)를 교환하고, 불휘발성 메모리(110)로 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 출력할 수 있다.
- [0036] 메모리 컨트롤러(120)는 외부의 호스트 장치(미도시)의 제어에 따라 불휘발성 메모리(110)를 제어할 수 있다. 메모리 컨트롤러(120)는 호스트 장치와 제2 데이터(DATA2)를 교환하고, 호스트 장치로부터 제2 커맨드(CMD2) 및 제2 어드레스(ADDR2)를 수신할 수 있다.
- [0037] 예시적으로, 메모리 컨트롤러(120)는 제1 단위로 불휘발성 메모리(110)와 제1 데이터(DATA1)를 교환하고, 제1

단위와 다른 제2 단위로 호스트 장치와 제2 데이터(DATA2)를 교환할 수 있다.

- [0038] 메모리 컨트롤러(120)는 제1 포맷에 따라 불휘발성 메모리(110)와 제1 데이터(DATA1)를 교환하고, 불휘발성 메모리(110)로 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 전송할 수 있다. 메모리 컨트롤러(120)는 제1 포맷과 다른 제2 포맷에 따라, 호스트 장치와 제2 데이터(DATA2)를 교환하고, 호스트 장치로부터 제2 커맨드(CMD2) 및 제2 어드레스(ADDR2)를 수신할 수 있다.
- [0039] 메모리 컨트롤러(120)는 RAM (130)을 버퍼 메모리, 캐시 메모리, 또는 동작 메모리로 사용할 수 있다. 예를 들어, 메모리 컨트롤러(120)는 호스트 장치로부터 제2 데이터(DATA2)를 수신하고, 수신된 제2 데이터(DATA2)를 RAM (130)에 저장하고, 그리고 RAM (130)에 저장된 제2 데이터(DATA2)를 제1 데이터(DATA1)로서 불휘발성 메모리(110)에 기입할 수 있다. 메모리 컨트롤러(120)는 불휘발성 메모리(110)로부터 제1 데이터(DATA1)를 읽고, 수신된 제1 데이터(DATA1)를 RAM (130)에 저장하고, RAM (130)에 저장된 제1 데이터(DATA1)를 제2 데이터(DATA2)로서 호스트 장치로 출력할 수 있다. 메모리 컨트롤러(130)는 불휘발성 메모리(110)로부터 읽은 데이터를 RAM (130)에 저장하고, RAM (130)에 저장된 데이터를 다시 불휘발성 메모리(110)에 기입할 수 있다.
- [0040] 메모리 컨트롤러(120)는 불휘발성 메모리(110)를 관리하기 위해 필요한 데이터 또는 코드를 RAM (130)에 저장할 수 있다. 예를 들어, 메모리 컨트롤러(120)는 불휘발성 메모리(110)를 관리하기 위해 필요한 데이터 또는 코드를 불휘발성 메모리(110)로부터 읽고, RAM (130)에 로딩하여 구동할 수 있다.
- [0041] RAM (130)은 DRAM (Dynamic RAM), SRAM (Static RAM), SDRAM (Synchronous DRAM), PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FeRAM (Ferroelectric RAM) 등과 같은 다양한 랜덤 액세스 메모리들 중 적어도 하나를 포함할 수 있다.
- [0042] 스토리지 장치(100)는 호스트 장치의 요청에 따라, 데이터의 쓰기, 읽기 또는 소거를 수행할 수 있다. 스토리지 장치(100)는 솔리드 스테이트 드라이브(SSD, Solid State Drive) 또는 하드 디스크 드라이브(HDD, Hard Disk Drive)를 포함할 수 있다. 스토리지 장치(100)는 PC 카드(PCMCIA, personal computer memory card international association), 콤팩트 플래시 카드(CF), 스마트 미디어 카드(SM, SMC), 메모리 스틱, 멀티미디어 카드(MMC, RS-MMC, MMCmicro), SD 카드(SD, miniSD, microSD, SDHC), USB (Universal Serial Bus) 메모리 카드, 유니버설 플래시 스토리지(UFS) 등과 같은 메모리 카드들을 포함할 수 있다. 스토리지 장치(100)는 eMMC (embedded MultiMedia Card), UFS, PPN (Perfect Page New) 등과 같은 실장형 메모리를 포함할 수 있다.
- [0043] 도 2는 메모리 컨트롤러(120) 및 리타이밍 회로(113) 사이의 연결 관계를 보여주는 블록도이다. 도 2를 참조하면, 메모리 컨트롤러(120) 및 리타이밍 회로(113) 각각은 제1 데이터(DATA1), 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 공통 채널을 통해 교환할 수 있다. 메모리 컨트롤러(120) 및 리타이밍 회로(113) 각각은 제1 내지 제k 입출력 패드들(DQ1~DQk)을 포함한다. 메모리 컨트롤러(120) 및 리타이밍 회로(113)는 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 제1 데이터(DATA1), 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 교환할 수 있다. 예를 들어, 제어 신호(CTRL)의 형태에 따라, 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 전송되는 신호는 제1 데이터(DATA1), 제1 커맨드(CMD1) 또는 제1 어드레스(ADDR1)로 식별될 수 있다. 예를 들어, 제1 내지 제k 입출력 패드들(DQ1~DQk)은 8, 16 또는 32개일 수 있으며, 한정되지 않는다.
- [0044] 메모리 컨트롤러(120) 및 리타이밍 회로(113)는 제어 신호(CTRL)를 교환할 수 있다. 메모리 컨트롤러(120) 및 리타이밍 회로(113) 각각은, 데이터 스트로브 신호(DQS), 읽기 인에이블 신호(/RE), 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE), 쓰기 인에이블 신호(/WE), 쓰기 방지 신호(/WP), 제1 내지 제N 칩 인에이블 신호들(/CE1~CEN), 그리고 제1 내지 제N 레디 및 비지 신호들(R/nB1~R/nBN)을 각각 교환하는 복수의 패드들을 포함한다.
- [0045] 예를 들어, 메모리 컨트롤러(120)가 칩 인에이블 신호들(/CE1~CEN) 중 하나를 활성화(예를 들어, 로직 로우)하고, 커맨드 래치 인에이블 신호(CLE)를 활성화(예를 들어, 로직 하이)하고, 어드레스 래치 인에이블 신호(ALE)를 비활성화(예를 들어, 로직 로우)하고, 쓰기 인에이블 신호(/WE)를 활성화(예를 들어, 로직 로우)한 후 비활성화(예를 들어, 로직 하이)할 때, 메모리 컨트롤러(120)는 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 제1 커맨드(CMD1)를 출력할 수 있다. 또한, 리타이밍 회로(113) 또는 불휘발성 메모리 장치(111)는 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 제1 커맨드(CMD1)가 수신되는 것으로 식별할 수 있다.
- [0046] 예를 들어, 메모리 컨트롤러(120)가 칩 인에이블 신호들(/CE1~CEN) 중 하나를 활성화(예를 들어, 로직 로우)하고, 커맨드 래치 인에이블 신호(CLE)를 비활성화(예를 들어, 로직 로우)하고, 어드레스 래치 인에이블 신호(ALE)를 활성화(예를 들어, 로직 하이)하고, 쓰기 인에이블 신호(/WE)를 활성화(예를 들어, 로직 로우)한 후 비

활성화(예를 들어, 로직 하이)할 때, 메모리 컨트롤러(120)는 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 제1 어드레스(ADDR1)를 출력할 수 있다. 또한, 리타이밍 회로(113) 또는 불휘발성 메모리 장치(111)는 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 제1 어드레스(ADDR1)가 수신되는 것으로 식별할 수 있다.

[0047] 예를 들어, 메모리 컨트롤러(120)가 칩 인에이블 신호들(/CE1~/CEN) 중 하나를 활성화(예를 들어, 로직 로우)하고, 커맨드 래치 인에이블 신호(CLE)를 비활성화(예를 들어, 로직 로우)하고, 어드레스 래치 인에이블 신호(ALE)를 비활성화(예를 들어, 로직 로우)하고, 쓰기 인에이블 신호(/WE)를 비활성화(예를 들어, 로직 하이)하고, 읽기 인에이블 신호(/RE)를 비활성화(예를 들어, 로직 하이)한 경우, 메모리 컨트롤러(120)는 주기적으로 토글되는 데이터 스트로브 신호(DQS)를 생성하고, 데이터 스트로브 신호(DQS)에 동기되어 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 제1 데이터(DATA1)를 출력할 수 있다. 리타이밍 회로(113) 또는 불휘발성 메모리 장치(111)는 데이터 스트로브 신호(DQS)에 동기되어 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 제1 데이터(DATA1)가 수신되는 것으로 식별할 수 있다.

[0048] 예를 들어, 메모리 컨트롤러(120)가 칩 인에이블 신호들(/CE1~/CEN) 중 하나를 활성화(예를 들어, 로직 로우)하고, 커맨드 래치 인에이블 신호(CLE)를 비활성화(예를 들어, 로직 로우)하고, 어드레스 래치 인에이블 신호(ALE)를 비활성화(예를 들어, 로직 로우)하고, 쓰기 인에이블 신호(/WE)를 비활성화(예를 들어, 로직 하이)하고, 읽기 인에이블 신호(/RE)를 주기적으로 토글할 수 있다. 리타이밍 회로(113) 또는 불휘발성 메모리 장치(111)는 주기적으로 토글되는 읽기 인에이블 신호(/RE)로부터 주기적으로 토글되는 데이터 스트로브 신호(DQS)를 생성할 수 있다. 리타이밍 회로(113) 또는 불휘발성 메모리 장치(111)는 데이터 스트로브 신호(DQS)에 동기되어 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 제1 데이터(DATA1)를 출력할 수 있다. 메모리 컨트롤러(120)는 데이터 스트로브 신호(DQS)에 동기되어 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 제1 데이터(DATA1)가 수신되는 것으로 식별할 수 있다.

[0049] 도 3은 리타이밍 회로(113) 및 불휘발성 메모리 장치(111) 사이의 연결 관계를 보여주는 블록도이다. 도 3을 참조하면, 불휘발성 메모리 장치(111)는 복수의 불휘발성 메모리 장치들(111_1~111_N)을 포함할 수 있다. 예를 들어, 복수의 불휘발성 메모리 장치들(111_1~111_N) 각각은 하나의 반도체 칩으로 구성될 수 있다.

[0050] 리타이밍 회로(113) 및 복수의 불휘발성 메모리 장치들(111_1~111_N) 각각은 제1 내지 제k 입출력 패드들(DQ1~DQk)을 포함한다. 복수의 불휘발성 메모리 장치들(111_1~111_N)의 제1 내지 제k 입출력 패드들(DQ1~DQk)은 리타이밍 회로(113)의 제1 내지 제k 입출력 패드들(DQ1~DQk)에 공통으로 연결될 수 있다. 리타이밍 회로(113) 및 복수의 불휘발성 메모리 장치들(111_1~111_N)은 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 제1 데이터(DATA1), 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 교환할 수 있다. 예를 들어, 제어 신호(CTRL)의 형태에 따라, 제1 내지 제k 입출력 패드들(DQ1~DQk)을 통해 전송되는 신호는 제1 데이터(DATA1), 제1 커맨드(CMD1) 또는 제1 어드레스(ADDR1)로 식별될 수 있다. 예를 들어, 제1 내지 제k 입출력 패드들(DQ1~DQk)은 8, 16 또는 32 개일 수 있으며, 한정되지 않는다.

[0051] 리타이밍 회로(113) 및 복수의 불휘발성 메모리 장치들(111_1~111_N)은 제어 신호(CTRL)를 교환할 수 있다. 리타이밍 회로(113)는, 데이터 스트로브 신호(DQS), 읽기 인에이블 신호(/RE), 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE), 쓰기 인에이블 신호(/WE), 쓰기 방지 신호(/WP), 제1 내지 제N 칩 인에이블 신호들(/CE1~/CEN), 그리고 제1 내지 제N 레디 및 비지 신호들(R/nB1~R/nBN)을 각각 교환하는 복수의 패드들을 포함한다.

[0052] 복수의 불휘발성 메모리 장치들(111_1~111_N) 각각은, 데이터 스트로브 신호(DQS), 읽기 인에이블 신호(/RE), 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE), 쓰기 인에이블 신호(/WE), 쓰기 방지 신호(/WP), 제1 내지 제N 칩 인에이블 신호들(/CE1~/CEN) 중 하나의 신호, 그리고 제1 내지 제N 레디 및 비지 신호들(R/nB1~R/nBN) 중 하나의 신호를 각각 교환하는 복수의 패드들을 포함한다.

[0053] 복수의 불휘발성 메모리 장치들(111_1~111_N)은 리타이밍 회로(113)와 공통 채널을 통해 데이터 스트로브 신호(DQS), 읽기 인에이블 신호(/RE), 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE), 쓰기 인에이블 신호(/WE), 쓰기 방지 신호(/WP)를 각각 교환할 수 있다.

[0054] 복수의 불휘발성 메모리 장치들(111_1~111_N) 각각은 리타이밍 회로(113)로부터 하나의 칩 인에이블 신호를 수신하고, 리타이밍 회로(113)로 하나의 레디 및 비지 신호를 출력할 수 있다. 복수의 불휘발성 메모리 장치들(111_1~111_N)은 리타이밍 회로(113)의 서로 다른 패드들로부터 칩 인에이블 신호들(/CE1~/CEN)을 각각 수신할 수 있다. 복수의 불휘발성 메모리 장치들(111_1~111_N)은 리타이밍 회로(113)의 서로 다른 패드들로 레디 및 비

지 신호들(R/nB1~R/nBN)을 각각 전송할 수 있다.

- [0055] 도 2 및 도 3을 참조하여 설명된 바와 같이, 리타이밍 회로(113)는 메모리 컨트롤러(120) 및 복수의 불휘발성 메모리 장치들(111_1~111_N) 사이의 통신을 증개할 수 있다. 리타이밍 회로(113)는 메모리 컨트롤러(120)로부터 수신되는 제1 데이터(DATA1)를 재정렬하여 복수의 불휘발성 메모리 장치들(111_1~111_N)로 전달할 수 있다. 리타이밍 회로(113)는 복수의 불휘발성 메모리 장치들(111_1~111_N)로부터 수신되는 제1 데이터(DATA1)를 재정렬하여 메모리 컨트롤러(120)로 전달할 수 있다. 리타이밍 회로(120)는 메모리 컨트롤러(120) 및 복수의 불휘발성 메모리 장치들(111_1~111_N) 사이의 통신 과정에 숨겨진(shadow) 형태로 리타이밍을 수행한다. 따라서, 리타이밍 회로(113)는 스토리지 장치(100)의 동작 속도를 저해하지 않으면서 스토리지 장치(100)의 신뢰성을 향상시킨다.
- [0056] 도 4는 본 발명의 실시 예에 따른 리타이밍 회로(113)의 동작 방법을 보여주는 순서도이다. 도 1 내지 도 4를 참조하면, S110 단계에서, 리타이밍 회로(113)는 제1 장치로부터 제1 타이밍 신호를 수신한다. 예를 들어, 리타이밍 회로(113) 회로는 메모리 컨트롤러(120)로부터 제1 타이밍 신호를 수신할 수 있다. 제1 타이밍 신호는 주기적으로 천이하며, 싱크를 제공하는 신호일 수 있다. 예를 들어, 제1 타이밍 신호는 읽기 시에 주기적으로 천이하며 싱크를 제공하는 읽기 인에이블 신호(/RE)일 수 있다.
- [0057] S120 단계에서, 리타이밍 회로(113)는 제1 타이밍 신호의 고정 지연(locking delay)을 검출할 수 있다. 예를 들어, 리타이밍 회로(113)는 지연 고정 루프(DLL, Delay Locked Loop)를 이용하여 제1 타이밍 신호에 싱크될 수 있다. 리타이밍 회로(113)는 미리 정해진 방법에 따라 제1 타이밍 신호에 싱크될 때의 지연 고정 루프(DLL)의 지연량(예를 들어, 위상 지연)을 고정 지연(locking delay)으로서 검출할 수 있다.
- [0058] S130 단계에서, 리타이밍 회로(113)는 제2 장치로부터 데이터 및 제2 타이밍 신호를 수신한다. 예를 들어, 리타이밍 회로(113)는 불휘발성 메모리 장치(111)로부터 데이터 및 제2 타이밍 신호를 수신할 수 있다. 수신되는 데이터는 읽기 시에 불휘발성 메모리 장치(111)에서 읽혀진 데이터일 수 있다. 제2 타이밍 신호는 주기적으로 천이하며, 싱크를 제공하는 신호일 수 있다. 예를 들어, 제2 타이밍 신호는 읽기 시에 불휘발성 메모리 장치(111)로부터 제공되며 주기적으로 천이하는 데이터 스트로브 신호(DQS)일 수 있다.
- [0059] S140 단계에서, 리타이밍 회로(113)는 제2 타이밍 신호 및 고정 지연을 이용하여 제3 타이밍 신호를 생성한다. 예를 들어, 리타이밍 회로(113)는 불휘발성 메모리 장치(111)로부터 수신되는 데이터 스트로브 신호(DQS)를, 지연 고정 루프(DLL)를 이용하여, 읽기 인에이블 신호(/RE)로부터 검출된 고정 지연만큼 지연시킬 수 있다. 리타이밍 회로(113)는 데이터 스트로브 신호(DQS)가 지연된 신호를 제3 타이밍 신호로 생성할 수 있다.
- [0060] S150 단계에서, 리타이밍 회로(113)는 제3 타이밍 신호를 이용하여 데이터를 리타이밍 한다. 예를 들어, 리타이밍 회로(113)는 제3 타이밍 신호에 동기되어, 불휘발성 메모리 장치(111)로부터 수신되는 데이터를 래치할 수 있다. 리타이밍 회로(113)는 래치된 데이터를 제3 타이밍 신호와 함께 메모리 컨트롤러(120)로 출력할 수 있다. 제3 타이밍 신호는 데이터 스트로브 신호(DQS)로서 출력될 수 있다. 즉, 리타이밍 회로(113)는 불휘발성 메모리 장치(111)로부터 출력되는 읽기 데이터를 제3 타이밍 신호에 동기되어 재정렬할 수 있다. 리타이밍 회로(113)가 읽기 데이터를 재정렬하는 동작은, 스토리지 장치(100)의 정상 동작들에 중첩되어 수행된다. 따라서, 리타이밍 회로(113)는 스토리지 장치(100)의 동작 성능을 저해하지 않으면서 스토리지 장치(100)의 신뢰성을 향상시킨다.
- [0061] 도 5는 본 발명의 제1 실시 예에 따른 리타이밍 회로(113a)를 보여준다. 도 2, 도 3 및 도 5를 참조하면, 리타이밍 회로(113a)는 타이밍 신호 처리부(115a) 및 데이터 리타이밍부(117a)를 포함한다.
- [0062] 타이밍 신호 처리부(115a)는 제1 터미널(T1)을 통해 메모리 컨트롤러(120)로부터 읽기 인에이블 신호(/RE)를 수신할 수 있다. 제1 터미널(T1)은 도 2에서 읽기 인에이블 신호(/RE)를 수신하는 리타이밍 회로(113)의 패드에 대응할 수 있다. 타이밍 신호 처리부(115a)는 제2 터미널(T2)을 통해 불휘발성 메모리 장치(111)로 읽기 인에이블 신호(/RE)를 출력할 수 있다. 제2 터미널(T2)은 도 3에서 읽기 인에이블 신호(/RE)를 출력하는 리타이밍 회로(113)의 패드에 대응할 수 있다.
- [0063] 타이밍 신호 처리부(115a)는 제3 터미널(T3)을 통해 메모리 컨트롤러(120)와 데이터 스트로브 신호(DQS)를 교환할 수 있다. 제3 터미널(T3)은 도 2에서 데이터 스트로브 신호(DQS)를 교환하는 리타이밍 회로(113)의 패드에 대응할 수 있다. 타이밍 신호 처리부(115a)는 제4 터미널(T4)을 통해 불휘발성 메모리 장치(111)와 데이터 스트로브 신호(DQS)를 교환한다. 제4 터미널(T4)은 도 3에서 데이터 스트로브 신호(DQS)를 교환하는 리타이밍 회로(113)의 패드에 대응할 수 있다.
- [0064] 타이밍 신호 처리부(115a)는 제1 내지 제3 수신 노드들(RX1~RX3), 제1 내지 제3 송신 노드들(TX1~TX3), 그리고

지연 고정 루프(DLL)를 포함한다.

- [0065] 제1 수신 노드(RX1)는 제1 터미널(T1)을 통해 읽기 인에이블 신호(/RE)를 수신할 수 있다. 제1 수신 노드(RX1)를 통해 수신된 읽기 인에이블 신호(/RE)는 제1 송신 노드(TX1)를 통해 제2 터미널(T2)로 전달될 수 있다. 예를 들어, 불휘발성 메모리(110)의 읽기 시에, 읽기 인에이블 신호(/RE)가 제1 터미널(T1)로부터 제1 수신 노드(RX1) 및 제1 송신 노드(TX1)를 통해 제2 터미널(T2)로 전달될 수 있다.
- [0066] 제2 수신 노드(RX2)는 제3 터미널(T3)을 통해 데이터 스트로브 신호(DQS)를 수신할 수 있다. 제3 수신 노드(RX3)를 통해 수신된 데이터 스트로브 신호(DQS)는 제2 송신 노드(TX2)를 통해 제4 터미널(T4)로 전달될 수 있다. 예를 들어, 쓰기 시에, 데이터 스트로브 신호(DQS)는 제3 터미널(T3)로부터 제2 수신 노드(RX2) 및 제2 송신 노드(TX2)를 통해 제4 터미널(T4)로 전달될 수 있다.
- [0067] 제3 수신 노드(RX3)는 제4 터미널(T4)을 통해 데이터 스트로브 신호(DQS)를 수신할 수 있다. 제3 수신 노드(RX3)를 통해 수신된 데이터 스트로브 신호(DQS)는 지연 고정 루프(DLL)로 전달된다.
- [0068] 지연 고정 루프(DLL)는 제1 수신 노드(RX1)를 통해 읽기 인에이블 신호(/RE)를 수신하고, 제3 수신 노드(RX3)를 통해 데이터 스트로브 신호(DQS)를 수신할 수 있다. 지연 고정 루프(DLL)는 읽기 인에이블 신호(/RE)에 동기되어, 고정 지연(locking delay)을 검출할 수 있다. 지연 고정 루프(DLL)는 제3 수신 노드(RX3)를 통해 수신되는 데이터 스트로브 신호(DQS)보다 검출된 고정 지연만큼 지연된 신호를 내부 신호(iDQS)로 생성할 수 있다. 내부 신호(iDQS)는 제3 수신 노드(TX3)를 통해 데이터 스트로브 신호(DQS)로서 제3 터미널(T3)로 전달될 수 있다. 또한, 내부 신호(iDQS)는 데이터 리타이밍부(117a)로 전달될 수 있다.
- [0069] 데이터 리타이밍부(117a)는 제5 터미널(T5)을 통해 메모리 컨트롤러(120)로부터 제1 어드레스(ADDR1) 또는 제1 커맨드(CMD1)를 수신할 수 있다. 데이터 리타이밍부(117a)는 제5 터미널(T5)을 통해 메모리 컨트롤러(120)와 제1 데이터(DATA1)를 교환할 수 있다. 제5 터미널(T5)은 도 2의 리타이밍 회로(113)의 제1 내지 제k 입출력 패드들(DQ1~DQk)에 대응할 수 있다. 타이밍 신호 처리부(115a)는 제6 터미널(T6)을 통해 불휘발성 메모리 장치(111)로 제1 어드레스(ADDR1) 또는 제1 커맨드(CMD1)를 출력할 수 있다. 데이터 리타이밍부(117a)는 제6 터미널(T6)을 통해 메모리 컨트롤러(120)와 제1 데이터(DATA1)를 교환할 수 있다. 제6 터미널(T6)은 도 3의 리타이밍 회로(113)의 제1 내지 제k 입출력 패드들(DQ1~DQk)에 대응할 수 있다. 이하에서, 간결한 설명을 위하여, 제5 및 제 6 터미널들(T5, T6)을 통해 교환되는 제1 데이터(DATA1)를 참조하여 본 발명의 실시 예들이 설명된다. 제5 및 제 6 터미널들(T5, T6)을 통해 전송되는 제1 어드레스(ADDR1) 및 제1 커맨드(CMD1)에 대한 설명은 생략된다.
- [0070] 데이터 리타이밍부(117a)는 제4 및 제5 수신 노드들(RX4, RX5), 제4 및 제5 송신 노드들(TX4, TX5), 그리고 제1 플립플롭(FF1)을 포함한다.
- [0071] 제4 수신 노드(RX4)는 제5 터미널(T5)을 통해 제1 데이터(DATA1)를 수신할 수 있다. 제4 수신 노드(RX4)를 통해 수신된 제1 데이터는 제5 송신 노드(TX4)를 통해 제6 터미널(T6)로 전송된다. 예를 들어, 쓰기 시에, 제1 데이터(DATA1)는 제5 터미널(T5)로부터 제4 수신 노드(RX4) 및 제4 송신 노드(TX4)를 통해 제6 터미널(T6)로 전송될 수 있다.
- [0072] 제5 수신 노드(RX5)는 제6 터미널(T6)을 통해 제1 데이터(DATA1)를 수신할 수 있다. 제5 수신 노드(RX5)를 통해 수신되는 제1 데이터(DATA1)는 제1 플립플롭(FF1)으로 전달된다. 제1 플립플롭(FF1)은 제5 수신 노드(RX5)로부터 제1 데이터(DATA1)를 수신하고, 타이밍 신호 처리부(115a)로부터 내부 신호(iDQS)를 수신한다. 제1 플립플롭(FF1)은 내부 신호(iDQS)에 동기되어, 제5 수신 노드(RX5)를 통해 수신되는 제1 데이터(DATA1)를 래치(또는 저장)하고 출력한다. 즉, 제1 플립플롭(FF1)은 내부 신호(iDQS)에 동기되어 제1 데이터(DATA1)를 재정렬한다. 제1 플립플롭(FF1)에 의해 재정렬된 제1 데이터(DATA1')는 제5 송신 노드(TX5)를 통해 제5 터미널(T5)로 전달된다.
- [0073] 상술된 바와 같이, 리타이밍 회로(113a)는 불휘발성 메모리(110)의 읽기 시에 읽기 인에이블 신호(/RE)로부터 고정 위상을 검출한다. 검출된 고정 위상을 이용하여, 리타이밍 회로(113a)는 데이터 스트로브 신호(DQS)로부터 내부 신호(iDQS)를 생성한다. 리타이밍 회로(113a)는 내부 신호(iDQS)를 이용하여 제1 데이터(DATA1)를 재정렬한다. 리타이밍 회로(113a)는 재정렬된 제1 데이터(DATA1')를 출력하고, 내부 데이터(iDQS)를 데이터 스트로브 신호(DQS)로서 출력한다.
- [0074] 지연 고정 루프(DLL)가 위상 고정을 수행할 때에, 고정 시간이 소요된다. 본 발명의 실시 예에 따른 리타이밍 회로(113a)는 읽기 인에이블 신호(/RE)로부터 검출되는 고정 위상을 이용함으로써, 위상 고정을 수행하지 않고 제3 수신 노드(RX3)로부터의 데이터 스트로브 신호(DQS)로부터 내부 신호(iDQS)를 생성한다. 제3 수신 노드(RX3)로부터의 데이터 스트로브 신호(DQS)에 대해 위상 고정을 수행하지 않으므로, 리타이밍 회로(113a)는 스

리지 장치(100)의 동작 성능(예를 들어, 속도)에 영향을 주지 않고 제1 데이터(DATA1)의 재정렬을 수행할 수 있다.

- [0075] 도 5에서, 리타이밍 회로(113a)는 제1 내지 제k 입출력 패드들(DQ1~DQk), 데이터 스트로브 신호(DQS)를 전송하는 패드들, 그리고 읽기 인에이블 신호(/RE)를 전송하는 패드들과 연관된 것으로 설명된다. 도 2 및 도 3에서 리타이밍 회로(113)를 통해 전송되는 것으로 설명된 신호들 중 도 5를 참조하여 설명되지 않은 나머지 신호들은, 리타이밍 회로(113a)를 별도의 처리 또는 상호 작용 없이 통과할 수 있다.
- [0076] 도 6은 본 발명의 제1 실시 예에 따른 지연 고정 루프(DLL)를 보여준다. 도 5 및 도 6을 참조하면, 지연 고정 루프(DLL)는 고정 제어 회로(D1), 위상 분리기(D2), 지연 라인(D3), 감지 라인(D4), 래치(D5), 위상 검출기(D6), 코드 보상기(D7), 그리고 위상 선택기(D8)를 포함한다.
- [0077] 고정 제어 회로(D1)는 제1 수신 노드(RX1)로부터 읽기 인에이블 신호(/RE)를 수신하고, 제3 수신 노드(RX3)로부터 데이터 스트로브 신호(DQS)를 수신할 수 있다. 고정 제어 회로(D1)는 읽기 인에이블 신호(/RE)에 대해 위상 고정을 수행하는 위상 고정 구간에 대한 정보를 저장할 수 있다. 고정 제어 회로(D1)는 위상 고정 구간 동안 읽기 인에이블 신호(/RE)를 타이밍 신호(TS)로서 출력할 수 있다. 고정 제어 회로(D1)는 위상 고정 구간이 아닌 때에, 데이터 스트로브 신호(DQS)를 타이밍 신호(TS)로서 출력할 수 있다. 고정 제어 회로(D1)는 위상 고정 구간 동안 제어 신호(PER)를 활성화할 수 있다. 고정 제어 회로(D1)는 위상 고정 구간이 아닌 때에, 제어 신호(PER)를 비활성화할 수 있다. 예를 들어, 위상 고정 구간은 읽기 인에이블 신호(/RE)의 적어도 최초 1주기를 포함할 수 있다.
- [0078] 위상 분리기(D2)는 고정 제어 회로(D1)로부터 타이밍 신호(TS)를 수신한다. 위상 분리기(D2)는 타이밍 신호(TS)로부터 반전 타이밍 신호(/TS)를 생성할 수 있다. 위상 분리기(D2)는 타이밍 신호(TS) 및 반전 타이밍 신호(/TS)를 지연 라인(D3)으로 출력할 수 있다.
- [0079] 지연 라인(D3)은 복수의 지연기들을 포함한다. 각 지연기는 수신 신호들을 반전하여 출력하는 반전기들일 수 있다. 제1 지연기는 위상 분리기(D2)로부터 타이밍 신호(TS) 및 반전 타이밍 신호(/TS)를 수신한다. 제1 지연기는 수신된 타이밍 신호(TS) 및 반전 타이밍 신호(/TS)를 각각 반전하여 출력할 수 있다. 제k 지연기는 제k-1 지연기로부터 상보 신호들을 수신할 수 있다. 제k 지연기는 수신된 상보 신호들을 각각 반전하여 출력할 수 있다.
- [0080] 예시적으로, 지연 라인(D3)은, 타이밍 신호(TS) 및 반전 타이밍 신호(/TS)를 64번 지연할 수 있다. 즉, 지연 라인(D3)은 적어도 64 개의 지연기들을 포함할 수 있다. 지연 라인(D3)의 지연기들의 수는 한정되지 않으며, 다양하게 변경 및 응용될 수 있다. 또한, 지연 라인(D3)의 지연기들은 상보 신호들이 아닌 하나의 신호만을 지연하여 출력하도록 변경 및 응용될 수 있다.
- [0081] 감지 라인(D4)은 복수의 감지기들을 포함한다. 각 감지기는 타이밍 신호에 동기되어, 지연 라인(D3)의 대응하는 지연기의 출력 신호들을 감지할 수 있다. 각 감지기는 대응하는 지연기로부터 수신되는 상보 신호들을 반전하여 출력할 수 있다. 감지 라인(D4)의 각 감지기의 상보 출력 신호들 또는 상보 신호 출력 신호들 중 양의 신호들(또는 음의 신호들)은 래치(D5)에 저장될 수 있다. 지연 라인(D3)이 타이밍 신호(TS) 및 반전 타이밍 신호(/TS)를 64번 지연하는 경우, 감지 라인(D4)은 64개의 감지기들을 포함할 수 있다. 래치(D5)는 64개의 감지 결과들(Q[64:1])을 저장할 수 있다.
- [0082] 감지 라인(D4)의 감지기들의 수는 한정되지 않으며, 다양하게 응용 및 변경될 수 있다. 또한, 감지 라인(D4)의 감지기들은 상보 신호들이 아닌 하나의 신호만을 감지하고 출력하도록 변경 및 응용될 수 있다.
- [0083] 위상 검출기(D6)는 고정 제어 회로(D1)로부터 제어 신호(PER)를 수신하고, 래치(D4)로부터 감지 결과(Q[64:1])를 수신할 수 있다. 제어 신호(PER)가 활성화된 동안, 위상 검출기(D6)는 감지 결과(Q[64:1])로부터 코드(B[6:1])를 추출하도록 구성된다. 예를 들어, 위상 검출기(D6)는 감지 결과(Q[64:1])로부터 타이밍 신호(TS)의 1주기에 해당하는 위치를 검출하도록 구성된다.
- [0084] 예를 들어, 지연 라인(D3)의 각 지연기의 양의 신호가 '1'일 때, 감지 라인(D4)의 대응하는 감지기의 양의 신호는 '1'일 수 있다. 지연 라인(D3)의 각 지연기의 양의 신호가 '0'일 때, 감지 라인(D4)의 대응하는 감지기의 양의 신호는 '0'일 수 있다. 감지 라인(D4)의 감지기들의 양의 신호들에 대응하는 감지 결과(Q[64:1])는 '1' 및 '0'으로 구성될 수 있다. 감지 결과(Q[64:1])는 순차적으로 '1'의 값을 갖다가 '0'의 값을 가질 수 있다. 또한, 감지 결과(Q[64:1])는 순차적으로 '0'의 값을 갖다가 '1'의 값을 가질 수 있다. 감지 결과(Q[64:1])의 값은 타이밍 신호(TS)가 천이하는 위치에서 변화할 수 있다. 즉, 위상 검출기(D6)는 감지 결과(Q[64:1])의 값들의 변화를 모니터링함으로써, 타이밍 신호(TS)의 1주기에 해당하는 위치, 즉 감지 라인(D4)의 감지기들 상의 위치를 검출

할 수 있다.

- [0085] 위상 검출기(D6)는 검출된 1주기의 위치로부터 1/4 주기의 위치를 다시 검출할 수 있다. 위상 검출기(D6)는 1/4 주기의 위치에 대한 정보를 코드(B[6:1])로서 저장할 수 있다. 예시적으로, 제어 신호(PER)가 활성 상태인 동안, 위상 검출기(D6)는 코드(B[6:1])를 출력하지 않을 수 있다. 제어 신호(PER)가 비활성화된 후, 위상 검출기(D6)는 코드(B[6:1])를 코드 보상기(D7)로 출력할 수 있다.
- [0086] 코드 보상기(D7)는 위상 검출기(D6)로부터 코드(B[6:1])를 수신한다. 코드 보상기(D7)는 지연 고정 루프(DLL)의 입력, 출력, 처리 등에 소요되는 부수적인 지연들을 반영하여, 코드(B[6:1])를 보상할 수 있다. 코드 보상기(D7)는 보상된 코드(A[6:1])를 위상 선택기(D8)로 출력할 수 있다.
- [0087] 위상 선택기(D8)는 보상된 코드(A[6:1])에 기반하여, 지연 라인(D3)의 출력들(P1~P16) 중 하나를 선택할 수 있다. 선택된 출력은 내부 신호(iDQS)로 출력될 수 있다.
- [0088] 상술된 예에서, 위상 검출기(D6)는 타이밍 신호(TS)의 1/4 주기를 검출하여 코드(B[6:1])를 생성하는 것으로 설명되었다. 지연 라인(D3)이 타이밍 신호(TS) 및 반전 타이밍 신호(/TS)를 64번 지연하는 경우, 타이밍 신호(TS)의 1주기는 64개의 지연 포인트들(예를 들어, 64개의 감지기들)에서 검출될 수 있다. 타이밍 신호(TS)의 1/4 주기는 64의 1/4인 16개의 지연 포인트들(예를 들어, 16개의 감지기들)에서 검출될 수 있다. 따라서, 위상 선택기(D8)는 지연 라인(D3)의 제1 내지 제16 출력들(P1~P16) 중 하나를 선택함으로써, 타이밍 신호(TS)로부터 1/4 주기만큼 지연된 신호를 선택할 수 있다.
- [0089] 위상 선택기(D8)는 거친 위상 선택기(D9), 위상 보간기(D10) 및 정교한 위상 선택기(D11)를 포함할 수 있다. 거친 위상 선택기(D9)는 보상된 코드(A[6:1]) 중 4개의 비트들을 이용하여, 제1 내지 제16 출력들(P1~P16)로부터 2 개의 출력들을 선택할 수 있다. 예를 들어, 거친 위상 선택기(D9)는 타이밍 신호(TS)의 1/4 주기에 가장 인접한 두 개의 출력들을 선택할 수 있다.
- [0090] 위상 보간기(D10)는 거친 위상 선택기의 출력 신호들에 대해 위상 보간을 수행하여, 4개의 신호들을 출력할 수 있다. 정교한 위상 선택기(D11)는 보상된 코드(A[6:1])의 나머지 두 개의 비트들을 이용하여, 위상 보간기(D10)의 4 개의 출력 신호들 중 하나를 내부 신호(iDQS)로서 선택할 수 있다.
- [0091] 도 6을 참조하여, 지연 고정 루프(DLL)의 상세한 구성이 설명되었으나, 지연 고정 루프(DLL)의 구성은 도 6에 도시된 것으로 한정되지 않는다. 지연 고정 루프(DLL)의 구성은 본 발명의 기술적 사상으로부터 피리되지 않는 한 다양하게 변경 및 응용될 수 있다.
- [0092] 도 7은 리타이밍 회로(113a)에 입력 및 출력되는 신호들을 보여주는 타이밍도이다. 예시적으로, 불휘발성 메모리(110)의 읽기 시에 리타이밍 회로(113a)에 입력 및 출력되는 신호들이 도 7에 도시된다. 도 1, 도 5 내지 도 7을 참조하면, 제1 시간(T1)에 읽기 인에이블 신호(/RE)가 활성화된다. 예를 들어, 메모리 컨트롤러(120)는 불휘발성 메모리(110)에 대한 읽기 동작을 수행함에 따라, 읽기 인에이블 신호(/RE)를 활성화할 수 있다. 읽기 인에이블 신호(/RE)가 활성화됨에 따라, 제1 시간(T1)에 제어 신호(PER) 또한 활성화될 수 있다.
- [0093] 읽기 인에이블 신호(/RE)가 활성화된 후 제2 시간(T2)에, 읽기 인에이블 신호(/RE)가 주기적으로 토글(toggle)하기 시작할 수 있다. 예를 들어, 읽기 인에이블 신호(/RE)가 활성화된 후 읽기 프림블 시간(tRPRE)이 경과한 제2 시간(T2)부터, 읽기 인에이블 신호(/RE)가 주기적으로 천이할 수 있다.
- [0094] 제어 신호(PER)는 읽기 인에이블 신호(/RE)가 주기적으로 토글하기 시작한 후 한주기 반의 시간(또는 위상)이 경과한 후에 비활성화될 수 있다. 예를 들어, 제어 신호(PER)는 읽기 인에이블 신호(/RE)가 두 번 토글(또는 네 번 천이)할 때까지 활성 상태를 유지할 수 있다.
- [0095] 제어 신호(PER)가 활성화된 동안, 읽기 인에이블 신호(/RE)가 타이밍 신호(TS)로 출력된다. 따라서, 제어 신호(PER)가 활성화된 동안, 타이밍 신호(TS)의 파형은 읽기 인에이블 신호(/RE)와 동일하게 한주기 반에 걸쳐 토글(또는 천이)할 수 있다. 타이밍 신호(TS)가 읽기 인에이블 신호(/RE)에 따라 토글(또는 천이)하는 동안, 지연 고정 루프(DLL)의 위상 검출기(D6)는 타이밍 신호(TS)의 1/4 주기에 해당하는 고정 지연을 검출할 수 있다.
- [0096] 제어 신호(PER)가 활성화된 동안, 즉 지연 고정 루프(DLL)가 고정 지연을 검출하는 동안, 리타이밍 회로(113a)는 신호를 출력하지 않는다. 예를 들어, 제어 신호(PER)가 활성화된 동안, 위상 검출기(D6)는 코드(B[6:1])를 출력하지 않는다. 따라서, 타이밍 신호(TS)가 토글(또는 천이)하여도, 내부 신호(iDQS)는 비활성 상태를 유지한다.

- [0097] 읽기 인에이블 신호(/RE)가 주기적으로 토글(또는 천이)하기 시작한 후 미리 정해진 시간(tDQSRE)이 경과하면, 제3 시간(T3)에, 데이터 스트로브 신호(DQS)가 주기적으로 토글(또는 천이)하기 시작한다. 예를 들어, 불휘발성 메모리 장치(111)는 제2 시간(T2)으로부터 주기적으로 토글(또는 천이)하는 읽기 인에이블 신호(/RE)를 리타이밍 회로(113a)의 제2 터미널(T2)을 통해 수신할 수 있다. 불휘발성 메모리 장치(111)는 주기적으로 토글하는 읽기 인에이블 신호(/RE)에 기반하여, 주기적으로 천이하는 데이터 스트로브 신호(DQS)를 리타이밍 회로(113a)의 제4 터미널(T4)로 전달할 수 있다.
- [0098] 데이터 스트로브 신호(DQS)는 읽기 인에이블 신호(/RE)와 동일한 주기 또는 주파수를 가질 수 있다. 불휘발성 메모리 장치(111)는 읽기 인에이블 신호(/RE)가 주기적으로 토글하기 시작한 후 미리 정해진 시간(tDQSRE)이 경과한 때에, 데이터 스트로브 신호(DQS)를 토글하기 시작할 수 있다.
- [0099] 데이터 스트로브 신호(DQS)가 토글하기 시작하면, 지연 고정 루프(DLL)는 읽기 인에이블 신호(/RE)로부터 검출된 고정 지연을 이용하여, 데이터 스트로브 신호(DQS)로부터 내부 신호(iDQS)를 생성할 수 있다. 위상 검출기(D6)는 읽기 인에이블 신호(/RE)로부터 검출된 1/4 주기의 고정 지연을 이용하여, 데이터 스트로브 신호(DQS)로부터 내부 신호(iDQS)를 생성할 수 있다.
- [0100] 제어 신호(PER)가 비활성 상태이므로, 데이터 스트로브 신호(DQS)가 타이밍 신호(TS)로서 제공된다. 제어 신호(PER)가 비활성 상태이므로, 위상 검출기(D6)는, 데이터 스트로브 신호(DQS)가 1/4 주기의 고정 지연 만큼 지연된 신호를 내부 신호(iDQS)로 출력할 수 있다.
- [0101] 불휘발성 메모리 장치(111)는 데이터 스트로브 신호(DQS)를 토글하기 시작함과 함께, 제1 데이터(DATA1)를 리타이밍 회로(113a)의 제6 터미널(T6)로 전달할 수 있다.
- [0102] 데이터 리타이밍부(117a)의 제1 플립플롭(FF1)은 내부 신호(iDQS)에 동기되어 제6 터미널(T6)을 통해 수신되는 제1 데이터(DATA1)를 저장 및 출력한다. 내부 신호(iDQS)는 데이터 스트로브 신호(DQS)가 1/4 주기의 고정 지연 만큼 지연된 신호이다. 따라서, 제1 플립플롭(FF1)은 내부 신호(iDQS)에 동기되어, 제6 터미널(T6)을 통해 수신되는 제1 데이터(DATA1)를 최적의 타이밍에 저장 및 출력할 수 있다.
- [0103] 제1 플립플롭(FF1)에 의해 재정렬된 제1 데이터(DATA1')는 내부 신호(iDQS)에 동기된다. 리타이밍 회로(113a)는 내부 신호(iDQS)를 재정렬된 제1 데이터(DATA1')와 동기된 데이터 스트로브 신호(DQS)로서 제3 터미널(T3)을 통해 출력할 수 있다.
- [0104] 도 5 내지 도 7을 참조하여 설명된 실시 예에 따르면, 리타이밍 회로(113a)는 읽기 인에이블 신호(/RE)와 데이터 스트로브 신호(DQS) 사이의 지연 시간(tDQSRE) 동안 고정 지연을 검출한다. 즉, 리타이밍 회로(113a)가 고정 지연을 검출하는 동작은 스토리지 장치(100)의 정상 동작들에 가려져(shadowed) 수행되며, 별도의 시간을 필요로 하지 않는다. 또한, 미리 검출된 고정 지연을 이용하여 데이터 스트로브 신호(DQS)로부터 내부 신호(iDQS)를 생성하므로, 미리 검출된 고정 지연인 1/4 주기의 지연 외에 내부 신호(iDQS)를 생성하기 위한 별도의 시간이 요구되지 않는다. 따라서, 리타이밍 회로(113a)는 스토리지 장치(100)의 동작 성능(또는 동작 속도)를 저해하지 않으면서 제1 데이터(DATA1)를 재정렬함으로써, 스토리지 장치(100)의 신뢰성을 향상시킨다.
- [0105] 도 8은 본 발명의 제2 실시 예에 따른 리타이밍 회로(113b)를 보여준다. 도 8을 참조하면, 리타이밍 회로(113b)는 타이밍 신호 처리부(115b) 및 데이터 리타이밍부(117b)를 포함한다.
- [0106] 도 5의 리타이밍 회로(113a)와 비교하면, 타이밍 신호 처리부(115b)에서, 제4 터미널(T4) 및 제3 수신 노드(RX3)를 통해 수신되는 데이터 스트로브 신호(DQS)는 제3 송신 노드(TX3) 및 제3 터미널(T3)로 전달된다. 제3 터미널(T3) 및 제2 수신 노드(RX2)를 통해 수신되는 데이터 스트로브 신호(DQS)는 지연 고정 루프(DLL)로 전달된다.
- [0107] 지연 고정 루프(DLL)는 제2 수신 노드(RX2)를 통해 수신되는 데이터 스트로브 신호(DQS)를 수신한다. 지연 고정 루프(DLL)는 데이터 스트로브 신호(DQS)로부터 고정 지연을 검출하고, 검출된 고정 지연을 이용하여 데이터 스트로브 신호(DQS)로부터 내부 신호(iDQS)를 생성한다. 지연 고정 루프(DLL)는 데이터 스트로브 신호(DQS)보다 데이터 스트로브 신호(DQS)의 1/4 주기만큼 지연된 신호를 내부 신호(iDQS)로 출력할 수 있다. 지연 고정 루프(DLL)로부터 출력되는 내부 신호(iDQS)는 제2 송신 노드(TX2)를 통해 제4 터미널(T4)로 전달된다. 또한, 내부 신호(iDQS)는 데이터 리타이밍부(117b)로 전달된다.
- [0108] 데이터 리타이밍부(117b)에서, 제6 터미널(T6) 및 제5 수신 노드(RX5)를 통해 수신되는 제1 데이터(DATA1)는 제5 송신 노드(TX5)를 통해 제5 터미널(T5)로 전달된다. 제5 터미널(T5) 및 제4 수신 노드(RX4)를 통해 수신되는

제1 데이터(DATA1)는 제2 플립플롭(FF2)에 전달된다. 제2 플립플롭(FF2)은 타이밍 신호 처리부(115b)로부터 수신되는 내부 신호(iDQS)에 동기되어, 제1 데이터(DATA1)를 저장 및 출력할 수 있다. 즉, 제2 플립플롭(FF2)은 제1 데이터(DATA1)를 재정렬할 수 있다. 제2 플립플롭(FF2)에 의해 재정렬된 제1 데이터(DATA1')는 제4 송신 노드(TX4)를 통해 제6 터미널(T6)로 전달된다.

- [0109] 도 9는 본 발명의 제2 실시 예에 따른 지연 고정 루프(DLL')를 보여준다. 도 8 및 도 9를 참조하면, 지연 고정 루프(DLL')는 고정 제어 회로(D1'), 위상 분리기(D2), 지연 라인(D3), 감지 라인(D4), 래치(D5), 위상 검출기(D6), 코드 보상기(D7), 그리고 위상 선택기(D8)를 포함한다.
- [0110] 도 6의 지연 고정 루프(DLL)와 비교하면, 고정 제어 회로(D1')는 제2 수신 노드(RX2)로부터 데이터 스트로브 신호(DQS)를 수신할 수 있다. 고정 제어 회로(D1')는 제어 신호(PER)에 관계 없이, 데이터 스트로브 신호(DQS)를 타이밍 신호(TS)로서 출력할 수 있다. 고정 제어 회로(D1')는 데이터 스트로브 신호(DQS)의 두 주기 동안 활성 상태를 유지하고, 이후에 비활성화될 수 있다.
- [0111] 도 10은 리타이밍 회로(113b)에 입력 및 출력되는 신호들을 보여주는 타이밍도이다. 예시적으로, 불휘발성 메모리(110)의 쓰기 시에 리타이밍 회로(113b)에 입력 및 출력되는 신호들이 도 10에 도시된다. 도 1, 도 8 내지 도 10을 참조하면, 제1 시간(T1)에 데이터 스트로브 신호(DQS)가 주기적으로 토글(또는 천이)하기 시작한다. 예를 들어, 메모리 컨트롤러(120)는 불휘발성 메모리(110)에 대한 쓰기 동작을 수행함에 따라, 데이터 스트로브 신호(DQS)를 주기적으로 토글할 수 있다. 데이터 스트로브 신호(DQS)가 주기적으로 토글함에 따라, 제1 시간(T1)에 제어 신호(PER) 또한 활성화될 수 있다.
- [0112] 제어 신호(PER)는 데이터 스트로브 신호(DQS)가 주기적으로 토글하기 시작한 후 두 주기의 시간(또는 위상)이 경과한 후에 비활성화될 수 있다. 예를 들어, 제어 신호(PER)는 데이터 스트로브 신호(DQS)가 두 번 토글(또는 네 번 천이)할 때까지 활성 상태를 유지할 수 있다.
- [0113] 제어 신호(PER)의 활성 여부에 관계 없이, 데이터 스트로브 신호(DQS)가 타이밍 신호(TS)로 제공된다. 따라서, 타이밍 신호(TS)는 데이터 스트로브 신호(DQS)와 동일한 파형을 가질 수 있다.
- [0114] 제어 신호(PER)가 활성화된 동안, 지연 고정 루프(DLL)의 위상 검출기(D6)는 타이밍 신호(TS)의 1/4 주기에 해당하는 고정 지연을 검출할 수 있다.
- [0115] 제어 신호(PER)가 활성화된 동안, 즉 지연 고정 루프(DLL)가 고정 지연을 검출하는 동안, 리타이밍 회로(113b)는 신호를 출력하지 않는다. 예를 들어, 제어 신호(PER)가 활성화된 동안, 위상 검출기(D6)는 코드(B[6:1])를 출력하지 않는다. 따라서, 타이밍 신호(TS)가 토글(또는 천이)하여도, 내부 신호(iDQS)는 비활성 상태를 유지한다.
- [0116] 제어 신호(PER)가 비활성화된 후, 제2 시간(T2)에, 위상 검출기(D6)는 코드(B[6:1])를 출력한다. 따라서, 지연 고정 루프(DLL)는 데이터 스트로브 신호(DQS)보다 1/4 주기만큼 지연된 내부 신호(iDQS)를 출력한다.
- [0117] 예시적으로, 메모리 컨트롤러(120)는 토글 낸드 플래시 메모리의 표준에서 정의된 "Latency2"에 따라 데이터 스트로브 신호(DQS)를 제어할 수 있다. "Latency2"에 따르면, 메모리 컨트롤러(120)는 데이터 스트로브 신호(DQS)를 두 주기 동안 토글한 후에, 데이터 스트로브 신호(DQS)와 동기된 제1 데이터(DATA1)를 전송할 수 있다. 따라서, 메모리 컨트롤러(120)는 데이터 스트로브 신호(DQS)가 두 주기 동안 토글한 후 제2 시간에, 제5 터미널(T5)로 데이터 스트로브 신호(DQS)와 동기된 제1 데이터(DATA1)를 전송할 수 있다.
- [0118] 데이터 리타이밍부(117b)의 제2 플립플롭(FF2)은 내부 신호(iDQS)에 동기되어 제5 터미널(T5)을 통해 수신되는 제1 데이터(DATA1)를 저장 및 출력한다. 내부 신호(iDQS)는 데이터 스트로브 신호(DQS)가 1/4 주기의 고정 지연만큼 지연된 신호이다. 따라서, 제2 플립플롭(FF2)은 내부 신호(iDQS)에 동기되어, 제5 터미널(T5)을 통해 수신되는 제1 데이터(DATA1)를 최적의 타이밍에 저장 및 출력할 수 있다.
- [0119] 제2 플립플롭(FF2)에 의해 재정렬된 제1 데이터(DATA1')는 내부 신호(iDQS)에 동기된다. 리타이밍 회로(113b)는 내부 신호(iDQS)를 재정렬된 제1 데이터(DATA1')와 동기된 데이터 스트로브 신호(DQS)로서 제4 터미널(T4)을 통해 출력할 수 있다.
- [0120] 도 8 내지 도 10을 참조하여 설명된 실시 예에 따르면, 리타이밍 회로(113b)는 "Latency2"에 의해 정의된 데이터 스트로브 신호(DQS)의 더미 토글 구간 동안에 고정 지연을 검출한다. 즉, 리타이밍 회로(113b)가 고정 지연을 검출하는 동작은 스토리지 장치(100)의 정상 동작들에 가려져(shadowed) 수행되며, 별도의 시간을 필요로 하지 않는다. 또한, 미리 검출된 고정 지연을 이용하여 데이터 스트로브 신호(DQS)로부터 내부 신호(iDQS)를 생성

하므로, 미리 검출된 고정 지연인 1/4 주기의 지연 외에 내부 신호(iDQS)를 생성하기 위한 별도의 시간이 요구되지 않는다. 따라서, 리타이밍 회로(113b)는 스토리지 장치(100)의 동작 성능(또는 동작 속도)를 저해하지 않으면서 제1 데이터(DATA1)를 재정렬함으로써, 스토리지 장치(100)의 신뢰성을 향상시킨다.

- [0121] 도 11은 본 발명의 제3 실시 예에 따른 리타이밍 회로(113c)를 보여준다. 도 11을 참조하면, 리타이밍 회로(113c)는 타이밍 신호 처리부(115c), 데이터 리타이밍부(117c), 그리고 커맨드 식별부(119c)를 포함한다.
- [0122] 도 5 및 도 8의 리타이밍 회로들(113a, 113b)와 비교하면, 리타이밍 회로(113c)는 커맨드 식별부(119c)를 더 포함한다. 커맨드 식별부(119c)는 제7 터미널(T7)을 통해 메모리 컨트롤러(120)로부터 어드레스 래치 인에이블 신호(ALE), 커맨드 래치 인에이블 신호(CLE), 쓰기 인에이블 신호(/WE), 그리고 제1 내지 제N 칩 인에이블 신호들(/CE1~/CEN)을 수신할 수 있다. 제7 터미널(T7)은 도 2에서, 어드레스 래치 인에이블 신호(ALE), 커맨드 래치 인에이블 신호(CLE), 쓰기 인에이블 신호(/WE), 그리고 제1 내지 제N 칩 인에이블 신호들(/CE1~/CEN)을 각각 수신하는 리타이밍 회로(113)의 패드들에 대응할 수 있다. 또한, 커맨드 식별부(119c)는 제5 터미널(T5)을 통해 제1 커맨드(CMD1)를 수신할 수 있다.
- [0123] 커맨드 식별부(119c)는 제8 터미널(T8)을 통해 불휘발성 메모리 장치(111)로 어드레스 래치 인에이블 신호(ALE), 커맨드 래치 인에이블 신호(CLE), 쓰기 인에이블 신호(/WE), 그리고 제1 내지 제N 칩 인에이블 신호들(/CE1~/CEN)을 출력할 수 있다. 제8 터미널(T8)은 도 3에서, 어드레스 래치 인에이블 신호(ALE), 커맨드 래치 인에이블 신호(CLE), 쓰기 인에이블 신호(/WE), 그리고 제1 내지 제N 칩 인에이블 신호들(/CE1~/CEN)을 각각 출력하는 리타이밍 회로(113)의 패드들에 대응할 수 있다.
- [0124] 커맨드 식별부(119c)는 제6 수신 노드(RX6), 제6 송신 노드(TX6), 그리고 커맨드 디코더(CD)를 포함한다.
- [0125] 제6 수신 노드(RX6)은 제7 터미널(T7)로부터 어드레스 래치 인에이블 신호(ALE), 커맨드 래치 인에이블 신호(CLE), 쓰기 인에이블 신호(/WE), 그리고 제1 내지 제N 칩 인에이블 신호들(/CE1~/CEN)을 수신할 수 있다. 제6 수신 노드(RX6)를 통해 수신된 어드레스 래치 인에이블 신호(ALE), 커맨드 래치 인에이블 신호(CLE), 쓰기 인에이블 신호(/WE), 그리고 제1 내지 제N 칩 인에이블 신호들(/CE1~/CEN)은 커맨드 디코더(CD)로 전달된다.
- [0126] 커맨드 디코더(CD)는 제7 터미널(T7)로부터 수신되는 어드레스 래치 인에이블 신호(ALE), 커맨드 래치 인에이블 신호(CLE), 쓰기 인에이블 신호(/WE), 그리고 제1 내지 제N 칩 인에이블 신호들(/CE1~/CEN)에 기반하여, 제5 터미널(T5)로부터 수신되는 신호가 제1 커맨드(CMD1)인지 식별할 수 있다. 예를 들어, 메모리 컨트롤러(120)가 칩 인에이블 신호들(/CE1~/CEN) 중 하나를 활성화(예를 들어, 로직 로우)하고, 커맨드 래치 인에이블 신호(CLE)를 활성화(예를 들어, 로직 하이)하고, 어드레스 래치 인에이블 신호(ALE)를 비활성화(예를 들어, 로직 로우)하고, 쓰기 인에이블 신호(/WE)를 활성화(예를 들어, 로직 로우)한 후 비활성화(예를 들어, 로직 하이)할 때, 리타이밍 회로(113)는 제5 터미널(T5)을 통해 제1 커맨드(CMD1)가 수신되는 것으로 식별할 수 있다.
- [0127] 제5 터미널(T5)을 통해 제1 커맨드(CMD1)가 수신될 때, 커맨드 디코더(CD)는 수신되는 제1 커맨드(CMD1)가 읽기 커맨드인지 또는 쓰기 커맨드인지 식별할 수 있다. 식별 결과에 따라, 커맨드 디코더(CD)는 제어 신호(RW)를 제어할 수 있다. 예를 들어, 제1 커맨드(CMD1)가 읽기 커맨드일 때, 커맨드 디코더(CD)는 제어 신호(RW)를 제1 값으로 제어할 수 있다. 제1 커맨드(CMD1)가 쓰기 커맨드일 때, 커맨드 디코더(CD)는 제어 신호(RW)를 제2 값으로 제어할 수 있다. 제1 커맨드(CMD1)가 읽기 커맨드 또는 쓰기 커맨드가 아닐 때, 커맨드 디코더(CD)는 제어 신호(RW)를 비활성화할 수 있다. 제어 신호(RW)는 타이밍 신호 처리부(115c)로 전달된다.
- [0128] 커맨드 디코더(CD)는 어드레스 래치 인에이블 신호(ALE), 커맨드 래치 인에이블 신호(CLE), 쓰기 인에이블 신호(/WE), 그리고 제1 내지 제N 칩 인에이블 신호들(/CE1~/CEN)를 제6 송신 노드(TX6)를 통해 제8 터미널(T8)로 전달할 수 있다.
- [0129] 제1 터미널(T1) 및 제1 수신 노드(RX1)를 통해 수신되는 읽기 인에이블 신호(/RE)는 제1 멀티플렉서(MUX1)로 전달되며, 제1 송신 노드(TX1)를 통해 제2 터미널(T2)로 전달된다.
- [0130] 제3 터미널(T3) 및 제2 수신 노드(RX2)를 통해 수신되는 데이터 스트로브 신호(DQS)는 제1 멀티플렉서(MUX1)로 전달된다. 제4 터미널(T4) 및 제3 수신 노드(RX3)를 통해 수신되는 데이터 스트로브 신호(DQS)는 제1 멀티플렉서(MUX1)로 전달된다.
- [0131] 제1 멀티플렉서(MUX1)는 제1 수신 노드(RX1)로부터 읽기 인에이블 신호(/RE)를 수신하고, 제2 수신 노드(RX2)로부터 데이터 스트로브 신호(DQS)를 수신하고, 제3 수신 노드(RX3)로부터 데이터 스트로브 신호(DQS)를 수신하고, 그리고 커맨드 디코더(CD)로부터 제어 신호(RW)를 수신한다. 제어 신호(RW)가 읽기를 가리킬 때, 제1

멀티플렉서(MUX1)는 제1 수신 노드(RX1)로부터 수신된 읽기 인에이블 신호(/RE) 및 제3 수신 노드(RX3)로부터 수신된 데이터 스트로브 신호(DQS)를 지연 고정 루프(DLL)로 전달할 수 있다. 제어 신호(RW)가 쓰기를 가리킬 때, 제1 멀티플렉서(MUX1)는 제2 수신 노드(RX2)로부터 수신된 데이터 스트로브 신호(DQS)를 지연 고정 루프(DLL)로 전달할 수 있다.

- [0132] 지연 고정 루프(DLL)는, 읽기 시에, 제1 멀티플렉서(MUX1)로부터 읽기 인에이블 신호(/RE) 및 제3 수신 노드(RX3)로부터 수신되는 데이터 스트로브 신호(DQS)를 수신한다. 도 5 내지 도 7을 참조하여 설명된 바와 같이, 지연 고정 루프(DLL)는 읽기 인에이블 신호(/RE)로부터 1/4 주기의 고정 지연을 검출하고, 검출된 고정 지연을 이용하여 데이터 스트로브 신호(DQS)로부터 1/4 주기만큼 지연된 내부 신호(iDQS)를 출력할 수 있다. 내부 신호(iDQS)는 데이터 리타이밍부(115c)로 전달되고, 제3 송신 노드(TX3) 및 제3 터미널(T3)을 통해 데이터 스트로브 신호(DQS)로서 출력된다.
- [0133] 지연 고정 루프(DLL)는, 쓰기 시에, 제2 수신 노드(RX2)로부터 수신되는 데이터 스트로브 신호(DQS)를 제1 멀티플렉서(MUX1)로부터 수신한다. 도 8 내지 도 10을 참조하여 설명된 바와 같이, 지연 고정 루프(DLL)는 데이터 스트로브 신호(DQS)로부터 1/4 주기의 고정 지연을 검출하고, 검출된 고정 지연을 이용하여 데이터 스트로브 신호(DQS)로부터 1/4 주기만큼 지연된 내부 신호(iDQS)를 출력할 수 있다. 내부 신호(iDQS)는 데이터 리타이밍부(115c)로 전달되고, 제2 송신 노드(TX2) 및 제4 터미널(T4)을 통해 데이터 스트로브 신호(DQS)로서 출력된다.
- [0134] 데이터 리타이밍부(115c)에서, 제1 플립플롭(FF1)은, 도 5 내지 도 7을 참조하여 설명된 바와 같이, 읽기 시에 제6 터미널(T6) 및 제5 수신 노드(RX5)를 통해 수신되는 제1 데이터(DATA1)를 내부 신호(iDQS)에 동기되어 재정렬할 수 있다. 제2 플립플롭(FF2)은, 도 8 내지 도 10을 참조하여 설명된 바와 같이, 쓰기 시에 제5 터미널(T5) 및 제4 수신 노드(RX4)를 통해 수신되는 제1 데이터(DATA1)를 내부 신호(iDQS)에 동기되어 재정렬할 수 있다.
- [0135] 상술된 바와 같이, 리타이밍 회로(113c)는 읽기 및 쓰기 시에, 메모리 컨트롤러(120) 및 불휘발성 메모리(110) 사이에서 교환되는 제1 데이터(DATA1)를 리타이밍할 수 있다. 리타이밍 회로(113c)의 리타이밍은, 스토리지 장치(100)의 정상 동작들에 가려져(shadowed) 수행되며, 별도의 시간을 필요로 하지 않는다. 따라서, 리타이밍 회로(113c)는 스토리지 장치(100)의 동작 성능(또는 동작 속도)를 저해하지 않으면서 제1 데이터(DATA1)를 재정렬함으로써, 스토리지 장치(100)의 신뢰성을 향상시킨다.
- [0136] 도 12는 본 발명의 제4 실시 예에 따른 리타이밍 회로(115d)를 보여준다. 도 12를 참조하면, 리타이밍 회로(113d)는 타이밍 신호 처리부(115d), 데이터 리타이밍부(117d), 그리고 커맨드 식별부(119d)를 포함한다. 도 11의 리타이밍 회로(113c)와 비교하면, 리타이밍 회로(113d)는 제1 데이터(DATA1)의 리타이밍을 선택적으로 수행할 수 있다.
- [0137] 도 11의 타이밍 신호 처리부(113c)와 비교하면, 타이밍 신호 처리부(113d)는 제2 및 제3 멀티플렉서들(MUX2, MUX3)을 더 포함한다. 제2 멀티플렉서(MUX2)는 지연 고정 루프(DLL)로부터 내부 신호(iDQS)를 수신하고, 제4 터미널(T4) 및 제3 수신 노드(RX3)를 통해 데이터 스트로브 신호(DQS)를 수신할 수 있다. 활성화 신호(EN)에 응답하여, 제2 멀티플렉서(MUX2)는 내부 신호(iDQS) 또는 데이터 스트로브 신호(DQS)를 제3 송신 노드(TX3)로 전달할 수 있다.
- [0138] 제3 멀티플렉서(MUX3)는 지연 고정 루프(DLL)로부터 내부 신호(iDQS)를 수신하고, 제3 터미널(T3) 및 제2 수신 노드(RX2)를 통해 데이터 스트로브 신호(DQS)를 수신한다. 활성화 신호(EN)에 응답하여, 제3 멀티플렉서(MUX3)는 내부 신호(iDQS) 또는 데이터 스트로브 신호(DQS)를 제2 송신 노드(TX2)로 전달할 수 있다.
- [0139] 도 11의 데이터 리타이밍부(115c)와 비교하면, 데이터 리타이밍부(115c)는 제4 및 제5 멀티플렉서들(MUX4, MUX5)을 더 포함한다. 제4 멀티플렉서(MUX4)는 제1 플립플롭(FF1)으로부터 재정렬된 제1 데이터(DATA1')를 수신하고, 제6 터미널(T6) 및 제5 수신 노드(RX5)를 통해 제1 데이터(DATA1)를 수신할 수 있다. 활성화 신호(EN)에 응답하여, 제4 멀티플렉서(MUX4)는 재정렬된 제1 데이터(DATA1') 또는 제1 데이터(DATA1)를 제5 송신 노드(TX5)로 전달할 수 있다.
- [0140] 제5 멀티플렉서(MUX5)는 제2 플립플롭(FF2)으로부터 재정렬된 제1 데이터(DATA1')를 수신하고, 제5 터미널(T5) 및 제4 수신 노드(RX4)를 통해 제1 데이터(DATA1)를 수신한다. 활성화 신호(EN)에 응답하여, 제5 멀티플렉서(MUX5)는 재정렬된 제1 데이터(DATA1') 또는 제1 데이터(DATA1)를 제4 송신 노드(TX4)로 전달한다.
- [0141] 활성화 신호(EN)가 활성화 상태일 때, 제2 멀티플렉서(MUX2) 또는 제3 멀티플렉서(MUX3)를 통해 내부 신호(iDQS)가 데이터 스트로브 신호(DQS)로서 출력된다. 활성화 신호(EN)가 비활성 상태일 때, 제2 멀티플렉서(MUX2) 또는 제3

멀티플렉서(MUX3)를 통해 데이터 스트로브 신호(DQS)가 출력된다.

- [0142] 활성화 신호(EN)가 활성화 상태일 때, 제4 멀티플렉서(MUX4) 또는 제5 멀티플렉서(MUX5)를 통해, 내부 신호(iDQS)와 동기되는 재정렬된 제1 데이터(DATA1')가 출력된다. 활성화 신호(EN)가 비활성 상태일 때, 제4 멀티플렉서(MUX4) 또는 제5 멀티플렉서(MUX5)를 통해, 데이터 스트로브 신호(DQS)와 동기되는 제1 데이터(DATA1)가 출력된다.
- [0143] 즉, 리타이밍 회로(113d)는 활성화 신호(EN)에 따라 선택적으로 리타이밍을 수행할 수 있다. 예시적으로, 활성화 신호(EN)는 메모리 컨트롤러(120)로부터 제공될 수 있다. 예를 들어, 활성화 신호(EN)는 리타이밍 회로(113d) 또는 불휘발성 메모리(110)에 제공되며 메모리 컨트롤러(120)에 의해 제어되는 레지스터의 값에 따라 생성될 수 있다.
- [0144] 도 13은 리타이밍 회로(113e) 및 불휘발성 메모리 장치(111) 사이의 연결 관계의 다른 예를 보여주는 블록도이다. 도 3의 리타이밍 회로(113)와 비교하면, 리타이밍 회로(113e)는 제1 내지 제N 불휘발성 메모리 장치들(111_1~111_N)과 통신하기 위한 별도의 입출력 패드들(DQ1~DQk)을 구비한다. 리타이밍 회로(113e)가 제1 불휘발성 메모리 장치(111_1)와 통신하는 입출력 패드들(DQ1~DQk)은, 리타이밍 회로(113e)가 제N 불휘발성 메모리 장치(111_N)와 통신하는 입출력 패드들(DQ1~DQk)과 다를 수 있다.
- [0145] 도 14는 본 발명의 제5 실시 예에 따른 리타이밍 회로(115e)를 보여준다. 도 13 및 도 14를 참조하면, 리타이밍 회로(115e)는 타이밍 신호 처리부(115e), 데이터 리타이밍부(117e), 그리고 커맨드 식별부(119e)를 포함한다. 도 12의 리타이밍 회로(113d)와 비교하면, 데이터 리타이밍부(117e)는 복수의 제6 터미널들(T6_1~T6_N)을 통해 복수의 불휘발성 메모리 장치들(111_1~111_N)과 각각 제1 데이터(DATA1), 제1 어드레스(ADDR1) 또는 제1 커맨드(CMD1)를 교환한다. 복수의 제6 터미널들(T6_1~T6_N) 각각은 도 13의 리타이밍 회로(113e)의 제1 내지 제N 입출력 패드들(DQ1~DQk)의 한 개의 셋트에 해당할 수 있다.
- [0146] 도 12의 데이터 리타이밍부(117d)와 비교하면, 데이터 리타이밍부(117e)는 제6 멀티플렉서(MUX6)를 더 포함한다. 제6 멀티플렉서(MUX6)는 제4 송신 노드(TX4)를 통해 수신되는 제1 데이터(DATA1), 제1 커맨드(CMD1) 또는 제1 어드레스(ADDR1)를 복수의 제6 터미널들(T6_1~T6_N) 중 하나로 전달할 수 있다. 예를 들어, 제6 멀티플렉서(MUX6)는 제7 터미널(T6)을 통해 복수의 칩 인에이블 신호들(/CE1~/CEN)을 수신할 수 있다. 제6 멀티플렉서(MUX6)는 복수의 제6 터미널들(T6_1~T6_N) 중 활성화된 칩 인에이블 신호에 해당하는 터미널로 제1 데이터(DATA1), 제1 어드레스(ADDR1) 또는 제1 커맨드(CMD1)를 전달할 수 있다.
- [0147] 제6 멀티플렉서(MUX6)는 복수의 제6 터미널들(T6_1~T6_N) 중 하나로부터 수신되는 제1 데이터(DATA1)를 제5 수신 노드(RX5)로 전달할 수 있다.
- [0148] 도 13 및 도 14에서, 리타이밍 회로(113e)는 복수의 불휘발성 메모리 장치들(111_1~111_N)과 서로 다른 입출력 패드들을 통해 통신하는 것으로 설명되었다. 이 경우, 데이터 리타이밍부(117e)의 복수의 제6 터미널들(T6_1~T6_N)의 수는 복수의 불휘발성 메모리 장치들(111_1~111_N)의 수와 동일할 수 있다.
- [0149] 그러나, 복수의 불휘발성 메모리 장치들(111_1~111_N)은 복수의 그룹들로 분할될 수 있다. 각 그룹은 둘 이상의 불휘발성 메모리 장치들을 포함할 수 있다. 리타이밍 회로(113e)는 복수의 그룹들과 서로 다른 입출력 패드들을 통해 통신할 수 있다. 이 경우, 데이터 리타이밍부(117e)의 복수의 제6 터미널들의 수는, 복수의 그룹들의 수와 동일할 수 있다. 각 그룹에 속한 둘 이상의 불휘발성 메모리 장치들은 하나의 제6 터미널을 공유할 수 있다.
- [0150] 도 15는 본 발명의 제2 실시 예에 따른 스토리지 장치(200)를 보여주는 블록도이다. 도 15를 참조하면, 스토리지 장치(200)는 복수의 불휘발성 메모리들(210), 메모리 컨트롤러(220), 그리고 RAM (230)을 포함한다. 각 불휘발성 메모리(210)는 불휘발성 메모리 장치(211) 및 리타이밍 회로(213)를 포함할 수 있다. 각 불휘발성 메모리(210)는 도 2 내지 도 14를 참조하여 설명된 불휘발성 메모리(110)와 동일한 구조를 갖고, 동일한 방법으로 동작할 수 있다. 불휘발성 메모리 장치(211)는 복수의 불휘발성 메모리 장치들로 구성될 수 있다. 리타이밍 회로(213)는 복수의 불휘발성 메모리 장치들 및 메모리 컨트롤러(220) 사이에서 리타이밍을 수행할 수 있다.
- [0151] 메모리 컨트롤러(220)는 공통 채널을 통해 복수의 불휘발성 메모리들(210)과 제1 데이터(DATA1), 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 통신할 수 있다. 메모리 컨트롤러(220)는 공통 채널을 통해 복수의 불휘발성 메모리들(210)과 제어 신호(CTRL')를 교환할 수 있다. 제어 신호(CTRL')는 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE), 읽기 인에이블 신호(/RE), 쓰기 인에이블 신호(/WE), 쓰기 방지 신호(/WP)를 포함할 수 있다.
- [0152] 메모리 컨트롤러(210)는 서로 다른 채널들을 통해 복수의 불휘발성 메모리들(210)과 칩 인에이블 신호(/CE)와

레디 및 비지 신호(R/nB)를 통신할 수 있다. 메모리 컨트롤러(210)는 칩 인에이블 신호(/CE)를 제어함으로써, 불휘발성 메모리들(210) 및 각 불휘발성 메모리(210) 내의 불휘발성 메모리 장치들(211)을 개별적으로 선택할 수 있다. 또한, 메모리 컨트롤러(210)는 레디 및 비지 신호(R/nB)에 기반하여, 불휘발성 메모리들(210) 및 각 불휘발성 메모리(210) 내의 불휘발성 메모리 장치들(211)이 통신 가능한 상태인지 식별할 수 있다.

[0153] 도 16은 본 발명의 제3 실시 예에 따른 스토리지 장치(300)를 보여주는 블록도이다. 도 16을 참조하면, 스토리지 장치(300)는 복수의 불휘발성 메모리들(310), 메모리 컨트롤러(320), 그리고 RAM (330)을 포함한다. 각 불휘발성 메모리(310)는 불휘발성 메모리 장치(311) 및 리타이밍 회로(313)를 포함할 수 있다. 각 불휘발성 메모리(310)는 도 2 내지 도 14를 참조하여 설명된 불휘발성 메모리(110)와 동일한 구조를 갖고, 동일한 방법으로 동작할 수 있다. 불휘발성 메모리 장치(311)는 복수의 불휘발성 메모리 장치들로 구성될 수 있다. 리타이밍 회로(313)는 복수의 불휘발성 메모리 장치들 및 메모리 컨트롤러(320) 사이에서 리타이밍을 수행할 수 있다.

[0154] 불휘발성 메모리들(310)은 복수의 채널들(CH)을 통해 메모리 컨트롤러(320)와 통신할 수 있다. 서로 다른 채널들(CH)에 연결된 불휘발성 메모리들은 서로 독립적으로 메모리 컨트롤러(320)와 통신할 수 있다. 각 채널(CH)에서, 메모리 컨트롤러(320)는 공통 채널을 통해 불휘발성 메모리들(310)과 제1 데이터(DATA1), 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 통신할 수 있다. 각 채널(CH)에서, 메모리 컨트롤러(320)는 공통 채널을 통해 불휘발성 메모리들(310)과 제어 신호(CTRL')를 교환할 수 있다. 제어 신호(CTRL')는 커맨드 래치 인에이블 신호(CLE), 어드레스 래치 인에이블 신호(ALE), 읽기 인에이블 신호(/RE), 쓰기 인에이블 신호(/WE), 쓰기 방지 신호(/WP)를 포함할 수 있다.

[0155] 각 채널(CH)에서, 메모리 컨트롤러(310)는 서로 다른 채널들을 통해 불휘발성 메모리들(310)과 칩 인에이블 신호(/CE)와 레디 및 비지 신호(R/nB)를 통신할 수 있다. 각 채널(CH)에서, 메모리 컨트롤러(310)는 칩 인에이블 신호(/CE)를 제어함으로써, 불휘발성 메모리들(310) 및 각 불휘발성 메모리(310) 내의 불휘발성 메모리 장치들(311)을 개별적으로 선택할 수 있다. 또한, 각 채널(CH)에서, 메모리 컨트롤러(310)는 레디 및 비지 신호(R/nB)에 기반하여, 불휘발성 메모리들(310) 및 각 불휘발성 메모리(310) 내의 불휘발성 메모리 장치들(311)이 통신 가능한 상태인지 식별할 수 있다.

[0156] 도 17은 본 발명의 제4 실시 예에 따른 스토리지 장치(400)를 보여주는 블록도이다. 도 17을 참조하면, 스토리지 장치(400)는 불휘발성 메모리(410), 메모리 컨트롤러(420), RAM (430), 그리고 리타이밍 회로(440)를 포함한다. 도 1을 참조하여 설명된 스토리지 장치(100)와 비교하면, 리타이밍 회로(440)는 불휘발성 메모리(410)의 내부가 아닌 외부에 제공될 수 있다. 리타이밍 회로(440)는 불휘발성 메모리(410) 및 메모리 컨트롤러(420) 사이에서 제1 데이터(DATA1)를 재정렬할 수 있다.

[0157] 불휘발성 메모리(410)는 복수의 불휘발성 메모리 장치들로 구성될 수 있다. 리타이밍 회로(440)는 복수의 불휘발성 메모리들과 통신하도록 구성될 수 있다.

[0158] 도 18은 본 발명의 실시 예에 따른 메모리 컨트롤러(120)를 보여주는 블록도이다. 도 1 및 도 18을 참조하면, 메모리 컨트롤러(120)는 버스(121), 프로세서(122), RAM (123), 호스트 인터페이스(124), 메모리 인터페이스(125), 그리고 버퍼 제어 회로(127)를 포함한다.

[0159] 버스(121)는 메모리 컨트롤러(120)의 구성 요소들 사이에 채널을 제공하도록 구성된다. 예를 들어, 외부의 호스트 장치로부터 메모리 컨트롤러(120)에 수신되는 제2 커맨드(CMD2) 및 제2 어드레스(ADDR2)는 버스(121)를 통해 프로세서(122)로 전달될 수 있다. 프로세서(122)는 제2 커맨드(CMD2) 및 제2 어드레스(ADDR2)에 기반하여, 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 생성할 수 있다. 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)는 버스(121)를 통해 메모리 인터페이스(125)로 전달될 수 있다. 즉, 버스(121)는 호스트 인터페이스(124), 프로세서(122), 그리고 메모리 인터페이스(125) 사이에서 커맨드 및 어드레스가 전송되는 경로를 제공할 수 있다. 또한, 버스(121)는 프로세서(122)가 호스트 인터페이스(124), 메모리 인터페이스(125) 및 버퍼 제어 회로(127)를 제어하는 제어 채널을 제공할 수 있다. 버스(121)는 프로세서(122)가 RAM (123)을 액세스하는 액세스 채널을 제공할 수 있다.

[0160] 프로세서(122)는 메모리 컨트롤러(120)의 제반 동작을 제어하고, 논리 연산을 수행할 수 있다. 프로세서(122)는 호스트 인터페이스(125)를 통해 외부의 호스트 장치와 통신할 수 있다. 프로세서(122)는 호스트 인터페이스(125)를 통해 수신되는 제2 커맨드(CMD2) 또는 제2 어드레스(ADDR2)를 RAM (123)에 저장할 수 있다. 프로세서(122)는 RAM (123)에 저장된 커맨드 또는 어드레스에 따라 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 생성하고, 생성된 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 메모리 인터페이스(125)를 통해 출력할 수 있다.

- [0161] 예를 들어, 제2 어드레스(ADDR2)는 호스트 장치에서 사용되는 논리 어드레스이고, 제1 어드레스(ADDR1)는 불휘발성 메모리(110)에서 사용되는 물리 어드레스일 수 있다. 프로세서(122)는 제2 어드레스(ADDR2)를 제1 어드레스(ADDR1)로 변환할 때 사용되는 정보를 RAM (123)에 로드하고, RAM (123)에 로드된 정보를 참조할 수 있다.
- [0162] 프로세서(122)는 호스트 인터페이스(125)를 통해 수신되는 데이터가 버퍼 제어 회로(127)를 통해 출력되도록 제어할 수 있다. 프로세서(122)는 버퍼 제어 회로(126)를 통해 수신되는 데이터가 메모리 인터페이스(125)로 전달되도록 제어할 수 있다. 프로세서(122)는 메모리 인터페이스(125)를 통해 수신되는 데이터가 버퍼 제어 회로(127)를 통해 출력되도록 제어할 수 있다. 프로세서(122)는 버퍼 제어 회로(127)를 통해 수신되는 데이터가 호스트 인터페이스(124) 또는 메모리 인터페이스(125)를 통해 출력할 수 있다.
- [0163] RAM (123)은 프로세서(122)의 동작 메모리, 캐시 메모리 또는 버퍼 메모리로 사용될 수 있다. RAM (123)은 프로세서(122)가 실행하는 코드들 및 명령들을 저장할 수 있다. RAM (123)은 프로세서(122)에 의해 처리되는 데이터를 저장할 수 있다. RAM (123)은 SRAM (Static RAM)을 포함할 수 있다.
- [0164] 호스트 인터페이스(124)는 프로세서(122)의 제어에 따라, 외부의 호스트 장치와 통신하도록 구성된다. 호스트 인터페이스(124)는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), 파이어와이어(Firewire), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), MMC (MultiMedia Card), eMMC (embedded MMC) 등과 같은 다양한 통신 방법들 중 적어도 하나를 이용하여 통신하도록 구성될 수 있다.
- [0165] 호스트 인터페이스(124)는 호스트 장치로부터 수신되는 제2 커맨드(CMD2) 및 제2 어드레스(ADDR2)를 버스(121)를 통해 프로세서(122)로 전달할 수 있다. 호스트 인터페이스(124)는 호스트 장치로부터 수신되는 제2 데이터(DATA2)를 데이터 채널(DC)을 통해 버퍼 제어 회로(127)로 전달할 수 있다. 호스트 인터페이스(124)는 버퍼 제어 회로(127)로부터 수신되는 제2 데이터(DATA2)를 호스트 장치로 출력할 수 있다.
- [0166] 메모리 인터페이스(125)는 프로세서(122)의 제어에 따라, 불휘발성 메모리(110)와 통신하도록 구성된다. 메모리 인터페이스(125)는 프로세서(122)로부터 버스(121)를 통해 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 수신할 수 있다. 메모리 인터페이스(125)는 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 불휘발성 메모리(110)로 출력할 수 있다. 또한, 메모리 인터페이스(125)는 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)에 기반하여 제어 신호(CTRL)를 생성하고, 생성된 제어 신호(CTRL)를 불휘발성 메모리(110)로 출력할 수 있다.
- [0167] 메모리 인터페이스(125)는 버퍼 제어 회로(127)로부터 데이터 채널(DC)을 통해 제1 데이터(DATA1)를 수신할 수 있다. 메모리 인터페이스(125)는 데이터 채널(DC)을 통해 수신된 제1 데이터(DATA1)를 불휘발성 메모리(110)로 출력할 수 있다. 메모리 인터페이스(125)는 불휘발성 메모리(110)로부터 제어 신호(CTRL) 및 제1 데이터(DATA1)를 수신할 수 있다. 메모리 인터페이스(121)는 불휘발성 메모리(110)로부터 수신되는 제1 데이터(DATA1)를 데이터 채널(DC)을 통해 버퍼 제어 회로(127)로 전달할 수 있다.
- [0168] 메모리 인터페이스(125)는 에러 정정 블록(126)을 포함한다. 에러 정정 블록(126)은 에러 정정을 수행할 수 있다. 에러 정정 블록(126)은 메모리 인터페이스(125)를 통해 불휘발성 메모리(110)로 출력되는 제1 데이터(DATA1)에 기반하여, 에러 정정을 수행하기 위한 패리티를 생성할 수 있다. 생성된 패리티는 제1 데이터(DATA1)와 함께 불휘발성 메모리(110)에 기입될 수 있다. 불휘발성 메모리(110)로부터 제1 데이터(DATA1)가 수신될 때, 제1 데이터(DATA1)와 연관된 패리티가 함께 수신될 수 있다. 에러 정정 블록(126)은 메모리 인터페이스(125)를 통해 수신되는 제1 데이터(DATA1) 및 제1 데이터(DATA1)와 패리티를 이용하여, 제1 데이터(DATA1)의 에러 정정을 수행할 수 있다.
- [0169] 버퍼 제어 회로(127)는 프로세서(122)의 제어에 따라, RAM (130)을 제어하도록 구성된다. 버퍼 제어 회로(127)는 RAM (130)에 데이터를 쓰고, RAM (130)으로부터 데이터를 읽을 수 있다.
- [0170] 예시적으로, 프로세서(122)는 코드들을 이용하여 메모리 컨트롤러(120)를 제어할 수 있다. 프로세서(122)는 메모리 컨트롤러(120)의 내부에 제공되는 불휘발성 메모리(예를 들어, Read Only Memory)로부터 코드들을 읽고, 읽어진 코드들을 RAM (123)에 저장하여 실행할 수 있다. 다른 예로서, 프로세서(122)는 메모리 인터페이스(125)를 통해 수신되는 코드들을 RAM (123)에 저장하여 실행할 수 있다.
- [0171] 예시적으로, 메모리 인터페이스(125) 또는 프로세서(122)는 불휘발성 메모리(110)에 기입되는 제1 데이터(DATA1)에 대해 임의화(randomization)를 더 수행할 수 있다. 임의화는 제1 데이터(DATA1)에서 특정한 패턴이

발생하는 것이 방지되도록, 제1 데이터(DATA1)를 임의적으로 또는 미리 정해진 규칙에 따라 코딩하는 동작일 수 있다. 메모리 인터페이스(125) 또는 프로세서(122)는 불휘발성 메모리(110)로부터 읽히는 제1 데이터(DATA1)에 대해 역임의화(derandomization)를 더 수행할 수 있다.

- [0172] 예시적으로, 메모리 인터페이스(125) 또는 프로세서(122)는 불휘발성 메모리(110)에 기입되는 제1 데이터(DATA1)의 보안성을 향상시키는 암호화(Encryption)를 더 수행할 수 있다. 메모리 인터페이스(125) 또는 프로세서(122)는 불휘발성 메모리(110)로부터 읽히는 제1 데이터(DATA1)에 대해 복호화(decryption)를 더 수행할 수 있다. 암호화 및 복호화는 DES (Data Encryption Standard), AES (Advanced Encryption Standard) 등과 같은 표준 규약에 따라 수행될 수 있다.
- [0173] 예시적으로, 메모리 컨트롤러(120)는 보조 전원을 제공하도록 구성될 수 있다. 예를 들어, 메모리 컨트롤러(120)는 호스트 장치로부터 공급되는 전원을 슈퍼캡(super cap)과 같은 충전소에 저장할 수 있다. 호스트 장치로부터 공급되는 전원이 갑자기 차단될 때에, 메모리 컨트롤러(120)는 충전소에 저장된 전원을 보조 전원으로 사용할 수 있다. 메모리 컨트롤러(120)는 보조 전원을 이용하여, 메모리 컨트롤러(120)의 동작 상태에 대한 백업을 수행하거나, 불휘발성 메모리(110)에 아직 기입되지 않은 데이터를 기입할 수 있다. 메모리 컨트롤러(120)는 보조 전원을 이용하여, 정상적인 파워 오프 시퀀스를 수행할 수 있다.
- [0174] 도 19는 본 발명의 제5 실시 예에 따른 스토리지 장치(500)를 보여주는 블록도이다. 도 19를 참조하면, 스토리지 장치(500)는 불휘발성 메모리(510) 및 메모리 컨트롤러(520)를 포함한다. 불휘발성 메모리(510)는 불휘발성 메모리 장치(511) 및 리타이밍 회로(513)를 포함한다.
- [0175] 도 1의 스토리지 장치(100)와 비교하면, 스토리지 장치(500)에 RAM이 제공되지 않는다. 메모리 컨트롤러(520)는 외부의 RAM 대신에 내부의 RAM을 사용하여 동작할 수 있다.
- [0176] 도 20은 본 발명의 실시 예에 따른 메모리 컨트롤러(520)를 보여주는 블록도이다. 도 20을 참조하면, 메모리 컨트롤러(520)는 버스(521), 프로세서(522), RAM (523), 호스트 인터페이스(524), 그리고 메모리 인터페이스(525)를 포함한다.
- [0177] 버스(521)는 메모리 컨트롤러(120)의 구성 요소들 사이에 채널을 제공하도록 구성된다.
- [0178] 프로세서(522)는 메모리 컨트롤러(520)의 제반 동작을 제어하고, 논리 연산을 수행할 수 있다. 프로세서(522)는 호스트 인터페이스(525)를 통해 외부의 호스트 장치와 통신할 수 있다. 프로세서(522)는 호스트 인터페이스(525)를 통해 수신되는 제2 커맨드(CMD2) 또는 제2 어드레스(ADDR2)를 RAM (523)에 저장할 수 있다. 프로세서(522)는 RAM (523)에 저장된 커맨드 또는 어드레스에 따라 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 생성하고, 생성된 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 메모리 인터페이스(525)를 통해 출력할 수 있다.
- [0179] 예를 들어, 제2 어드레스(ADDR2)는 호스트 장치에서 사용되는 논리 어드레스이고, 제1 어드레스(ADDR1)는 불휘발성 메모리(510)에서 사용되는 물리 어드레스일 수 있다. 프로세서(122)는 제2 어드레스(ADDR2)를 제1 어드레스(ADDR1)로 변환할 때에 사용되는 정보를 RAM (523)에 로드하고, RAM (523)에 로드된 정보를 참조할 수 있다.
- [0180] 프로세서(522)는 호스트 인터페이스(525)를 통해 수신되는 제2 데이터(DATA2)를 RAM (523)에 저장할 수 있다. 프로세서(522)는 RAM (523)에 저장된 데이터를 제1 데이터(DATA1)로서 메모리 인터페이스(525)로 전달할 수 있다. 프로세서(522)는 메모리 인터페이스(525)를 통해 수신되는 제1 데이터(DATA1)를 RAM (523)에 저장할 수 있다. 프로세서(522)는 RAM (523)에 저장된 데이터를 제2 데이터(DATA2)로서 호스트 인터페이스(524)를 통해 출력할 수 있다.
- [0181] RAM (523)은 프로세서(522)의 동작 메모리, 캐시 메모리 또는 버퍼 메모리로 사용될 수 있다. RAM (523)은 프로세서(522)가 실행하는 코드들 및 명령들을 저장할 수 있다. RAM (523)은 프로세서(522)에 의해 처리되는 데이터를 저장할 수 있다. RAM (523)은 불휘발성 메모리(510)에 기입되는 제1 데이터(DATA1) 또는 불휘발성 메모리(510)로부터 읽히는 제1 데이터(DATA1)를 저장할 수 있다. RAM (523)은 SRAM (Static RAM)을 포함할 수 있다.
- [0182] 호스트 인터페이스(524)는 프로세서(522)의 제어에 따라, 외부의 호스트 장치와 통신하도록 구성된다. 호스트 인터페이스(524)는 USB (Universal Serial Bus), SATA (Serial AT Attachment), SAS (Serial Attached SCSI), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), 파이어와이어(Firewire), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), MMC (MultiMedia Card), eMMC (embedded MMC) 등과 같은 다양한 통신 방법들 중 적어도 하나를 이용하여 통신하도록 구성될 수 있다.

- [0183] 호스트 인터페이스(524)는 호스트 장치로부터 수신되는 제2 커맨드(CMD2) 및 제2 어드레스(ADDR2)를 버스(521)를 통해 프로세서(522)로 전달할 수 있다. 호스트 인터페이스(524)는 호스트 장치로부터 수신되는 제2 데이터(DATA2)를 버스(521)를 통해 RAM (523)으로 전달할 수 있다. 호스트 인터페이스(524)는 RAM (523)으로부터 버스(521)를 통해 전달되는 제2 데이터(DATA2)를 호스트 장치로 출력할 수 있다.
- [0184] 메모리 인터페이스(525)는 프로세서(522)의 제어에 따라, 불휘발성 메모리(510)와 통신하도록 구성된다. 메모리 인터페이스(525)는 프로세서(522)로부터 버스(521)를 통해 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 수신할 수 있다. 메모리 인터페이스(525)는 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)를 불휘발성 메모리(510)로 출력할 수 있다. 또한, 메모리 인터페이스(525)는 제1 커맨드(CMD1) 및 제1 어드레스(ADDR1)에 기반하여 제어 신호(CTRL)를 생성하고, 생성된 제어 신호(CTRL)를 불휘발성 메모리(510)로 출력할 수 있다.
- [0185] 메모리 인터페이스(525)는 RAM (523)으로부터 버스(521)를 통해 전달되는 제1 데이터(DATA1)를 불휘발성 메모리(510)로 출력할 수 있다. 메모리 인터페이스(525)는 불휘발성 메모리(510)로부터 제어 신호(CTRL) 및 제1 데이터(DATA1)를 수신할 수 있다. 메모리 인터페이스(521)는 불휘발성 메모리(510)로부터 수신되는 제1 데이터(DATA1)를 버스(521)를 통해 RAM (523)으로 전달할 수 있다.
- [0186] 메모리 인터페이스(525)는 에러 정정 블록(526)을 포함한다. 에러 정정 블록(526)은 에러 정정을 수행할 수 있다. 에러 정정 블록(526)은 메모리 인터페이스(525)를 통해 불휘발성 메모리(510)로 출력되는 제1 데이터(DATA1)에 기반하여, 에러 정정을 수행하기 위한 패리티를 생성할 수 있다. 생성된 패리티는 제1 데이터(DATA1)와 함께 불휘발성 메모리(510)에 기입될 수 있다. 불휘발성 메모리(510)로부터 제1 데이터(DATA1)가 수신될 때, 제1 데이터(DATA1)와 연관된 패리티가 함께 수신될 수 있다. 에러 정정 블록(526)은 메모리 인터페이스(525)를 통해 수신되는 제1 데이터(DATA1) 및 제1 데이터(DATA1)와 패리티를 이용하여, 제1 데이터(DATA1)의 에러 정정을 수행할 수 있다.
- [0187] 예시적으로, 프로세서(522)는 코드들을 이용하여 메모리 컨트롤러(520)를 제어할 수 있다. 프로세서(522)는 메모리 컨트롤러(520)의 내부에 제공되는 불휘발성 메모리(예를 들어, Read Only Memory)로부터 코드들을 읽고, 읽어진 코드들을 RAM (523)에 저장하여 실행할 수 있다. 다른 예로서, 프로세서(522)는 메모리 인터페이스(525)를 통해 수신되는 코드들을 RAM (523)에 저장하여 실행할 수 있다.
- [0188] 예시적으로, 메모리 인터페이스(525) 또는 프로세서(522)는 불휘발성 메모리(510)에 기입되는 제1 데이터(DATA1)에 대해 임의화(randomization)를 더 수행할 수 있다. 임의화는 제1 데이터(DATA1)에서 특정한 패턴이 발생하는 것이 방지되도록, 제1 데이터(DATA1)를 임의적으로 또는 미리 정해진 규칙에 따라 코딩하는 동작일 수 있다. 메모리 인터페이스(525) 또는 프로세서(522)는 불휘발성 메모리(510)로부터 읽히는 제1 데이터(DATA1)에 대해 역임의화(derandomization)를 더 수행할 수 있다.
- [0189] 예시적으로, 메모리 인터페이스(525) 또는 프로세서(522)는 불휘발성 메모리(510)에 기입되는 제1 데이터(DATA1)의 보안성을 향상시키는 암호화(Encryption)를 더 수행할 수 있다. 메모리 인터페이스(525) 또는 프로세서(522)는 불휘발성 메모리(510)로부터 읽히는 제1 데이터(DATA1)에 대해 복호화(decryption)를 더 수행할 수 있다. 암호화 및 복호화는 DES (Data Encryption Standard), AES (Advanced Encryption Standard) 등과 같은 표준 규약에 따라 수행될 수 있다.
- [0190] 예시적으로, 메모리 컨트롤러(520)는 보조 전원을 제공하도록 구성될 수 있다. 예를 들어, 메모리 컨트롤러(520)는 호스트 장치로부터 공급되는 전원을 슈퍼캡(super cap)과 같은 충전소에 저장할 수 있다. 호스트 장치로부터 공급되는 전원이 갑자기 차단될 때에, 메모리 컨트롤러(520)는 충전소에 저장된 전원을 보조 전원으로 사용할 수 있다. 메모리 컨트롤러(520)는 보조 전원을 이용하여, 메모리 컨트롤러(520)의 동작 상태에 대한 백업을 수행하거나, 불휘발성 메모리(510)에 아직 기입되지 않은 데이터를 기입할 수 있다. 메모리 컨트롤러(520)는 보조 전원을 이용하여, 정상적인 파워 오프 시퀀스를 수행할 수 있다.
- [0191] 도 21은 본 발명의 실시 예에 따른 불휘발성 메모리(110)를 보여주는 블록도이다. 도 1 및 도 21을 참조하면, 불휘발성 메모리(110)는 메모리 셀 어레이(111), 어드레스 디코더 회로(113), 페이지 버퍼 회로(115), 데이터 입출력 회로(117), 그리고 제어 로직 회로(119)를 포함한다.
- [0192] 메모리 셀 어레이(111)는 복수의 메모리 블록들(BLK1~BLKz)을 포함한다. 각 메모리 블록은 복수의 메모리 셀들을 포함한다. 각 메모리 블록은 적어도 하나의 접지 선택 라인(GSL), 복수의 워드 라인들(WL), 그리고 적어도 하나의 스트링 선택 라인(SSL)을 통해 어드레스 디코더 회로(113)에 연결될 수 있다. 각 메모리 블록은 복수의 비트 라인들(BL)을 통해 페이지 버퍼 회로(115)에 연결될 수 있다. 복수의 메모리 블록들(BLK1~BLKz)은 복수의

비트 라인들(BL)에 공통으로 연결될 수 있다. 복수의 메모리 블록들(BLK1~BLKz)의 메모리 셀들은 동일한 구조들을 가질 수 있다. 예시적으로, 복수의 메모리 블록들(BLK1~BLKz) 각각은 소거 동작의 단위일 수 있다. 메모리 셀 어레이(111)의 메모리 셀들은 하나의 메모리 블록의 단위로 소거될 수 있다. 하나의 메모리 블록에 속한 메모리 셀들은 동시에 소거될 수 있다.

- [0193] 어드레스 디코더 회로(113)는 복수의 접지 선택 라인들(GSL), 복수의 워드 라인들(WL), 그리고 복수의 스트링 선택 라인들(SSL)을 통해 메모리 셀 어레이(111)에 연결된다. 어드레스 디코더 회로(113)는 제어 로직 회로(119)의 제어에 따라 동작한다. 어드레스 디코더 회로(113)는 메모리 컨트롤러(120)로부터 제1 어드레스(ADDR1)를 수신할 수 있다. 어드레스 디코더 회로(113)는 수신된 제1 어드레스(ADDR1)를 디코딩하고, 디코딩된 어드레스에 따라 워드 라인들(WL)에 인가되는 전압들을 제어할 수 있다.
- [0194] 예를 들어, 프로그램 시에, 어드레스 디코더 회로(113)는, 제1 어드레스(ADDR1)가 가리키는 선택된 메모리 블록의 선택된 워드 라인에 프로그램 전압(VGPM)을 인가하고, 선택된 메모리 블록의 비선택된 워드 라인들에 패스 전압(VPASS)을 인가할 수 있다. 읽기 시에, 어드레스 디코더 회로(131)는 제1 어드레스(ADDR1)가 가리키는 선택된 메모리 블록의 선택된 워드 라인에 선택 읽기 전압(VRD)을 인가하고, 선택된 메모리 블록의 비선택된 워드 라인들에 비선택 읽기 전압(VREAD)을 인가할 수 있다. 소거 시에, 어드레스 디코더 회로(113)는 제1 어드레스(ADDR1)가 가리키는 선택된 메모리 블록의 워드 라인들에 소거 전압(예를 들어, 접지 전압)을 인가할 수 있다.
- [0195] 페이지 버퍼 회로(115)는 복수의 비트 라인들(BL)을 통해 메모리 셀 어레이(111)에 연결된다. 페이지 버퍼 회로(115)는 복수의 데이터 라인들(DL)을 통해 데이터 입출력 회로(117)와 연결된다. 페이지 버퍼 회로(115)는 제어 로직 회로(119)의 제어에 따라 동작한다.
- [0196] 페이지 버퍼 회로(115)는 메모리 셀 어레이(111)의 메모리 셀들에 프로그램될 데이터 또는 메모리 셀들로부터 읽히는 데이터를 저장할 수 있다. 프로그램 시에, 페이지 버퍼 회로(115)는 메모리 셀들에 프로그램될 데이터를 저장할 수 있다. 저장된 데이터에 기반하여, 페이지 버퍼 회로(115)는 복수의 비트 라인들(BL)을 바이어스할 수 있다. 프로그램 시에, 페이지 버퍼 회로(115)는 쓰기 드라이버로 기능할 수 있다. 읽기 시에, 페이지 버퍼 회로(115)는 비트 라인들(BL)의 전압들을 센싱하고, 센싱 결과를 저장할 수 있다. 읽기 시에, 페이지 버퍼 회로(115)는 감지 증폭기로 기능할 수 있다.
- [0197] 데이터 입출력 회로(117)는 복수의 데이터 라인들(DL)을 통해 페이지 버퍼 회로(115)와 연결된다. 데이터 입출력 회로(117)는 메모리 컨트롤러(120)와 제1 데이터(DATA1)를 교환할 수 있다.
- [0198] 데이터 입출력 회로(117)는 메모리 컨트롤러(220)로부터 수신되는 제1 데이터(DATA1)를 임시로 저장할 수 있다. 데이터 입출력 회로(117)는 저장된 데이터를 페이지 버퍼 회로(115)로 전달할 수 있다. 데이터 입출력 회로(117)는 페이지 버퍼 회로(115)로부터 전달되는 데이터(DATA)를 임시로 저장할 수 있다. 데이터 입출력 회로(117)는 저장된 데이터(DATA)를 메모리 컨트롤러(220)로 전송할 수 있다. 데이터 입출력 회로(117)는 버퍼 메모리로 기능할 수 있다.
- [0199] 제어 로직 회로(119)는 메모리 컨트롤러(220)로부터 제1 커맨드(CMD1) 및 제어 신호(CTRL)를 수신한다. 제어 로직 회로(119)는 수신된 제1 커맨드(CMD1)를 디코딩하고, 디코딩된 커맨드에 따라 불휘발성 메모리(110)의 제반 동작을 제어할 수 있다.
- [0200] 예시적으로, 제어 로직 회로(119)는 본 발명의 실시 예에 따른 위상 고정 루프(DLL)를 포함할 수 있다. 읽기 시에, 제어 로직 회로(119)는 제어 신호(CTRL) 중 읽기 인에이블 신호(/RE)로부터 고정 위상을 검출하고, 검출된 고정 위상 및 읽기 인에이블 신호(/RE)를 이용하여 데이터 스트로브 신호(DQS)를 출력할 수 있다. 쓰기 시에, 제어 로직 회로(119)는 제어 신호(CTRL) 중 데이터 스트로브 신호(DQS)로부터 고정 위상을 검출하고, 검출된 고정 위상 및 데이터 스트로브 신호(DQS)를 이용하여 데이터 스트로브 신호(DQS)를 출력할 수 있다.
- [0201] 도 22는 본 발명의 실시 예에 따른 메모리 블록(BLKa)을 보여주는 회로도이다. 도 22를 참조하면, 메모리 블록(BLKa)은 복수의 셀 스트링들(CS11~CS21, CS12~CS22)을 포함한다. 복수의 셀 스트링들(CS11~CS21, CS12~CS22)은 행 방향(row direction) 및 열 방향(column direction)을 따라 배열되어, 행들 및 열들을 형성할 수 있다.
- [0202] 예를 들어, 행 방향(row direction)을 따라 배열된 셀 스트링들(CS11, CS12)은 제1 행을 형성하고, 행 방향(row direction)을 따라 배열된 셀 스트링들(CS21, CS22)은 제2 행을 형성할 수 있다. 열 방향(column direction)을 따라 배열된 셀 스트링들(CS11, CS21)은 제1 열을 형성하고, 열 방향(column direction)을 따라 배열된 셀 스트링들(CS12, CS22)은 제2 열을 형성할 수 있다.

- [0203] 각 셀 스트링은 복수의 셀 트랜지스터들을 포함할 수 있다. 복수의 셀 트랜지스터들은 접지 선택 트랜지스터들(GSTa, GSTb), 메모리 셀들(MC1~MC6), 그리고 스트링 선택 트랜지스터들(SSTa, SSTb)을 포함한다. 각 셀 스트링의 접지 선택 트랜지스터들(GSTa, GSTb), 메모리 셀들(MC1~MC6), 그리고 스트링 선택 트랜지스터들(SSTa, GSTb)은 셀 스트링들(CS11~CS21, CS12~CS22)이 행들 및 열들을 따라 배열되는 평면(예를 들어, 메모리 블록(BLKa)의 기판 상의 평면)과 수직인 높이 방향으로 적층될 수 있다.
- [0204] 복수의 셀 트랜지스터들은 절연막에 포획된 전하량에 따라 가변하는 문턱 전압들을 갖는 전하 포획형(charge trap type) 트랜지스터들일 수 있다.
- [0205] 최하단의 접지 선택 트랜지스터들(GSTa)은 공통 소스 라인(CSL)에 공통으로 연결될 수 있다.
- [0206] 복수의 셀 스트링들(CS11~CS21, CS12~CS22)의 접지 선택 트랜지스터들(GSTa, GSTb)은 접지 선택 라인(GSL)에 공통으로 연결될 수 있다.
- [0207] 예시적으로, 동일한 높이(또는 순서)의 접지 선택 트랜지스터들은 동일한 접지 선택 라인에 연결되고, 서로 다른 높이(또는 순서)를 갖는 접지 선택 트랜지스터들은 서로 다른 접지 선택 라인들에 연결될 수 있다. 예를 들어, 제1 높이의 접지 선택 트랜지스터들(GSTa)은 제1 접지 선택 라인에 공통으로 연결되고, 제2 높이의 접지 선택 트랜지스터들(GSTb)은 제2 접지 선택 라인에 공통으로 연결될 수 있다.
- [0208] 예시적으로, 동일한 행의 접지 선택 트랜지스터들은 동일한 접지 선택 라인에 연결되고, 서로 다른 행의 접지 선택 트랜지스터들은 서로 다른 접지 선택 라인들에 연결될 수 있다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 접지 선택 트랜지스터들(GSTa, GSTb)은 제1 접지 선택 라인에 연결되고, 제2 행의 셀 스트링들(CS21, CS22)의 접지 선택 트랜지스터들(GSTa, GSTb)은 제2 접지 선택 라인에 연결될 수 있다.
- [0209] 기관(또는 접지 선택 트랜지스터들(GST))으로부터 동일한 높이(또는 순서)에 위치한 메모리 셀들은 하나의 워드 라인에 공통으로 연결되고, 서로 다른 높이(또는 순서)에 위치한 메모리 셀들은 서로 다른 워드 라인들(WL1~WL6)에 각각 연결될 수 있다. 예를 들어, 메모리 셀들(MC1)은 워드 라인(WL1)에 공통으로 연결된다. 메모리 셀들(MC2)은 워드 라인(WL2)에 공통으로 연결된다. 메모리 셀들(MC3)은 워드 라인(WL3)에 공통으로 연결된다. 메모리 셀들(MC4)은 워드 라인(WL4)에 공통으로 연결된다. 메모리 셀들(MC5)은 워드 라인(WL5)에 공통으로 연결된다. 메모리 셀들(MC6)은 워드 라인(WL6)에 공통으로 연결된다.
- [0210] 복수의 셀 스트링들(CS11~CS21, CS12~CS22)의 동일한 높이(또는 순서)의 제1 스트링 선택 트랜지스터들(SSTa)에서, 서로 다른 행의 제1 스트링 선택 트랜지스터들(SSTa)은 서로 다른 스트링 선택 라인들(SSL1a~SSL2a)에 각각 연결된다. 예를 들어, 셀 스트링들(CS11, CS12)의 제1 스트링 선택 트랜지스터들(SSTa)은 스트링 선택 라인(SSL1a)에 공통으로 연결된다. 셀 스트링들(CS21, CS22)의 제1 스트링 선택 트랜지스터들(SSTa)은 스트링 선택 라인(SSL2a)에 공통으로 연결된다.
- [0211] 복수의 셀 스트링들(CS11~CS21, CS12~CS22)의 동일한 높이(또는 순서)의 제2 스트링 선택 트랜지스터들(SSTb)에서, 서로 다른 행의 제2 스트링 선택 트랜지스터들(SSTb)은 서로 다른 스트링 선택 라인들(SSL1b~SSL2b)에 각각 연결된다. 예를 들어, 셀 스트링들(CS11, CS12)의 제2 스트링 선택 트랜지스터들(SSTb)은 스트링 선택 라인(SSL1b)에 공통으로 연결된다. 셀 스트링들(CS21, CS22)의 제2 스트링 선택 트랜지스터들(SSTb)은 스트링 선택 라인(SSL2b)에 공통으로 연결된다.
- [0212] 즉, 서로 다른 행의 셀 스트링들은 서로 다른 스트링 선택 라인들에 연결된다. 동일한 행의 셀 스트링들의 동일한 높이(또는 순서)의 스트링 선택 트랜지스터들은 동일한 스트링 선택 라인에 연결된다. 동일한 행의 셀 스트링들의 서로 다른 높이(또는 순서)의 스트링 선택 트랜지스터들은 서로 다른 스트링 선택 라인들에 연결된다.
- [0213] 예시적으로, 동일한 행의 셀 스트링들의 스트링 선택 트랜지스터들은 하나의 스트링 선택 라인에 공통으로 연결될 수 있다. 예를 들어, 제1 행의 셀 스트링들(CS11, CS12)의 스트링 선택 트랜지스터들(SSTa, SSTb)은 하나의 스트링 선택 라인에 공통으로 연결될 수 있다. 제2 행의 셀 스트링들(CS21, CS22)의 스트링 선택 트랜지스터들(SSTa, SSTb)은 하나의 스트링 선택 라인에 공통으로 연결될 수 있다.
- [0214] 복수의 셀 스트링들(CS11~CS21, CS12~CS22)의 열들은 서로 다른 비트 라인들(BL1, BL2)에 각각 연결된다. 예를 들어, 제1 열의 셀 스트링들(CS11~CS21)의 스트링 선택 트랜지스터들(SSTb)은 비트 라인(BL1)에 공통으로 연결된다. 제2 열의 셀 스트링들(CS12~CS22)의 스트링 선택 트랜지스터들(SST)은 비트 라인(BL2)에 공통으로 연결된다.
- [0215] 셀 스트링들(CS11, CS12)은 제1 플레인을 형성할 수 있다. 셀 스트링들(CS21, CS22)은 제2 플레인을 형성할 수

있다.

- [0216] 메모리 블록(BLKa)에서, 쓰기 및 읽기는 행 단위로 수행될 수 있다. 예를 들어, 스트링 선택 라인들(SSL1a, SSL1b, SSL2a, SSL2b)에 의해 메모리 블록(BLKa)의 하나의 플레인이 선택될 수 있다. 스트링 선택 라인들(SSL1a, SSL1b)이 턴-온 전압이 공급되고 스트링 선택 라인들(SSL2a, SSL2b)에 턴-오프 전압이 공급될 때, 제1 플레인의 셀 스트링들(CS11, CS12)이 비트 라인들(BL1, BL2)에 연결된다. 즉, 제1 플레인이 선택된다. 스트링 선택 라인들(SSL2a, SSL2b)에 턴-온 전압이 공급되고 스트링 선택 라인들(SSL1a, SSL1b)에 턴-오프 전압이 공급될 때, 제2 플레인의 셀 스트링들(CS21, CS22)이 비트 라인들(BL1, BL2)에 연결된다. 즉, 제2 플레인이 선택된다. 선택된 플레인에서, 워드 라인들(WL1~WL6)에 의해 메모리 셀들(MC)의 하나의 행이 선택될 수 있다. 선택된 행에서, 쓰기 또는 읽기가 수행될 수 있다.
- [0217] 메모리 블록(BLKa)에서, 소거는 메모리 블록 단위 또는 서브 블록의 단위로 수행될 수 있다. 메모리 블록 단위로 소거가 수행될 때, 메모리 블록(BLKa)의 모든 메모리 셀들(MC)이 하나의 소거 요청에 따라 동시에 소거될 수 있다. 서브 블록의 단위로 수행될 때, 메모리 블록(BLKa)의 메모리 셀들(MC) 중 일부는 하나의 소거 요청에 따라 동시에 소거되고, 나머지 일부는 소거 금지될 수 있다. 소거되는 메모리 셀들에 연결된 워드 라인에 저전압(예를 들어, 접지 전압)이 공급되고, 소거 금지된 메모리 셀들에 연결된 워드 라인은 플로팅될 수 있다.
- [0218] 도 22에 도시된 메모리 블록(BLKa)은 예시적인 것이다. 본 발명의 기술적 사상은 도 22에 도시된 메모리 블록(BLKa)에 한정되지 않는다. 예를 들어, 셀 스트링들의 행들의 수는 증가 또는 감소될 수 있다. 셀 스트링들의 행들의 수가 변경됨에 따라, 셀 스트링들의 행들에 연결되는 스트링 선택 라인들 또는 접지 선택 라인의 수, 그리고 하나의 비트 라인에 연결되는 셀 스트링들의 수 또한 변경될 수 있다.
- [0219] 셀 스트링들의 열들의 수는 증가 또는 감소될 수 있다. 셀 스트링들의 열들의 수가 변경됨에 따라, 셀 스트링들의 열들에 연결되는 비트 라인들의 수, 그리고 하나의 스트링 선택 라인에 연결되는 셀 스트링들의 수 또한 변경될 수 있다.
- [0220] 셀 스트링들의 높이는 증가 또는 감소될 수 있다. 예를 들어, 셀 스트링들 각각에 적층되는 접지 선택 트랜지스터들, 메모리 셀들 또는 스트링 선택 트랜지스터들의 수는 증가 또는 감소될 수 있다.
- [0221] 도 23은 본 발명의 다른 실시 예에 따른 메모리 블록(BLKb)을 보여주는 회로도이다. 도 23을 참조하면, 메모리 블록(BLKb)은 복수의 스트링들(SR)을 포함한다. 복수의 스트링들(SR)은 복수의 비트 라인들(BL1~BLn)에 각각 연결될 수 있다. 각 스트링(SR)은 접지 선택 트랜지스터(GST), 메모리 셀들(MC), 그리고 스트링 선택 트랜지스터(SST)를 포함한다.
- [0222] 각 스트링(SR)의 접지 선택 트랜지스터(GST)는 메모리 셀들(MC) 및 공통 소스 라인(CSL)의 사이에 연결된다. 복수의 스트링들(SR)의 접지 선택 트랜지스터들(GST)은 공통 소스 라인(CSL)에 공통으로 연결된다.
- [0223] 각 스트링(SR)의 스트링 선택 트랜지스터(SST)는 메모리 셀들(MC) 및 비트 라인(BL)의 사이에 연결된다. 복수의 스트링들(SR)의 스트링 선택 트랜지스터들(SST)은 복수의 비트 라인들(BL1~BLn)에 각각 연결된다.
- [0224] 각 스트링(SR)에서, 접지 선택 트랜지스터(GST) 및 스트링 선택 트랜지스터(SST) 사이에 복수의 메모리 셀들(MC)이 제공된다. 각 스트링(SR)에서, 복수의 메모리 셀들(MC)은 직렬 연결될 수 있다.
- [0225] 복수의 스트링들(SR)에서, 공통 소스 라인(CSL)으로부터 동일한 순서에 위치한 메모리 셀들(MC)은 하나의 워드 라인에 공통으로 연결될 수 있다. 복수의 스트링들(SR)의 메모리 셀들(MC)은 복수의 워드 라인들(WL1~WLm)에 연결될 수 있다.
- [0226] 메모리 블록(BLKb)에서, 소거는 메모리 블록 단위로 수행될 수 있다. 메모리 블록 단위로 소거가 수행될 때, 메모리 블록(BLKb)의 모든 메모리 셀들(MC)이 하나의 소거 요청에 따라 동시에 소거될 수 있다.
- [0227] 도 24는 본 발명의 실시 예에 따른 컴퓨팅 장치(1000)를 보여주는 블록도이다. 도 24를 참조하면, 컴퓨팅 장치(1000)는 프로세서(1100), 메모리(1200), 스토리지 장치(1300), 모뎀(1400), 그리고 사용자 인터페이스(1500)를 포함한다.
- [0228] 프로세서(1100)는 컴퓨팅 장치(1000)의 제반 동작을 제어하고, 논리 연산을 수행할 수 있다. 예를 들어, 프로세서(1100)는 시스템-온-칩(SoC, System-on-Chip)으로 구성될 수 있다. 프로세서(1100)는 범용 프로세서, 특수 목적 프로세서 또는 어플리케이션 프로세서일 수 있다.
- [0229] RAM (1200)은 프로세서(1100)와 통신할 수 있다. RAM (1200)은 프로세서(1100) 또는 컴퓨팅 장치(1000)의 메인

메모리일 수 있다. 프로세서(1100)는 RAM (1200)에 코드 또는 데이터를 임시로 저장할 수 있다. 프로세서(1100)는 RAM (1200)을 이용하여 코드를 실행하고, 데이터를 처리할 수 있다. 프로세서(1100)는 RAM (1200)을 이용하여 운영체제, 어플리케이션과 같은 다양한 소프트웨어들을 실행할 수 있다. 프로세서(1100)는 RAM (1200)을 이용하여 컴퓨팅 장치(1000)의 제반 동작을 제어할 수 있다. RAM (1200)은 SRAM (Static RAM), DRAM (Dynamic RAM), SDRAM (Synchronous DRAM) 등과 같은 휘발성 메모리, 또는 PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FeRAM (Ferroelectric RAM) 등과 같은 불휘발성 메모리를 포함할 수 있다.

[0230] 스토리지 장치(1300)는 프로세서(1100)와 통신할 수 있다. 스토리지 장치(1300)는 장기적으로 보존되어야 하는 데이터를 저장할 수 있다. 즉, 프로세서(1100)는 장기적으로 보존되어야 하는 데이터를 스토리지 장치(1300)에 저장할 수 있다. 스토리지 장치(1300)는 컴퓨팅 장치(1000)를 구동하기 위한 부트 이미지를 저장할 수 있다. 스토리지 장치(1300)는 운영체제, 어플리케이션과 같은 다양한 소프트웨어들의 소스 코드들을 저장할 수 있다. 스토리지 장치(1300)는 운영체제, 어플리케이션과 같은 다양한 소프트웨어들에 의해 처리된 데이터를 저장할 수 있다.

[0231] 예시적으로, 프로세서(1100)는 스토리지 장치(1300)에 저장된 소스 코드들을 RAM (1200)에 로드하고, RAM (1200)에 로드된 코드들을 실행함으로써, 운영체제, 어플리케이션과 같은 다양한 소프트웨어들을 구동할 수 있다. 프로세서(1100)는 스토리지 장치(1300)에 저장된 데이터를 RAM (1200)에 로드하고, RAM (1200)에 로드된 데이터를 처리할 수 있다. 프로세서(1100)는 RAM (1200)에 저장된 데이터 중 장기적으로 보존하고자 하는 데이터를 스토리지 장치(1300)에 저장할 수 있다.

[0232] 스토리지 장치(1300)는 플래시 메모리, PRAM (Phase-change RAM), MRAM (Magnetic RAM), RRAM (Resistive RAM), FRAM (Ferroelectric RAM) 등과 같은 불휘발성 메모리를 포함할 수 있다.

[0233] 모뎀(1400)은 프로세서(1100)의 제어에 따라 외부 장치와 통신을 수행할 수 있다. 예를 들어, 모뎀(1400)은 외부 장치와 유선 또는 무선 통신을 수행할 수 있다. 모뎀(1400)은 LTE (Long Term Evolution), 와이맥스(WiMax), GSM (Global System for Mobile communication), CDMA (Code Division Multiple Access), 블루투스 (Bluetooth), NFC (Near Field Communication), 와이파이(WiFi), RFID (Radio Frequency IDentification) 등과 같은 다양한 무선 통신 방식들, 또는 USB (Universal Serial Bus), SATA (Serial AT Attachment), HSIC (High Speed Interchip), SCSI (Small Computer System Interface), 파이어와이어(Firewire), PCI (Peripheral Component Interconnection), PCIe (PCI express), NVMe (NonVolatile Memory express), UFS (Universal Flash Storage), SD (Secure Digital), SDIO, UART (Universal Asynchronous Receiver Transmitter), SPI (Serial Peripheral Interface), HS-SPI (High Speed SPI), RS232, I2C (Inter-integrated Circuit), HS-I2C, I2S, (Integrated-interchip Sound), S/PDIF (Sony/Philips Digital Interface), MMC (MultiMedia Card), eMMC (embedded MMC) 등과 같은 다양한 유선 통신 방식들 중 적어도 하나에 기반하여 통신을 수행할 수 있다.

[0234] 사용자 인터페이스(1500)는 프로세서(1100)의 제어에 따라 사용자와 통신할 수 있다. 예를 들어, 사용자 인터페이스(1500)는 키보드, 키패드, 버튼, 터치 패널, 터치 스크린, 터치 패드, 터치 볼, 카메라, 마이크, 자이로스코프 센서, 진동 센서, 등과 같은 사용자 입력 인터페이스들을 포함할 수 있다. 사용자 인터페이스(1500)는 LCD (Liquid Crystal Display), OLED (Organic Light Emitting Diode) 표시 장치, AMOLED (Active Matrix OLED) 표시 장치, LED, 스피커, 모터 등과 같은 사용자 출력 인터페이스들을 포함할 수 있다.

[0235] 스토리지 장치(1300)는 본 발명의 실시 예에 따른 스토리지 장치들(100, 200, 300, 400, 500) 중 적어도 하나를 포함할 수 있다. 프로세서(1100), RAM (1200), 모뎀(1400), 그리고 사용자 인터페이스(1500)는 스토리지 장치(1300)와 통신하는 호스트 장치를 형성할 수 있다.

[0236] 본 발명의 상세한 설명에서는 구체적인 실시 예에 관하여 설명하였으나, 본 발명의 범위와 기술적 사상에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능하다. 그러므로 본 발명의 범위는 상술한 실시 예에 국한되어 정해져서는 안되며 후술하는 특허청구범위뿐만 아니라 이 발명의 특허청구범위와 균등한 것들에 의해 정해져야 한다.

부호의 설명

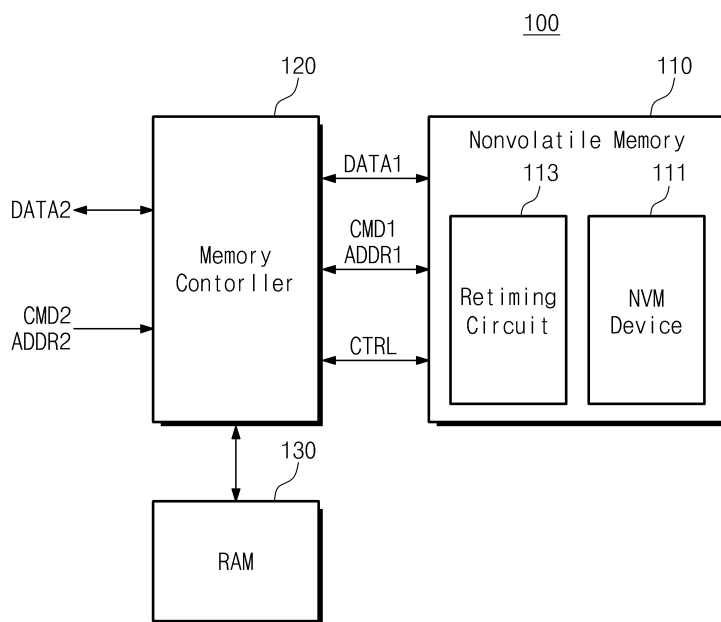
- [0237] 100; 스토리지 장치
- 110; 불휘발성 메모리

120; 메모리 컨트롤러
 130; 랜덤 액세스 메모리
 111; 불휘발성 메모리 장치
 113, 113a, 113b, 113c, 113d, 113e; 리타이밍 회로
 115a, 115b, 115c, 115d, 115e; 타이밍 신호 처리부
 117a, 117b, 117c, 117d, 117e; 데이터 리타이밍부
 119c, 119d, 119e; 커맨드 식별부
 200; 스토리지 장치
 210; 복수의 불휘발성 메모리들
 220; 메모리 컨트롤러
 230; 랜덤 액세스 메모리
 211; 불휘발성 메모리 장치
 213; 리타이밍 회로
 300; 스토리지 장치;
 310; 복수의 불휘발성 메모리들
 320; 메모리 컨트롤러
 330; 랜덤 액세스 메모리
 311; 불휘발성 메모리 장치
 313; 리타이밍 회로
 121; 버스
 122; 프로세서
 123; 랜덤 액세스 메모리
 124; 호스트 인터페이스
 125; 메모리 인터페이스
 126; 에러 정정 블록
 127; 버퍼 제어 회로
 400; 스토리지 장치
 410; 불휘발성 메모리
 420; 메모리 컨트롤러
 430; 랜덤 액세스 메모리
 440; 리타이밍 회로
 411; 불휘발성 메모리 장치
 500; 스토리지 장치
 510; 불휘발성 메모리
 520; 메모리 컨트롤러
 511; 불휘발성 메모리 장치

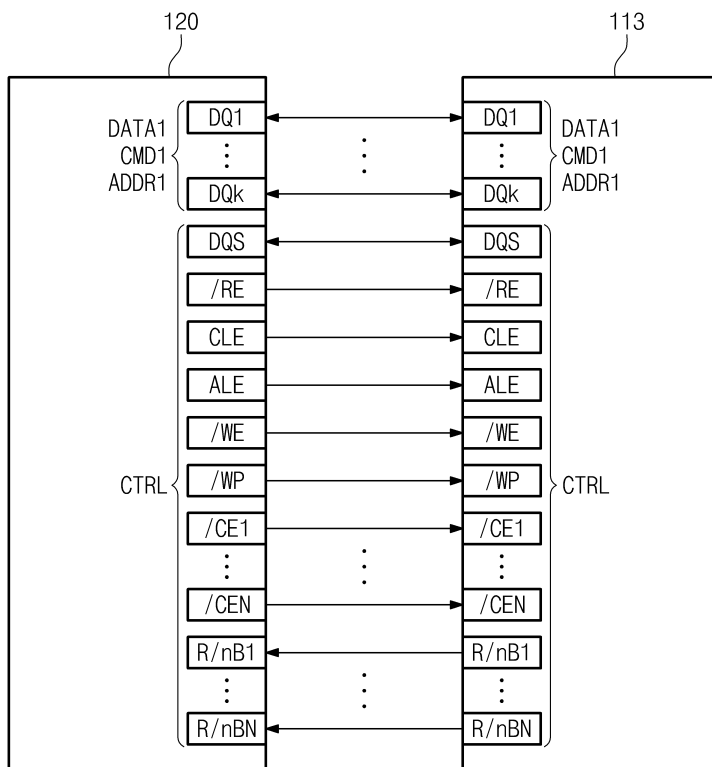
- 513; 리타이밍 회로
- 521; 버스
- 522; 프로세서
- 523; 랜덤 액세스 메모리
- 524; 호스트 인터페이스
- 525; 메모리 인터페이스
- 526; 에러 정정 블록
- 111; 메모리 셀 어레이
- 113; 어드레스 디코더 회로
- 115; 페이지 버퍼 회로
- 117; 데이터 입출력 회로
- 119; 제어 로직 회로
- 1000; 컴퓨팅 장치
- 1100; 프로세서
- 1200; 랜덤 액세스 메모리
- 1300; 스토리지 장치
- 1400; 모듈
- 1500; 사용자 인터페이스

도면

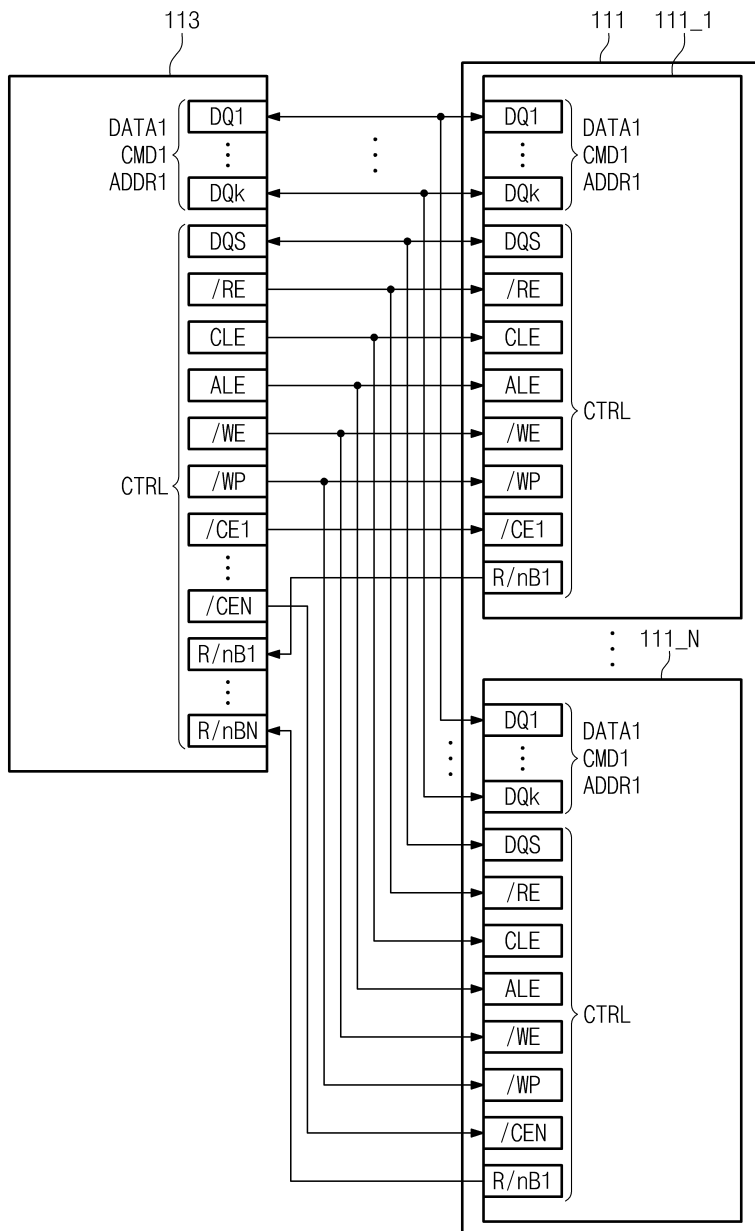
도면1



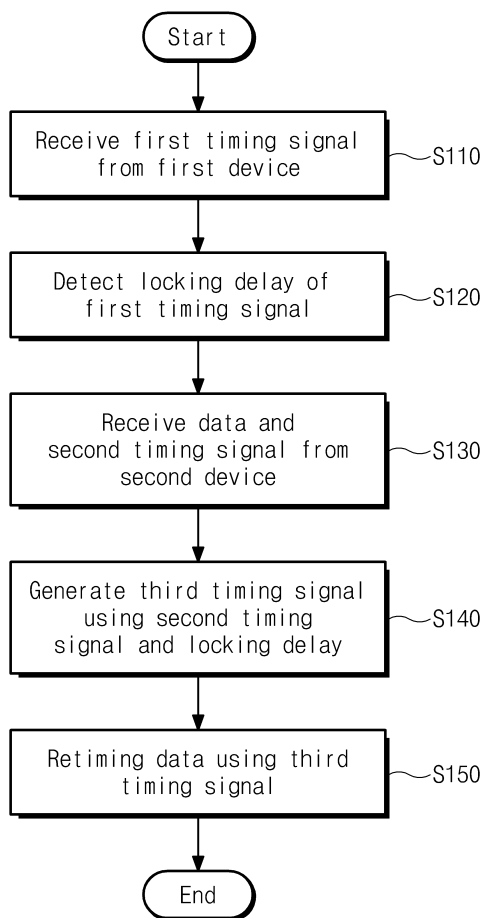
도면2



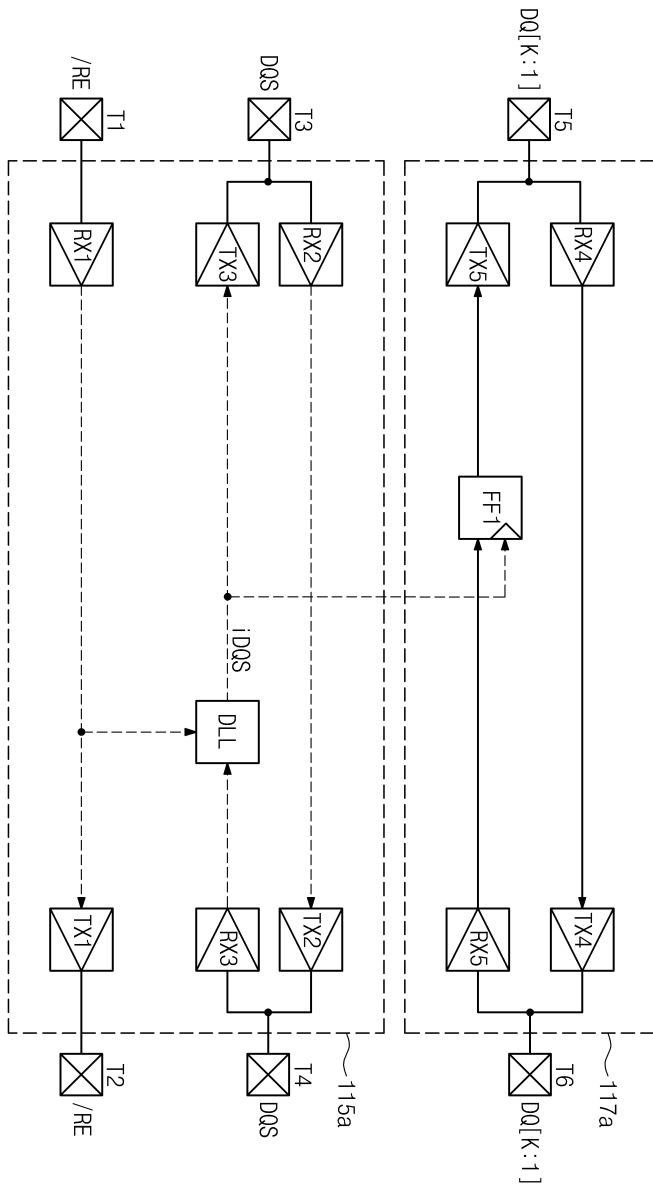
도면3



도면4

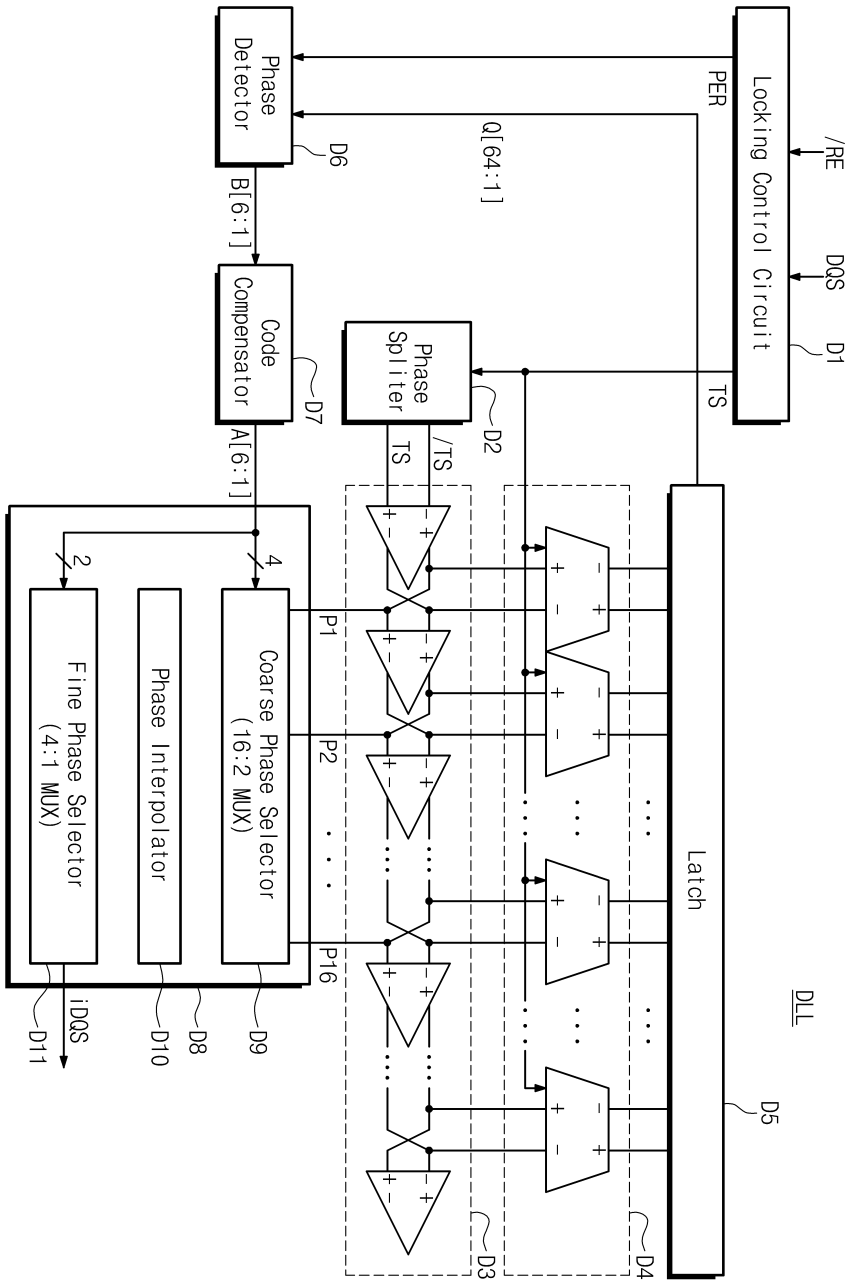


도면5

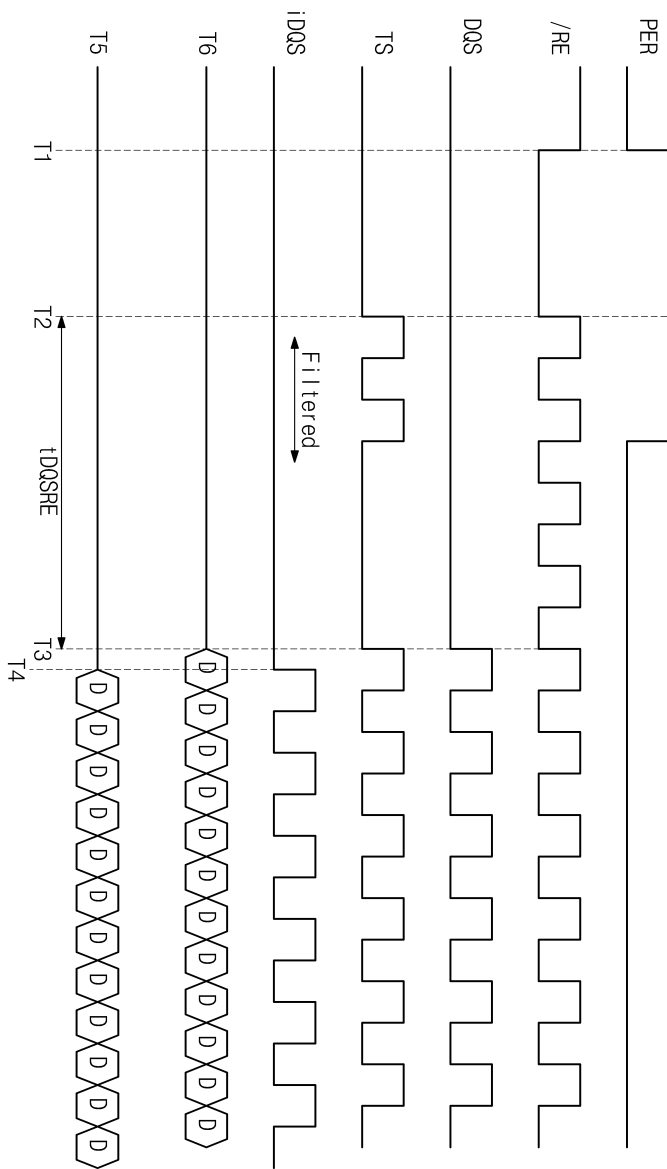


113a

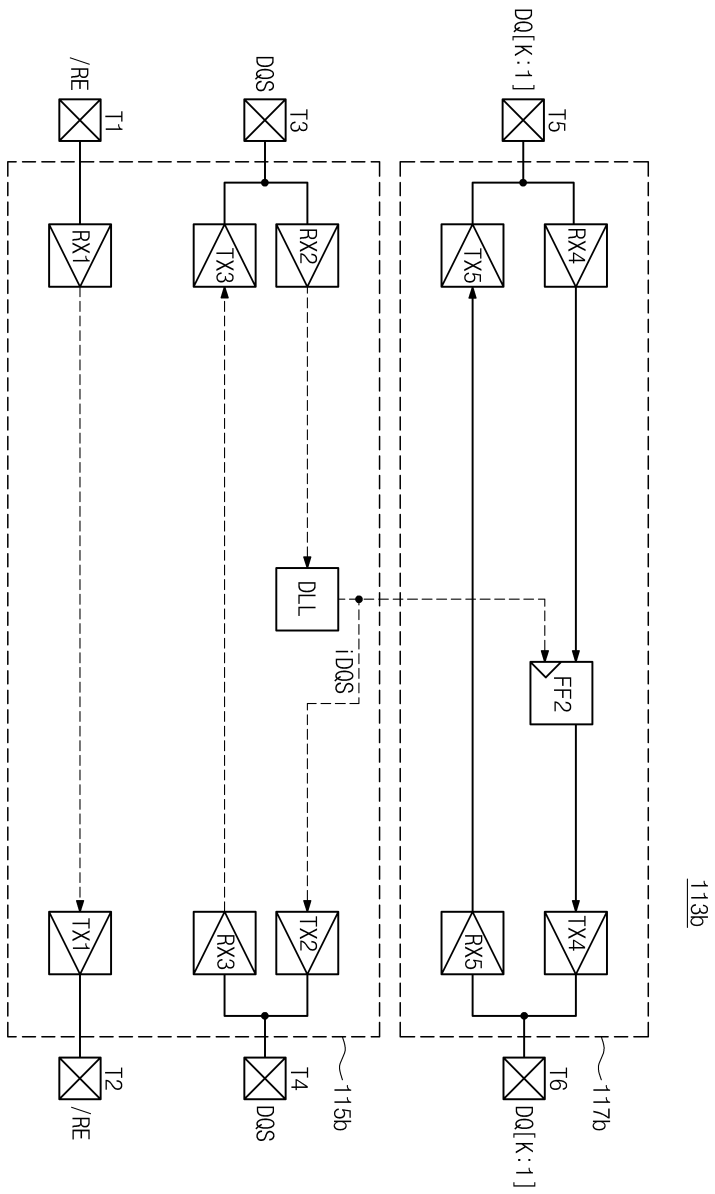
도면6



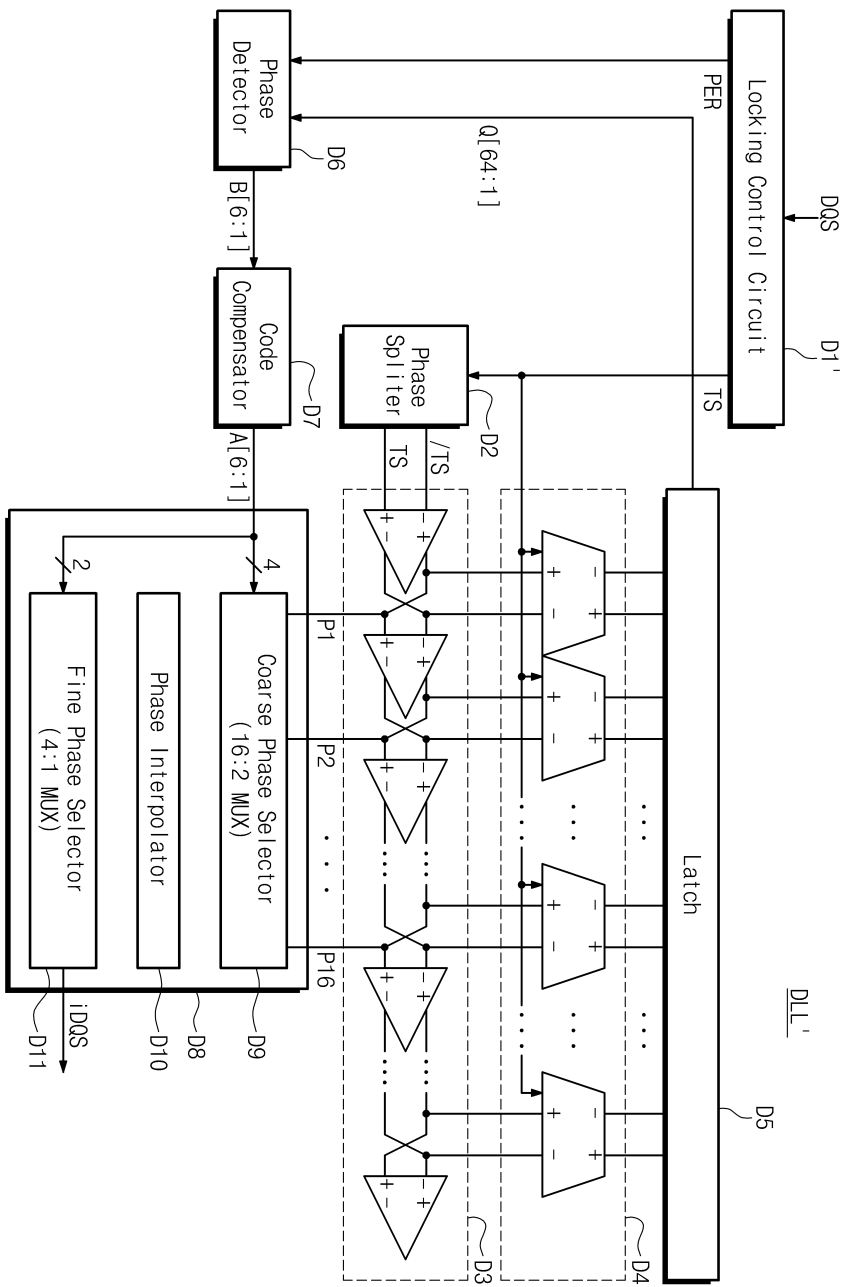
도면7



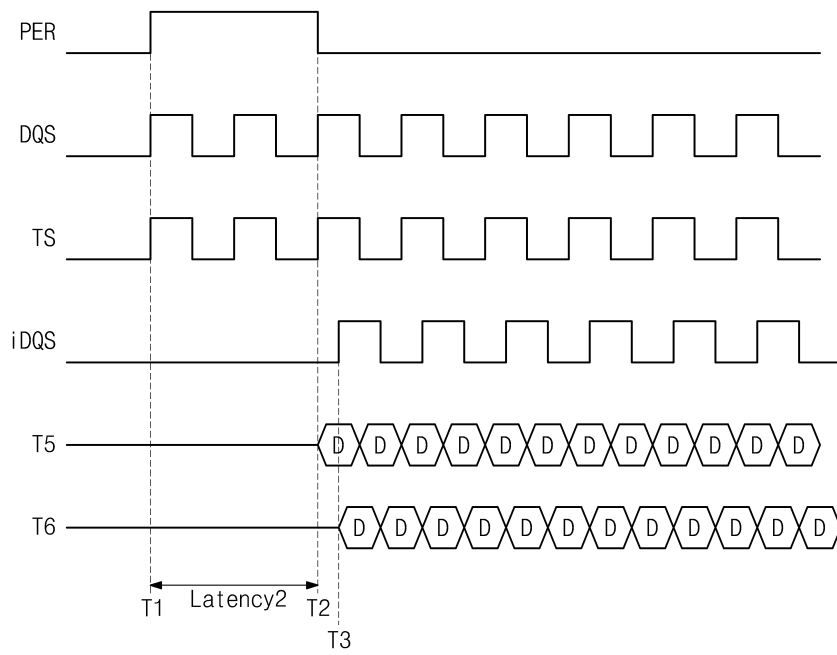
도면8



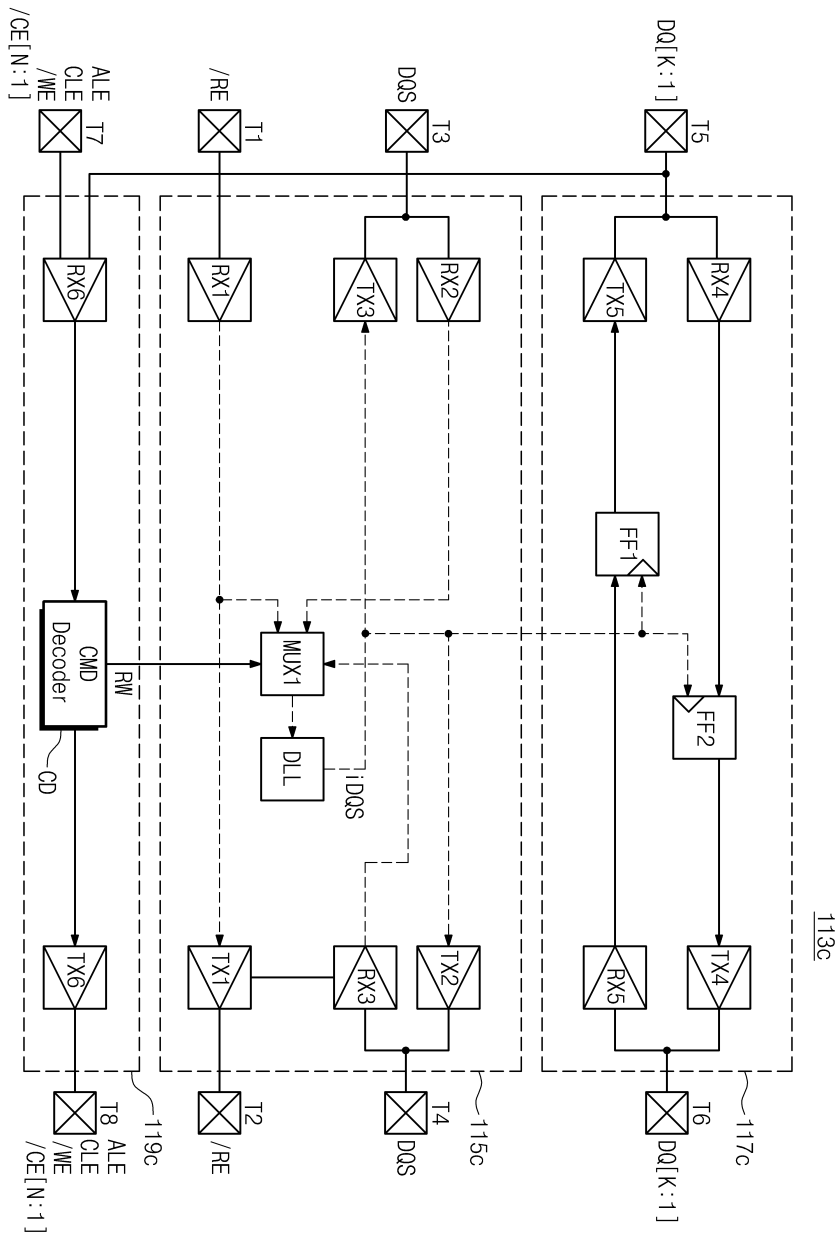
도면9



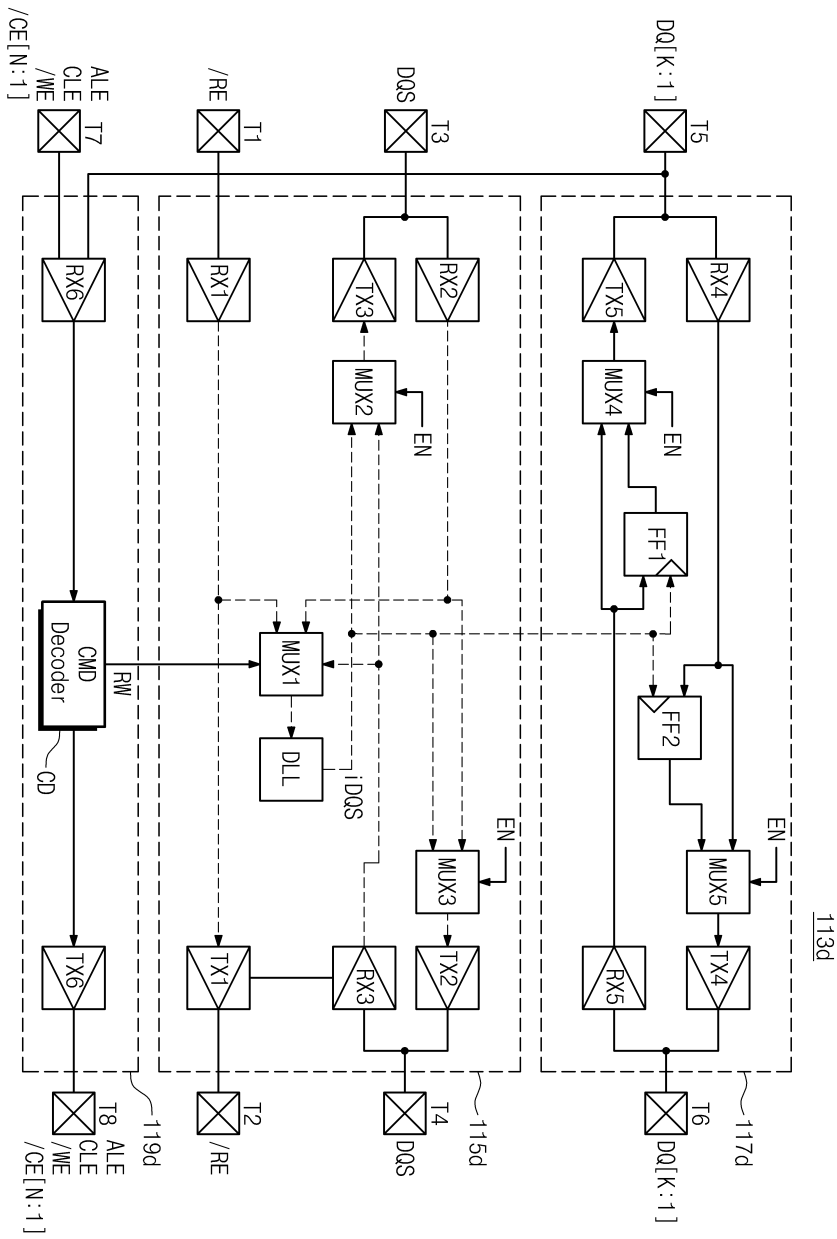
도면10



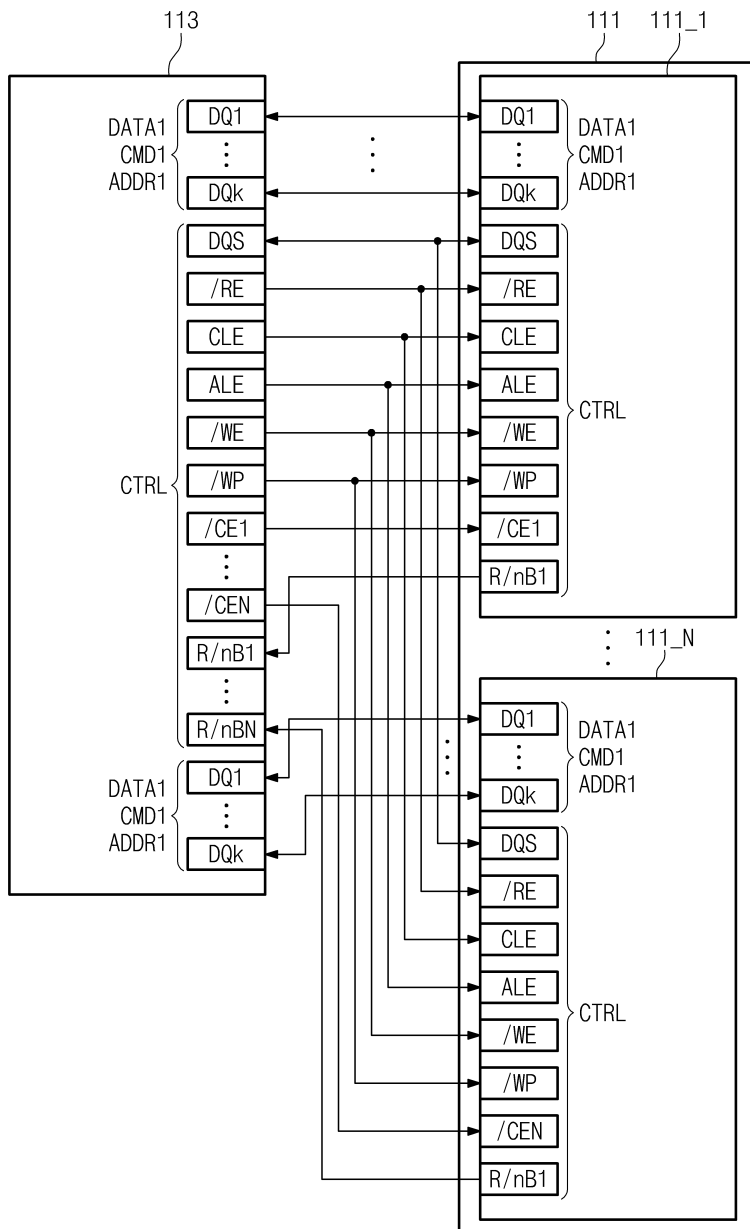
도면11



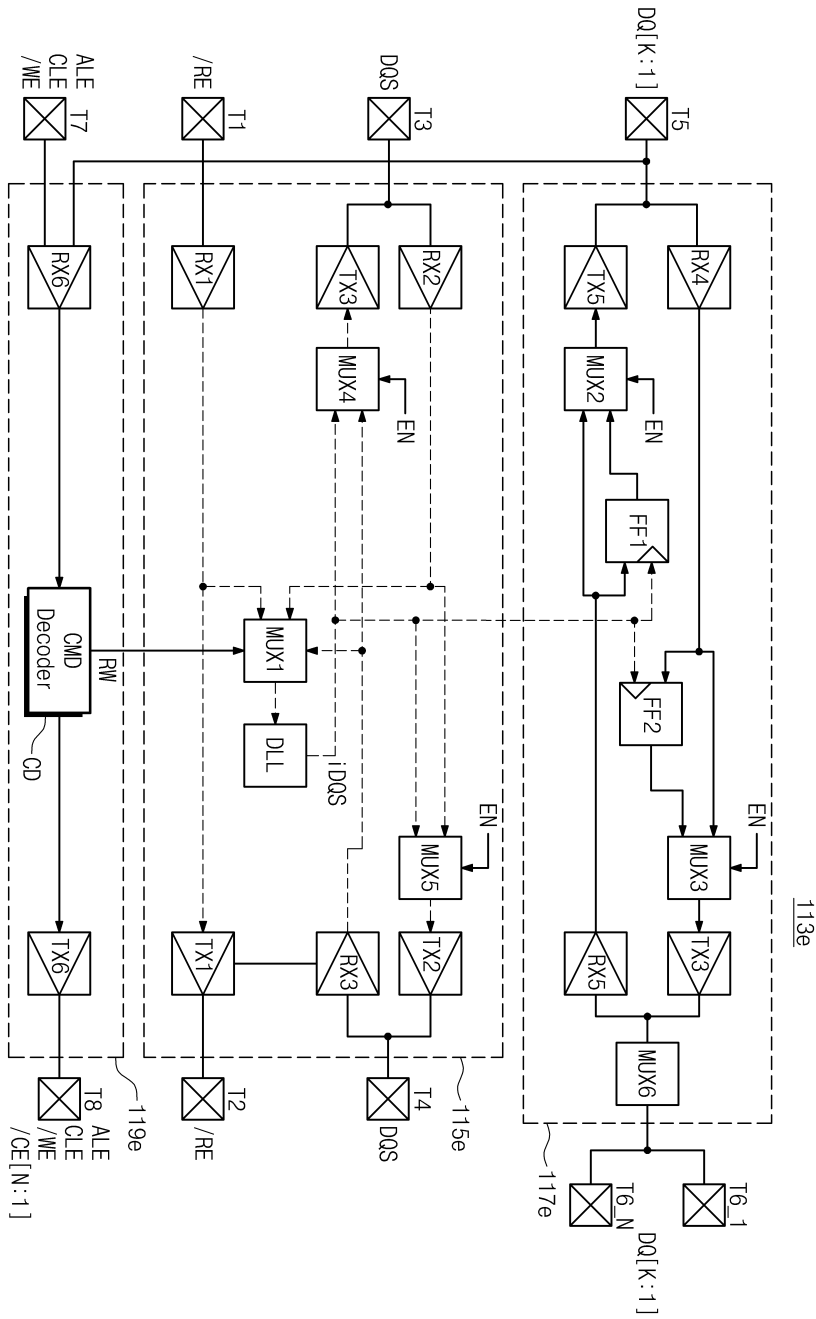
도면12



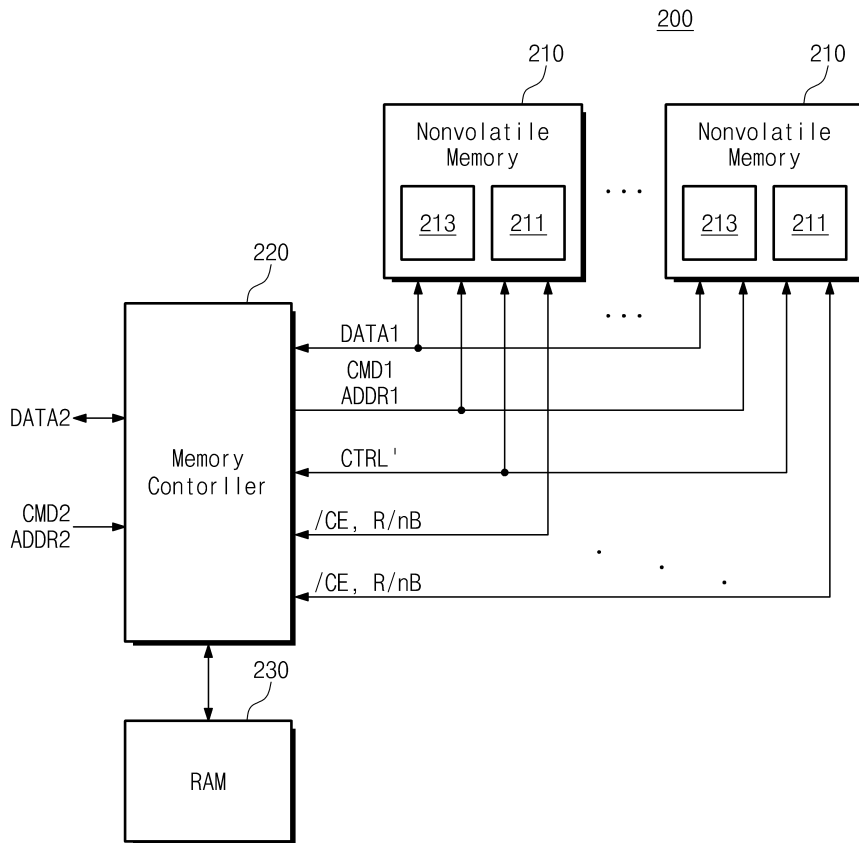
도면13



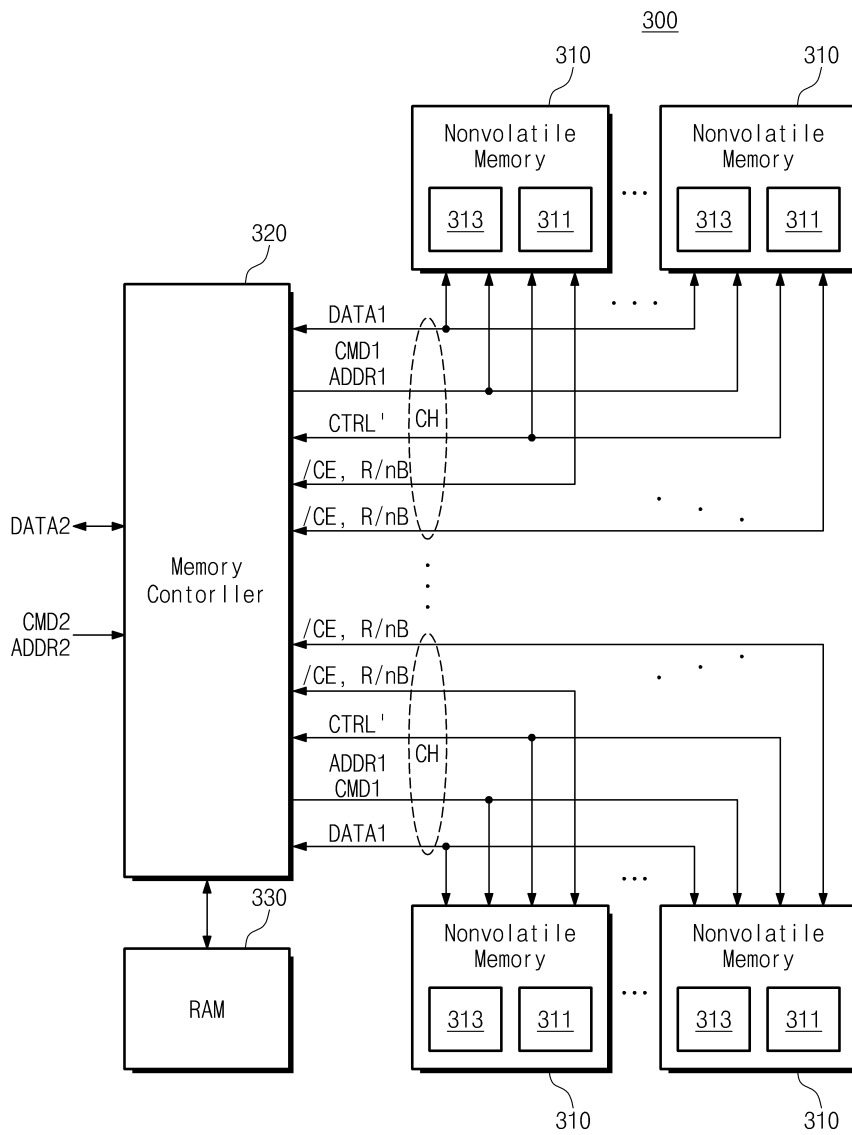
도면14



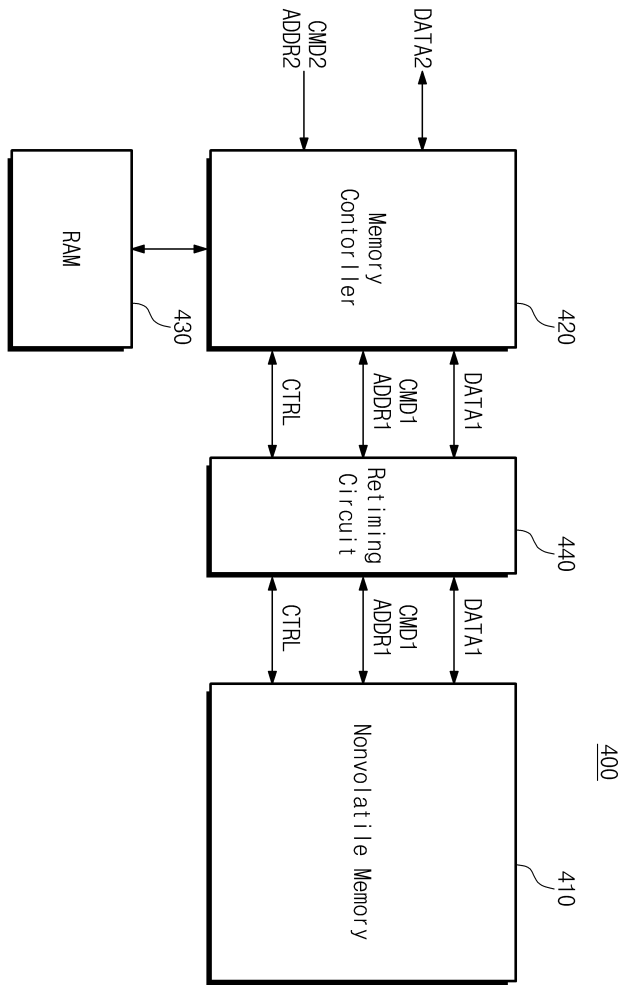
도면15



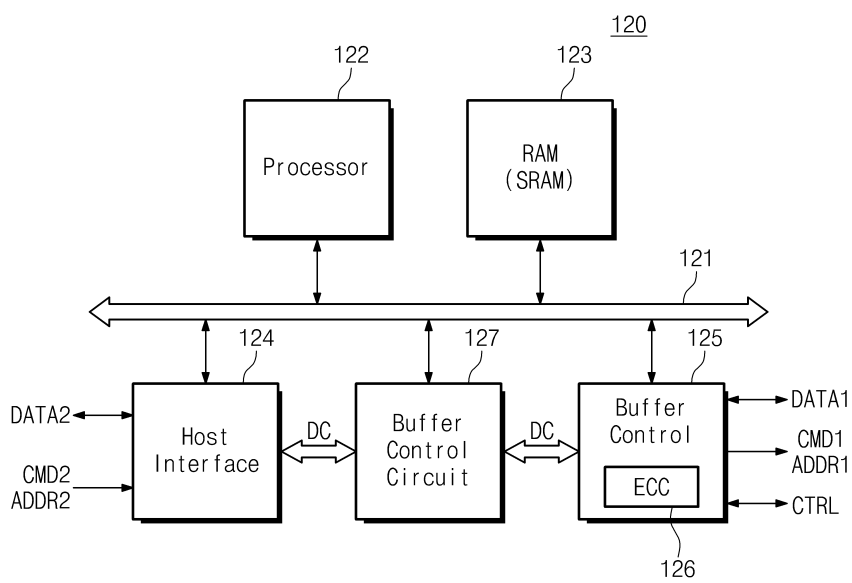
도면16



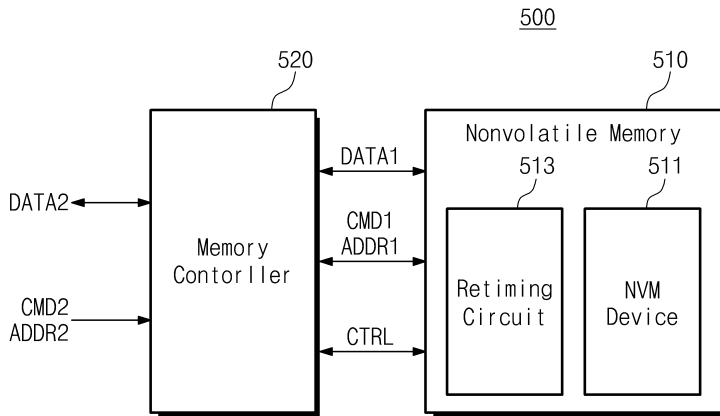
도면17



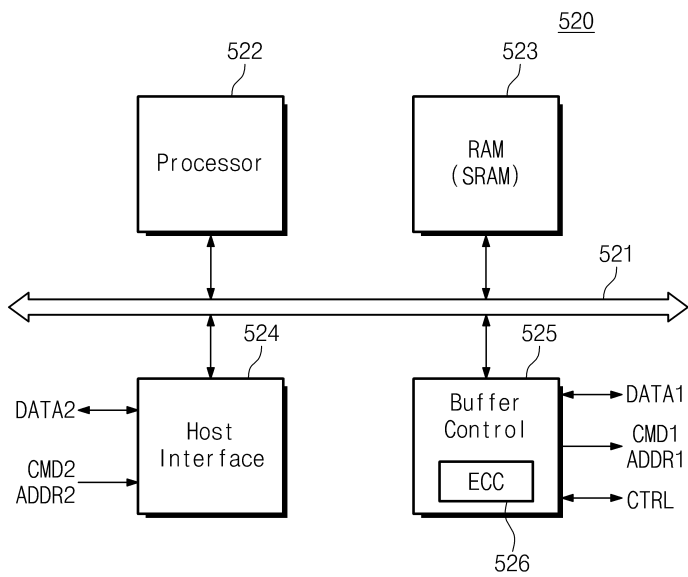
도면18



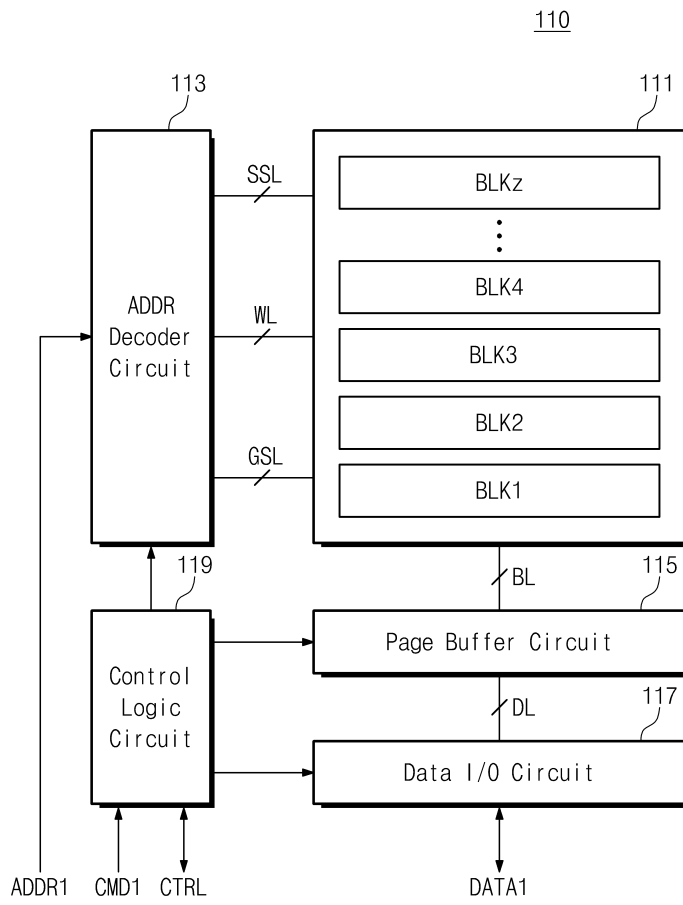
도면19



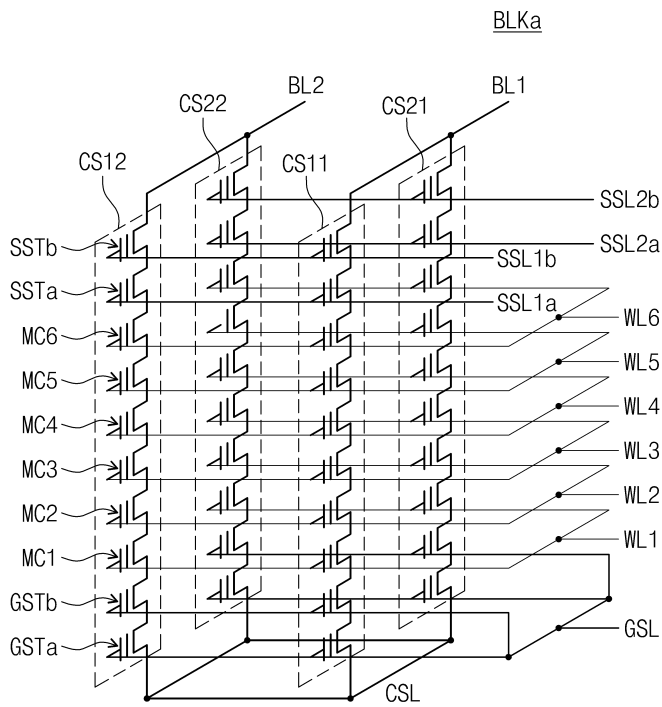
도면20



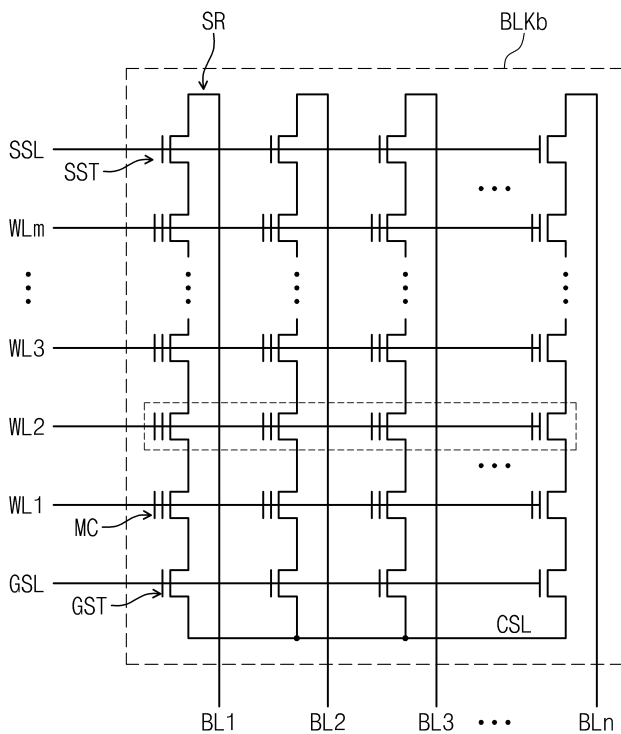
도면21



도면22



도면23



도면24

1000

