



(12) 发明专利申请

(10) 申请公布号 CN 120052069 A

(43) 申请公布日 2025. 05. 27

(21) 申请号 202380072722.5
(22) 申请日 2023.09.26
(30) 优先权数据
2022-166304 2022.10.17 JP
(85) PCT国际申请进入国家阶段日
2025.04.14
(86) PCT国际申请的申请数据
PCT/JP2023/034856 2023.09.26
(87) PCT国际申请的公布数据
W02024/084905 JA 2024.04.25
(71) 申请人 罗姆股份有限公司
地址 日本
(72) 发明人 高堂真也 大岳浩隆 长濑和也
(74) 专利代理机构 北京银龙知识产权代理有限公司 11243
专利代理师 金成哲 王莉莉
(51) Int.Cl.
H10D 30/47 (2025.01)
H10D 30/01 (2025.01)
H10D 30/87 (2025.01)
H10D 30/83 (2025.01)

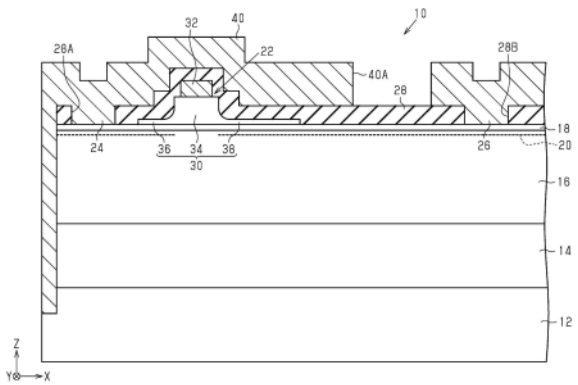
权利要求书2页 说明书12页 附图4页

(54) 发明名称

氮化物半导体装置

(57) 摘要

本发明提供氮化物半导体装置(10),具备第一氮化物半导体层(16)、形成在第一氮化物半导体层(16)上并且具有比第一氮化物半导体层(16)的带隙大的带隙的第二氮化物半导体层(18)、以及形成于第二氮化物半导体层(18)的上方的栅电极(32)、源电极(24)以及漏电极(26)。第一氮化物半导体层(16)是包含GaN的层。第一氮化物半导体层(16)的针对(102)面的X射线摇摆曲线的半值宽度为1100arcsec以上且1400arcsec以下。



1. 一种氮化物半导体装置,其特征在于,具备:
第一氮化物半导体层;
形成在上述第一氮化物半导体层上并且具有比上述第一氮化物半导体层的带隙大的带隙的第二氮化物半导体层;以及
形成于上述第二氮化物半导体层的上方的栅电极、源电极、以及漏电极,
上述第一氮化物半导体层是包含GaN的层,
上述第一氮化物半导体层的针对(102)面的X射线摇摆曲线的半值宽度为1100arcsec以上且1400arcsec以下。
2. 根据权利要求1所述的氮化物半导体装置,其特征在于,
上述第一氮化物半导体层包括层叠有多个GaN层的GaN复合层,
上述GaN复合层通过将掺杂有形成受主能级的杂质的杂质掺杂GaN层和未掺杂GaN层交替地层叠来形成,
上述GaN复合层的最上层由上述未掺杂GaN层形成,
上述第二氮化物半导体层形成在位于上述GaN复合层的上述最上层的上述未掺杂GaN层之上。
3. 根据权利要求2所述的氮化物半导体装置,其特征在于,
还具备半导体基板和形成在上述半导体基板上的缓冲层,
上述GaN复合层具有位于上述缓冲层上的第一GaN层、位于上述第一GaN层上的第二GaN层、以及位于上述第二GaN层上的第三GaN层的三层构造,
上述第一GaN层及上述第三GaN层分别由上述未掺杂GaN层形成,
上述第二GaN层由上述杂质掺杂GaN层形成,
上述第二氮化物半导体层形成在上述第三GaN层上。
4. 根据权利要求3所述的氮化物半导体装置,其特征在于,
上述第一GaN层具有50nm以上且300nm以下的厚度。
5. 根据权利要求2~4中任一项所述的氮化物半导体装置,其特征在于,
上述杂质掺杂GaN层中的杂质是碳(C)。
6. 根据权利要求1所述的氮化物半导体装置,其特征在于,
还具备半导体基板和形成在上述半导体基板上的缓冲层,
上述第一氮化物半导体层形成在上述缓冲层上,
上述缓冲层包括层叠有多个AlGaN层的AlGaN复合层,
上述多个AlGaN层中的最上层的AlGaN层具有比位于该最上层的AlGaN层的正下方的AlGaN层低的铝组成且大的厚度。
7. 根据权利要求6所述的氮化物半导体装置,其特征在于,
上述多个AlGaN层的至少一个是掺杂有形成受主能级的杂质的杂质掺杂AlGaN层。
8. 根据权利要求7所述的氮化物半导体装置,其特征在于,
上述杂质掺杂AlGaN层中的杂质是碳(C)及铁(Fe)中的至少一方。
9. 根据权利要求6~8中任一项所述的氮化物半导体装置,其特征在于,
上述第一氮化物半导体层包括层叠有多个GaN层的GaN复合层,
上述多个GaN层包括:

- 位于上述AlGaIn复合层上并由未掺杂GaIn层形成的第一GaIn层；
位于上述第一GaIn层上并由掺杂有形成受主能级的杂质的杂质掺杂GaIn层形成的第二GaIn层；以及
位于上述第二GaIn层上并由未掺杂GaIn层形成的第三GaIn层，
上述第二氮化物半导体层形成在上述第三GaIn层上。
10. 根据权利要求1~9中任一项所述的氮化物半导体装置，其特征在于，
还具备形成在上述第二氮化物半导体层上并包括受主型杂质的第三氮化物半导体层，
上述栅电极形成在上述第三氮化物半导体层上。

氮化物半导体装置

技术领域

[0001] 本公开涉及一种氮化物半导体装置。

背景技术

[0002] 当前,正在发展使用氮化镓(GaN)等氮化物半导体的高电子迁移率晶体管(HEMT)的产品化。专利文献1记载了使用氮化物半导体的常断型HEMT的一例。

[0003] 现有技术文献

[0004] 专利文献

[0005] 专利文献1:日本特开2017-73506号公报

发明内容

[0006] 发明所要解决的课题

[0007] 在使用氮化物半导体的HEMT设备中,当设备动作时的导通电阻的上升较大时,有时不能保证给定的设备特性。从提高HEMT产品的可靠性的观点看,在常断型及常通型的任一HEMT设备中,都需求抑制导通电阻的上升。

[0008] 用于解决课题的方案

[0009] 本公开的一个方式的氮化物半导体装置具备:第一氮化物半导体层;形成在上述第一氮化物半导体层上并且具有比上述第一氮化物半导体层的带隙大的带隙的第二氮化物半导体层;以及形成于上述第二氮化物半导体层的上方的栅电极、源电极、以及漏电极。上述第一氮化物半导体层是包含GaN的层。上述第一氮化物半导体层的针对(102)面的X射线摇摆曲线的半值宽度为1100arcsec以上且1400arcsec以下。

[0010] 发明的效果如下。

[0011] 一个方式的氮化物半导体装置能够抑制导通电阻的上升。

附图说明

[0012] 图1是一个实施方式的示例性的氮化物半导体装置的简要剖视图。

[0013] 图2是示出在图1的氮化物半导体装置中形成在半导体基板上的各种氮化物半导体层的示例性构造的简要剖视图。

[0014] 图3是示意性地示出第一氮化物半导体层的(102)面的图。

[0015] 图4是示意性地示出螺旋位错的图。

[0016] 图5是示意性地示出边缘位错的图。

[0017] 图6是示出对包括不同的晶体缺陷密度的第一氮化物半导体层的各种氮化物半导体装置测定出的、第一氮化物半导体层的针对(102)面的XRC半值宽度与导通电阻变动率的关系的曲线图。

具体实施方式

[0018] 以下,参照附图对本公开的半导体装置的实施方式进行说明。

[0019] 此外,为了使图示以及说明简洁且清楚,附图所示的构成要素不一定以一定的比例尺描绘。为了容易理解,有时将特征部分放大,各构成要素的尺寸比率在各附图中不一定相同。附图只不过是本公开的实施方式的示例,而不应视为限制本公开。

[0020] 以下的详细记载包括将本公开的示例性的实施方式具体化的装置、系统以及方法。该详细的记载只不过是本来用于说明,并不意图限定本公开的实施方式或者这样的实施方式的应用及使用。

[0021] [1.氮化物半导体装置的整体构造]

[0022] 图1是一个实施方式的示例性的氮化物半导体装置10的简要剖视图。氮化物半导体装置10是例如使用GaN的HEMT。氮化物半导体装置10包括半导体基板12、形成在半导体基板12上的缓冲层14、形成在缓冲层14上的第一氮化物半导体层16、以及形成在第一氮化物半导体层16上的第二氮化物半导体层18。

[0023] 半导体基板12可以由硅(Si)、碳化硅(SiC)、GaN、蓝宝石或其他基板材料形成。例如,半导体基板12是Si基板。半导体基板12的厚度例如能够设为200 μm 以上且1500 μm 以下。此外,图1所示的相互正交的XYZ轴的Z轴方向是与半导体基板12的主面(图1中上表面)正交的方向。在本说明书中使用的“俯视”这一术语在没有明确地另外记载的情况下是指沿Z轴方向从上方观察氮化物半导体装置10。

[0024] 缓冲层14包括一个或多个氮化物半导体层。例如,缓冲层14可以由能够抑制因半导体基板12与第一氮化物半导体层16之间的热膨胀系数的不匹配而引起的半导体基板12的翘曲以及氮化物半导体装置10中的裂纹的产生的任意材料构成。

[0025] 在一些实施例中,缓冲层14包括氮化铝(AlN)层、氮化铝镓(AlGa_{1-x}N)层、以及具有不同铝(Al)组成的分级AlGa_{1-x}N层的至少一个。例如,缓冲层14可以由单一的AlN层、单一的AlGa_{1-x}N层、具有AlGa_{1-x}N/GaN超晶格构造的层、具有AlN/AlGa_{1-x}N超晶格构造的层、或者具有AlN/GaN超晶格构造的层构成。以下参照图2对缓冲层14的示例性构造进行说明。

[0026] 第一氮化物半导体层16是包含GaN的层。在一些实施例中,第一氮化物半导体层16包括层叠多个GaN层的GaN复合层。第一氮化物半导体层16的厚度例如能够设为0.5 μm 以上且2 μm 以下。以下参照图2对第一氮化物半导体层16的示例性构造进行说明。

[0027] 第二氮化物半导体层18由带隙比第一氮化物半导体层16的带隙大的氮化物半导体构成。第二氮化物半导体层18例如可以是AlGa_{1-x}N层。由于Al组成越大则带隙越大,所以作为AlGa_{1-x}N层的第二氮化物半导体层18具有比包括GaN复合层的第一氮化物半导体层16的带隙大的带隙。在一个例子中,第二氮化物半导体层18由Al_xGa_{1-x}N构成,x为0.1<x<0.4,更优选为0.1<x<0.3。第二氮化物半导体层18的厚度例如能够设为5nm以上且20nm以下。

[0028] 第一氮化物半导体层16和第二氮化物半导体层18由具有互不相同的晶格常数的氮化物半导体构成。因此,构成第一氮化物半导体层16的氮化物半导体(例如GaN)和构成第二氮化物半导体层18的氮化物半导体(例如AlGa_{1-x}N)形成晶格失配系异质结。因第一氮化物半导体层16及第二氮化物半导体层18的自发极化和由异质结界面附近的晶体应变引起的压电极化,异质结界面附近的第一氮化物半导体层16的导带的能级比费米能级低。由此,在第一氮化物半导体层16与第二氮化物半导体层18的靠近异质结界面的位置(例如,离界面

几nm左右的范围内), 二维电子气(2DEG) 20在第一氮化物半导体层16内扩散。

[0029] 氮化物半导体装置10包括形成在第二氮化物半导体层18上的栅极构造22、源电极24、漏电极26、以及形成在第二氮化物半导体层18上并覆盖栅极构造22的钝化层28。钝化层28包括使第二氮化物半导体层18的上表面的一部分分别露出的源极侧开口28A及漏极侧开口28B。钝化层28例如可以由氮化硅(SiN)、二氧化硅(SiO₂)、氮氧化硅(SiON)、氧化铝(Al₂O₃)、AlN以及氮氧化铝(AlON)的至少一个构成。钝化层28的厚度例如能够设为80nm以上且150nm以下。

[0030] 如图1所示, 在一些实施例中, 栅极构造22包括栅极层30和形成在栅极层30上的栅电极32。栅极层30例如可以是掺杂有受主型杂质的GaN层、即p型GaN层。在该情况下, 受主型杂质例如可以是锌(Zn)、镁(Mg)以及碳(C)的至少一个。例如, 栅极层30中的受主型杂质的最大浓度能够设为 $7 \times 10^{18} \text{cm}^{-3}$ 以上且 $1 \times 10^{20} \text{cm}^{-3}$ 以下。

[0031] 栅极层30在图1所示的X轴方向上位于钝化层28的源极侧开口部28A与漏极侧开口部28B之间。栅极层30从源极侧开口部28A及漏极侧开口部28B分离, 位于比漏极侧开口部28B靠源极侧开口部28A的位置。

[0032] 栅电极32包括一个或多个金属层。在一些实施例中, 栅电极32例如由氮化钛(TiN)层形成。在其他实施例中, 栅电极32利用由Ti(钛)构成的第一金属层和设置在第一金属层上并由TiN构成的第二金属层来形成。栅电极32和栅极层30形成肖特基结。栅电极32的厚度例如能够设为50nm以上且200nm以下。

[0033] 源电极24及漏电极26包括一个或多个金属层。例如, 源电极24及漏电极26可以由Ti层、TiN层、Al层、AlSiCu层以及AlCu层中的一个或任意组合形成。源电极24的至少一部分填充在源极侧开口部28A内, 并经由源极侧开口部28A而与第二氮化物半导体层18正下方的2DEG20欧姆接触。同样, 漏电极26的至少一部分填充在漏极侧开口部28B内, 并经由漏极侧开口部28B而与第二氮化物半导体层18正下方的2DEG20欧姆接触。在图1的例子中, 半导体基板12与源电极24连接, 对半导体基板12施加与源电极24相同电位的电压。

[0034] [2. 示例性的栅极构造]

[0035] 如上所述, 在图1的例子中, 栅极构造22包括栅极层30和栅电极32。栅极层30包括栅电极32所处的上表面和与第二氮化物半导体层18相接的底面。在一些实施例中, 栅极层30包括: 包括栅极层30的上表面的栅极层主体部34; 和分别比栅极层主体部34薄的源极侧延伸部36及漏极侧延伸部38。栅极层主体部34、源极侧延伸部36以及漏极侧延伸部38均与第二氮化物半导体层18相接。

[0036] 源极侧延伸部36从栅极层主体部34朝向源极侧开口部28A延伸。在埋入于源极侧开口部28A的源电极24与源极侧延伸部36之间存在钝化层28。另一方面, 漏极侧延伸部38从栅极层主体部34朝向漏极侧开口部28B延伸。在埋入于漏极侧开口部28B的漏电极26与漏极侧延伸部38之间存在钝化层28。

[0037] 栅极层主体部34位于源极侧延伸部36与漏极侧延伸部38之间, 与源极侧延伸部36及漏极侧延伸部38一体地形成。在图1的例子中, 栅极层主体部34形成为截面呈脊状(截面呈矩形)。其中, 栅极层主体部34的截面形状没有特别限定, 例如也可以为截面呈梯形或其他截面形状。因源极侧延伸部36及漏极侧延伸部38的存在, 栅极层30的底面具有比栅极层30的上表面大的面积。

[0038] 如图1所示,在一些实施例中,漏极侧延伸部38在俯视下朝向栅极层主体部34的外侧比源极侧延伸部36更长地延伸。即,漏极侧延伸部38可以具有在X轴方向上比源极侧延伸部36大的尺寸。源极侧延伸部36的X轴方向上的尺寸(长度)例如可以为 $0.2\mu\text{m}$ 以上且 $0.3\mu\text{m}$ 以下。漏极侧延伸部38的X轴方向上的尺寸(长度)例如可以为 $0.2\mu\text{m}$ 以上且 $0.6\mu\text{m}$ 以下。

[0039] 栅极层主体部34相当于栅极层30的较厚的部分。栅极层主体部34的厚度例如能够设为 80nm 以上且 150nm 以下。栅极层主体部34的厚度可以考虑包括栅极阈值电压的各种参数来决定。源极侧延伸部36及漏极侧延伸部38分别具有比栅极层主体部34小的厚度。例如,源极侧延伸部36及漏极侧延伸部38可以分别具有栅极层主体部34的一半以下的厚度。

[0040] 源极侧延伸部36及漏极侧延伸部38可以分别包括大致恒定的厚度的平坦部分。源极侧延伸部36的平坦部分的厚度及漏极侧延伸部38的平坦部分的厚度例如能够设为 5nm 以上且 25nm 以下。此外,在本说明书中,“大致恒定的厚度”是指厚度在制造上的偏差(例如20%)的范围内。并且,如图1所示,在一些实施例中,源极侧延伸部36及漏极侧延伸部38可以分别在平坦部分与栅极层主体部34之间包括比该平坦部分厚的中间部分。在一个例子中,中间部分可以具有远离栅极层主体部34而逐渐减小的厚度。

[0041] 在图1的栅极构造22中,包括受主型杂质的栅极层30设置于栅电极32的正下方。在该构造中,当因施加于栅电极32的栅极输入电压而栅极-源极间电压超过正的阈值电压时,在栅极层主体部34的正下方的第一氮化物半导体层16的区域形成2DEG20的沟道(电流路径),由此源极-漏极间导通。另一方面,在栅极-源极间电压未超过阈值电压时,在栅极层主体部34正下方的第一氮化物半导体层16的区域的至少一部分,2DEG20消失(参照图1)。这是因为,由于栅极层主体部34包括受主型杂质,所以第一氮化物半导体层16及第二氮化物半导体层18的能级被提高,从而2DEG20被耗尽化。由此,氮化物半导体装置10作为常断型HEMT来实现。

[0042] [3. 示例性的场板电极构造]

[0043] 如图1所示,在一些实施例中,氮化物半导体装置10包括形成在钝化层28上的场板电极40。在图1的例子中,场板电极40与源电极24一体地形成,在俯视时覆盖栅极构造22整体。在该构造中,场板电极40也能够被视为源电极24的一部分,对场板电极40施加具有与源电极24相同电位的电压。其中,场板电极40可以与源电极24分离地设置,也可以对场板电极40施加源极电压以外的控制电压。

[0044] 场板电极40从漏电极26离开。场板电极40包括在俯视时位于栅极层30(漏极侧延伸部38)与漏电极26(漏极侧开口部28B)之间的端部40A。场板电极40发挥如下的作用:在未对栅电极32施加栅极输入电压的零偏压状态下对漏电极26施加漏极电压的情况下,缓和栅电极32的端部附近及栅极层30的端部附近的电场集中。

[0045] [4. 半导体基板上的各种氮化物半导体层的示例性构造]

[0046] 图2是示出形成在半导体基板12上的各种氮化物半导体层的示例性构造的简要剖视图。如上所述,在半导体基板12上依次形成有缓冲层14、第一氮化物半导体层16、第二氮化物半导体层18以及栅极层30(第三氮化物半导体层)。以下,依次对各层的示例性构造进行说明。

[0047] [4-1. 缓冲层]

[0048] 首先,对缓冲层14的示例性构造进行说明。在一些实施例中,缓冲层14可以包括形

成在半导体基板12上的第一缓冲层52和形成在第一缓冲层52上的第二缓冲层54。第一缓冲层52例如可以是AlN层。第一缓冲层52的厚度例如能够设为100nm以上且300nm以下。

[0049] 第二缓冲层54例如可以是层叠多个AlGaIn层的AlGaIn复合层。在一些实施例中,第二缓冲层54可以是层叠具有不同的铝(Al)组成的多个AlGaIn层的分级AlGaIn层。在图2的例子中,第二缓冲层54形成为依次层叠有三个AlGaIn层、即第一AlGaIn层54A、第二AlGaIn层54B以及第三AlGaIn层54C的递变AlGaIn层。第一AlGaIn层54A、第二AlGaIn层54B、第三AlGaIn层54C各自的厚度例如能够设为100nm以上且300nm以下。

[0050] 第三AlGaIn层54C位于第二缓冲层54(缓冲层14)的最上层。在一些实施例中,第三AlGaIn层54C可以具有比第二AlGaIn层54B低的Al组成且大的厚度。另一方面,第二AlGaIn层54B可以具有比第一AlGaIn层54A低的Al组成,并且能够具有与第一AlGaIn层54A相同的厚度。例如,第一AlGaIn层54A及第二AlGaIn层54B的厚度可以分别为100nm左右,第三AlGaIn层54C的厚度可以为第二AlGaIn层54B的厚度的2倍以上,例如200nm以上。并且,第一AlGaIn层54A、第二AlGaIn层54B、第三AlGaIn层54C中的Al组成的比率可以分别为约80%(±5%)、约50%(±5%)、约20%(±5%)。

[0051] 第三AlGaIn层54C具有与第二AlGaIn层54B不同的Al组成(在图2的例子中为比第二AlGaIn层54B低的Al组成),因此以相对于第二AlGaIn层54B的晶格常数应变的状态生长。此处,第三AlGaIn层54C的厚度比第二AlGaIn层54B的厚度大。因此,在第三AlGaIn层54C中促进了晶格弛豫(位错)的产生,以便缓和在第三AlGaIn层54C中作为应变而积蓄的内部应力(晶格失配引起的应变)。其结果,由晶格弛豫引起的晶体缺陷的密度增加。因此,在一些实施例中,为了使缓冲层14的晶体缺陷密度增加(由此,为了使第一氮化物半导体层16的晶体缺陷密度增加),例如,第三AlGaIn层54C构成为具有比第二AlGaIn层54B低的Al组成且和大的厚度。或者,为了使缓冲层14的晶体缺陷密度增加,调整形成第二缓冲层54的AlGaIn层的层数以及各层的厚度。

[0052] 缓冲层14可以包括形成受主能级的杂质。缓冲层14中的杂质例如可以是碳(C)及铁(Fe)的至少一方。并且,杂质的浓度例如能够设为 $4 \times 10^{16} \text{cm}^{-3}$ 以上。在一些实施例中,向缓冲层14的一部分导入这样的杂质而使缓冲层14为半绝缘性,从而能够抑制缓冲层14中的漏电流而提高耐压。例如,在第二缓冲层54中,杂质可以仅向第三AlGaIn层54C导入,或者仅向第二AlGaIn层54B及第三AlGaIn层54C导入。或者,杂质可以向第二缓冲层54的第一AlGaIn层54A、第二AlGaIn层54B、第三AlGaIn层54C的全部导入。第一AlGaIn层54A~第三AlGaIn层54C中的掺杂有形成受主能级的杂质的层与杂质掺杂AlGaIn层对应。

[0053] [4-2. 第一氮化物半导体层]

[0054] 接下来,对第一氮化物半导体层16的示例性构造进行说明。如上所述,第一氮化物半导体层16可以包括层叠有多个GaIn层的GaIn复合层。在一些实施例中,GaIn复合层可以通过将掺杂有形成受主能级的杂质的杂质掺杂GaIn层和未掺杂GaIn层交替地层叠一次以上来形成。GaIn复合层的最上层是未掺杂GaIn层。此外,在本公开中使用的“未掺杂GaIn层”这一术语被定义为未有意导入杂质的GaIn层。

[0055] 在GaIn复合层中,杂质掺杂GaIn层中的杂质例如可以为碳(C)。并且,杂质掺杂GaIn层中的杂质的浓度能够设为 $5 \times 10^{17} \text{cm}^{-3}$ 以上且 $5 \times 10^{19} \text{cm}^{-3}$ 以下。在一些实施例中,向第一氮化物半导体层16的一部分导入这样的杂质而使第一氮化物半导体层16的表层区域以外至少

局部地成为半绝缘性,能够抑制第一氮化物半导体层16中的漏电流而提高耐压。

[0056] 在图2的例子中,第一氮化物半导体层16形成为依次层叠有三个GaN层、即第一GaN层62、第二GaN层64以及第三GaN层66的三层构造的GaN复合层。第一GaN层62是未掺杂GaN层,第二GaN层64是杂质掺杂GaN层,第三GaN层66是未掺杂GaN层。成为HEMT的沟道的2DEG20(参照图1)形成在位于GaN复合层(第一氮化物半导体层16)的最上层的第三GaN层66。产生2DEG20的第三GaN层66在功能上也被称为电子传输层。

[0057] 第一GaN层62、第二GaN层64以及第三GaN层66可以具有相同的厚度,或者也可以具有不同的厚度。第一GaN层62的厚度例如可以为50nm以上且300nm以下,第二GaN层64的厚度例如可以为300nm以上且600nm以下。并且,第三GaN层66的厚度例如可以为200nm以上且500nm以下。如上所述,GaN复合层、即第一氮化物半导体层16整体的厚度例如能够设为0.5 μ m以上且2 μ m以下。

[0058] 在一些实施例中,为了增加第一氮化物半导体层16的晶体缺陷密度,调整一个或多个杂质掺杂GaN层(在图2的例子中为第二GaN层64)的层数及各层的厚度、和/或一个或多个未掺杂GaN层(在图2的例子中为第一GaN层62及第三GaN层66)的层数及各层的厚度。晶体缺陷形成成为遍及杂质掺杂GaN层及未掺杂GaN层双方在层叠方向上呈线状地延伸的多个位错(贯通位错)。上述多个位错示出在位于杂质掺杂GaN层(或缓冲层14的杂质掺杂AlGaN层)上的未掺杂GaN层中传播的过程中相互结合而减少的倾向。因此,例如,使形成在杂质掺杂GaN层(或缓冲层14的杂质掺杂AlGaN层)上的未掺杂GaN层变薄,能够抑制未掺杂GaN层内的位错的减少而维持第一氮化物半导体层16的晶体缺陷密度。此外,在下文中说明控制第一氮化物半导体层16的晶体缺陷密度的意义。

[0059] [4-3.第二氮化物半导体层及栅极层(第三氮化物半导体层)]

[0060] 在图2的例子中,第二氮化物半导体层18是AlGaN层,栅极层30是p型GaN层。第二氮化物半导体层18相对于第一氮化物半导体层16的电子传输层(第三GaN层66)在功能上也被称为电子供给层。设置p型GaN层作为栅极层30,氮化物半导体装置10如上所述地构成为常断型HEMT。

[0061] [5.基于晶体缺陷密度控制的受主补偿]

[0062] 接下来,参照图3~图6,对基于晶体缺陷密度控制的受主补偿进行说明。在构成为HEMT的氮化物半导体装置10中,第一氮化物半导体层16或缓冲层14的晶体中的较深的受主能级处的电子陷阱成为使导通电阻上升的主要原因。

[0063] 具体而言,当电子被晶体中的受主能级俘获时,在第一氮化物半导体层16(在图2的例子中为由第三GaN层66形成的电子供给层)内产生的2DEG20的载流子(电子)浓度降低。由此,沟道电位上升,从而导通电阻上升。尤其,被晶体中的较深的受主能级俘获的电子不容易被释放,因此可以维持导通电阻较高的状态不变。这样的较深的受主能级例如可以通过向第一氮化物半导体层16和/或缓冲层14注入杂质来形成。

[0064] 为了补偿成为上述的电子陷阱的主要原因的受主而抑制导通电阻的上升,第一氮化物半导体层16构成为其晶体缺陷密度维持在预定的范围内。由晶体的应变引起的晶体缺陷有助于施主能级的形成。基于这一观点,为了形成补偿受主的施主能级,控制第一氮化物半导体层16的晶体中和/或缓冲层14的晶体中的晶体缺陷密度。

[0065] 此处,晶体缺陷密度的评价通常使用X射线摇摆曲线(X-ray Rocking Curve:XRC)

测定。XRC的半值宽度作为将晶体的应变定量化的指标值来使用,因此与晶体缺陷密度具有相关关系。此外,更准确地说,半值宽度是指半值全宽(Full Width at Half Maximum: FWHM),但以下简称为半值宽度。

[0066] 在一些实施例中,控制第一氮化物半导体层16的晶体缺陷密度,以便第一氮化物半导体层16的针对(102)面的XRC半值宽度为1100arcsec以上且1400arcsec以下。此外,以下,为了简化记载,有时也将第一氮化物半导体层16的“针对(102)面的XRC半值宽度”简称为“(102)半值宽度”。通过将(102)半值宽度维持在该范围,能够利用由晶体缺陷带来的施主能级来补偿受主,抑制导通电阻的上升。此外,在下文中说明(102)半值宽度与导通电阻变化率的关系。

[0067] 图3是示意性地示出第一氮化物半导体层16的(102)面的图。第一氮化物半导体层16的(102)面是作为形成第一氮化物半导体层16的Ga_N的单位晶格的六方晶中的密勒指数(102)的晶面,相当于图3所示的六方晶HC的晶面M102。并且,针对(102)面的X射线摇摆曲线是指由针对(102)面的X射线衍射而得到的摇摆曲线。

[0068] 此处,晶体缺陷(位错)的种类包括螺旋位错和边缘位错作为在晶体层叠构造的层叠方向上形成的晶格排列偏移。螺旋位错是相对于与晶体层叠构造的层叠面垂直的方向倾斜地形成的位错,具体而言,由晶体生长方位的晶轴的倾斜形成。边缘位错是在与晶体层叠构造的层叠面垂直的方向上形成的位错,具体而言,由面内的晶轴的扭转形成。

[0069] 图4是示意性地示出螺旋位错的图,图5是示意性地示出边缘位错的图。此外,图4及图5仅示出在X轴方向上具有晶体层叠构造的六方晶系中的一层,图4是一部分晶体构造的主视图,图5是图4的晶体构造的俯视图。

[0070] 如图4所示,螺旋位错由六方晶HC2的c轴C2相对于六方晶HC1的c轴C1(以及图5的六方晶HC4的c轴C4)的倾斜形成。如图5所示,因该c轴C2的倾斜,在六方晶HC2与六方晶HC1、HC4之间形成相对于与晶体层叠构造的层叠面垂直的方向(Z轴方向)倾斜的晶格排列偏移D1。该晶格排列偏移D1在第一氮化物半导体层16的厚度方向(X轴方向)上延续,由此形成由螺旋位错引起的晶体缺陷(贯通位错)。

[0071] 另一方面,如图5所示,边缘位错由绕六方晶HC3的c轴C3的扭转形成。因该c轴C3的扭转,在六方晶HC3与六方晶HC1、HC4之间形成沿着与晶体层叠构造的层叠面垂直的方向(Z轴方向)的晶格排列偏移D2。该晶格排列偏移D2在第一氮化物半导体层16的厚度方向(X轴方向)上延续,由此形成由边缘位错引起的晶体缺陷(贯通位错)。

[0072] 第一氮化物半导体层16的针对(102)面的XRC半值宽度成为反映出上述晶格排列偏移D1、D2双方、即由螺旋位错引起的晶体缺陷和由边缘位错引起的晶体缺陷双方的指标值。

[0073] 图6是示出对包括不同的晶体缺陷密度的第一氮化物半导体层16的各种氮化物半导体装置10测定出的、第一氮化物半导体层16的针对(102)面的XRC半值宽度与导通电阻变动率 ΔR_{on} 的关系的线图。此外,导通电阻变动率 ΔR_{on} 通过在对作为测定对象的氮化物半导体装置10实施高温反向偏压(High Temperature Reverse Bias: HTRB)试验之前和实施之后分别测定导通电阻而导出。并且,HTRB试验通过在高温(例如约150℃)环境下对断开状态的HEMT的漏电极26施加预定时间(例如60个小时以上)的应力电压(例如额定电压(例如150V)的80%)来实施。

[0074] 如图6所示,导通电阻变动率 ΔR_{on} 根据第一氮化物半导体层16的针对(102)面的XRC半值宽度而变化。而且,随着(102)半值宽度增加,即,随着第一氮化物半导体层16的晶体缺陷密度增加,导通电阻变化率 ΔR_{on} 降低。在一些实施例中,该导通电阻变化率 ΔR_{on} 的允许范围设定为40%以下。图6中,满足该允许范围的(102)半值宽度为1100arcsec以上且1250arcsec以下。

[0075] 此处,虽然在图6中未示出,但即使(102)半值宽度为1250arcsec以上,随着(102)半值宽度增加,导通电阻变动率 ΔR_{on} 也降低。其中,若因多个晶体缺陷的导入而在第一氮化物半导体层16或缓冲层14的晶体内过剩地形成施主能级,则起因于以晶体缺陷(贯通位错)为路径的漏电流,第一氮化物半导体层16的耐压可能降低。考虑到这一点,将(102)半值宽度设定为1100arcsec以上且1400arcsec以下。

[0076] [6.氮化物半导体装置的作用]

[0077] 当对构成为HEMT的氮化物半导体装置10的漏电极26施加漏极电压时,电子被存在于第一氮化物半导体层16或缓冲层14的晶体中的受主能级俘获。该电子陷阱成为使导通电阻上升的主要原因。因此,第一氮化物半导体层16构成为具有足以带来补偿受主的施主能级的晶体缺陷密度。具体而言,对第一氮化物半导体层16的晶体缺陷密度进行控制,以便成为表示晶体缺陷密度的指标的第一氮化物半导体层16的(102)半值宽度为1100arcsec以上且1400arcsec以下。

[0078] 第一氮化物半导体层16可以包括交替地层叠一个或多个未掺杂GaN层和一个或多个杂质掺杂GaN层的GaN复合层。在这样的GaN复合层中,通过调整未掺杂GaN层的层数及各层的厚度、和/或杂质掺杂GaN层的层数及各层的厚度,能够控制第一氮化物半导体层16的晶体缺陷密度。

[0079] 在图2的例子中,第一氮化物半导体层16包括层叠有第一GaN层62(未掺杂GaN层)、第二GaN层64(杂质掺杂GaN层)以及第三GaN层66(未掺杂GaN层)的GaN复合层。第一GaN层62的厚度例如为50nm以上且300nm以下,第二GaN层64的厚度例如为300nm以上且600nm以下,第三GaN层66例如为200nm以上且500nm以下。

[0080] 追加或代替地,缓冲层14可以包括层叠有多个AlGaN层的AlGaN复合层。在这样的AlGaN复合层中,通过调整AlGaN层的层数及各层的厚度、和/或各AlGaN层中的Al组成的比率,能够控制缓冲层14的晶体缺陷密度。由此,能够控制形成在缓冲层14上的第一氮化物半导体层16的晶体缺陷密度。

[0081] 在图2的例子中,缓冲层14包括由AlN层形成的第一缓冲层52和由层叠有第一AlGaN层54A、第二AlGaN层54B、第三AlGaN层54C的AlGaN复合层形成的第二缓冲层54。第一AlGaN层54A、第二AlGaN层54B、第三AlGaN层54C各自的厚度例如为100nm以上且300nm以下。在该情况下,第三AlGaN层54C的厚度例如可以为第二AlGaN层54B的厚度的2倍以上,例如200nm以上。第一AlGaN层54A、第二AlGaN层54B、第三AlGaN层54C的Al组成的比率分别为约80%(±5%)、约50%(±5%)、约20%(±5%)。

[0082] 并且,在图2的例子中,第二缓冲层54(AlGaN复合层)的第三AlGaN层54C具有比第二AlGaN层54B低的Al组成且大的厚度。由此,通过在第三AlGaN层54C中促进晶格弛豫(位错)的产生,由晶格弛豫引起的晶体缺陷的密度增加。其结果,能够增加形成在缓冲层14上的第一氮化物半导体层16的晶体缺陷密度。这样,通过控制缓冲层14的晶体缺陷密度,能够

控制第一氮化物半导体层16的晶体缺陷密度。

[0083] 一个实施方式的氮化物半导体装置10具有以下优点。

[0084] (1) 氮化物半导体装置10构成第一氮化物半导体层16的针对(102)面的XRC的半值宽度为1100arcsec以上且1400arcsec以下。根据该结构,能够将第一氮化物半导体层16的晶体缺陷密度维持为足以带来补偿成为电子陷阱的主要原因的受主的施主能级的晶体缺陷密度。由此,能够抑制在第一氮化物半导体层16内产生的2DEG20的载流子(电子)浓度的降低,从而抑制导通电阻的上升。

[0085] (2) 第一氮化物半导体层16的针对(102)面的XRC半值宽度表示反映出由边缘位错引起的晶体缺陷和由螺旋位错引起的晶体缺陷双方的晶体缺陷密度的指标。由此,能够高精度地控制第一氮化物半导体层16的晶体缺陷密度。

[0086] (3) 第一氮化物半导体层16包括层叠有第一GaN层62、第二GaN层64、第三GaN层66的GaN复合层。第一GaN层62及第三GaN层66分别是未掺杂GaN层,第二GaN层64是掺杂有碳(C)作为杂质的杂质掺杂GaN层。在该结构中,通过调整第一GaN层62、第二GaN层64、第三GaN层66各自的厚度,能够控制第一氮化物半导体层16的晶体缺陷密度。并且,由于第一氮化物半导体层16包括杂质掺杂GaN层(第二GaN层64),能够抑制第一氮化物半导体层16中的漏电流而提高耐压。

[0087] (4) 缓冲层14包括层叠有第一AlGaN层54A、第二AlGaN层54B、第三AlGaN层54C的AlGaN复合层(第二缓冲层14)。第三AlGaN层54C位于AlGaN复合层的最上层,具有比其正下方的第二AlGaN层54B低的Al组成且大的厚度。例如,在该结构中,通过调整第一AlGaN层54A、第二AlGaN层54B、第三AlGaN层54C各自的厚度和/或Al组成的比率,能够控制缓冲层14的晶体缺陷密度。由此,能够控制形成在缓冲层14上的第一氮化物半导体层16的晶体缺陷密度。

[0088] (5) 在缓冲层14中,第一AlGaN层54A、第二AlGaN层54B、第三AlGaN层54C的至少一个是掺杂有碳(C)及铁(Fe)中的至少一方作为杂质的杂质掺杂AlGaN层。根据该结构,由于缓冲层14包括杂质掺杂AlGaN层,能够抑制缓冲层14中的漏电流而提高耐压。

[0089] (6) 在氮化物半导体装置10中,栅极构造22包括形成在第二氮化物半导体层18上的栅极层30和形成在栅极层30上的栅电极32。栅极层30由包括受主型杂质的GaN层、即p型GaN层形成。通过设置这样的栅极层30,能够将氮化物半导体装置10构成为常断型HEMT。

[0090] [变更例]

[0091] 上述各实施方式能够如下变更来实施。并且,上述实施方式以及以下的各变更例能够在技术上不产生矛盾的范围内相互组合来实施。

[0092] • 氮化物半导体装置10并不限于参照图1说明的上述实施方式的构造例如,上述实施方式的氮化物半导体装置10构成为常断型HEMT,但本公开的结构并不限于常断型HEMT,也能够应用于常通型HEMT。例如,通过从氮化物半导体装置10中省略栅极层30(或者栅极层30形成不包括受主型杂质的氮化物半导体层),能够将氮化物半导体装置10构成为常通型HEMT。

[0093] • 第一氮化物半导体层16并不限于参照图2说明的上述实施方式的构造。第一氮化物半导体层16只要是包括GaN的层即可,未必限于包括GaN复合层的构造。当然,GaN复合层的层数及构造等也没有特别限定。例如,第一氮化物半导体层16除了GaN层以外,也

可以包括其他氮化物半导体层(例如AlN层等),第一氮化物半导体层16的晶体缺陷密度也可以由其他层构造调整。

[0094] • 缓冲层14不限于参照图2说明的上述实施方式的构造,也可以包括其他氮化物半导体层。当然,AlGaIn复合层的层数及构造等也没有特别限定。

[0095] • 栅极层30并不限于包括源极侧延伸部36及漏极侧延伸部38的构造,也可以是仅包括栅极层主体部34的构造。并且,源电极24及漏电极26的构造及形状也不限于图1所示的构造及形状。

[0096] 在本公开中使用的“~上”这一术语除非根据上下文明确表明不是这样,包括“~上”和“~的上方”的含义。因此,例如,“第一要素安装在第二要素上”的表述在某一实施方式中是第一要素可以与第二要素接触地直接配置在第二要素上,但在其他实施方式中意味着第一要素可以不与第二要素接触地配置在第二要素的上方。即,“~上”这一术语并不排除在第一要素与第二要素之间形成其他要素的构造。

[0097] 在本公开中使用的Z轴方向不一定是铅垂方向,也不需要与铅垂方向完全一致。因此,本公开的各种构造不限于在本说明书中说明的Z轴方向的“上”及“下”是铅垂方向的“上”及“下”。例如,X轴方向也可以是铅垂方向,或者Y轴方向也可以是铅垂方向。

[0098] 在本公开中使用的“第一~”、“第二~”等数词只是为了明确地区别构成零部件而使用的,并非必须具备按顺序的构成零部件。

[0099] [附记]

[0100] 在下文中记载能够从上述各实施方式以及各变更例掌握的技术思想。此外,示出与在各附记中记载的构成要素对应的实施方式的构成要素的符号是为了辅助理解而作为例子来示出的,在各附记中记载的构成要素不应该限于符号所示的构成要素。

[0101] (附记A1)

[0102] 一种氮化物半导体装置10,具备:

[0103] 第一氮化物半导体层16;

[0104] 形成在上述第一氮化物半导体层16上并且具有比上述第一氮化物半导体层16的带隙大的带隙的第二氮化物半导体层18;以及

[0105] 形成于上述第二氮化物半导体层18的上方的栅电极32、源电极24、以及漏电极26,

[0106] 上述第一氮化物半导体层16是包含GaIn的层,

[0107] 上述第一氮化物半导体层16的针对(102)面的X射线摇摆曲线的半值宽度为1100arcsec以上且1400arcsec以下。

[0108] (附记A2)

[0109] 根据附记A1所述的氮化物半导体装置10,其中,

[0110] 上述第一氮化物半导体层16包括层叠有多个GaIn层62、64、66的GaIn复合层,

[0111] 上述GaIn复合层通过将掺杂有形成受主能级的杂质的杂质掺杂GaIn层64和未掺杂GaIn层62;66交替地层叠来形成,

[0112] 上述GaIn复合层的最上层由上述未掺杂GaIn层66形成,

[0113] 上述第二氮化物半导体层18形成在位于上述GaIn复合层的最上层的上述未掺杂GaIn层66之上。

[0114] (附记A3)

- [0115] 根据附记A2所述的氮化物半导体装置10,其中,
- [0116] 还具备半导体基板12和形成在上述半导体基板12上的缓冲层14,
- [0117] 上述GaN复合层具有位于上述缓冲层14上的第一GaN层62、位于上述第一GaN层62上的第二GaN层64、以及位于上述第二GaN层64上的第三GaN层66的三层构造,
- [0118] 上述第一GaN层62及上述第三GaN层66分别由上述未掺杂GaN层形成,
- [0119] 上述第二GaN层64由上述杂质掺杂GaN层形成,
- [0120] 上述第二氮化物半导体层18形成在上述第三GaN层66上。
- [0121] (附记A4)
- [0122] 根据附记A3所述的氮化物半导体装置10,其中,
- [0123] 上述第一GaN层62具有50nm以上且300nm以下的厚度。
- [0124] (附记A5)
- [0125] 根据附记A2~A4中任一项所述的氮化物半导体装置(10),其中,
- [0126] 上述杂质掺杂GaN层64中的杂质是碳(C)。
- [0127] (附记A6)
- [0128] 根据附记A1所述的氮化物半导体装置10,其中,
- [0129] 还具备半导体基板12和形成在上述半导体基板12上的缓冲层14,
- [0130] 上述第一氮化物半导体层16形成在上述缓冲层14上,
- [0131] 上述缓冲层14包括层叠有多个AlGaN层54A、54B、54C的AlGaN复合层54,
- [0132] 上述多个AlGaN层54A、54B、54C中的最上层的AlGaN层54C具有比位于该最上层的AlGaN层54C的正下方的AlGaN层54B低的铝组成且大的厚度。
- [0133] (附记A7)
- [0134] 根据附记A6所述的氮化物半导体装置10,其中,
- [0135] 上述多个AlGaN层54A、54B、54C的至少一个是掺杂有形成受主能级的杂质的杂质掺杂AlGaN层54A;54B;54C。
- [0136] (附记A8)
- [0137] 根据附记A7所述的氮化物半导体装置10,其中,
- [0138] 上述杂质掺杂AlGaN层54A;54B;54C中的杂质是碳(C)及铁(Fe)中的至少一方。
- [0139] (附记A9)
- [0140] 根据附记A6~A8中任一项所述的氮化物半导体装置10,其中,
- [0141] 上述第一氮化物半导体层16包括层叠有多个GaN层62、64、66的GaN复合层,
- [0142] 上述多个GaN层62、64、66包括:
- [0143] 第一GaN层62,其位于上述AlGaN复合层54上,由未掺杂GaN层形成;
- [0144] 第二GaN层64,其位于上述第一GaN层62上,由掺杂有形成受主能级的杂质的杂质掺杂GaN层形成;以及
- [0145] 第三GaN层66,其位于上述第二GaN层64上,由未掺杂GaN层形成,
- [0146] 上述第二氮化物半导体层18形成在上述第三GaN层66上。
- [0147] (附记A10)
- [0148] 根据附记A1~A9中任一项所述的氮化物半导体装置10,其中,
- [0149] 还具备形成在上述第二氮化物半导体层18上并包括受主型杂质的第三氮化物半

导体层30,

[0150] 上述栅电极(32)形成在上述第三氮化物半导体层30上。

[0151] (附记B1)

[0152] 一种氮化物半导体装置10,具备:

[0153] 半导体基板12;

[0154] 形成在上述半导体基板12上的缓冲层14;

[0155] 形成在上述缓冲层14上的第一氮化物半导体层16;

[0156] 形成在上述第一氮化物半导体层16上并且具有比上述第一氮化物半导体层16的带隙大的带隙的第二氮化物半导体层18;以及

[0157] 形成于上述第二氮化物半导体层18的上方的栅电极32、源电极24、以及漏电极26,

[0158] 上述缓冲层14包括层叠有多个AlGaIn层54A、54B、54C的AlGaIn复合层54,

[0159] 上述第一氮化物半导体层16包括层叠有多个GaIn层62、64、66的GaIn复合层,

[0160] 上述GaIn复合层通过将掺杂有形成受主能级的杂质的杂质掺杂GaIn层64和未掺杂GaIn层62;66交替地层叠来形成,

[0161] 上述GaIn复合层的最上层由上述未掺杂GaIn层66形成,

[0162] 上述第二氮化物半导体层18形成在位于上述GaIn复合层的最上层的上述未掺杂GaIn层66之上,

[0163] 上述多个AlGaIn层54A、54B、54C中的最上层的AlGaIn层54C具有比位于该最上层的AlGaIn层54C的正下方的AlGaIn层54B低的铝组成且大的厚度。

[0164] (附记B2)

[0165] 根据附记B1所述的氮化物半导体装置10,其中,

[0166] 上述GaIn复合层具有位于上述缓冲层14上的第一GaIn层62、位于上述第一GaIn层62上的第二GaIn层64、以及位于上述第二GaIn层64上的第三GaIn层66的三层构造,

[0167] 上述第一GaIn层62及上述第三GaIn层66分别由上述未掺杂GaIn层形成,

[0168] 上述第二GaIn层64由上述杂质掺杂GaIn层形成,

[0169] 上述第二氮化物半导体层18形成在上述第三GaIn层66上。

[0170] (附记B3)

[0171] 根据附记B1或B2所述的氮化物半导体装置10,其中,

[0172] 上述多个AlGaIn层54A、54B、54C的至少一个是掺杂有形成受主能级的杂质的杂质掺杂AlGaIn层54A;54B;54C。

[0173] 以上的说明仅是示例。本领域技术人员能够认识到,除了为了说明本公开的技术的目的而列举的构成要素及方法(制造工艺)以外,还能够进行更多可能的组合及置换。本公开旨在包括在本公开的包含权利要求书的范围内的所有代替、变形、以及变更。

[0174] 符号说明

[0175] 10—氮化物半导体装置,12—半导体基板,14—缓冲层,16—第一氮化物半导体层,18—第二氮化物半导体层,20—二维电子气(2DEG),22—栅极构造,24—源电极,26—漏电极,30—栅极层(第三氮化物半导体层),32—栅电极,52—第一缓冲层,54—第二缓冲层(AlGaIn复合层),54A—第一AlGaIn层,54B—第二AlGaIn层,54C—第三AlGaIn层,62—第一GaIn层,64—第二GaIn层,66—第三GaIn层。

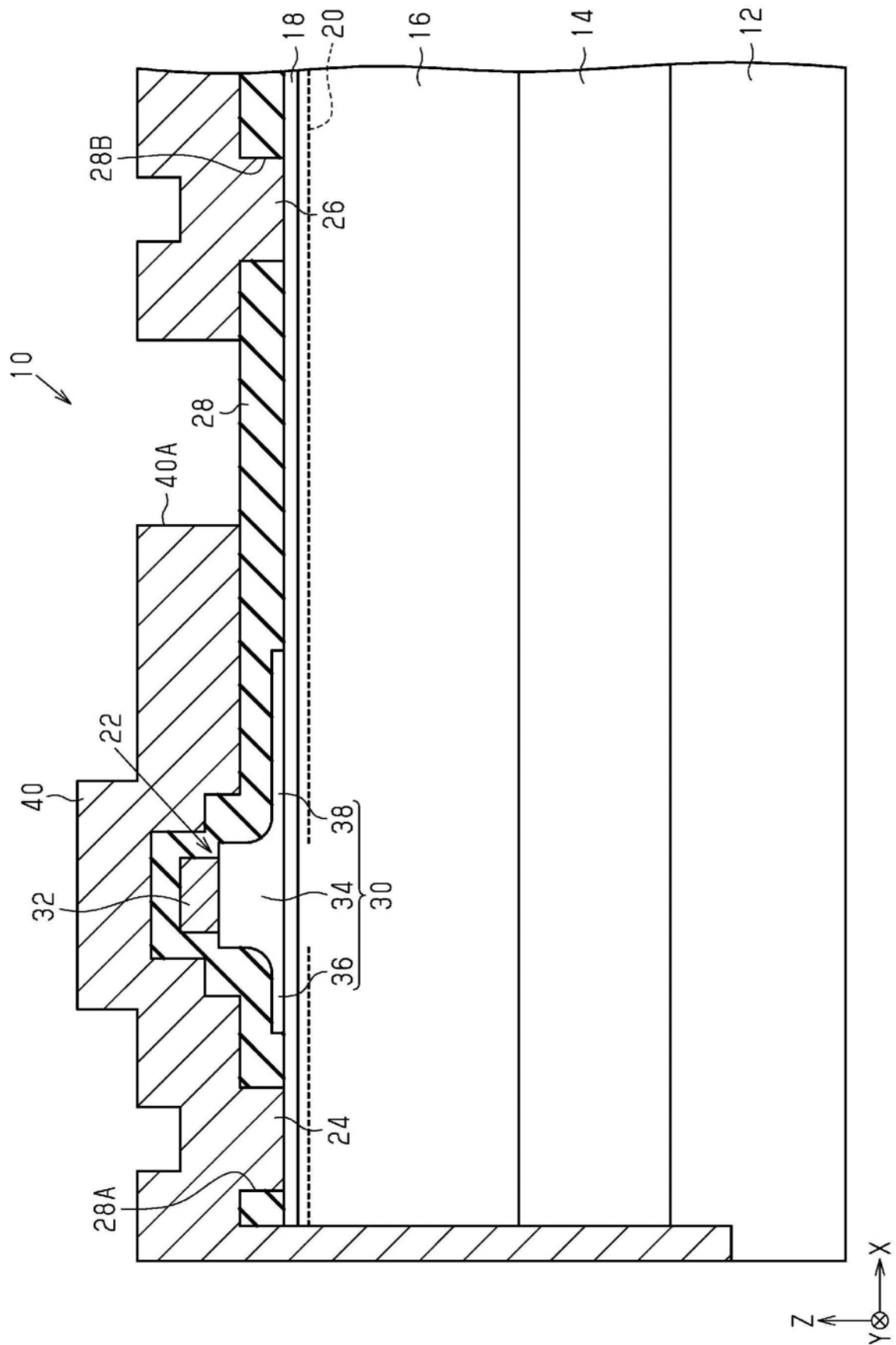


图1

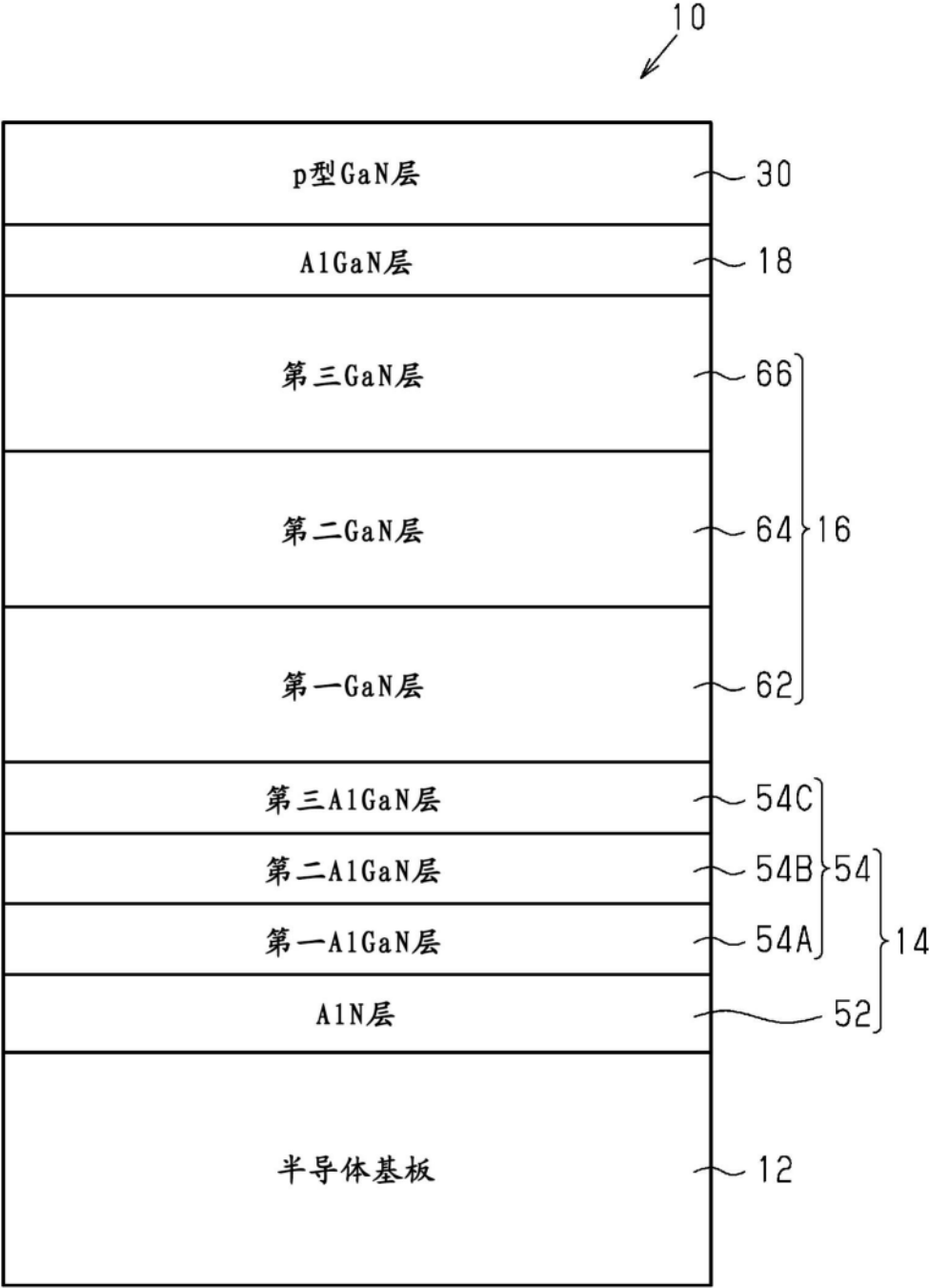


图2

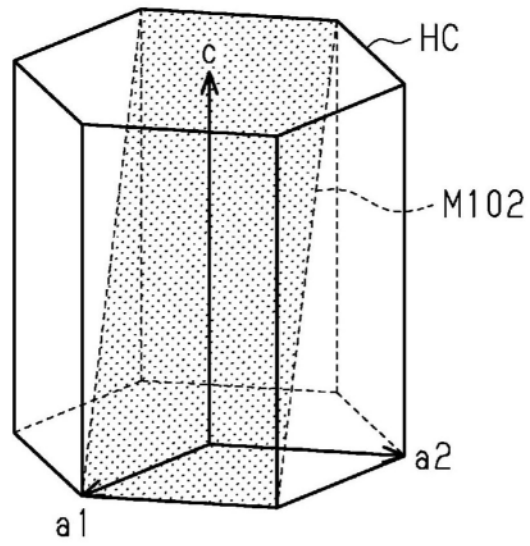


图3

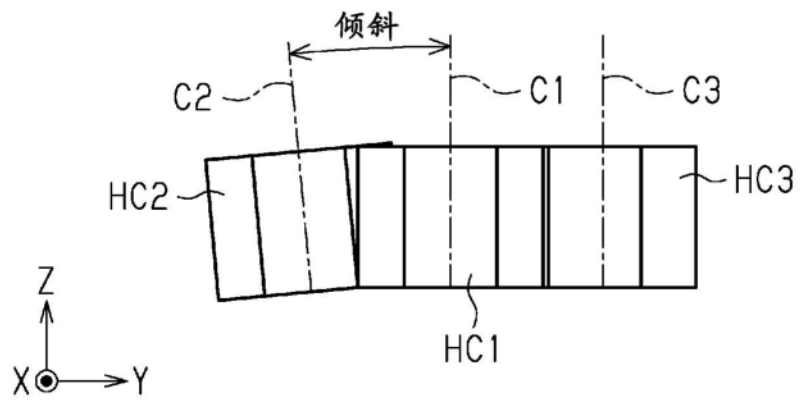


图4

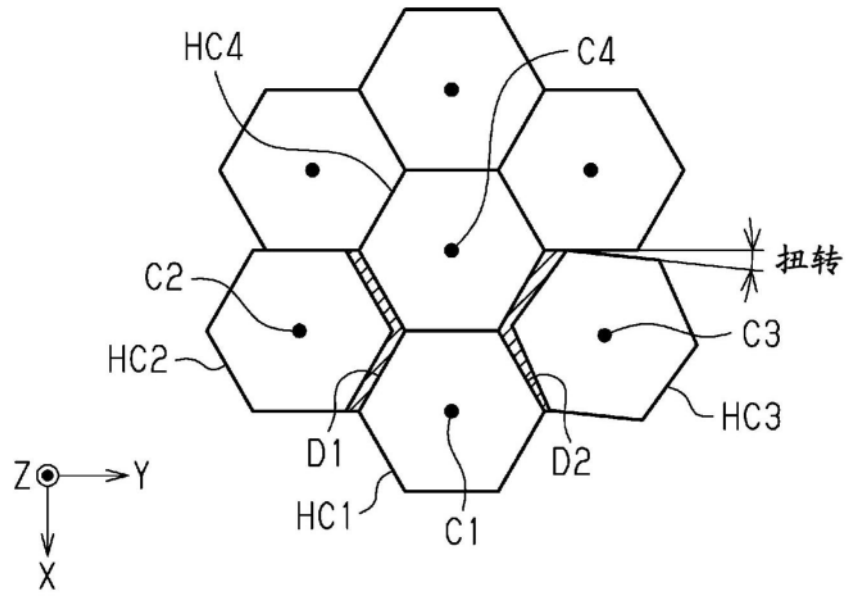


图5

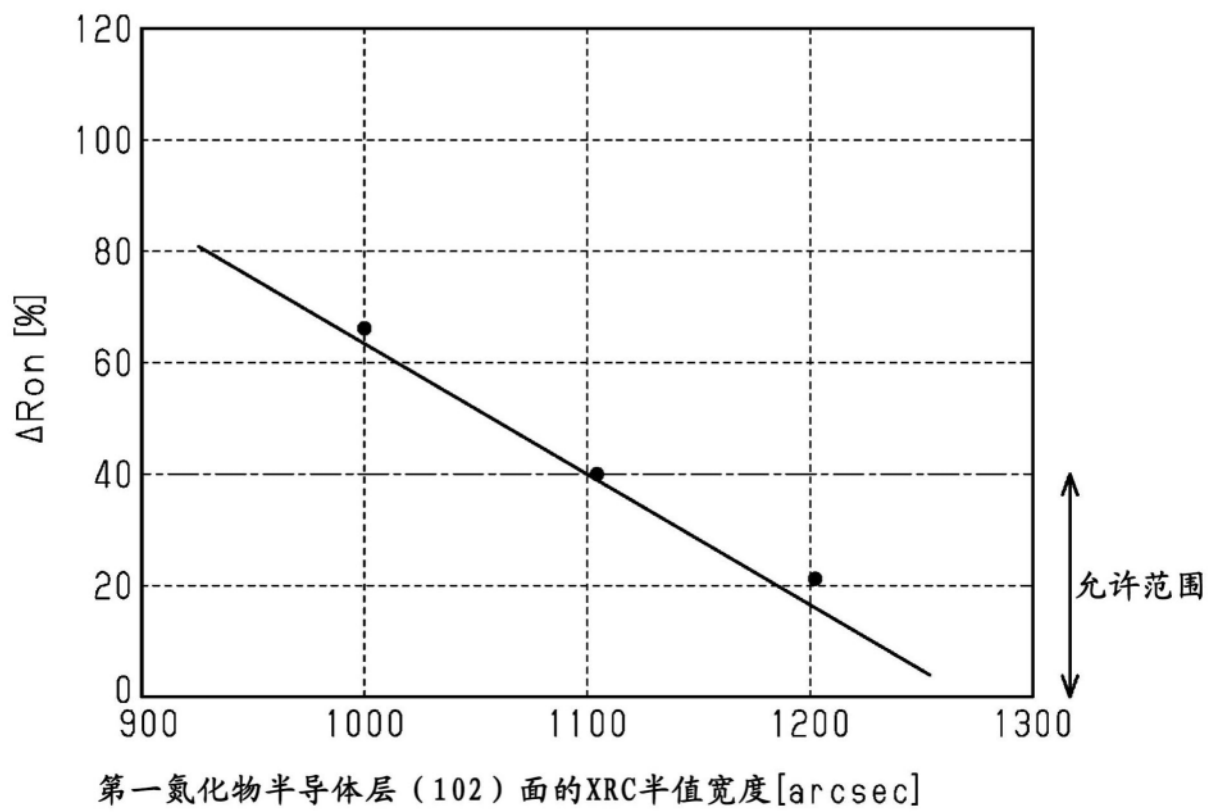


图6