申請日期：	88.4.17	案號：	88106580
類別：	H01L 21/302 , C23F 4/00		

（以上各欄由本局填註）

公告本		發明專利說明書 457574
一、發明名稱	中文	半導體裝置之製造設備與製造方法
	英文	APPARATUS FOR FABRICATING A SEMICONDUCTOR DEVICE AND METHOD OF DOING THE SAME
二、發明人	姓名（中文）	1.渡嘉敷 健
	姓名（英文）	1.Ken TOKASHIKI
	國籍	1.日本
	住、居所	1.日本國東京都港區芝五丁目7番1號 日本電氣股份有限公司內
三、申請人	姓名（名稱）（中文）	1.日本電氣股份有限公司
	姓名（名稱）（英文）	1.NEC Corporation
	國籍	1.日本
	住、居所（事務所）	1.日本國東京都港區芝五丁目7番1號
	代表人姓名（中文）	1.西垣 浩司
	代表人姓名（英文）	1.Kouji NISHIGAKI

本案已向

國(地區)申請專利	申請日期	案號	主張優先權
日本 JP	1999/04/07	特願平11-100112	有

有關微生物已寄存於	寄存日期	寄存號碼

無

五、發明說明 (1)

發明背景

發明之領域

本發明係關於一種半導體裝置的製造方法與製造設備，特別是關於一種方法包含經由電感耦合型電漿將由鋁構成的多層的金屬配線圖案化的步驟，與關於一種產生電感耦合型電漿的設備，從而圖案化多層的金屬配線。

相關技術之描述

隨著LSI積體化程度增加，配線層必需被以愈來愈小的尺寸圖案化。為了將小尺寸的光罩圖案轉移至例如一導電層或一絕緣層，通常藉由使用電漿的非等向性乾蝕刻法—例如反應性離子蝕刻（RIE）與電子環繞共振式（ECR）電漿蝕刻—蝕刻此層。

另一方面，當半導體裝置以愈來愈小的尺寸製造時，絕緣閘極型場效應電晶體（FET）中的閘極絕緣膜被做得愈來愈薄。例如，最近閘極絕緣膜被設計成具有10nm或更小的厚度。此種薄閘極絕緣膜即使只是小的電應力便易受損害。

導電層通常由鋁或其合金所構成。已知有許多產生電漿的非等向性乾蝕刻方法，可作為乾蝕刻此種導電層的方法。

例如，在此等乾蝕刻方法的其中之一，藉由BCl_3氣體與Cl_2氣體的混合氣體所產生的電漿，以圖案化的光阻膜作為遮罩，蝕刻形成於半導體基板上、由鋁或其合金所構成的導電層。在電漿中，BCl_3氣體以BCl^{2+}存在，而Cl_2氣體

產生Cl自由基。此等Cl物種與構成導電層的鋁或其合金發生化學反應，從而產生揮發性的$AlCl_3$，其具有高蒸汽壓。由此產生的揮發性$AlCl_3$蒸發出來，而蝕刻由鋁或其合金所構成的導電層。

在電漿蝕刻製程中，電子以及上述Cl離子物種係入射至基板。若是入射的正與負電荷之間有差異，則電荷會積聚在形成於閘極絕緣膜上且與基板電性絕緣的導電層中。因此，導電層與基板之間產生電壓差。此種電壓差使得隧道電流穿過閘極絕緣膜，導致閘極絕緣膜的介電特性改變，且因此，閘極絕緣膜可以產生絕緣破壞。

如上所述，形成於閘極絕緣膜上的閘極電極或導電層、與導電層電性連接的閘極電極（在下文中，閘極電極與此種導電層稱為「閘極配線」）被充電一亦即電荷積聚在閘極配線中一的電漿蝕刻製程會導致閘極絕緣膜受到損害。進行電漿蝕刻製程包括，例如，當圖案化閘極配線層時、當形成到達閘極配線層的接觸孔時、當藉由噴濺蝕刻清潔到達閘極絕緣層接觸孔時、以及與當對閘極配線層部分露出的基板表面進行電漿增進型化學氣相沈積時。

此外，若是半導體基板上方電漿不均一地形成，則導入半導體基板的離子電流與電子電流間將產生差異。此差異可能使得隧道電流穿過閘極絕緣膜。

隨著半導體裝置愈來愈高度集積化，天線比一其定義為閘極絕緣膜面積與由鋁或其合金所構成的導電層面積的比一顯著地增加。當藉由電漿蝕刻製程蝕刻高天線比的導

電膜時，電漿小小的不均一便可造成大的隧道電流穿過閘極絕緣膜。

已有報導指出，在高縱橫比—即窄的空間—的開口的光阻遮罩的電漿蝕刻步驟中，即使產生的電漿具有對平坦表面均一的電荷分佈，也會發生高密度電漿蝕刻特有的充電損害，稱為電子遮蔽損害。

上述電子遮蔽損害係由在配線間形成的空間的底部所產生的離子通量與電子通量不均衡、以及乾蝕刻特性之一的微負載所導致。

在下文中參考圖1說明電子遮蔽損害。

茲參考圖1，在形成於電極中的離子鞘中，其中當釋放電漿時將RF電壓施加到電極，離子通量101非等向地入射至相鄰金屬配線105間所形成的空間，而電子通量102以與電漿中入射的電子通量相同的方式，等向地入射到該等空間。

電子通量102的等向性導致大多數電子104入射至絕緣遮罩，例如光阻遮罩103的側壁。因此，電子104大量積聚在光阻遮罩103的側壁上，從而在光阻遮罩103上產生負電壓。當光阻遮罩103間的空間小時，亦即縱橫比高時，產生於光阻遮罩103側壁上的負電壓彼此部分重疊，導致產生於光阻遮罩103附近的負電壓進一步增加。因此，到達形成於相鄰光阻遮罩103間的孔洞的底部106的電子通量102大減。因此，高縱橫比孔洞的底部106產生電子通量102與離子通量101間的不均衡。

乾蝕刻具有許多特性，其中之一為微負載效應。在此，微負載效應為蝕刻速率隨著縱橫比改變的一種現象。一般而言，蝕刻速率隨著縱橫比增加而降低。因此，雖然金屬配線105已在相對低縱橫比的部分被蝕刻，但相對高縱橫比的孔洞的底部106尚未被蝕刻。在相對低縱橫比的部分已被蝕刻至底部106被完全蝕刻為止之後的期間（在下文中，此種時期稱為「注入時間」），正電荷由於電荷不均衡而積聚在底部106。

因此，閘極電極108具有對於矽基板109為正的電壓。接著，電子111自矽基板109經由閘極氧化膜110被注入閘極電極108，以解決電荷不均衡的問題。由注入的電子111所導致的電流與閘極電壓以及上述注入時間成正比。

若是由注入電子111所導致的電流過量流入閘極氧化膜110，則閘極氧化膜110會品質下降及／或受到損害。

上文所顯示的即為電子遮蔽損害發生的原因。

許多方法被提出藉由脈衝調節來產生電漿以使電漿均一。例如，日本特開平第6－267900與8－181125號公報提出蝕刻配線層的方法。在此等方法中，ECR電漿源施加頻率600kHz或以下的RF偏壓至氣體，脈衝週期為100 μsec或以下，與脈衝切斷時間為介於10至100 μsec之間。因此，可有效地產生正與負離子，且因此電荷不會積聚在光阻遮罩的側壁上。

特別是，日本特開平第6－267900號公報提出當藉由蝕刻形成高縱橫比的接觸孔時，藉由產生以頻率50kHz之

五、發明說明 (5)

脈衝調節的電漿，可以避免微負載發生。

日本特開昭第61－13625號公報提出一種電漿蝕刻設備，包含第一機構用於自引進反應室的製程氣體產生電漿；第二機構用於加速電漿中的離子，從而將如此加速的離子發射至物體；第三機構用於調節放電電壓；與第四機構用於調節所施加的電壓。第四機構AM或FM調節所施加的電壓，從而控制電子溫度的分佈、反應物種的組成比、與離子能量分佈。

上述習用電漿蝕刻設備，特別是，ECR電漿蝕刻設備中使用昂貴的磁鐵。此外，報導指出此等磁鐵會使樣品的電特性下降。因此，如今電感耦合型電漿（ICP）蝕刻設備被建議用來取代上述習用電漿蝕刻設備。雖然與ECR電漿蝕刻設備產生的電漿的密度比較，ICP蝕刻設備產生的電漿密度較小，但ICP蝕刻設備較ECR電漿蝕刻設備具有簡化的構造，因為ICP蝕刻設備不包含磁鐵。此外，ICP蝕刻設備相對於其它蝕刻設備所具有的優點包括對閘極絕緣膜較小的電損害、較高的機械可靠度、較高的維修能力、與較低的製造與運轉成本。

日本特開平第9－92645號公報提出一種半導體裝置的製造方法，包含以下各步驟：將半導體晶片轉移至電漿蝕刻室，與施加電漿至半導體晶片。半導體晶片包含介電破壞電壓X伏特與厚度10nm以下的閘極絕緣膜、導電層形成在閘極絕緣膜上並具有天線比500以上的天線構造、與已圖案化的絕緣物形成於導電層上並包含縱橫比大於1的開

口。在電漿中，將電子溫度Te（eV）保持在等於或小於X（Te＜X）。

在所提出的方法中，將頻率為13.56MHz的RF電壓施加到製程氣體，從而將ICP蝕刻設備中的電漿、與頻率為66.7kHz的RF功率施加到基板，從而控制基板電壓。從RF偏壓源偵測波形類似RF輸出波形的RF信號，且將由此偵測到的RF信號傳送到脈衝產生器。脈衝產生器以和接收到的RF信號相同之週期，產生與所望之相位同步且具有所需脈衝開通時間的脈衝。將脈衝產生器產生的脈衝傳送到電源，以依照該脈衝調節或開通或切斷頻率為13.56MHz的RF功率。具體而言，將脈衝開通時間設為5μsec、將脈衝切斷時間設為10μsec、與將相位角設為等於240度。因此，可以將電子溫度保持在閘極絕緣膜的絕緣破壞電壓以下。

依照此篇公報，當脈衝切斷時間設成較長時，電子溫度下降的時期變長，且期間末的電子溫度更進一步下降。此篇公報提出閘極絕緣層的損害大幅減輕係由於上述電子溫度的下降。

<u>發明概要</u>

本發明的目的為提供一種半導體裝置的製造方法，包含下述步驟：以電感耦合型電漿將配線層圖案化，此方法可以防止閘極絕緣膜之電子遮蔽損害的發生，且可以在高精確度與高可靠度下蝕刻配線層。

本發明的另一目的為提供一種半導體裝置的製造設

備，其產生電感耦合型電漿，從而蝕刻配線層，而不造成閘極絕緣膜發生電子遮蔽損害。

在本發明的一實施態樣中，提供一種半導體裝置的製造方法，包含以下各步驟(a)以下列條件產生電漿：(a1)一RF偏壓具有等於或大於1MHz的頻率、(a2)一RF源電壓具有等於或大於1MHz的頻率、(a3)以週期等於或大於100μsec的脈衝調節RF源電壓、與(a4)脈衝開通時間係等於或大於50μsec；與(b)以電漿藉由蝕刻將多層的金屬配線圖案化。

在本發明的其它實施態樣中，提供一種半導體裝置的製造設備，包含：(a)一密封的室、(b)一氣體引進器，以將氣體引進該室、(c)一排氣器，將氣體排出該室、(d)一RF源電壓供應器，將一頻率等於或大於1MHz的RF源電壓施加至該室，從而自氣體產生電感耦合型電漿、(e)一RF偏壓源，施加一RF偏壓至置於該室內的基板，此RF偏壓的頻率等於或大於1MHz、與(f)一脈衝產生器，其傳送脈衝至RF源電壓供應器，從而將脈衝開通時間保持在等於或大於50μsec，以等於或大於100μsec的週期，調節RF源電壓供應器。

在下文中說明本發明得到的優點。

依照本發明，用於產生將多層的金屬配線圖案化的電漿的條件如下。

RF偏壓的頻率：1MHz或以上

RF源電壓的頻率：1MHz或以上

調節RF源電壓的週期：100 μsec或以上

脈衝開通時間：50 μsec或以上

藉由決定上述條件，即使配線與相鄰者間隔更大及／或多層的金屬配線的天線比更大，仍可以減輕對閘極絕緣膜的充電損害。

以上所述產生電漿的條件，僅為了用於方便說明本發明，而並非將本發明狹義地限制於此。

此外，本發明施用於由鋁或其合金所構成的多層的金屬配線最佳，但也可以施用於由其它材料例如複晶矽或二氧化矽所構成的層。

較佳實施例之詳細說明

圖2顯示依照本發明的一較佳實施例中，藉由電感耦合型電漿圖案化配線層的設備。

所顯示的設備包含：不銹鋼製的容器1；石英或陶瓷製的鐘形罩2位在容器1上，其與容器1配合而在容器1與鐘形罩2中構成密封的反應室6；線圈3位在鐘形罩2上，用於產生微波，可透過鐘形罩2傳播；承載盤4置於反應室6中，用於將基板5固定於其上；RF源電壓供應器8，經由線圈3施加RF源電壓至反應室6；脈衝產生器10，傳送脈衝至RF源電壓供應器8；與RF偏壓源9，施加RF偏壓至承載盤4。

雖然未圖示，但本設備尚包含排氣器，將氣體自反應室6排出，從而將反應室6保持於所需真空度；氣體引進

器，從而以控制的量引進蝕刻劑氣體一例如BCl_3與Cl_2一至反應室6；與溫度控制器，其與承載盤4配合用於冷卻或加熱基板5，從而保持基板5於固定溫度。

當欲於反應室6中產生電感耦合型電漿7時，將頻率等於或大於1MHz的RF源電壓自RF源電壓供應器8經由線圈3施加到反應室6。同時，自RF偏壓源9將頻率等於或大於1MHz的RF偏壓施加到承載盤4，從而控制基板5的電壓，使得電感耦合型電漿7中的離子被加速至所需的程度，且使之衝撞基板5。

在實施例中，使RF源電壓與RF偏壓所具有的頻率為1MHz或以上。使RF源電壓的頻率等於或大於1MHz的原因為，比起RF源電壓的頻率小於1MHz的情況，電感耦合型電漿可以更快與更穩定地產生。RF偏壓的頻率等於或大於1MHz的原因如下。若是RF偏壓的頻率小於1MHz，離子能量的分佈變成從較低的能量帶至較高的能量帶廣泛分佈，亦即，一半帶寬變廣泛。因此，較高能量帶中的離子使光阻選擇性惡化。藉由使RF偏壓的頻率等於或大於1MHz，一半帶寬可以變得較窄，且因此光阻選擇性的惡化會較少。

在本實施例中，RF電源8產生的RF源電壓由脈衝產生器10產生的脈衝調節並具有矩形波形，調節成週期為100 μsec或以上的電壓，亦即，頻率為10kHz或以下，與脈衝開通時間為50 μsec或以上。

在下文中舉出一例說明隨著如何以脈衝調節RF源電壓，而致絕緣層受到如何的損害。

在此例中，假設形成的閘極絕緣膜具有厚度為6nm，閘極電極具有閘極長度為0.25μm與閘極寬為10μm，與形成於閘極電極附近的配線具有天線構造。改變相鄰配線間的間隔與天線比，測量n通道MOSFET的臨限電壓Vt。在測量臨限電壓Vt時，汲極電壓Vd設為2.0V，與汲極電流Id設為0.2A。

測量結果顯示於圖3至11。

在圖3至8中，使用Cl_2與BCl_3氣體作為蝕刻劑氣體，流速分別為110與45sccm，與使用CHF_3氣體作為添加氣體，流速為10sccm。使RF電源8所供應的RF源電壓具有2MHz的頻率並等於1000W，而使RF偏壓源9所產生的RF偏壓具有13.56MHz的頻率並等於300W。在10mTorr的壓力下與在攝氏60度的溫度下於圖2所示的設備中蝕刻基板5。

在圖9至11中，Cl_2、BCl_3、與CHF_3氣體分別以80、100、與10sccm的量流入反應室6中。其它條件與圖3至8中的上述條件相同。

圖3顯示習知技術中未進行脈衝放電的測量結果。在圖3中，在相鄰配線間的間隔為0.3μm、0.4μm、與0.5μm的情況下，當天線比超過1000時，臨限電壓Vt開始增加。特別是，在相鄰配線間的間隔等於0.3μm時，當天線比超過10000時，臨限電壓Vt開始下降。此臨限電壓Vt的下降相當於閘極氧化膜的完全破壞。

在圖4中，將脈衝開通時間與脈衝切斷時間均設為50μsec。在相鄰配線間的間隔為0.3μm與0.4μm的情況

下，當天線比超過約1000時，臨限電壓Vt開始增加。然而，在相鄰配線間的間隔為0.5 μm、0.6 μm、與0.8 μm的情況下，即使天線比愈來愈高，臨限電壓Vt仍保持固定。此顯示本發明在圖4所示的情況下恰當地運作。

如圖5與6所示，吾人可了解當將脈衝開通時間設為愈來愈長時可以防止臨限電壓Vt上升。

圖7顯示本發明之範圍以外的情況。在圖7中，即使在相鄰配線間的間隔設為等於0.5 μm的情況下，臨限電壓Vt仍增加。

然而，若是脈衝開通時間設成太長，則臨限電壓Vt再次上升。如圖8所示，脈衝週期的上限為約500 μsec，與脈衝開通時間的上限為約450 μsec。

在圖9至11中，其中蝕刻劑氣體間的流速比不同，可確認已防止臨限電壓Vt增加。由於圖9顯示出幾乎與圖3所示之結果相同的結果，故吾人可了解脈衝週期必需等於或大於100 μsec，且脈衝開通時間必需等於或大於50 μsec。

在下文中將說明本發明可以得到此等優點的原因。

圖12顯示在脈衝切斷時間保持於50 μsec而脈衝開通時間改變下，電漿中電子溫度如何變化。如資料所示，圖12也顯示未以脈衝調節的連續放電中電子溫度如何變化，與當脈衝切斷時間保持在30 μsec與脈衝開通時間保持在50 μsec下電漿中電子溫度如何變化。後者相當於圖7所示的情況。

熟習此項技術者應知電漿損害可藉由降低電子溫度加以抑制。習用上要求電子溫度低於平均的電子溫度。然而，其後，據稱閘極絕緣層在電漿產生的初期階段不會受到很大損害。

在本發明中，將脈衝開通時間設得較長時，電子溫度稍微高於在脈衝產生的初期連續放電中觀察到的電子溫度。然而，同時，電子溫度的振幅變大，而電子溫度變小。考慮到將脈衝開通時間設得較長更能降低電子溫度，且因此可以得到上述優點。

此點與習用上相信的一較長的脈衝切斷時間比起較長的脈衝開通時間更能有效降低電子溫度一正好相反。較長的脈衝開通時間能有效降低子溫度這個事實是由本發明人首先發現的。

吾人應注意，脈衝切斷時間並不限制於特定時間。然而，若是脈衝切斷時間設成太長，則電漿會消失，造成蝕刻失敗。因此，雖然與脈衝週期有關，但脈衝切斷時間必需等於或小於100 μsec。

相反的，較短的脈衝切斷時間會提供幾乎等於連續放電之密度的電漿密度。然而，若是脈衝切斷時間設得太短，則電子溫度會太低。因此，雖然與脈衝開通時間的長度有關，但脈衝切斷時間必需等於或大於20 μsec，最好是大於30 μsec。

圖式簡單說明

圖1顯示用來說明電子遮蔽損害的模型。

圖2顯示依照本發明一實施例之用於蝕刻配線層的設備。

圖3不同配線層間隔下的天線比與臨限電壓間之關係的圖。

圖4為顯示脈衝開通時間50 μsec下、不同配線層間隔下的天線比與臨限電壓間之關係的圖。

圖5為顯示脈衝開通時間120 μsec下、不同配線層間隔下的天線比與臨限電壓間之關係的圖。

圖6為顯示脈衝開通時間200 μsec下、不同配線層間隔下的天線比與臨限電壓間之關係的圖。

圖7為顯示在本發明的範圍之外、不同配線層間隔下的天線比與臨限電壓間之關係的圖。

圖8為顯示脈衝開通時間450 μsec下、不同配線層間隔下的天線比與臨限電壓間之關係的圖。

圖9為顯示為顯示脈衝開通時間50 μsec下、不同配線層間隔下的天線比與臨限電壓間之關係的圖。

圖10為顯示脈衝開通時間120 μsec下、不同配線層間隔下的天線比與臨限電壓間之關係的圖。

圖11為顯示脈衝開通時間200 μsec下、不同配線層間隔下的天線比與臨限電壓間之關係的圖。

圖12為顯示電子溫度與脈衝開通時間間之關係的圖。

符號說明

圖式簡單說明

1 容器

2 鐘形罩

3 線圈

4 承載盤

5 基板

6 反應室

7 電感耦合型電漿

8 RF源電壓供應器

9 RF偏壓源

10 脈衝產生器

101 離子通量

102 電子通量

103 光阻遮罩

104 電子

105 金屬配線

106 底部

108 閘極電極

109 矽基板

110 閘極氧化膜

111 電子

四、中文發明摘要 （發明之名稱：半導體裝置之製造設備與製造方法）

提供一種半導體裝置的製造方法，包含以下各步驟：（a）以下列條件產生電漿：（a1）一RF偏壓具有等於或大於1MHz的頻率、（a2）一RF源電壓具有等於或大於1MHz的頻率、（a3）以週期等於或大於100 μsec的脈衝調節RF源電壓、與（a4）脈衝開通時間係等於或大於50 μsec；與（b）以電漿藉由蝕刻將多層的金屬配線圖案化。即使配線與相鄰者間隔更大及／或多層的金屬配線的天線比更大，此方法仍可以減輕閘極絕緣膜的充電損害。

英文發明摘要 （發明之名稱：APPARATUS FOR FABRICATING A SEMICONDUCTOR DEVICE AND METHOD OF DOING THE SAME）

There is provided a method of fabricating a semiconductor device, including the steps of (a) generating plasma in the following conditions:(a1) an RF bias voltage has a frequency equal to or greater than 1 MHz, (a2) an RF source voltage has a frequency equal to or greater than 1 MHz, (a3) the RF source voltage is modulated by pulses in a cycle equal to or greater than 100 μsec, and (a4) pulse-on time is equal to or greater than 50 μsec , and (b) patterning multi-layered metal wirings

457574

四、中文發明摘要　（發明之名稱：半導體裝置之製造設備與製造方法）

英文發明摘要　（發明之名稱：APPARATUS FOR FABRICATING A SEMICONDUCTOR DEVICE AND METHOD OF DOING THE SAME）

by etching through the plasma. The method makes it possible to reduce charging damage to a gate insulating film, even if wirings are further spaced away from adjacent ones and/or an antenna ratio of multi-layered metal wirings is further increased.

六、申請專利範圍

1. 一種半導體裝置的製造方法，包含以下各步驟：

(a)以下列條件產生電漿：

(a1)RF偏壓具有等於或大於1MHz的頻率；

(a2)RF源電壓具有等於或大於1MHz的頻率；

(a3)該RF源電壓係以週期等於或大於100μsec的脈衝所調節；與

(a4)脈衝開通時間係等於或大於50μsec，與

(b)以該電漿藉由蝕刻將多層的金屬配線圖案化。

2. 依申請專利範圍第1項之半導體裝置的製造方法，其中該脈衝具有矩形波形。

3. 依申請專利範圍第1項之半導體裝置的製造方法，其中該週期係等於或小於500μsec，而該脈衝開通時間係等於或小於450μsec。

4. 依申請專利範圍第1至3項任一項之半導體裝置的製造方法，其中該多層的金屬配線係由鋁或鋁合金所構成。

5. 依申請專利範圍第4項之半導體裝置的製造方法，其中該多層的金屬配線與一n通道MOSFET電性接觸。

6. 依申請專利範圍第5項之半導體裝置的製造方法，其中該n通道MOSFET包含一閘極絕緣膜，其厚度等於或小於

6nm。

7. 依申請專利範圍第1至3項任一項之半導體裝置的製造方法，其中該多層的金屬配線具有一天線比介於1,000（含）至100,000（含）的範圍內，且該多層的金屬配線中配線與相鄰者間隔0.3μm或以上。

8. 依申請專利範圍第7項之半導體裝置的製造方法，其中該多層的金屬配線具有一天線比介於1,000（含）至40,000（含）的範圍內。

9. 依申請專利範圍第1至3項任一項之半導體裝置的製造方法，其中脈衝切斷時間係等於或小於100μsec。

10. 依申請專利範圍第9項之半導體裝置的製造方法，其中該脈衝切斷時間係等於或大於20μsec。

11. 依申請專利範圍第1項之半導體裝置的製造方法，其中該脈衝切斷時間係等於或大於30μsec。

12. 一種半導體裝置的製造設備，包含：

(a)一密封的室；

(b)一氣體引進器，將氣體引進該室；

(c)一排氣器，將氣體自該室排出；

(d)一RF源電壓供應器，將一頻率等於或大於1MHz的RF源電壓施加至該室，從而自該氣體產生電感耦合型電漿；
(e)一RF偏壓源，將一RF偏壓施加至置於該室內的基板，該RF偏壓的頻率等於或大於1MHz；與
(f)一脈衝產生器，其傳送脈衝至該RF源電壓供應器，從而在等於或大於100 μsec的週期中，將脈衝開通時間保持在等於或大於50 μsec，調節該RF源電壓。

13. 依申請專利範圍第12項之半導體裝置的製造設備，其中該脈衝產生器產生具有矩形波形的脈衝。

14. 依申請專利範圍第12項之半導體裝置的製造設備，其中該脈衝產生器傳送脈衝至該RF源電壓供應器，從而在等於或小於500 μsec的週期中，將該脈衝開通時間保持在等於或小於450 μsec，調節該RF源電壓。

15. 依申請專利範圍第12至14項任一項之半導體裝置的製造設備，其中該半導體裝置包含多層的金屬配線，其係由鋁或鋁合金所構成。

16. 依申請專利範圍第15項之半導體裝置的製造設備，其中該半導體裝置尚包含一n通道MOSFET，其與該多層的金屬配線電性接觸。

六、申請專利範圍

17. 依申請專利範圍第16項之半導體裝置的製造設備，其中該n通道MOSFET包含一閘極絕緣膜，其厚度為等於或小於6nm。

18. 依申請專利範圍第15項之半導體裝置的製造設備，其中該多層的金屬配線具有一天線比介於1,000（含）至100,000（含）的範圍內，該多層的金屬配線中配線與相鄰者間隔0.3μm或以上。

19. 依申請專利範圍第18項之半導體裝置的製造設備，其中該多層的金屬配線具有一天線比介於1,000（含）至40,000（含）的範圍內。

20. 依申請專利範圍第12至14項任一項之半導體裝置的製造設備，其中該脈衝產生器傳送脈衝至該RF源電壓供應器，從而以等於或小於100μsec的脈衝切斷時間調節該RF源電壓。

21. 依申請專利範圍第20項之半導體裝置的製造設備，其中該脈衝切斷時間係等於或大於20μsec。

22. 依申請專利範圍第21項之半導體裝置的製造設備，其中該脈衝切斷時間係等於或大於30μsec。

457574

圖式

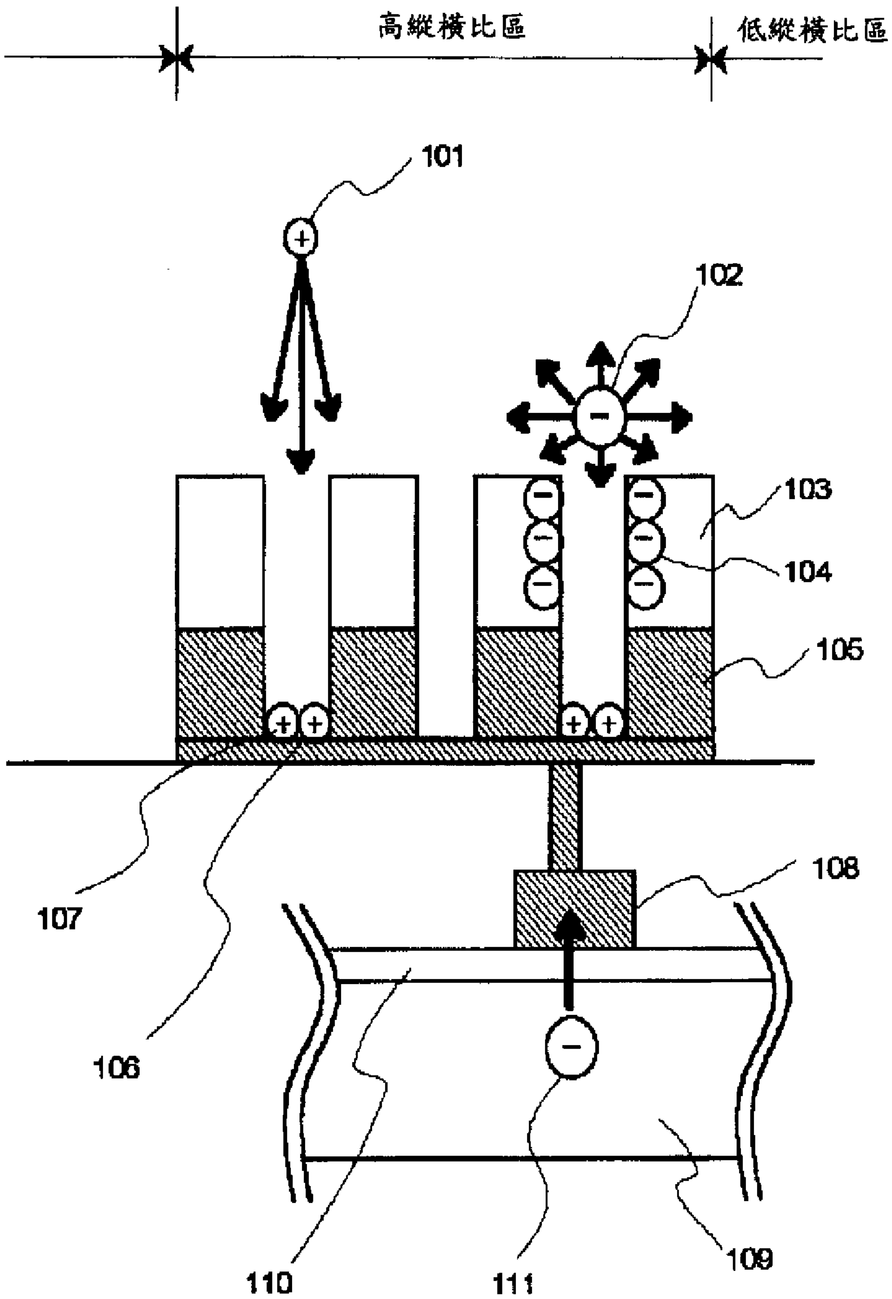


圖 1

圖式

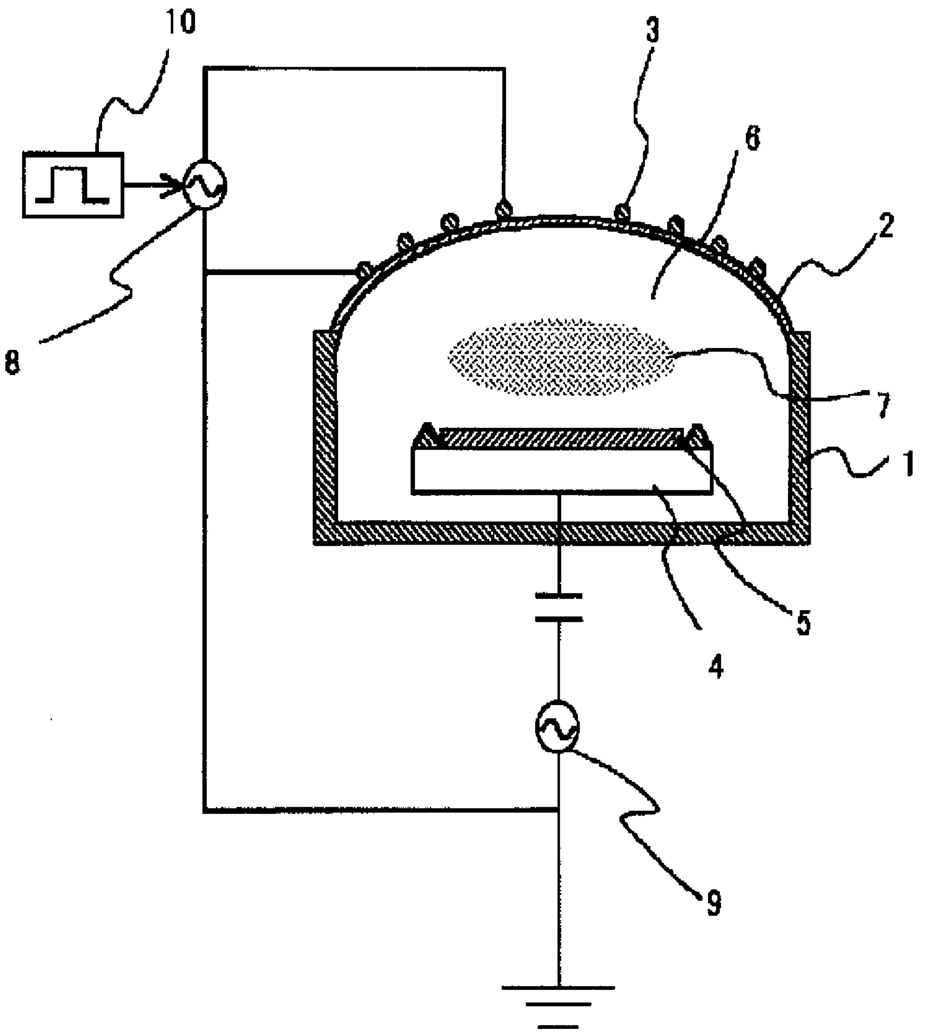
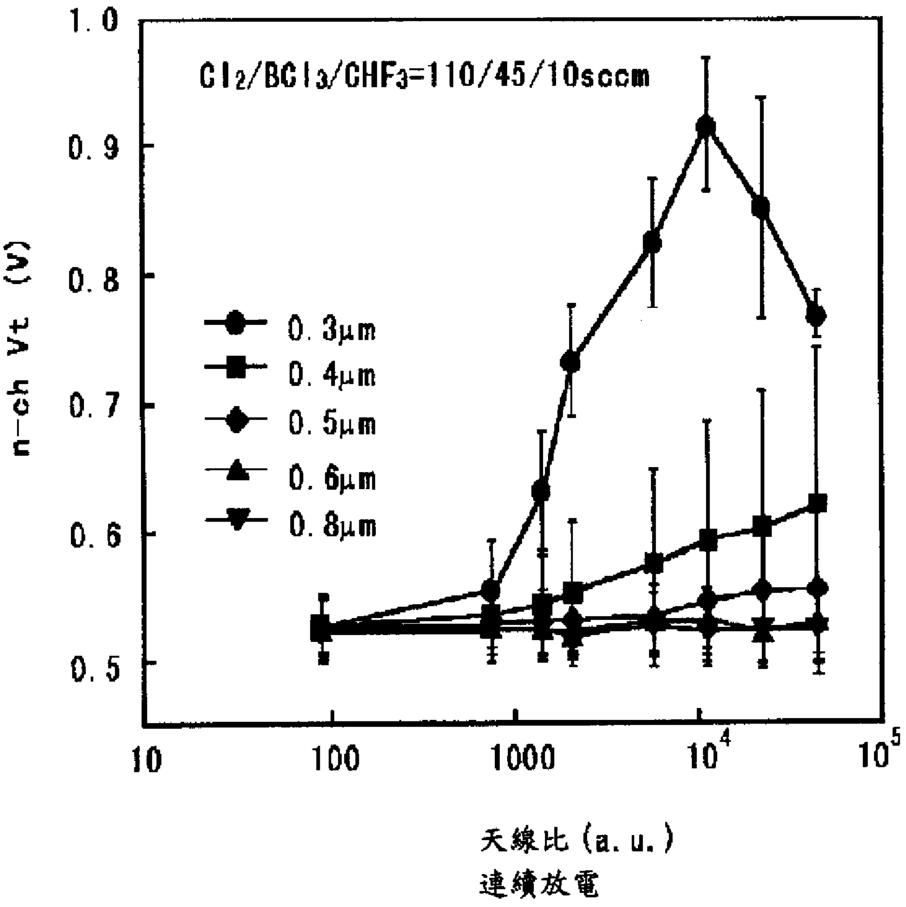


圖 2

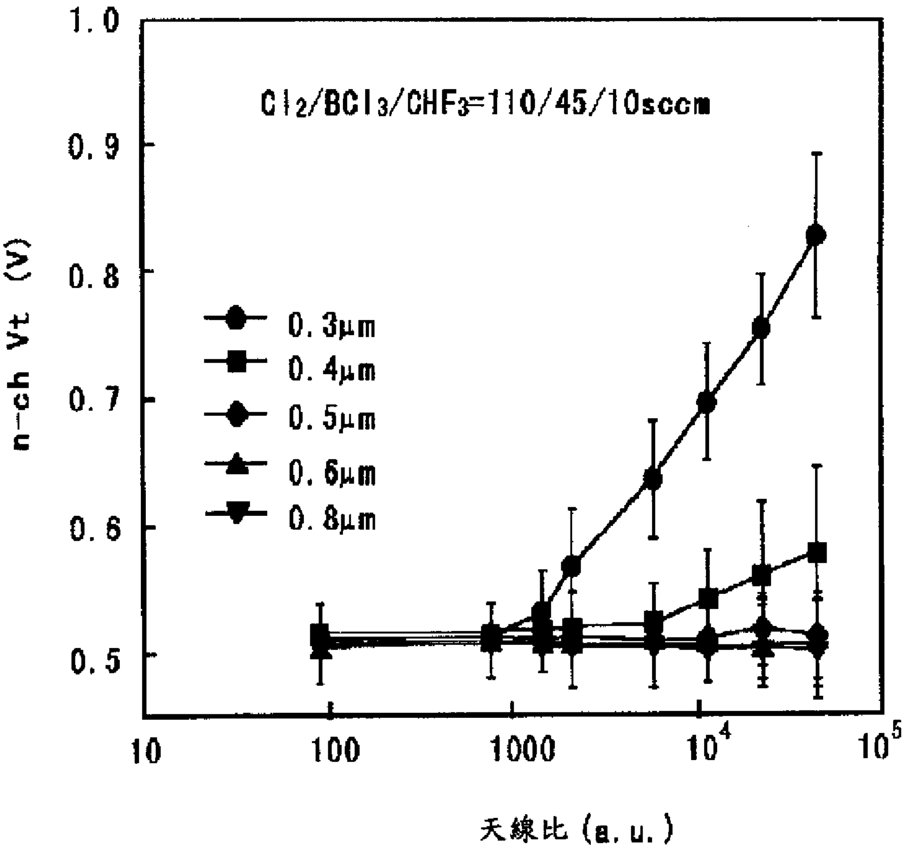
圖式



Cl2/BCl3/CHF3=110/45/10sccm
n-ch Vt (V)
1.0
0.9
0.8
0.7
0.6
0.5
0.3μm
0.4μm
0.5μm
0.6μm
0.8μm
10
100
1000
10^4
10^5
天線比 (a.u.)
連續放電

圖 3

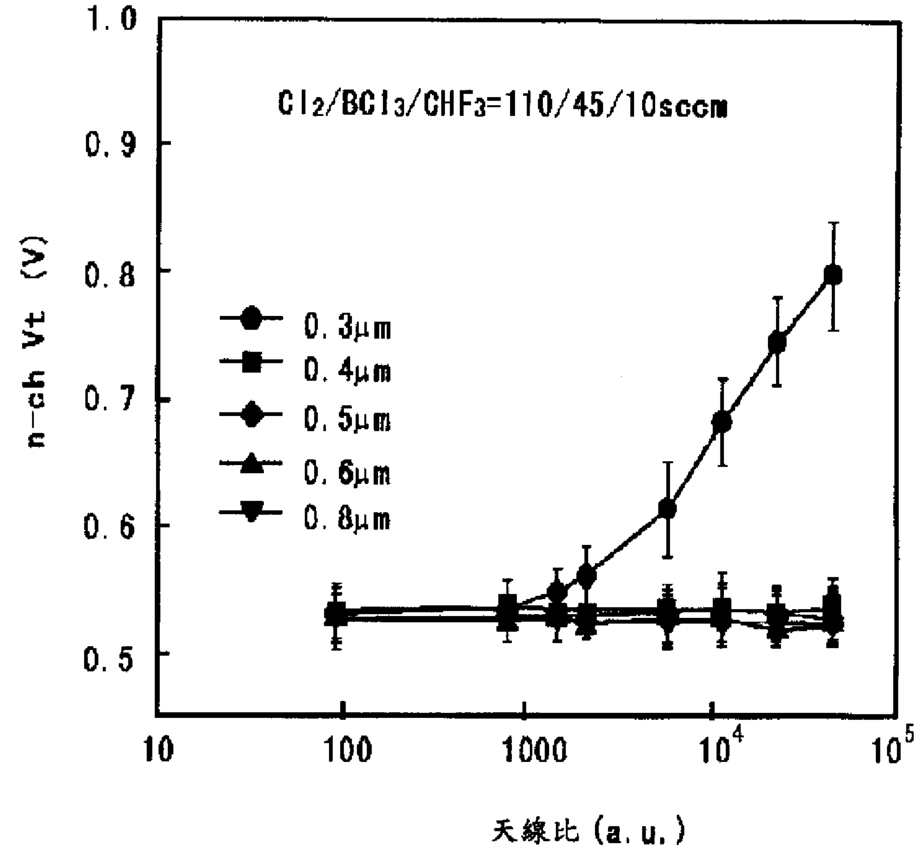
圖式



50 μsec開通/50 μsec切斷

圖 4

圖式



120 μsec開通/50 μsec切斷

圖 5

圖式

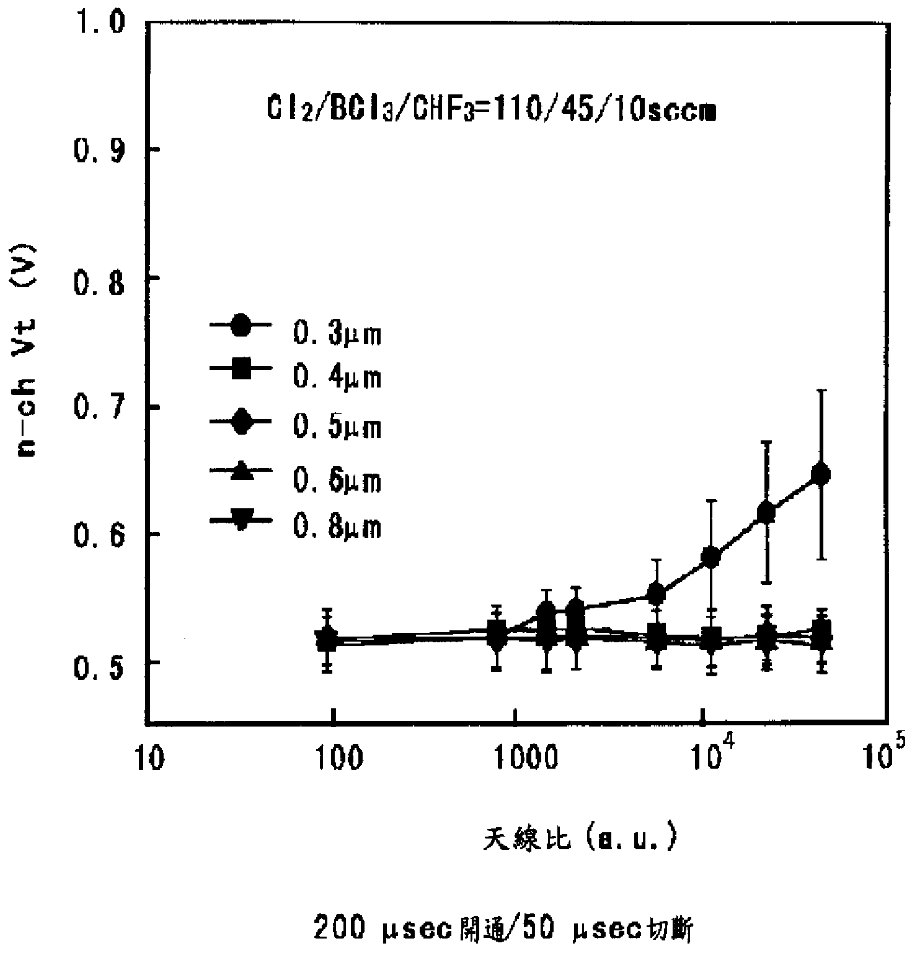
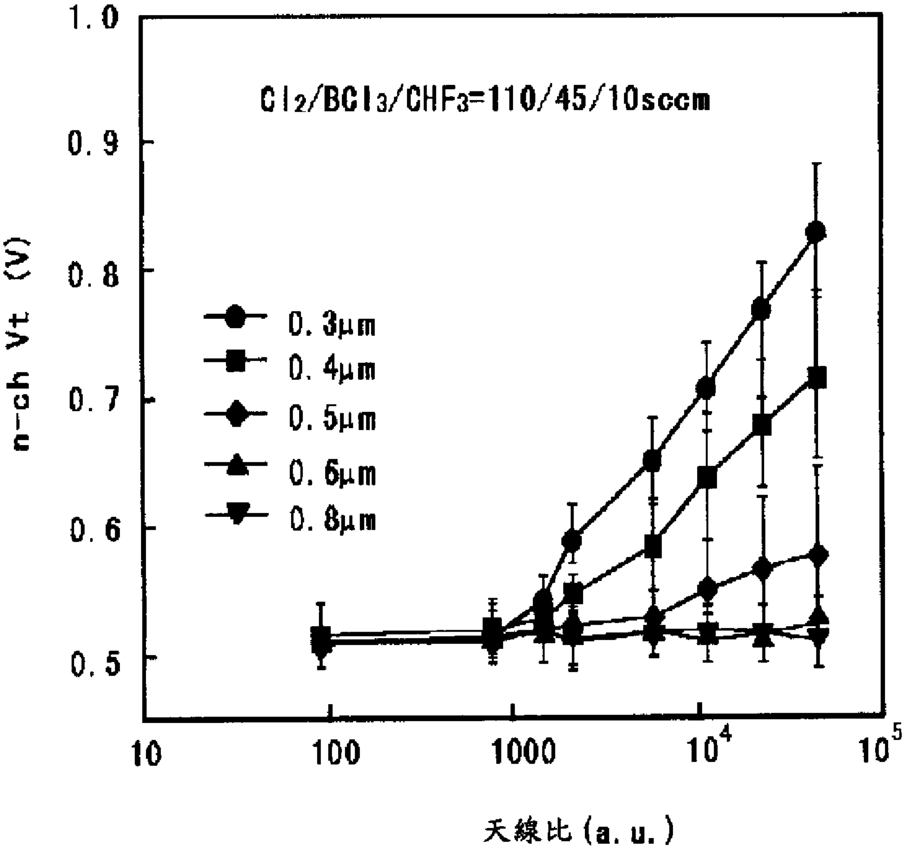

1.0
0.9
0.8
0.7
0.6
0.5
n-ch Vt (V)
Cl2/BCl3/CHF3=110/45/10sccm
0.3μm
0.4μm
0.5μm
0.6μm
0.8μm
10
100
1000
10⁴
10⁵
天線比 (a.u.)
200 μsec開通/50 μsec切斷

圖 6

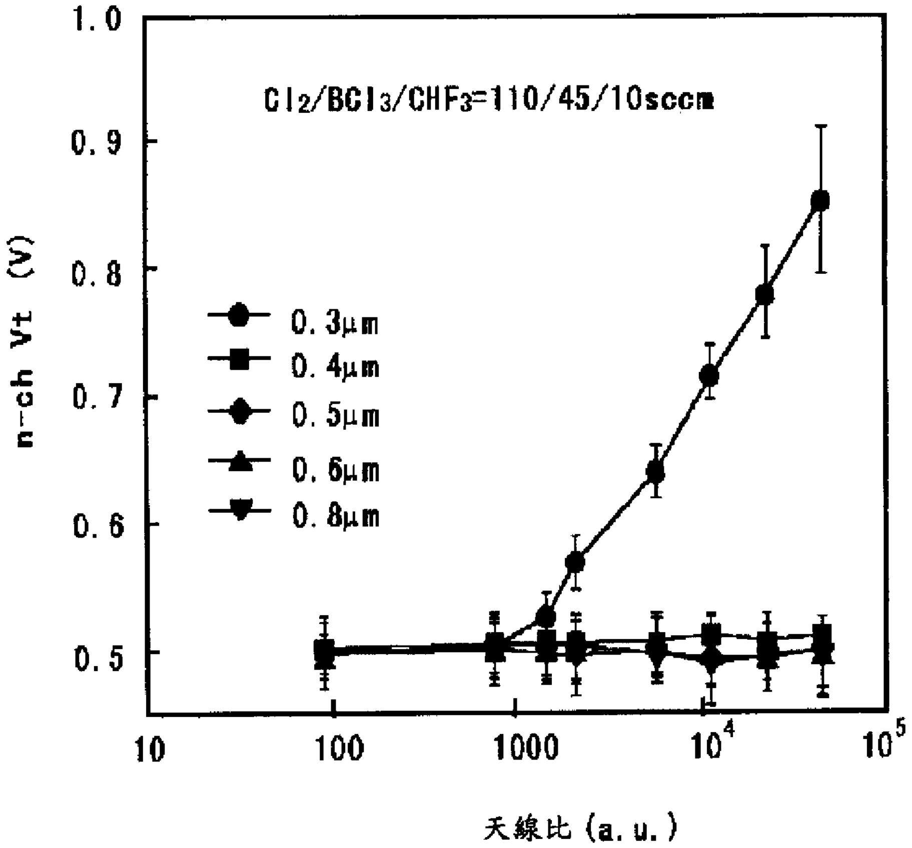
圖式



50 μsec開通/30 μsec切斷

圖 7

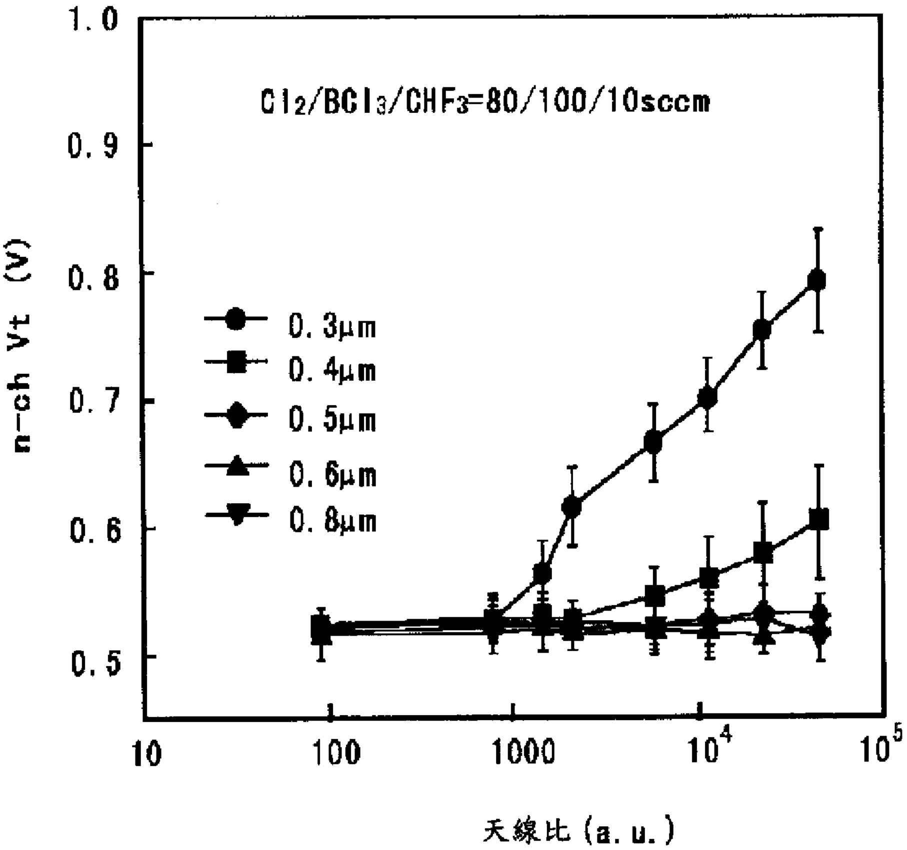
圖式



450 μsec開通/50 μsec切斷

圖 8

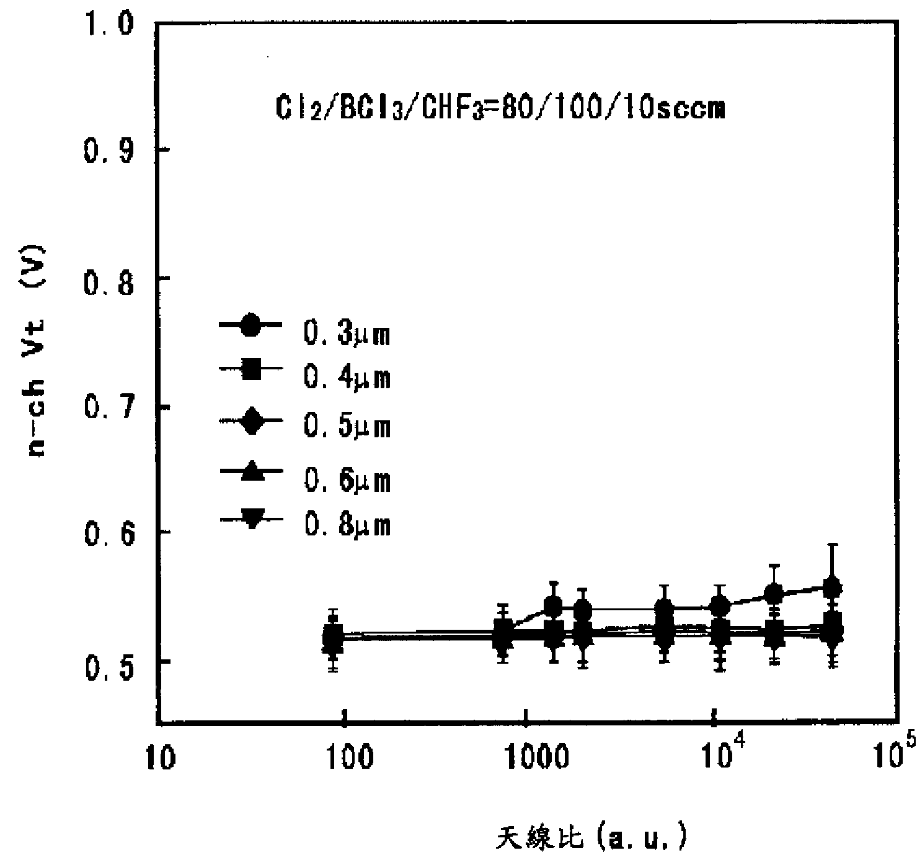
圖式



50 μsec開通/50 μsec切斷

圖 9

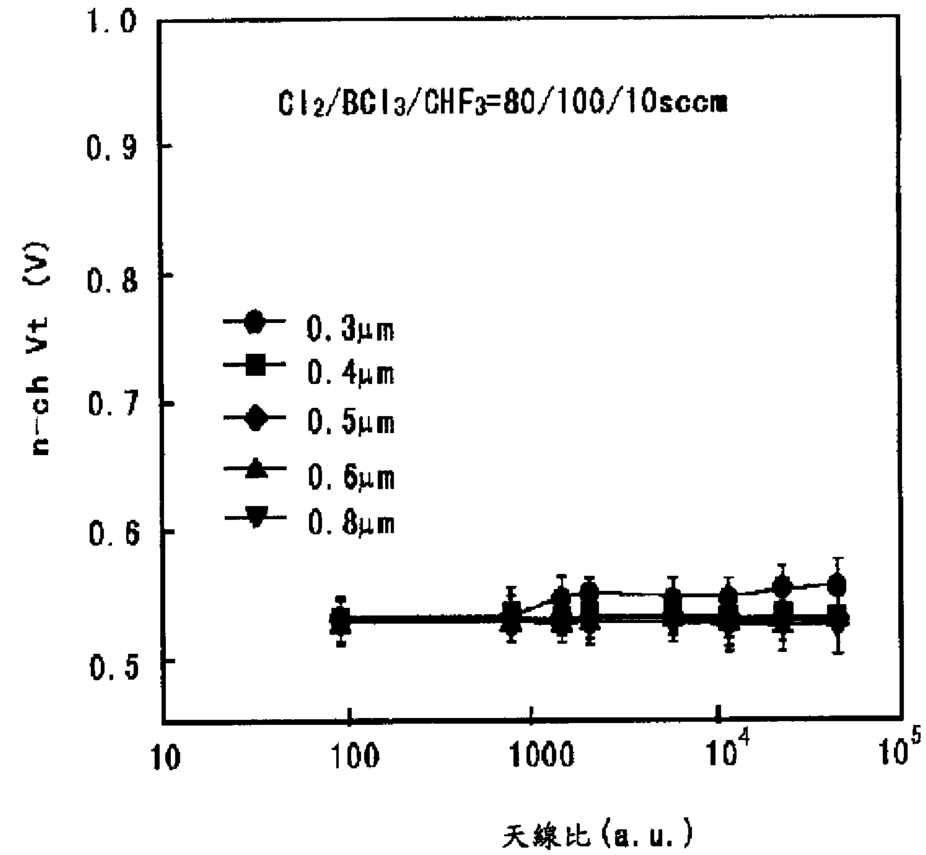
圖式



120 μsec開通/50 μsec切斷

圖 10

圖式



200 μsec開通/50 μsec切斷

圖 11

圖式

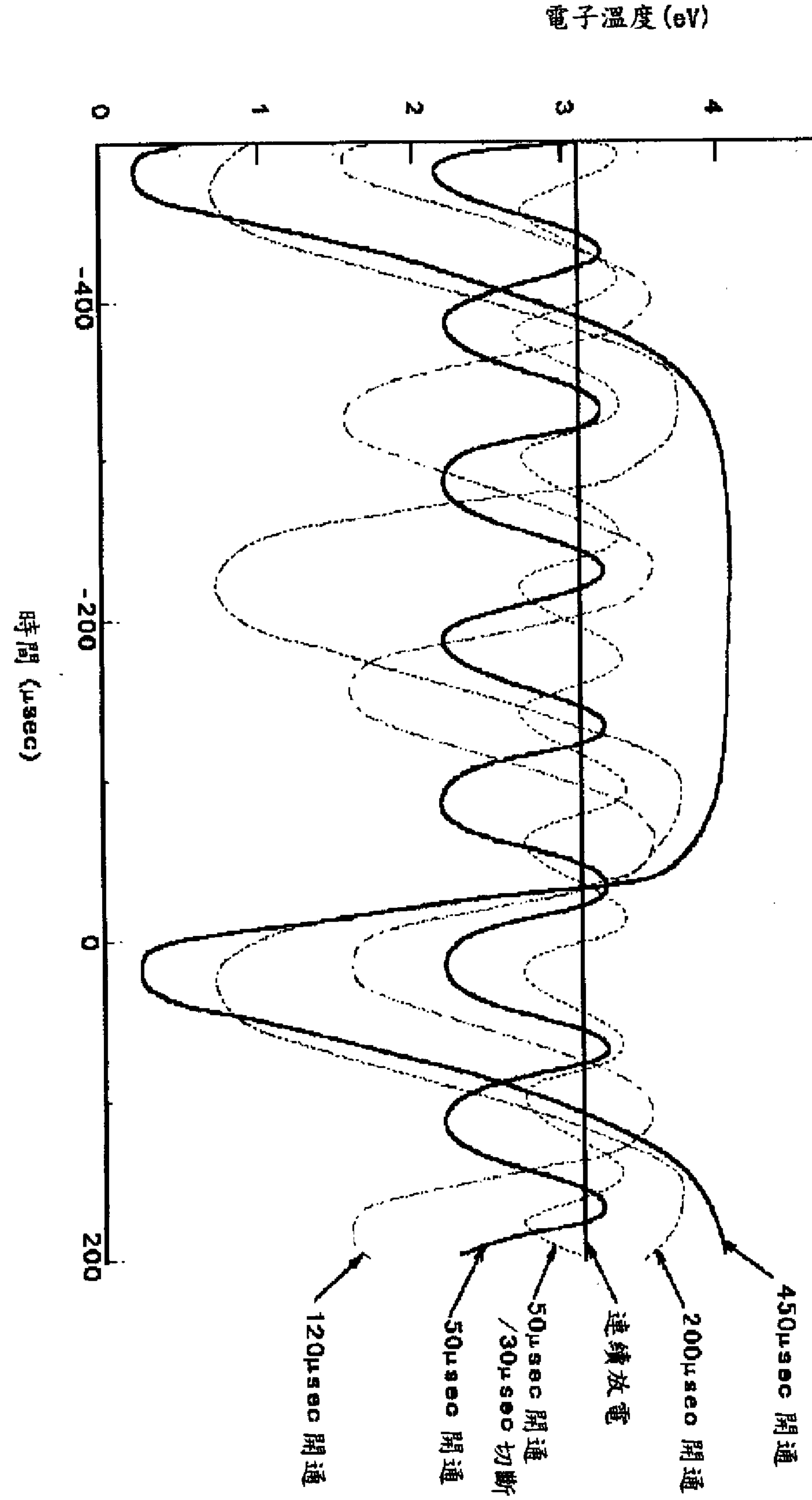

電子溫度(eV)
0
1
2
3
4
5
-400
-200
0
200
時間 (μsec)
450μsec 開通
200μsec 開通
連續放電
50μsec 開通
/30μsec 切斷
50μsec 開通
120μsec 開通

圖 12