

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-237919

(P2012-237919A)

(43) 公開日 平成24年12月6日(2012.12.6)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G09G 3/30 (2006.01)</b>	G09G 3/30 K	3K107
<b>G09G 3/20 (2006.01)</b>	G09G 3/30 J	5C080
<b>H01L 51/50 (2006.01)</b>	G09G 3/20 624B	5C380
	G09G 3/20 611H	
	G09G 3/20 642A	
審査請求 未請求 請求項の数 20 O L (全 42 頁) 最終頁に続く		

(21) 出願番号	特願2011-107911 (P2011-107911)	(71) 出願人	000002185
(22) 出願日	平成23年5月13日 (2011. 5. 13)		ソニー株式会社
			東京都港区港南1丁目7番1号
		(74) 代理人	100118290
			弁理士 吉井 正明
		(74) 代理人	100094363
			弁理士 山本 孝久
		(74) 代理人	100120640
			弁理士 森 幸一
		(72) 発明者	豊村 直史
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		(72) 発明者	内野 勝秀
			東京都港区港南1丁目7番1号 ソニー株
			式会社内
		最終頁に続く	

(54) 【発明の名称】 画素回路、表示装置、電子機器、及び、画素回路の駆動方法

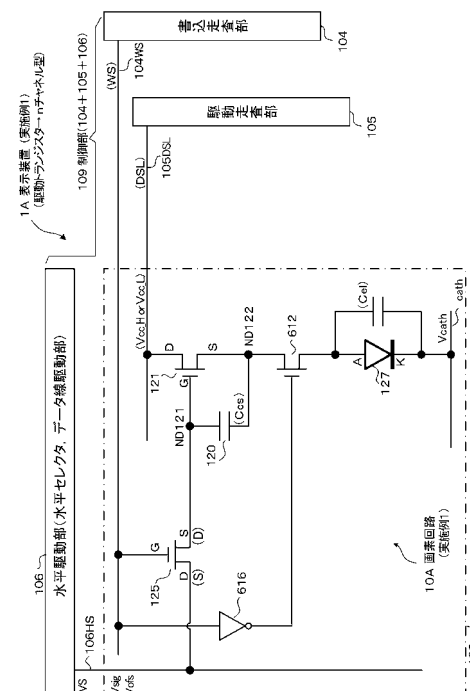
## (57) 【要約】

【課題】映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理を行なう際に電気光学素子がターンオンしてしまうことに起因する表示むら現象を抑制する。

【解決手段】画素回路、表示装置、或いは、電子機器は、表示部と、保持容量と、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタとを備える。好ましくは、表示部の電流路の開閉を制御可能な部材としては、トランジスタを、電流路制御トランジスタとして使用する。電流路制御トランジスタをオン/オフ制御するに当たっては、書込トランジスタを制御する書込駆動パルスと連動して制御してもよいし、書込トランジスタを制御する書込駆動パルスと独立して制御してもよい。

【選択図】 図 6

[図6]



**【特許請求の範囲】****【請求項 1】**

表示部と、  
保持容量と、  
映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、  
保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタ、  
とを備え、  
映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御可能に構成されている  
画素回路。

10

**【請求項 2】**

書込トランジスタを介して映像信号を保持容量の一端に供給しつつ駆動トランジスタを介して保持容量に電流を供給する処理と対応した一定期間、表示部の電流路を遮断するように制御する

請求項 1 に記載の画素回路。

**【請求項 3】**

表示部の電流路の開閉を制御可能な電流路制御トランジスタを有する

請求項 1 に記載の画素回路。

**【請求項 4】**

電流路制御トランジスタは、書込トランジスタを制御する書込駆動パルスと連動して制御される

請求項 3 に記載の画素回路。

20

**【請求項 5】**

電流路制御トランジスタは、書込トランジスタを制御する書込駆動パルスと独立して制御される

請求項 3 に記載の画素回路。

**【請求項 6】**

保持容量の他端と駆動トランジスタの一方の主電極端との接続点には、補助容量の一端が接続されており、

補助容量の他端は、所定の基準電位点に接続されている

請求項 1 に記載の画素回路。

30

**【請求項 7】**

補助容量のキャパシタンスは、表示部の寄生容量のキャパシタンスとほぼ同じ値である

請求項 6 に記載の画素回路。

**【請求項 8】**

補助容量の接続は、映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して遮断可能に構成されている

請求項 6 に記載の画素回路。

**【請求項 9】**

書込トランジスタを介して映像信号を保持容量の一端に供給しつつ駆動トランジスタを介して保持容量に電流を供給する処理は、駆動トランジスタの移動度を補正する移動度補正処理に使用される

請求項 1 に記載の画素回路。

40

**【請求項 10】**

駆動トランジスタの閾値電圧の補正処理後に、駆動トランジスタを介して保持容量に電流を供給する処理を行なう

請求項 1 に記載の画素回路。

**【請求項 11】**

閾値電圧の補正処理時には、表示部の電流路を遮断しない

請求項 10 に記載の画素回路。

50

## 【請求項 12】

表示部が配列された画素部を備え、  
特性制御部は、表示部ごとに、駆動トランジスタの特性を制御する  
請求項 1 に記載の画素回路。

## 【請求項 13】

画素部は、表示部が 2 次元マトリクス状に配列されている  
請求項 12 に記載の画素回路。

## 【請求項 14】

映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持  
容量に電流を供給する処理と連動して、表示部の電流路を遮断制御する制御部、  
を備えている請求項 1 に記載の画素回路。

10

## 【請求項 15】

表示部は自発光型である  
請求項 1 に記載の画素回路。

## 【請求項 16】

表示部は有機エレクトロルミネッセンス発光部を有する  
請求項 15 に記載の画素回路。

## 【請求項 17】

表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備した表示素子が配列されており、更に、

20

映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御可能な制御部、  
を備えた表示装置。

## 【請求項 18】

表示部の電流路の開閉を制御可能な電流路制御トランジスタが表示素子ごとに設けられており、更に、

電流路制御トランジスタをオン / オフ制御する電流路制御走査部を有する

請求項 17 に記載の表示装置。

## 【請求項 19】

30

表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備した表示素子が配列された画素部と、

画素部に供給される映像信号を生成する信号生成部と、

映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御可能な制御部、  
とを備えた電子機器。

## 【請求項 20】

40

表示部を駆動する駆動トランジスタを備えた画素回路を駆動する方法であって、  
映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御する

画素回路の駆動方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本明細書で開示する技術は、画素回路、表示装置、電子機器、及び、画素回路（表示装置）の駆動方法に関する。

## 【背景技術】

## 【0002】

今日、表示素子（電気光学素子とも称される）を具備する画素回路（画素とも称される

50

）を有する表示装置、表示装置を具備する電子機器が広く利用されている。画素の表示素子として、印加される電圧や流れる電流によって輝度が変化する電気光学素子を用いた表示装置がある。例えば、印加される電圧によって輝度が変化する電気光学素子としては液晶表示素子が代表例であり、流れる電流によって輝度が変化する電気光学素子としては、有機エレクトロルミネッセンス（Organic Electro Luminescence, 有機 E L, Organic Light Emitting Diode, OLED；以下、有機 E L と記す）素子が代表例である。後者の有機 E L 素子を用いた有機 E L 表示装置は、画素の表示素子として、自発光素子である電気光学素子を用いたいわゆる自発光型の表示装置である。

#### 【 0 0 0 3 】

ところで、表示素子を用いた表示装置においては、その駆動方式として、単純（パッシブ）マトリクス方式とアクティブマトリクス方式とを採ることができる。但し、単純マトリクス方式の表示装置は、構造が単純であるものの、大型でかつ高精細の表示装置の実現が難しい等の問題がある。

#### 【 0 0 0 4 】

このため、近年、画素内部の表示素子に供給する画素信号を、同様に画素内部に設けた能動素子、例えば絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor；T F T）等のトランジスタをスイッチングトランジスタとして使用して制御するアクティブマトリクス方式の開発が盛んに行なわれている。

#### 【 0 0 0 5 】

従来のアクティブマトリクス方式の表示装置は、プロセス変動により表示素子を駆動するトランジスタの閾値電圧や移動度がばらついてしまう。又、表示素子の特性が経時的に変動する。このような駆動用のトランジスタの特性ばらつきや表示素子等の画素回路を構成する素子の特性変動は、発光輝度に影響を与えてしまう。即ち、各画素に全て同一のレベルの映像信号を供給すれば、全画素が同一輝度で発光し、画面の均一性（ユニフォーミティ）が得られるはずであるが、駆動用のトランジスタの特性ばらつきや表示素子の特性変動により、画面のユニフォーミティが損なわれる。そこで、表示装置の画面全体に亘って発光輝度を均一に制御するため、各画素回路内でトランジスタや表示素子等の画素回路を構成する素子の特性ばらつき等に起因する表示むらを補正する技術が、例えば特許第 4 2 4 0 0 5 9 号公報や特許第 4 2 4 0 0 6 8 号公報に提案されている。

#### 【 先行技術文献 】

##### 【 特許文献 】

#### 【 0 0 0 6 】

【 特許文献 1 】 特許第 4 2 4 0 0 5 9 号公報

【 特許文献 2 】 特許第 4 2 4 0 0 6 8 号公報

##### 【 発明の概要 】

##### 【 発明が解決しようとする課題 】

#### 【 0 0 0 7 】

しかしながら、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理を行なう際に、電気光学素子がターンオンしてしまうことに起因して、画面のユニフォーミティが損なわれる場合があることが分かった。

#### 【 0 0 0 8 】

したがって本開示の目的は、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理を行なう際に電気光学素子がターンオンしてしまうことに起因する表示むら現象を抑制することのできる技術を提供することにある。

##### 【 課題を解決するための手段 】

#### 【 0 0 0 9 】

本開示の第 1 の態様に係る画素回路は、表示部と、保持容量と、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、保持容量に書き込まれた駆動電圧に基

10

20

30

40

50

づいて表示部を駆動する駆動トランジスタとを備える。そして、映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御可能に構成されている。本開示の第1の態様に係る画素回路の従属項に記載された各画素回路は、本開示の第1の態様に係る画素回路のさらなる有利な具体例を規定する。

【0010】

本開示の第2の態様に係る表示装置は、表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備する表示素子が配列されており、更に、映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御可能な制御部を備える。第2の態様に係る表示装置は、第1の態様に係る画素回路の従属項に記載された各技術・手法が同様に適用可能であり、それが適用された構成は、第2の態様に係る表示装置のさらなる有利な具体例を規定する。

10

【0011】

本開示の第3の態様に係る電子機器は、表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備する表示素子が配列されており、更に、画素部に供給される映像信号を生成する信号生成部と、映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御可能な制御部とを備える。第3の態様に係る電子機器は、第1の態様に係る画素回路の従属項に記載された各技術・手法が同様に適用可能であり、それが適用された構成は、第3の態様に係る電子機器のさらなる有利な具体例を規定する。

20

【0012】

本開示の第4の態様に係る画素回路の駆動方法は、表示部を駆動する駆動トランジスタを備えた画素回路を駆動する方法であって、映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御する。第4の態様に係る画素回路の駆動方法は、第1の態様に係る画素回路の従属項に記載された各技術・手法が同様に適用可能であり、それが適用された構成は、第4の態様に係る画素回路の駆動方法のさらなる有利な具体例を規定する。

【0013】

要するに、本明細書で開示する技術では、映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御する。映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理と対応した一定期間には、表示部の電流路を閉じる（遮断する）ことができる。表示部がターンオンすることが起きないように、表示部の電流路を一定期間閉じることができる。当該期間に表示部に電流を流したとしても、表示部がターンオンしないように「一定期間」を定めればよい。そして、この技術を、映像信号と対応する駆動電圧を保持容量に書き込む処理の際に利用することで、表示部がターンオンすることに起因する表示むら現象を防止することができる。

30

【発明の効果】

【0014】

第1の態様に係る画素回路、第2の態様に係る表示装置、第3の態様に係る電子機器、第4の態様に係る画素回路の駆動方法によれば、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理を行なう際に電気光学素子がターンオンすることに起因する表示むら現象を抑制することができる。

40

【図面の簡単な説明】

【0015】

【図1】図1は、アクティブマトリクス型表示装置の一構成例の概略を示すブロック図である。

【図2】図2は、カラー画像表示対応のアクティブマトリクス型表示装置の一構成例の概略を示すブロック図である。

50

【図 3】図 3 は、発光素子（実質的には画素回路）を説明する図である。

【図 4】図 4 は、比較例の画素回路の一形態を示す図である。

【図 5】図 5 は、比較例の画素回路を備えた表示装置の全体概要を示す図である。

【図 6】図 6 は、実施例 1 の画素回路の一形態を示す図である。

【図 7】図 7 は、実施例 1 の画素回路を備えた表示装置の全体概要を示す図（第 1 例）である。

【図 8】図 8 は、実施例 1 の画素回路を備えた表示装置の全体概要を示す図（第 2 例）である。

【図 9】図 9 は、比較例の画素回路の駆動方法を説明するタイミングチャートである。

【図 10】図 10（A）～図 10（G）は、図 9 に示したタイミングチャートの主要な期間における等価回路と動作状態を説明する図である。

【図 11】図 11 は、移動度補正期間中の有機 EL 素子のターンオン現象に起因する表示むら対策に着目した実施例 1 の画素回路の駆動方法を説明するタイミングチャートである。

【図 12】図 12 は、実施例 2 の画素回路の一形態を示す図である。

【図 13】図 13 は、実施例 2 の画素回路を備えた表示装置の全体概要を示す図である。

【図 14】図 14 は、実施例 3 の画素回路の一形態を示す図である。

【図 15】図 15 は、実施例 3 の画素回路を備えた表示装置の全体概要を示す図である。

【図 16】図 16 は、移動度補正期間中の有機 EL 素子のターンオン現象に起因する表示むら対策に着目した実施例 3 の画素回路の駆動方法を説明するタイミングチャートである。

【図 17】図 17（A）～図 17（E）は実施例 4（電子機器）を説明する図である。

【発明を実施するための形態】

【0016】

以下、図面を参照して、本明細書で開示する技術の実施形態について詳細に説明する。各機能要素について形態別に区別する際にはアルファベット或いは“\_n”（n は数字）或いはこれらの組合せの参照子を付して記載し、特に区別しないで説明する際にはこの参照子を割愛して記載する。図面においても同様である。

【0017】

説明は以下の順序で行なう。

1．全体概要

2．表示装置の概要

3．発光素子

4．駆動方法：基本

5．具体的な適用例：

電気光学素子がターンオンすることに起因する表示むら現象の対処（電気光学素子で電流路の開閉制御）

実施例 1：駆動トランジスタのソースと表示部間にトランジスタを直列に接続  
+ 書込駆動パルスと連動して開閉制御

実施例 2：実施例 1 + 補助容量

実施例 3：駆動トランジスタのソースと表示部間にトランジスタを直列に接続  
+ 書込駆動パルスと独立して開閉制御 + 補助容量

実施例 4：電子機器への適用事例

【0018】

< 全体概要 >

本実施形態の構成において、画素回路、表示装置、或いは、電子機器は、表示部と、保持容量と、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタとを備える。そして、映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御する。

## 【0019】

表示部の電流路の開閉を制御するに当たっては、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理と対応した一定期間に、表示部がターンオンしないように、表示部の電流路の開閉を制御する。当該期間に表示部がターンオンしないようにすればよい、換言すると、当該期間に表示部に電流を流さなければよい、或いは、流したとしても、ターンオンする前に中断すればよいので、その限りにおいて、「一定期間」の範囲を定めればよい。これによって、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理期間中に表示部がターンオンする現象を防止することができ、表示部がターンオンすることに起因する表示むら現象を防止することができる。

10

## 【0020】

好ましくは、表示部の電流路の開閉を制御可能な部材としては、トランジスタを、電流路制御トランジスタとして使用するのがよい。電流路制御トランジスタは、表示部の電流路上に配されればよく、つまり、表示部の電流路の開閉を制御可能な電流路制御トランジスタが表示素子ごとに設けられていればよく、例えば、駆動トランジスタの主電極端と保持容量との接続点と、表示部の一端との間に直列に接続してもよいし、表示部の他端と基準電位点との間に直列に接続してもよい。

## 【0021】

電流路制御トランジスタをオン/オフ制御するに当たっては、書込トランジスタを制御する書込駆動パルスと連動して制御してもよいし、書込トランジスタを制御する書込駆動パルスと独立して制御してもよい。電流路制御トランジスタをオン/オフ制御する機能部として、電流路制御走査部を設けるとよい。電流路制御トランジスタを成すトランジスタは、nチャンネル型、pチャンネル型の何れでもよく、その極性に合わせて制御パルスの極性を設定すればよい。

20

## 【0022】

好ましくは、補助容量を設け、その一端を保持容量の他端と駆動トランジスタの一方の主電極端との接続点に接続し、その他端を所定の基準電位点に接続するとよい。「所定の基準電位点」は、例えば駆動トランジスタの電源供給線側の主電極端でもよいし、表示部の他端側の基準電位点でもよい。

## 【0023】

好ましくは、補助容量のキャパシタンスは、表示部の寄生容量のキャパシタンスとほぼ同じ値であるとよい。

30

## 【0024】

好ましくは、補助容量の接続は、映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して遮断可能に構成されているとよい。補助容量の接続を制御可能な部材としては、トランジスタを使用するのがよい。

## 【0025】

好ましくは、書込トランジスタを介して映像信号を駆動トランジスタの制御入力端及び保持容量の一端に供給しつつ駆動トランジスタを介して保持容量に電流を供給する処理を、駆動トランジスタの移動度を補正する移動度補正処理として利用するのがよい。

40

## 【0026】

好ましくは、駆動トランジスタの閾値電圧の補正処理と併用するとよい。この場合、駆動トランジスタの閾値電圧の補正処理後に、駆動トランジスタを介して保持容量に電流を供給する処理を行なう、つまり、閾値補正後に移動度補正を行なうのがよい。そして、好ましくは、閾値電圧の補正処理時には、表示部の電流路を遮断しないのがよい。

## 【0027】

デバイス構成としては、画素回路(表示部)が1つでもよいし、表示部がライン状或いは2次元マトリクス状に配列された画素部を備えるものでもよい。画素部を備える構成の場合、好ましくは、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理と連動して、表示部の電流路を遮断制御する

50

制御部を設けるとよい。制御部の一部を成す走査部は、表示部（表示素子）とは別に備えるのがよく、表示部が２次元マトリクス状に配列された画素部を備える構成の場合、走査処理により、行ごとに、表示部の電流路を遮断制御する構成をとることができる。

#### 【００２８】

表示部としては、例えば、有機エレクトロルミネッセンス発光部、無機エレクトロルミネッセンス発光部、ＬＥＤ発光部、半導体レーザー発光部等の自発光型の発光部を具備した発光素子を用いることができ、特に、有機エレクトロルミネッセンス発光部であるとい

#### 【００２９】

##### < 表示装置の概要 >

以下の説明においては、対応関係の理解を容易にするため、回路構成部材の抵抗値や容量値（静電容量、キャパシタンス）等は、その部材に付されている符号と同一符号で示すことがある。

#### 【００３０】

##### [ 基本 ]

まず、発光素子を備えた表示装置の概要について説明する。以下の回路構成の説明においては、「電氣的に接続」を単に「接続」と記載するし、この「電氣的に接続」は、特段の明示のない限り、直接に接続されることに限らず、他のトランジスタ（スイッチングトランジスタが典型例である）その他の電気素子（能動素子に限らず受動素子でもよい）を介して接続されることも含む。

#### 【００３１】

表示装置は、複数の画素回路（或いは単に画素とも称することもある）を備えている。各画素回路は、発光部と発光部を駆動する駆動回路とを具備する表示素子（電気光学素子）を有する。表示部としては、例えば、有機エレクトロルミネッセンス発光部、無機エレクトロルミネッセンス発光部、ＬＥＤ発光部、半導体レーザー発光部等の自発光型の発光部を具備した発光素子を用いることができる。尚、表示素子の発光部を駆動する方式としては定電流駆動型を採用するが、原理的には、定電流駆動型に限らず定電圧駆動型でもよい。

#### 【００３２】

以下に説明する例においては、発光素子として、有機エレクトロルミネッセンス発光部を備えている場合で説明する。より詳細には、発光素子は、駆動回路と、駆動回路に接続された有機エレクトロルミネッセンス発光部（発光部ＥＬＰ）とが積層された構造を有する有機エレクトロルミネッセンス素子（有機ＥＬ素子）である。

#### 【００３３】

発光部ＥＬＰを駆動するための駆動回路として各種の回路があるが、画素回路としては発光部ＥＬＰを駆動するための駆動回路として各種の回路があるが、画素回路としては、５Ｔｒ／１Ｃ型、４Ｔｒ／１Ｃ型、３Ｔｒ／１Ｃ型、或いは２Ｔｒ／１Ｃ型等の駆動回路を備えた構成にすることができる。「Ｔｒ／１Ｃ型」におけるはトランジスタの数を意味し、「１Ｃ」は容量部が１つの保持容量 $C_{0s}$ （キャパシタ）を具備することを意味する。駆動回路を構成する各トランジスタは、好適には、全てがｎチャネル型のトランジスタから構成されているのが好ましいが、これには限らず、場合によっては、一部のトランジスタをｐチャネル型としてもよい。尚、半導体基板等にトランジスタを形成した構成とすることもできる。駆動回路を構成するトランジスタの構造は、特に限定するものではなく、ＭＯＳ型ＦＥＴを代表例とする絶縁ゲート型電界効果トランジスタ（一般には、薄膜トランジスタ（Thin Film Transistor ; T F T））を使用できる。更には、駆動回路を構成するトランジスタはエンハンスメント型とデプレッション型の何れでもよいし、又、シングルゲート型とデュアルゲート型の何れでもよい。

#### 【００３４】

何れの構成においても、表示装置は、基本的には、最小の構成要素として２Ｔｒ／１Ｃ型と同様に、発光部ＥＬＰ、駆動トランジスタ $T R_D$ 、書込トランジスタ $T R_W$ （サンプリ

10

20

30

40

50



ングトランジスタとも称される)、少なくとも書込走査部を具備する垂直走査部、信号出力部の機能を持つ水平駆動部、保持容量 $C_{cs}$ を備える。好ましくは、ブートストラップ回路を構成するべく、駆動トランジスタ $TR_D$ の制御入力端(ゲート端)と主電極端(ソース/ドレイン領域)の一方(典型的にはソース端)との間に保持容量 $C_{cs}$ が接続される。駆動トランジスタ $TR_D$ は、主電極端の一方が発光部 $ELP$ と接続され、主電極端の他方は電源線 $PWL$ と接続される。電源線 $PWL$ には、電源回路或いは電源電圧用の走査回路等から電源電圧(定常電圧或いはパルス状の電圧)が供給される。

#### 【0035】

水平駆動部は、発光部 $ELP$ における輝度を制御するための映像信号 $V_{sig}$ や閾値補正等に使用される基準電位(1種とは限らない)を表す広義の映像信号 $VS$ を映像信号線 $DTL$ (データ線とも称される)に供給する。書込トランジスタ $TR_W$ は、主電極端の一方が映像信号線 $DTL$ に接続され、主電極端の他方が駆動トランジスタ $TR_D$ の制御入力端に接続される。書込走査部は書込トランジスタ $TR_W$ をオン/オフ制御する制御パルス(書込駆動パルス $WS$ )を書込走査線 $WSL$ を介して書込トランジスタ $TR_W$ の制御入力端に供給する。書込トランジスタ $TR_W$ の主電極端の他端と駆動トランジスタ $TR_D$ の制御入力端と保持容量 $C_{cs}$ の一端との接続点を第1ノード $ND_1$ と称し、駆動トランジスタ $TR_D$ の主電極端の一方と保持容量 $C_{cs}$ の他端との接続点を第2ノード $ND_2$ と称する。

#### 【0036】

##### [構成例]

図1及び図2は、本開示に係る表示装置の一実施形態であるアクティブマトリクス型表示装置の一構成例の概略を示すブロック図である。図1は、一般的なアクティブマトリクス型表示装置の構成の概略を示すブロック図であり、図2は、そのカラー画像表示対応の場合の概略を示すブロック図である。

#### 【0037】

図1に示すように、表示装置1は、複数の表示素子としての有機 $EL$ 素子(図示せず)を持った画素回路10(画素とも称される)が表示アスペクト比である縦横比が $X:Y$ (例えば $9:16$ )の有効映像領域を構成するように配置された表示パネル部100と、この表示パネル部100を駆動制御する種々のパルス信号を発するパネル制御部の一例である駆動信号生成部200(いわゆるタイミングジェネレータ)と、映像信号処理部220を備えている。駆動信号生成部200と映像信号処理部220とは、1チップの $IC$ (Integrated Circuit; 半導体集積回路)に内蔵され、本例では、表示パネル部100の外部に配置されている。

#### 【0038】

尚、製品形態としては、図示のように、表示パネル部100、駆動信号生成部200、及び映像信号処理部220の全てを備えたモジュール(複合部品)形態の表示装置1として提供されることに限らず、例えば、表示パネル部100のみで表示装置1として提供してもよい。又、表示装置1は、封止された構成のモジュール形状のものをも含む。例えば、画素アレイ部102に透明なガラス等の対向部に貼り付けられて形成された表示モジュールが該当する。透明な対向部には、カラーフィルタ、保護膜、遮光膜等が設けられてもよい。表示モジュールには、外部から画素アレイ部102への映像信号 $V_{sig}$ や各種の駆動パルスを入出力するための回路部や $FPC$ (フレキシブルプリントサーキット)等が設けられていてもよい。

#### 【0039】

このような表示装置1は、様々な電子機器、例えば半導体メモリやミニディスク( $MD$ )やカセットテープ等の記録媒体を利用した携帯型の音楽プレイヤー、デジタルカメラ、ノート型パーソナルコンピュータ、携帯電話等の携帯端末装置、ビデオカメラ等、電子機器に入力された映像信号や電子機器内で生成した映像信号を、静止画像や動画像(映像)として表示するあらゆる分野の電子機器の表示部に利用できる。

#### 【0040】

表示パネル部100は、基板101の上に、画素回路10が $M$ 行 $\times$  $N$ 列のマトリクス状

に配列された画素アレイ部 102 と、画素回路 10 を垂直方向に走査する垂直駆動部 103 と、画素回路 10 を水平方向に走査する水平駆動部 106 (水平セクタ或いはデータ線駆動部とも称される) と、各駆動部 (垂直駆動部 103 及び水平駆動部 106) と外部回路とのインタフェースをとるインタフェース部 130 (IF) と、外部接続用の端子部 108 (パッド部) 等が集積形成されている。即ち、垂直駆動部 103 や水平駆動部 106 やインタフェース部 130 等の周辺駆動回路が、画素アレイ部 102 と同一の基板 101 上に形成された構成となっている。第  $m$  行目 ( $m = 1, 2, 3, \dots, M$ )、第  $n$  列 ( $n = 1, 2, 3, \dots, N$ ) に位置する発光素子 (画素回路 10) を、図では  $10\_n, m$  で示している。

#### 【0041】

インタフェース部 130 は、垂直駆動部 103 と外部回路とのインタフェースをとる垂直 IF 部 133 と、水平駆動部 106 と外部回路とのインタフェースをとる水平 IF 部 136 を有する。

#### 【0042】

垂直駆動部 103 と水平駆動部 106 とで、信号電位の保持容量への書込みや、閾値補正動作や、移動度補正動作や、ブートストラップ動作を制御する制御部 109 が構成される。この制御部 109 とインタフェース部 130 (垂直 IF 部 133 や水平 IF 部 136) を含めて、画素アレイ部 102 の画素回路 10 を駆動制御する駆動制御回路を構成している。

#### 【0043】

2Tr/1C 型とする場合であれば、垂直駆動部 103 は、書込走査部 (ライトスキャナ WS; Write Scan) や電源供給能力を有する電源スキャナとして機能する駆動走査部 (ドライブスキャナ DS; Drive Scan) を有する。画素アレイ部 102 は、一例として、図示する左右方向の一方側もしくは両側から垂直駆動部 103 で駆動され、かつ図示する上下方向の一方側もしくは両側から水平駆動部 106 で駆動されるようになっている。

#### 【0044】

端子部 108 には、表示装置 1 の外部に配された駆動信号生成部 200 から、種々のパルス信号が供給される。同様に、映像信号処理部 220 から映像信号  $V_{sig}$  が供給される。カラー表示対応の場合には、色別 (本例では R (赤)、G (緑)、B (青) の 3 原色) の映像信号  $V_{sig\_R}$ 、映像信号  $V_{sig\_G}$ 、映像信号  $V_{sig\_B}$  が供給される。

#### 【0045】

一例としては、垂直駆動用のパルス信号として、垂直方向の走査開始パルスの一例であるシフトスタートパルス SP (図は SPDS、SPWS の 2 種) や垂直走査クロック CK (図は CKDS、CKWS の 2 種)、必要に応じて位相反転した垂直走査クロック  $xCK$  (図は  $xCKDS$ 、 $xCKWS$  の 2 種)、並びに特定タイミングのパルス出力を指示するイネーブルパルス等の必要なパルス信号が供給される。水平駆動用のパルス信号として、水平方向の走査開始パルスの一例である水平スタートパルス SPH や水平走査クロック CKH、必要に応じて位相反転した水平走査クロック  $xCKH$ 、並びに特定タイミングのパルス出力を指示するイネーブルパルス等の必要なパルス信号が供給される。

#### 【0046】

端子部 108 の各端子は、配線 109 を介して、垂直駆動部 103 や水平駆動部 106 に接続される。例えば、端子部 108 に供給された各パルスは、必要に応じて図示を割愛したレベルシフタ部で電圧レベルを内部的に調整した後、バッファを介して垂直駆動部 103 の各部や水平駆動部 106 に供給される。

#### 【0047】

画素アレイ部 102 は、図示を割愛するが (詳細は後述する)、表示素子としての有機 EL 素子に対して画素トランジスタが設けられた画素回路 10 が行列状に 2 次元配置され、画素配列に対して行ごとに垂直走査線 SCL が配線されるとともに、列ごとに映像信号線 DTL が配線された構成となっている。つまり、画素回路 10 は、垂直走査線 SCL を介して垂直駆動部 103 と接続され、又、映像信号線 DTL を介して水平駆動部 106 と接

10

20

30

40

50

続されている。具体的には、マトリクス状に配列された各画素回路 10 に対しては、垂直駆動部 103 によって駆動パルスで駆動される  $n$  行分の垂直走査線  $SC L_1 \sim SC L_n$  が画素行ごとに配線される。垂直駆動部 103 は、論理ゲートの組合せ（ラッチやシフトレジスタ等も含む）によって構成され、画素アレイ部 102 の各画素回路 10 を行単位で選択する、即ち、駆動信号生成部 200 から供給される垂直駆動系のパルス信号に基づき、垂直走査線  $SC L$  を介して各画素回路 10 を順次選択する。水平駆動部 106 は、論理ゲートの組合せ（ラッチやシフトレジスタ等も含む）によって構成され、画素アレイ部 102 の各画素回路 10 を列単位で選択する、即ち、駆動信号生成部 200 から供給される水平駆動系のパルス信号に基づき、選択された画素回路 10 に対し映像信号線  $D T L$  を介して映像信号  $V S$  の内の所定電位（例えば映像信号  $V_{sig}$  レベル）をサンプリングして保持容量  $C_{cs}$  に書き込ませる。

10

#### 【0048】

本実施形態の表示装置 1 は、線順次駆動や点順次駆動が可能になっており、垂直駆動部 103 の書込走査部 104 及び駆動走査部 105 は線順次で（つまり行単位で）で画素アレイ部 102 を走査するとともに、これに同期して水平駆動部 106 が、画像信号を、1 水平ライン分を同時に（線順次の場合）、或いは画素単位で（点順次の場合）、画素アレイ部 102 に書き込む。

#### 【0049】

カラー画像表示対応をとるには、画素アレイ部 102 には、例えば図 2 に示すように、色別（本例では R（赤）、G（緑）、B（青）の 3 原色）のサブピクセルとして画素回路 10<sub>R</sub>、画素回路 10<sub>G</sub>、画素回路 10<sub>B</sub> を所定の配列順で縦ストライプ状に設ける。1 組の色別のサブピクセルによりカラーの 1 画素が構成される。ここでは、サブピクセルレイアウトの一例として縦ストライプ状に各色のサブピクセルを配置したストライプ構造のものを示しているが、サブピクセルレイアウトはこのような配列例に限定されるものではない。サブピクセルを垂直方向にシフトさせた形態を採用してもよい。

20

#### 【0050】

尚、図 1 及び図 2 では、画素アレイ部 102 の一方側にのみ垂直駆動部 103（詳しくはその構成要素）を配置する構成を示しているが、垂直駆動部 103 の各要素を画素アレイ部 102 を挟んで左右両側に配置する構成を採ることもできる。又、垂直駆動部 103 の各要素の一方と他方を左右の各別に配置する構成を採ることもできる。同様に、図 1 及び図 2 では、画素アレイ部 102 の一方側にのみ水平駆動部 106 を配置する構成を示しているが、画素アレイ部 102 を挟んで上下両側に水平駆動部 106 を配置する構成を採ることもできる。本例では、垂直シフトスタートパルス、垂直走査クロック、水平スタートパルス、水平走査クロック等のパルス信号を表示パネル部 100 の外部から入力する構成としているが、これらの各種のタイミングパルスを生成する駆動信号生成部 200 を表示パネル部 100 上に搭載することもできる。

30

#### 【0051】

図示した構成は、表示装置の一形態を示したに過ぎず、製品形態としては、その他の形態をとることができる。即ち、表示装置は、画素回路 10 を構成する素子を行列状に配置した画素アレイ部と、画素アレイ部の周辺に配置され、各画素を駆動するための走査線と接続された走査部を主要部とする制御部と、制御部を動作させるための各種の信号を生成する駆動信号生成部や映像信号処理部を備えて装置の全体が構成されていればよい。製品形態としては、画素アレイ部と制御部とを同一の基体（例えばガラス基板）上に搭載した表示パネル部と駆動信号生成部や映像信号処理部を別体とする図示のような形態（パネル上配置構成と称する）の他に、表示パネル部には画素アレイ部を搭載し、それとは別基板（例えばフレキシブル基板）上に制御部や駆動信号生成部や映像信号処理部等の周辺回路を搭載する形態（周辺回路パネル外配置構成と称する）を採ることができる。又、画素アレイ部と制御部とを同一の基体上に搭載して表示パネル部を構成するパネル上配置構成の場合、画素アレイ部の T F T を生成する工程にて同時に制御部（必要に応じて駆動信号生成部や映像信号処理部も）用の各トランジスタを生成する形態（トランジスタ一体構成と

40

50

称する)と、COG (Chip On Glass) 実装技術により画素アレイ部が搭載された基体上に制御部(必要に応じて駆動信号生成部や映像信号処理部も)用の半導体チップを直接実装する形態(COG搭載構成と称する)を採ることもできる。或いは又、表示パネル部(少なくとも画素アレイ部を備える)のみで表示装置として提供することもできる。

#### 【0052】

##### <発光素子>

図3は、駆動回路を備えた発光素子11(実質的には画素回路10)を説明する図である。ここで、図3は、発光素子11(画素回路10)の一部分の模式的な一部断面図である。図3では、絶縁ゲート型電界効果トランジスタは薄膜トランジスタ(TFT)であるとする。図示しないが、いわゆるバックゲート型の薄膜トランジスタ或いはMOS型のトランジスタを使用してもよい。

10

#### 【0053】

発光素子11の駆動回路を構成する各トランジスタ及び容量部(保持容量 $C_{cs}$ )は支持体20上に形成され、発光部ELPは、例えば、層間絶縁層40を介して、駆動回路を構成する各トランジスタ及び保持容量 $C_{cs}$ の上方に形成されている。駆動トランジスタ $TR_D$ の一方のソース/ドレイン領域は、発光部ELPに備えられたアノード電極に、コンタクトホールを介して接続されている。図3においては、駆動トランジスタ $TR_D$ のみを図示する。書込トランジスタ $TR_w$ やその他のトランジスタは隠れて見えない。発光部ELPは、例えば、アノード電極、正孔輸送層、発光層、電子輸送層、カソード電極等の周知の構成、構造を有する。

20

#### 【0054】

具体的には、駆動トランジスタ $TR_D$ は、ゲート電極31、ゲート絶縁層32、半導体層33、半導体層33に設けられたソース/ドレイン領域35、及び、ソース/ドレイン領域35の間の半導体層33の部分が該当するチャネル形成領域34から構成されている。保持容量 $C_{cs}$ は、他方の電極36、ゲート絶縁層32の延在部から構成された誘電体層、及び、一方の電極37(第2ノード $ND_2$ に相当する)から成る。ゲート電極31、ゲート絶縁層32の一部、及び、保持容量 $C_{cs}$ を構成する他方の電極36は、支持体20上に形成されている。駆動トランジスタ $TR_D$ の一方のソース/ドレイン領域35は配線38に接続され、一方のソース/ドレイン領域35は一方の電極37に接続されている。駆動トランジスタ $TR_D$ 及び保持容量 $C_{cs}$ 等は、層間絶縁層40で覆われており、層間絶縁層40上に、アノード電極51、正孔輸送層、発光層、電子輸送層、及び、カソード電極53から成る発光部ELPが設けられている。図3においては、正孔輸送層、発光層、及び、電子輸送層を1層52で表した。発光部ELPが設けられていない層間絶縁層40の部分の上には、第2層間絶縁層54が設けられ、第2層間絶縁層54及びカソード電極53上には透明な基板21が配置されており、発光層にて発光した光は、基板21を通過して、外部に出射される。一方の電極37とアノード電極51とは、層間絶縁層40に設けられたコンタクトホールによって接続されている。カソード電極53は、第2層間絶縁層54、層間絶縁層40に設けられたコンタクトホール56、コンタクトホール55を介して、ゲート絶縁層32の延在部上に設けられた配線39に接続されている。

30

#### 【0055】

##### [駆動方法]

発光部の駆動方法に関して、以下に説明する。理解を容易にするべく、画素回路10を構成する各トランジスタは、nチャネル型のトランジスタから構成されているとして説明する。又、発光部ELPは、アノード端が第2ノード $ND_2$ に接続され、カソード端はカソード配線cath(その電位をカソード電位 $V_{cath}$ とする)に接続されるものとする。更には、ドレイン電流 $I_{ds}$ の値の大小によって、発光部ELPにおける発光状態(輝度)が制御される。発光素子の発光状態においては、駆動トランジスタ $TR_D$ の2つの主電極端(ソース/ドレイン領域)は、一方(発光部ELPのアノード側)がソース端(ソース領域)として働き、他方がドレイン端(ドレイン領域)として働く。表示装置は、カラー表示対応のものであり、 $(N/3) \times M$ 個の2次元マトリクス状に配列された画素回路10が

40

50

ら構成され、カラー表示の一単位を成す1つの画素回路は、3つの副画素回路（赤色を発光する赤色発光画素回路10<sub>R</sub>、緑色を発光する緑色発光画素回路10<sub>G</sub>、青色を発光する青色発光画素回路10<sub>B</sub>）から構成されているとする。各画素回路10を構成する発光素子は、線順次駆動されるとし、表示フレームレートをFR（回/秒）とする。即ち、第m行目（但し、 $m = 1, 2, 3, \dots, M$ ）に配列された（ $N/3$ ）個の画素回路10、より具体的には、N個の画素回路10のそれぞれを構成する発光素子が同時に駆動される。換言すれば、1つの行を構成する各発光素子にあっては、その発光/非発光のタイミングは、それらが属する行単位で制御される。尚、1つの行を構成する各画素回路10について映像信号を書き込む処理は、全ての画素回路10について同時に映像信号を書き込む処理（同時書き込み処理とも称する）でもよいし、画素回路10毎に順次映像信号を書き込む処理（順次書き込み処理とも称する）でもよい。何れの書き込み処理とするかは、駆動回路の構成に応じて適宜選択すればよい。

10

20

30

40

50

#### 【0056】

ここで、第m行目、第n列（但し、 $n = 1, 2, 3, \dots, N$ ）に位置する発光素子（画素回路10）に関する駆動動作を説明する。因みに、第m行目、第n列に位置する発光素子を、第（n、m）番目の発光素子或いは第（n、m）番目の発光素子画素回路と称する。第m行目に配列された各発光素子の水平走査期間（第m番目の水平走査期間）が終了するまでに、各種の処理（閾値補正処理、書き込み処理、移動度補正処理、等）が行なわれる。尚、書き込み処理や移動度補正処理は、第m番目の水平走査期間内に行なわれる必要がある。一方、駆動回路の種類によっては、閾値補正処理やこれに伴う前処理を第m番目の水平走査期間より先行して行なうことができる。

#### 【0057】

前述の各種の処理が全て終了した後、第m行目に配列された各発光素子を構成する発光部を発光させる。尚、各種の処理が全て終了した後、直ちに発光部を発光させてもよいし、所定の期間（例えば、所定の行数分の水平走査期間）が経過した後に発光部を発光させてもよい。「所定の期間」は、表示装置の仕様や画素回路10（つまり駆動回路）の構成等に応じて、適宜設定すればよい。以下では説明の便宜のため、各種の処理終了後、直ちに発光部を発光させるものとする。第m行目に配列された各発光素子を構成する発光部の発光は、第（ $m + m'$ ）行目に配列された各発光素子の水平走査期間の開始直前まで継続される。「 $m'$ 」は、表示装置の設計仕様によって決定すればよい。即ち、或る表示フレームの第m行目に配列された各発光素子を構成する発光部の発光は、第（ $m + m' - 1$ ）番目の水平走査期間まで継続される。一方、第（ $m + m'$ ）番目の水平走査期間の始期から、次の表示フレームにおける第m番目の水平走査期間内において書き込み処理や移動度補正処理が完了するまで、第m行目に配列された各発光素子を構成する発光部は、原則として非発光状態を維持する。非発光状態の期間（非発光期間とも称する）を設けることにより、アクティブマトリクス駆動に伴う残像ボケが低減され、動画品位をより良好にすることができる。但し、各画素回路10（発光素子）の発光状態/非発光状態は、以上に説明した状態には限定されない。水平走査期間の時間長は、 $(1/FR) \times (1/M)$ 秒未満の時間長である。（ $m + m'$ ）の値がMを越える場合、越えた分の水平走査期間は、次の表示フレームにおいて処理される。

#### 【0058】

トランジスタがオン状態（導通状態）にあるとは、主電極端間（ソース/ドレイン領域間）にチャネルが形成されている状態を意味し、一方の主電極端から他方の主電極端に電流が流れているか否かは問わない。トランジスタがオフ状態（非導通状態）にあるとは、主電極端間にチャネルが形成されていない状態を意味する。或るトランジスタの主電極端が他のトランジスタの主電極端に接続されているとは、或るトランジスタのソース/ドレイン領域と他のトランジスタのソース/ドレイン領域とが同じ領域を占めている形態を含む。更には、ソース/ドレイン領域は、不純物を含有したポリシリコンやアモルファスシリコン等の導電性物質から構成することができるだけでなく、金属、合金、導電性粒子、これらの積層構造、有機材料（導電性高分子）から成る層から構成することができる

。又、以下の説明で用いるタイミングチャートにおいて、各期間を示す横軸の長さ（時間長）は模式的なものであり、各期間の時間長の割合を示すものではない。

【 0 0 5 9 】

画素回路 10 の駆動方法においては、前処理行程、閾値補正処理行程、映像信号書込み処理行程、移動度補正行程、発光工程を有する。前処理行程、閾値補正処理行程、映像信号書込み処理行程、及び、移動度補正行程を纏めて非発光工程とも称する。画素回路 10 の構成によっては映像信号書込み処理行程と移動度補正行程とを同時に行なうこともある。各工程について概説する。

【 0 0 6 0 】

因みに、駆動トランジスタ  $T R_D$  は、発光素子の発光状態においては、以下の式 ( 1 ) に従ってドレイン電流  $I_{ds}$  を流すように駆動される。ドレイン電流  $I_{ds}$  が発光部  $E L P$  を流れることで発光部  $E L P$  が発光する。更には、ドレイン電流  $I_{ds}$  の値の大小によって、発光部  $E L P$  における発光状態（輝度）が制御される。発光素子の発光状態においては、駆動トランジスタ  $T R_D$  の 2 つの主電極端（ソース/ドレイン領域）は、一方（発光部  $E L P$  のアノード端側）がソース端（ソース領域）として働き、他方がドレイン端（ドレイン領域）として働く。説明の便宜のため、以下の説明において、駆動トランジスタ  $T R_D$  の一方の主電極端を単にソース端と称し、他方の主電極端を単にドレイン端と呼ぶ場合がある。尚、実効的な移動度  $\mu$ 、チャネル長  $L$ 、チャネル幅  $W$ 、制御電極端の電位（ゲート電位  $V_g$ ）とソース端の電位（ソース電位  $V_s$ ）との電位差（ゲート・ソース間電圧） $V_{gs}$ 、閾値電圧  $V_{th}$ 、等価容量  $C_{ox}$ （（ゲート絶縁層の比誘電率） $\times$ （真空の誘電率）/（ゲート絶縁層の厚さ））、係数  $k = (1/2) \cdot (W/L) \cdot C_{ox}$  とする。

【 0 0 6 1 】

$$I_{ds} = k \cdot \mu \cdot (V_{gs} - V_{th})^2 \quad (1)$$

【 0 0 6 2 】

以下の説明では、特段の断りのない限り、発光部  $E L P$  の寄生容量の静電容量  $C_{el}$  は、保持容量  $C_{cs}$  の静電容量  $C_{cs}$  及び駆動トランジスタ  $T R_D$  の寄生容量の一例であるゲート・ソース間の静電容量  $C_{gs}$  と比較して十分に大きな値であるとし、駆動トランジスタ  $T R_D$  のゲート端の電位（ゲート電位  $V_g$ ）の変化に基づく駆動トランジスタ  $T R_D$  のソース領域（第 2 ノード  $N D_2$ ）の電位（ソース電位  $V_s$ ）の変化を考慮しない。

【 0 0 6 3 】

〔前処理行程〕

第 1 ノード  $N D_1$  と第 2 ノード  $N D_2$  との間の電位差が、駆動トランジスタ  $T R_D$  の閾値電圧  $V_{th}$  を越え、且つ、第 2 ノード  $N D_2$  と発光部  $E L P$  に備えられたカソード電極との間の電位差が、発光部  $E L P$  の閾値電圧  $V_{thEL}$  を越えないように、第 1 ノード  $N D_1$  に第 1 ノード初期化電圧（ $V_{ofs}$ ）を印加し、第 2 ノード  $N D_2$  に第 2 ノード初期化電圧（ $V_{ini}$ ）を印加する。例えば、発光部  $E L P$  における輝度を制御するための映像信号  $V_{sig}$  を 0 ～ 10 ボルト、電源電圧  $V_{cc}$  を 20 ボルト、駆動トランジスタ  $T R_D$  の閾値電圧  $V_{th}$  を 3 V、カソード電位  $V_{cath}$  を 0 ボルト、発光部  $E L P$  の閾値電圧  $V_{thEL}$  を 3 ボルトとする。この場合、駆動トランジスタ  $T R_D$  の制御入力端の電位（ゲート電位  $V_g$ 、つまり第 1 ノード  $N D_1$  の電位）を初期化するための電位  $V_{ofs}$  は 0 ボルト、駆動トランジスタ  $T R_D$  のソ

【 0 0 6 4 】

〔閾値補正処理行程〕

第 1 ノード  $N D_1$  の電位を保った状態で、駆動トランジスタ  $T R_D$  にドレイン電流  $I_{ds}$  を流して、第 1 ノード  $N D_1$  の電位から駆動トランジスタ  $T R_D$  の閾値電圧  $V_{th}$  を減じた電位に向かって第 2 ノード  $N D_2$  の電位を変化させる。この際には、前処理行程後の第 2 ノード  $N D_2$  の電位に駆動トランジスタ  $T R_D$  の閾値電圧  $V_{th}$  を加えた電圧を超える電圧（例えば発光時の電源電圧）を、駆動トランジスタ  $T R_D$  の主電極端の他方（第 2 ノード  $N D_2$  とは反対側）に印加する。この閾値補正処理行程において、第 1 ノード  $N D_1$  と第 2 ノード

ND<sub>2</sub>との間の電位差（換言すれば、駆動トランジスタTR<sub>D</sub>のゲート・ソース間電圧V<sub>gs</sub>）が駆動トランジスタTR<sub>D</sub>の閾値電圧V<sub>th</sub>に近づく程度は閾値補正処理の時間により左右される。よって、例えば閾値補正処理の時間を充分長く確保すれば第2ノードND<sub>2</sub>の電位は第1ノードND<sub>1</sub>の電位から駆動トランジスタTR<sub>D</sub>の閾値電圧V<sub>th</sub>を減じた電位に達し、駆動トランジスタTR<sub>D</sub>はオフ状態となる。一方、例えば閾値補正処理の時間を短く設定せざるを得ない場合は、第1ノードND<sub>1</sub>と第2ノードND<sub>2</sub>との間の電位差が駆動トランジスタTR<sub>D</sub>の閾値電圧V<sub>th</sub>より大きく、駆動トランジスタTR<sub>D</sub>はオフ状態とはならない場合がある。閾値補正処理の結果として、必ずしも駆動トランジスタTR<sub>D</sub>がオフ状態となることを要しない。尚、閾値補正処理行程においては、好ましくは、式（2）を満足するように電位を選択、決定しておくことで、発光部ELPが発光しないようにする。

10

【0065】

$$(V_{ofs} - V_{th}) < (V_{thEL} + V_{cath}) \quad (2)$$

【0066】

〔映像信号書込み処理行程〕

書込走査線WSLからの書込駆動パルスWSによりオン状態とされた書込トランジスタR<sub>W</sub>を介して、映像信号線DTLから映像信号V<sub>sig</sub>を第1ノードND<sub>1</sub>に印加し、第1ノードND<sub>1</sub>の電位をV<sub>sig</sub>へと上昇させる。この電第1ノードND<sub>1</sub>の電位変化分（V<sub>in</sub> = V<sub>sig</sub> - V<sub>ofs</sub>）に基づく電荷が、保持容量C<sub>cs</sub>、発光部ELPの寄生容量C<sub>el</sub>、駆動トランジスタTR<sub>D</sub>の寄生容量（例えばゲート・ソース間容量C<sub>gs</sub>等）に振り分けられる。静電容量C<sub>el</sub>が、静電容量C<sub>cs</sub>及びゲート・ソース間容量C<sub>gs</sub>の静電容量C<sub>gs</sub>と比較して十分に大きな値であれば、電位変化分（V<sub>sig</sub> - V<sub>ofs</sub>）に基づく第2ノードND<sub>2</sub>の電位の変化は小さい。一般に、発光部ELPの寄生容量C<sub>el</sub>の静電容量C<sub>el</sub>は、保持容量C<sub>cs</sub>の静電容量C<sub>cs</sub>及びゲート・ソース間容量C<sub>gs</sub>の静電容量C<sub>gs</sub>よりも大きい。この点を勘案して、特段の必要がある場合を除き、第1ノードND<sub>1</sub>の電位変化により生ずる第2ノードND<sub>2</sub>の電位変化は考慮しない。この場合、ゲート・ソース間電圧V<sub>gs</sub>は、式（3）で表すことができる。

20

【0067】

$$\begin{aligned} V_g &= V_{sig} \\ V_s &= V_{ofs} - V_{th} \\ V_{gs} &= V_{sig} - (V_{ofs} - V_{th}) \end{aligned} \quad (3)$$

30

【0068】

〔移動度補正処理行程〕

書込トランジスタTR<sub>W</sub>を介して映像信号V<sub>sig</sub>を保持容量C<sub>cs</sub>の一端に供給しつつ（つまり映像信号V<sub>sig</sub>と対応する駆動電圧を保持容量C<sub>cs</sub>に書き込みつつ）、駆動トランジスタTR<sub>D</sub>を介して保持容量C<sub>cs</sub>に電流を供給する。例えば、書込走査線WSLからの書込駆動パルスWSによりオン状態とされた書込トランジスタTR<sub>W</sub>を介して映像信号線DTLから映像信号V<sub>sig</sub>を第1ノードND<sub>1</sub>に供給した状態で、駆動トランジスタTR<sub>D</sub>に電源を供給しドレイン電流I<sub>ds</sub>を流して、第2ノードND<sub>2</sub>の電位を変化させ、所定期間経過後、書込トランジスタTR<sub>W</sub>をオフ状態にする。このときの第2ノードND<sub>2</sub>の電位変化分をV（＝電位補正值、負帰還量）とする。移動度補正処理を実行するための所定期間は、表示装置の設計の際、設計値として予め決定しておけばよい。尚、この際には、好ましくは、式（2A）を満足するように移動度補正期間を決定する。こうすることで、移動度補正期間に発光部ELPが発光することはない。

40

【0069】

$$(V_{ofs} - V_{th} + V) < (V_{thEL} + V_{cath}) \quad (2A)$$

【0070】

駆動トランジスタTR<sub>D</sub>の移動度μの値が大きい場合は電位補正值Vは大きくなり、移動度μの値が小さい場合は電位補正值Vは小さくなる。このときの駆動トランジスタTR<sub>D</sub>のゲート・ソース間電圧V<sub>gs</sub>（つまり第1ノードND<sub>1</sub>と第2ノードND<sub>2</sub>との電位

50

差)は、式(4)で表すことができる。ゲート・ソース間電圧 $V_{gs}$ は発光時の輝度を規定するが、電位補正值 $V$ は駆動トランジスタ $TR_D$ のドレイン電流 $I_{ds}$ に比例し、ドレイン電流 $I_{ds}$ は移動度 $\mu$ に比例するので、結果的には、移動度 $\mu$ が大きいほど電位補正值 $V$ が大きくなるので、画素回路10ごとの移動度 $\mu$ のばらつきを取り除くことができる。

【0071】

$$V_{gs} = V_{sig} - (V_{ofs} - V_{th}) - V \quad (4)$$

【0072】

〔発光工程〕

書込走査線 $WSL$ からの書込駆動パルス $WS$ により書込トランジスタ $TR_W$ をオフ状態とすることにより第1ノード $ND_1$ を浮遊状態とし、駆動トランジスタ $TR_D$ に電源を供給して駆動トランジスタ $TR_D$ を介して、駆動トランジスタ $TR_D$ のゲート・ソース間電圧 $V_{gs}$ (第1ノード $ND_1$ と第2ノード $ND_2$ との間の電位差)に応じた電流 $I_{ds}$ を発光部 $ELP$ に流すことにより発光部 $ELP$ を駆動して発光させる。

【0073】

〔駆動回路の構成による相違点〕

ここで、それぞれ典型的な、5Tr/1C型、4Tr/1C型、3Tr/1C型、2Tr/1C型での相違点は以下の通りである。5Tr/1C型では、駆動トランジスタ $TR_D$ の電源側の主電極端と電源回路(電源部)との間に接続された第1トランジスタ $TR_1$ (発光制御トランジスタ)と、第2ノード初期化電圧を印加する第2トランジスタ $TR_2$ と、第1ノード初期化電圧を印加する第3トランジスタ $TR_3$ とを設ける。第1トランジスタ $TR_1$ 、第2トランジスタ $TR_2$ 、第3トランジスタ $TR_3$ は何れもスイッチングトランジスタである。第1トランジスタ $TR_1$ は、発光期間にオン状態としておき、オフ状態にして非発光期間に入り、その後の閾値補正期間に一度オン状態にし、更に移動度補正期間以降(次の発光期間も)オン状態とする。第2トランジスタ $TR_2$ は、第2ノードの初期化期間にのみオン状態としそれ以外はオフ状態とする。第3トランジスタ $TR_3$ は、第1ノードの初期化期間から閾値補正期間に亘ってのみオン状態としそれ以外はオフ状態とする。書込トランジスタ $TR_W$ は、映像信号書込み処理期間から移動度補正処理期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

【0074】

4Tr/1C型では、5Tr/1C型から、第1ノード初期化電圧を印加する第3トランジスタ $TR_3$ が省略され、第1ノード初期化電圧は映像信号線 $DTL$ から映像信号 $V_{sig}$ と時分割で供給される。第1ノードの初期化期間に第1ノード初期化電圧を映像信号線 $DTL$ から第1ノードに供給するべく、書込トランジスタ $TR_W$ は第1ノードの初期化期間にもオン状態とされる。典型的には、書込トランジスタ $TR_W$ は、第1ノードの初期化期間から移動度補正処理期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

【0075】

3Tr/1C型では、5Tr/1C型から、第2トランジスタ $TR_2$ と第3トランジスタ $TR_3$ が省略され、第1ノード初期化電圧及び第2ノード初期化電圧は映像信号線 $DTL$ から映像信号 $V_{sig}$ と時分割で供給される。映像信号線 $DTL$ の電位は、第2ノードの初期化期間に第2ノードを第2ノード初期化電圧に設定し、その後の第1ノードの初期化期間に第1ノードを第1ノード初期化電圧に設定するべく、第2ノード初期化電圧と対応した電圧 $V_{ofs\_H}$ を供給しその後第1ノード初期化電圧 $V_{ofs\_L}$ ( $=V_{ofs}$ )にする。そして、これと対応して、書込トランジスタ $TR_W$ は第1ノードの初期化期間及び第2ノードの初期化期間にもオン状態とされる。典型的には、書込トランジスタ $TR_W$ は、第2ノードの初期化期間から移動度補正処理期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

【0076】

因みに、3Tr/1C型では、映像信号線 $DTL$ を利用して第2ノード $ND_2$ の電位を変化させる。このため、持容量 $C_{cs}$ の静電容量 $C_{cs}$ を、設計上、他の駆動回路よりも大きい値(例えば、静電容量 $C_{cs}$ を静電容量 $C_{e1}$ の約 $1/4 \sim 1/3$ 程度)に設定する。した

10

20

30

40

50



がって、他の駆動回路よりも、第 1 ノード  $ND_1$  の電位変化により生ずる第 2 ノード  $ND_2$  の電位変化の程度が大きい点を考慮する。

【0077】

2Tr / 1C 型では、5Tr / 1C 型から、第 1 トランジスタ  $TR_1$  と第 2 トランジスタ  $TR_2$  と第 3 トランジスタ  $TR_3$  が省略され、第 1 ノード初期化電圧は映像信号線 DTL から映像信号  $V_{sig}$  と時分割で供給され、第 2 ノード初期化電圧は駆動トランジスタ  $TR_D$  の電源側の主電極端を、第 1 電位  $V_{cc\_H}$  (= 5Tr / 1C 型の  $V_{cc}$ ) と第 2 電位  $V_{cc\_L}$  (= 5Tr / 1C 型の  $V_{ini}$ ) でパルス駆動することで与えられる。駆動トランジスタ  $TR_D$  の電源側の主電極端は、発光期間に第 1 電位  $V_{cc\_H}$  にされ、第 2 電位  $V_{cc\_L}$  にされることで非発光期間に入り、その後の閾値補正期間以降 (次の発光期間も) に第 1 電位  $V_{cc\_H}$  にされる。第 1 ノードの初期化期間に第 1 ノード初期化電圧を映像信号線 DTL から第 1 ノードに供給するべく、書込トランジスタ  $TR_W$  は第 1 ノードの初期化期間にもオン状態とされる。典型的には、書込トランジスタ  $TR_W$  は、第 1 ノードの初期化期間から移動度補正処理期間に亘ってオン状態とされ、それ以外はオフ状態とされる。

10

【0078】

尚、ここでは、駆動トランジスタの特性ばらつきとして、閾値電圧及び移動度の双方について補正処理を行なう場合で説明したが、何れか一方のみについて補正処理を行なうようにしてもよい。

【0079】

以上、好ましい例に基づき説明したが、これらの例に限定されるものではない。各例において説明した表示装置、表示素子、駆動回路を構成する各種の構成要素の構成、構造、発光部の駆動方法における工程は例示であり、適宜、変更することができる。

20

【0080】

又、5Tr / 1C 型、4Tr / 1C 型、及び、3Tr / 1C 型の動作においては、書込み処理と移動度補正を別個に行なってもよいし、2Tr / 1C 型と同様に、書込み処理において移動度補正処理を併せて行なってもよい。具体的には、第 1 トランジスタ  $TR_1$  (発光制御トランジスタ) をオン状態とした状態で、書込トランジスタ  $TR_W$  を介して、データ線 DTL から映像信号  $V_{sig}$  を第 1 ノードに印加すればよい。

【0081】

< 具体的な適用例 >

30

以下に、電気光学素子がターンオンすることに起因する表示むら現象を抑制する技術の具体的な適用例について説明する。尚、アクティブマトリクス型の有機 EL パネルを使用する表示装置においては、例えば、パネル両側或いは片側に配置されている垂直走査部によってトランジスタの制御入力端に供給する各種のゲート信号 (制御パルス) を作り、画素回路 10 へ当該信号を印加する。更にはこのような有機 EL パネルを使用する表示装置においては、素子数削減及び高精細化のため、2Tr / 1C 型の画素回路 10 を用いることがある。この点を勘案して、以下では、代表的に 2Tr / 1C 型の構成への適用例で説明する。

【実施例 1】

【0082】

40

[ 画素回路 ]

図 4 及び図 5 は、各実施例に対する比較例の画素回路 10Z と、当該画素回路 10Z を備えた表示装置の一形態を示す図である。比較例の画素回路 10Z を画素アレイ部 102 に備える表示装置を比較例の表示装置 1Z と称する。図 4 は基本構成 (1 画素分) を示し、図 5 は具体的な構成 (表示装置の全体) を示す。図 6 ~ 図 8 は、実施例 1 の画素回路 10A と、当該画素回路 10A を備えた表示装置の一形態を示す図である。実施例 1 の画素回路 10A を画素アレイ部 102 に備える表示装置を実施例 1 の表示装置 1A と称する。図 6 は基本構成 (1 画素分) を示し、図 7 ~ 図 8 は具体的な構成 (表示装置の全体) を示す。尚、比較例及び実施例 1 の何れにおいても、表示パネル部 100 の基板 101 上に於いて画素回路 10 の周辺部に設けられた垂直駆動部 103 と水平駆動部 106 も合わせて

50

示している。後述する他の実施例でも同様である。

#### 【0083】

先ず、参照子A、参照子Zを割愛して、比較例と実施例1とで、共通する部分について説明する。表示装置1は、映像信号 $V_{sig}$ （詳しくは信号振幅 $V_{in}$ ）に基づいて画素回路10内の電気光学素子（本例では発光部ELPとして有機EL素子127を使用する）を発光させる。このため、表示装置1は、画素アレイ部102に行列状に配される画素回路10内に、少なくとも、駆動電流を生成する駆動トランジスタ121（駆動トランジスタTRD）、駆動トランジスタ121の制御入力端（ゲート端が典型例）と出力端（ソース端が典型例）の間に接続された保持容量120（保持容量 $C_{cs}$ ）、駆動トランジスタ121の出力端に接続された電気光学素子の一例である有機EL素子127（発光部ELP）、及び、保持容量120に信号振幅 $V_{in}$ に応じた情報を書き込むサンプリングトランジスタ125（書込トランジスタTR<sub>w</sub>）を備える。この画素回路10においては、保持容量120に保持された情報に基づく駆動電流 $I_{ds}$ を駆動トランジスタ121で生成して電気光学素子の一例である有機EL素子127に流すことで有機EL素子127を発光させる。

10

#### 【0084】

サンプリングトランジスタ125で保持容量120に信号振幅 $V_{in}$ に応じた情報を書き込むので、サンプリングトランジスタ125は、その入力端（ソース端もしくはドレイン端の一方）に信号電位（ $V_{ofs} + V_{in}$ ）を取り込み、その出力端（ソース端もしくはドレイン端の他方）に接続された保持容量120に信号振幅 $V_{in}$ に応じた情報を書き込む。もちろん、サンプリングトランジスタ125の出力端は、駆動トランジスタ121の制御入力端にも接続されている。

20

#### 【0085】

尚、ここで示した画素回路10の接続構成は、最も基本的な構成を示したもので、画素回路10は、少なくとも前述の各構成要素を含むものであればよく、これらの構成要素以外（つまり他の構成要素）が含まれていてもよい。又、「接続」は、直接に接続されている場合に限らず、他の構成要素を介在して接続されている場合でもよい。例えば、接続間には、必要に応じて更に、スイッチング用のトランジスタや、ある機能を持った機能部等を介在させる等の変更が加えられることがある。典型的には、表示期間（換言すれば非発光時間）を動的に制御するためにスイッチング用のトランジスタを、駆動トランジスタ121の出力端と電気光学素子（有機EL素子127）と間に、もしくは駆動トランジスタ121の電源供給端（ドレイン端が典型例）と電源供給用の配線である電源線PWL（本例では電源供給線105DSL）との間に配することがある。このような変形態様の画素回路であっても、実施例1（或いはその他の実施例）で説明する構成や作用を実現し得るのである限り、それらの変形態様も、本開示に係る表示装置の一実施形態を実現する画素回路10である。

30

#### 【0086】

又、画素回路10を駆動するための周辺部には、例えば、サンプリングトランジスタ125を水平周期で順次制御することで画素回路10を線順次走査して、1行分の各保持容量120に映像信号 $V_{sig}$ の信号振幅 $V_{in}$ に応じた情報を書き込む書込走査部104、及び、書込走査部104での線順次走査に合わせて1行分の各駆動トランジスタ121の電源供給端に印加される電源供給を制御するための走査駆動パルス（電源駆動パルスDSL）を出力する駆動走査部105を具備する制御部109を設ける。又、制御部109には、書込走査部104での線順次走査に合わせて各水平周期内で基準電位（ $V_{ofs}$ ）と信号電位（ $V_{ofs} + V_{in}$ ）で切り替わる映像信号 $V_{sig}$ がサンプリングトランジスタ125に供給されるように制御する水平駆動部106を設ける。

40

#### 【0087】

制御部109は、好ましくは、保持容量120に信号振幅 $V_{in}$ に対応する情報が書き込まれた時点でサンプリングトランジスタ125を非導通状態にして駆動トランジスタ121の制御入力端への映像信号 $V_{sig}$ の供給を停止させ、駆動トランジスタ121の出力端

50

の電位変動に制御入力端の電位が連動するブートストラップ動作を行なうように制御するのがよい。制御部 109 は、好ましくは、ブートストラップ動作を、サンプリング動作の終了後の発光開始の初期でも実行するようにする。即ち、信号電位 ( $V_{ofs} + V_{in}$ ) がサンプリングトランジスタ 125 に供給されている状態でサンプリングトランジスタ 125 を導通状態にした後にサンプリングトランジスタ 125 を非導通状態にすることで、駆動トランジスタ 121 の制御入力端と出力端の電位差が一定に維持されるようにする。

#### 【0088】

又、制御部 109 は、好ましくはブートストラップ動作を、発光期間において電気光学素子 (有機 EL 素子 127) の経時変動補正動作を実現するように制御する。このため、制御部 109 は、保持容量 120 に保持された情報に基づく駆動電流  $I_{ds}$  が電気光学素子 (有機 EL 素子 127) に流れている期間は継続的にサンプリングトランジスタ 125 を非導通状態にしておくことで、制御入力端と出力端の電圧を一定に維持可能にして電気光学素子の経時変動補正動作を実現するとよい。発光時における保持容量 120 のブートストラップ動作により有機 EL 素子 127 の電流 - 電圧特性が経時変動しても駆動トランジスタ 121 の制御入力端と出力端の電位差をブートストラップした保持容量 120 により一定に保つことで、常に一定の発光輝度を保つようにする。又、好ましくは、制御部 109 は、基準電位 (= 第 1 ノード初期化電圧  $V_{ofs}$ ) がサンプリングトランジスタ 125 の入力端 (ソース端が典型例) に供給されている時間帯でサンプリングトランジスタ 125 を導通させることで駆動トランジスタ 121 の閾値電圧  $V_{th}$  に対応する電圧を保持容量 120 に保持するための閾値補正動作を行なうように制御する。

10

20

#### 【0089】

この閾値補正動作は、必要に応じて、信号振幅  $V_{in}$  に対応する情報の保持容量 120 への書込みに先行する複数の水平周期で繰り返し実行するとよい。ここで「必要に応じて」とは、1 水平周期内の閾値補正期間では駆動トランジスタ 121 の閾値電圧に相当する電圧を十分に保持容量 120 へ保持させることができない場合を意味する。閾値補正動作の複数回の実行により、確実に駆動トランジスタ 121 の閾値電圧  $V_{th}$  に相当する電圧を保持容量 120 に保持させる。

#### 【0090】

又、更に好ましくは、制御部 109 は、閾値補正動作に先立って、サンプリングトランジスタ 125 の入力端に基準電位 ( $V_{ofs}$ ) が供給されている時間帯でサンプリングトランジスタ 125 を導通させて閾値補正用の準備動作 (放電動作や初期化動作) を実行するように制御する。閾値補正動作前に駆動トランジスタ 121 の制御入力端と出力端の電位を初期化しておく。より詳しくは、制御入力端と出力端と間に保持容量 120 を接続しておくことで、保持容量 120 の両端の電位差が閾値電圧  $V_{th}$  以上になるように設定する。

30

#### 【0091】

尚、2Tr / 1C 駆動構成における閾値補正に当たっては、制御部 109 には、書込走査部 104 での線順次走査に合わせて 1 行分の各画素回路 10 に、駆動電流  $I_{ds}$  を電気光学素子 (有機 EL 素子 127) に流すために使用される第 1 電位  $V_{cc\_H}$  と第 1 電位  $V_{cc\_H}$  とは異なる第 2 電位  $V_{cc\_L}$  とを切り替えて出力する駆動走査部 105 を設け、駆動トランジスタ 121 の電源供給端子に第 1 電位  $V_{cc\_H}$  に対応する電圧が供給され、かつサンプリングトランジスタ 121 に信号電位 ( $V_{ofs} + V_{in}$ ) が供給されている時間帯でサンプリングトランジスタ 125 を導通させることで閾値補正動作を行なうように制御するのがよい。又、2TR 駆動構成における閾値補正の準備動作に当たっては、駆動トランジスタ 121 の電源供給端に第 2 電位  $V_{cc\_L}$  (= 第 2 ノード初期化電圧  $V_{ini}$ ) に対応する電圧が供給され、かつサンプリングトランジスタ 125 に基準電位 ( $V_{ofs}$ ) が供給されている時間帯でサンプリングトランジスタ 125 を導通させて、駆動トランジスタ 121 の制御入力端 (つまり第 1 ノード  $ND_1$ ) の電位を基準電位 ( $V_{ofs}$ ) に、又出力端 (つまり第 2 ノード  $ND_2$ ) の電位を第 2 電位  $V_{cc\_L}$  に初期化するのがよい。

40

#### 【0092】

更に好ましくは、制御部 109 は、閾値補正動作の後、駆動トランジスタ 121 に第 1

50

電位  $V_{cc\_H}$  に対応する電圧が供給され、サンプリングトランジスタ 125 に信号電位 ( $V_{ofs} + V_{in}$ ) が供給されている時間帯でサンプリングトランジスタ 125 を導通させることで保持容量 120 に信号振幅  $V_{in}$  の情報を書き込む際、駆動トランジスタ 121 の移動度  $\mu$  に対する補正分を保持容量 120 に書き込まれる情報に加えるように制御する。この際には、サンプリングトランジスタ 125 に信号電位 ( $V_{ofs} + V_{in}$ ) が供給されている時間帯内の所定位置で、その時間帯より短い期間だけサンプリングトランジスタ 125 を導通させるとよい。以下  $2Tr / 1C$  駆動構成での画素回路 10 の一例について具体的に説明する。

#### 【0093】

画素回路 10 は、基本的に  $n$  チャネル型の薄膜電界効果トランジスタで駆動トランジスタが構成されている。又、有機 EL 素子の経時劣化による当該有機 EL 素子への駆動電流  $I_{ds}$  の変動を抑制するための回路、即ち電気光学素子の一例である有機 EL 素子の電流 - 電圧特性の変化を補正して駆動電流  $I_{ds}$  を一定に維持する駆動信号一定化回路 (その 1) を備え、又駆動トランジスタの特性変動 (閾値電圧ばらつきや移動度ばらつき) による駆動電流変動を防ぐ閾値補正機能や移動度補正機能を実現して駆動電流  $I_{ds}$  を一定に維持する駆動方式を採用した点に特徴を有する。

#### 【0094】

駆動トランジスタ 121 の特性変動 (例えば閾値電圧や移動度等のばらつきや変動) による駆動電流  $I_{ds}$  に与える影響を抑制する方法としては、 $2TR$  構成の駆動回路をそのまま駆動信号一定化回路 (その 1) として採用しつつ、各トランジスタ (駆動トランジスタ 121 及びサンプリングトランジスタ 125) の駆動タイミングを工夫することで対処する。画素回路 10 は、 $2TR$  駆動の構成であり、素子数や配線数が少ないため、高精細化が可能であることに加えて、映像信号  $V_{sig}$  の劣化なくサンプリングできるため、良好な画質を得ることができる。

#### 【0095】

又、画素回路 10 は、保持容量 120 の接続態様に特徴を有し、有機 EL 素子 127 の経時劣化による駆動電流変動を防ぐ回路として、駆動信号一定化回路 (その 2) の一例であるブートストラップ回路を構成している。有機 EL 素子の電流 - 電圧特性に経時変化があった場合でも駆動電流を一定にする (駆動電流変動を防ぐ) ブートストラップ機能を実現する駆動信号一定化回路 (その 2) を備えた点に特徴を有する。

#### 【0096】

駆動トランジスタを始めとする各トランジスタとしては FET (電界効果トランジスタ) を使用する。この場合、駆動トランジスタについては、ゲート端を制御入力端として取り扱い、ソース端及びドレイン端の何れか一方 (ここではソース端とする) を出力端として取り扱い、他方を電源供給端 (ここではドレイン端とする) として取り扱う。

#### 【0097】

具体的には図 4 及び図 5 に示すように、画素回路 10 は、それぞれ  $n$  チャネル型の駆動トランジスタ 121 及びサンプリングトランジスタ 125 と、電流が流れることで発光する電気光学素子の一例である有機 EL 素子 127 とを有する。一般に、有機 EL 素子 127 は整流性があるためダイオードの記号で表している。尚、有機 EL 素子 127 には、寄生容量  $C_{el}$  が存在する。図では、この寄生容量  $C_{el}$  を有機 EL 素子 127 (ダイオード状のもの) と並列に示す。

#### 【0098】

駆動トランジスタ 121 は、ドレイン端 D が第 1 電位  $V_{cc\_H}$  或いは第 2 電位  $V_{cc\_L}$  を供給する電源供給線 105 DSL に接続され、ソース端 S が、有機 EL 素子 127 のアノード端 A に接続され (その接続点は第 2 ノード  $ND_2$  でありノード  $ND_1$  22 とする)、有機 EL 素子 127 のカソード端 K が基準電位を供給する全画素回路 10 共通のカソード配線 cath (電位はカソード電位  $V_{cath}$ 、例えば GND) に接続されている。尚、カソード配線 cath は、それ用の単一層の配線 (上層配線) のみとしてもよいし、例えばアノード用の配線が形成されるアノード層に、カソード配線用の補助配線を設けてカソード配線の抵抗値を

10

20

30

40

50

低減するようにしてもよい。この補助配線は、画素アレイ部 102 (表示エリア) 内に格子状又は列又は行状に配線され、上層配線と同電位で固定電位である。

#### 【0099】

サンプリングトランジスタ 125 は、ゲート端 G が書込走査部 104 からの書込走査線 104WS に接続され、ドレイン端 D が映像信号線 106HS (映像信号線 DTL) に接続され、ソース端 S が駆動トランジスタ 121 のゲート端 G に接続されている (その接続点は第 1 ノード ND<sub>1</sub> でありノード ND121 とする)。サンプリングトランジスタ 125 のゲート端 G には、書込走査部 104 からアクティブ H の書込駆動パルス WS が供給される。サンプリングトランジスタ 125 は、ソース端 S とドレイン端 D とを逆転させた接続態様とすることもできる。

#### 【0100】

駆動トランジスタ 121 のドレイン端 D は、電源スキャナとして機能する駆動走査部 105 からの電源供給線 105DSL に接続されている。電源供給線 105DSL は、この電源供給線 105DSL そのものが、駆動トランジスタ 121 に対しての電源供給能力を備える点に特徴を有する。駆動走査部 105 は、駆動トランジスタ 121 のドレイン端 D に対して、それぞれ電源電圧に相当する高電圧側の第 1 電位  $V_{cc\_H}$  と閾値補正に先立つ準備動作に利用される低電圧側の第 2 電位  $V_{cc\_L}$  (初期化電圧もしくはイニシャル電圧とも称される) とを切り替えて供給する。

#### 【0101】

駆動トランジスタ 121 のドレイン端 D 側 (電源回路側) を第 1 電位  $V_{cc\_H}$  と第 2 電位  $V_{cc\_L}$  の 2 値をとる電源駆動パルス DSL で駆動することで、閾値補正に先立つ準備動作を行なうことを可能にしている。第 2 電位  $V_{cc\_L}$  としては、映像信号線 106HS における映像信号  $V_{sig}$  の基準電位 ( $V_{ofs}$ ) より十分低い電位とする。具体的には、駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  (ゲート電位  $V_g$  とソース電位  $V_s$  の差) が駆動トランジスタ 121 の閾値電圧  $V_{th}$  より大きくなるように、電源供給線 105DSL の低電位側の第 2 電位  $V_{cc\_L}$  を設定する。尚、基準電位 ( $V_{ofs}$ ) は、閾値補正動作に先立つ初期化動作に利用するとともに映像信号線 106HS を予めプリチャージしておくためにも利用する。

#### 【0102】

このような画素回路 10 では、有機 EL 素子 127 を駆動するときには、駆動トランジスタ 121 のドレイン端 D に第 1 電位  $V_{cc\_H}$  が供給され、ソース端 S が有機 EL 素子 127 のアノード端 A 側に接続されることで、全体としてソースフォロワ回路を形成するようになっている。

#### 【0103】

このような画素回路 10 を採用する場合、駆動トランジスタ 121 の他に走査用に 1 つのスイッチングトランジスタ (サンプリングトランジスタ 125) を使用する 2TR 駆動の構成を採るとともに、各スイッチングトランジスタを制御する電源駆動パルス DSL 及び書込駆動パルス WS のオン/オフタイミングの設定により、有機 EL 素子 127 の経時劣化や駆動トランジスタ 121 の特性変動 (例えば閾値電圧や移動度等のばらつきや変動) による駆動電流  $I_{ds}$  に与える影響を防ぐ。

#### 【0104】

##### 〔実施例 1 に特有の構成〕

ここで、実施例 1 の画素回路 10A においては、映像信号と対応する駆動電圧を保持容量 120 に書き込む処理と連動して有機 EL 素子 127 (の発光部 ELP) の電流路の開閉を制御可能な構成を備えている。具体的には、「移動度補正と対応した一定期間」にノード ND122 (第 2 ノード) と有機 EL 素子 127 のアノード端 A (電気光学素子の一端) との電氣的な接続を遮断可能な構成を画素回路 10A ごとに備えている。例えば、図 6 及び図 7 に示すように、駆動トランジスタ 121 のソース端 (ND122: 第 2 ノード) と有機 EL 素子 127 の一端 (図ではアノード端 A) との間に電流路制御トランジスタ 612 が直列に接続されている。ここでは、電流路制御トランジスタ 612 としては n チ

10

20

30

40

50

チャンネル型のトランジスタが使用されており、その制御入力端（ゲート端）には、書込駆動パルスWSを論理反転した制御パルスND Sを供給している。

#### 【0105】

書込駆動パルスWSを論理反転して電流路制御トランジスタ612のゲート端に供給する構成としては種々の構成をとることができるが、ここでは、図7及び図8に示すように、画素アレイ部102の入力端にて、行ごとにインバータ616を設ける構成を採用している。換言すると、同一行の各サンプリングトランジスタ125に共通に書込駆動パルスWSを供給しているので、この点を踏まえて、行ごとに書込駆動パルスWSをインバータ616で反転して制御パルスND Sを生成し、電流路制御走査線612DSを介して同一行の電流路制御トランジスタ612に共通に制御パルスND Sを供給することにしている。電流路制御トランジスタ612とインバータ616とにより、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理と連動して、表示部の電流路を遮断制御する制御部が構成される。各行のインバータ616が、電流路制御トランジスタ612をオン/オフ制御する電流路制御走査部として機能する。

10

#### 【0106】

図7に示す第1例では、画素アレイ部102の外部にインバータ616を設けているが、図8に示す第2例のように、画素アレイ部102の内部に電流路制御トランジスタ612を設けてもよい。何れにしても、行ごとに書込駆動パルスWSを論理反転する電流路制御トランジスタ612を設ける構成である限り図示した構成には限定されない。例えば、書込走査部104を画素アレイ部102の両側に配して両側から書込駆動パルスWSを供給する（この場合は概ね画素アレイ部102の中間で担当を分ける）構成をとる場合であれば、電流路制御トランジスタ612も画素アレイ部102の両側に配する構成をとればよい。図示しないが、画素回路10Aごとに（画素回路10Aの内部であるか外部であるかは不問）にインバータ616を設けて制御パルスND Sを個別に生成する構成をとることもできるが、その場合、図7に示した実施例1の構成よりも回路規模は増える。

20

#### 【0107】

実施例1の画素回路10Aでは、書込駆動パルスWSがアクティブH（つまりサンプリングトランジスタ125がオン状態）のときには、制御パルスND SはL（ローレベル）となるので、電流路制御トランジスタ612はオフ状態となる。一方、書込駆動パルスWSがインアクティブL（つまりサンプリングトランジスタ125がオフ状態）のときには、制御パルスND SはH（ハイレベル）となるので、電流路制御トランジスタ612はオン状態となる。つまり、書込駆動パルスWSと制御パルスND Sとは連動して対応するトランジスタを制御するので、サンプリングトランジスタ125と実施例1にて追加した電流路制御トランジスタ612とは論理的に相補動作をするようになっている。書込駆動パルスWSがLレベルの期間（例えば発光期間）には、電流路制御トランジスタ612がオン状態となるので、駆動トランジスタ121のソース端（ND122）と有機EL素子127のアノード端とが電氣的に接続され、駆動トランジスタ121からの駆動電流 $I_{ds}$ が有機EL素子127に流れる。一方、書込駆動パルスWSがHレベルの期間（例えば閾値補正期間や信号書込み期間や移動度補正期間）には、電流路制御トランジスタ612がオフ状態となるので、駆動トランジスタ121のソース端（ND122）と有機EL素子127のアノード端とが電氣的に切り離され、駆動トランジスタ121からの電流が有機EL素子127に流れることはない。つまり、有機EL素子127の電流路が書込駆動パルスと連動して開閉制御される。このような実施例1の画素回路10Aとした意義や利点についての詳細は後述するが、移動度補正中の有機EL素子127のターンオンを防止することで、移動度補正動作を正常に行なうことができる。

30

40

#### 【0108】

##### [画素回路の動作]

図9は、画素回路10に関する駆動タイミングの一例として、線順次方式で信号振幅 $V_{in}$ の情報を保持容量120に書き込む際の動作を説明するタイミングチャート（理想状態）である。図10は、図9に示したタイミングチャートの主要な期間における等価回路と

50

動作状態を説明する図である。図 9 においては、時間軸を共通にして、書込走査線 1 0 4 WS の電位変化、電源供給線 1 0 5 DSL の電位変化、映像信号線 1 0 6 HS の電位変化を表してある。これらの電位変化と並行に、駆動トランジスタ 1 2 1 のゲート電位  $V_g$  及びソース電位  $V_s$  の変化も表してある。基本的には、書込走査線 1 0 4 WS や電源供給線 1 0 5 DSL の 1 行ごとに、1 水平走査期間だけ遅れて同じような駆動を行なう。以下では、比較例の画素回路 1 0 Z について説明するが、後述する各実施例において特段の断りのない事項は、ここで説明する動作が同様に適用される。

#### 【0109】

図 9 中の信号のように各パルスのタイミングによって有機 EL 素子 1 2 7 に流れる電流値をコントロールする。図 9 のタイミング例では、電源駆動パルス DSL を第 2 電位  $V_{cc\_L}$  とすることで消光及びノード ND 1 2 2 を初期化した後に、第 1 ノード初期化電圧  $V_{ofs}$  を映像信号線 1 0 6 HS に印加している際にサンプリングトランジスタ 1 2 5 をオン状態としてノード ND 1 2 1 を初期化し、その状態で電源駆動パルス DSL を第 1 電位  $V_{cc\_H}$  とすることで閾値補正を行なう。その後、サンプリングトランジスタ 1 2 5 をオフ状態とし、映像信号線 1 0 6 HS に映像信号  $V_{sig}$  を印加する。その状態でサンプリングトランジスタ 1 2 5 をオン状態とすることにより信号を書き込むと同時に移動度補正を行なう。信号を書き込んだ後、サンプリングトランジスタ 1 2 5 をオフ状態にすると発光を開始する。このように移動度補正や閾値補正等、パルスの位相差によって駆動をコントロールする。

#### 【0110】

以下、閾値補正及び移動度補正に着目して動作を詳しく説明する。画素回路 1 0 において、駆動タイミングとしては、先ず、サンプリングトランジスタ 1 2 5 は、書込走査線 1 0 4 WS から供給された書込駆動パルス WS に応じて導通し、映像信号線 1 0 6 HS から供給された映像信号  $V_{sig}$  をサンプリングして保持容量 1 2 0 に保持する。最初に、以下では、説明や理解を容易にするため、特段の断りのない限り、書込みゲインが 1 (理想値) であると仮定して、保持容量 1 2 0 に信号振幅  $V_{in}$  の情報を、書き込む、保持する、あるいはサンプリングする等と簡潔に記して説明する。書込みゲインが 1 未満の場合、保持容量 1 2 0 には信号振幅  $V_{in}$  の大きさそのものではなく、信号振幅  $V_{in}$  の大きさに対応するゲイン倍された情報が保持されることになる。

#### 【0111】

画素回路 1 0 に対する駆動タイミングは、映像信号  $V_{sig}$  の信号振幅  $V_{in}$  の情報を保持容量 1 2 0 に書き込む際に、順次走査の観点からは、1 行分の映像信号を同時に各列の映像信号線 1 0 6 HS に伝達する線順次駆動を行なう。特に、2 TR 構成の画素回路 1 0 における駆動タイミングでの閾値補正と移動度補正を行なう際の基本的な考え方においては、先ず、映像信号  $V_{sig}$  を基準電位 ( $V_{ofs}$ ) と信号電位 ( $V_{ofs} + V_{in}$ ) とを 1 H 期間内において時分割で有するものとする。具体的には、映像信号  $V_{sig}$  が非有効期間である基準電位 ( $V_{ofs}$ ) にある期間を 1 水平期間の前半部とし、有効期間である信号電位 ( $V_{sig} = V_{ofs} + V_{in}$ ) にある期間を 1 水平期間の後半部とする。1 水平期間を前半部と後半部に分ける際は、典型的にはほぼ 1 / 2 期間ずつ分けるがこのことは必須でなく、前半部よりも後半部の方をより長くしてもよいし、逆に、前半部よりも後半部の方をより短くしてもよい。

#### 【0112】

信号書込みに用いる書込駆動パルス WS を閾値補正や移動度補正にも用いることとし、1 H 期間内に 2 回、書込駆動パルス WS をアクティブにしてサンプリングトランジスタ 1 2 5 をオンする。そして、1 回目のオンタイミングにて閾値補正を行ない、2 回目のオンタイミングにて信号電圧書込みと移動度補正を同時に行なう。その後、駆動トランジスタ 1 2 1 は、第 1 電位 (高電位側) にある電源供給線 1 0 5 DSL から電流の供給を受け保持容量 1 2 0 に保持された信号電位 (映像信号  $V_{sig}$  の有効期間の電位に対応する電位) に応じて駆動電流  $I_{ds}$  を有機 EL 素子 1 2 7 に流す。尚、1 H 期間内に 2 回、書込駆動パルス WS をアクティブにするのではなく、サンプリングトランジスタ 1 2 5 のオン状態を維持したまま、映像信号線 1 0 6 HS の電位を、有機 EL 素子 1 2 7 における輝度を制御するための

信号電位 ( $= V_{ofs} + V_{in}$ ) としてもよい。

【0113】

例えば、有機EL素子127の発光状態は、電源供給線105DSLが第1電位 $V_{cc\_H}$ であり、サンプリングトランジスタ125がオフ状態である(図9(A)を参照)。このとき、駆動トランジスタ121は飽和領域で動作するように設定されているため、有機EL素子127に流れる電流 $I_{ds}$ は駆動トランジスタ121のゲート・ソース間電圧 $V_{gs}$ (ノードND121とノードND122との間の電圧)に応じて決まる式(1)に示される値となる。その後、垂直駆動部103は、電源供給線105DSLが第1電位 $V_{cc\_H}$ にありかつ映像信号線106HSが映像信号 $V_{sig}$ の非有効期間である基準電位( $V_{ofs}$ )にある時間帯でサンプリングトランジスタ125を導通させる制御信号として書込駆動パルスWSを出力して、駆動トランジスタ121の閾値電圧 $V_{th}$ に相当する電圧を保持容量120に保持しておく(図9(D)を参照)。この動作が閾値補正機能を実現する。この閾値補正機能により、画素回路10ごとにばらつく駆動トランジスタ121の閾値電圧 $V_{th}$ の影響をキャンセルすることができる。

10

【0114】

垂直駆動部103は、信号振幅 $V_{in}$ のサンプリングに先行する複数の水平期間で閾値補正動作を繰り返し実行して確実に駆動トランジスタ121の閾値電圧 $V_{th}$ に相当する電圧を保持容量120に保持するようにするのがよい。閾値補正動作を複数回実行することで、十分に長い書込み時間を確保する。こうすることで、駆動トランジスタ121の閾値電圧 $V_{th}$ に相当する電圧を確実に保持容量120に予め保持することができる。

20

【0115】

保持された閾値電圧 $V_{th}$ に相当する電圧は駆動トランジスタ121の閾値電圧 $V_{th}$ のキャンセルに用いられる。したがって、画素回路10ごとに駆動トランジスタ121の閾値電圧 $V_{th}$ がばらついていても、画素回路10ごとに完全にキャンセルされるため、画像のユニフォームリティすなわち表示装置の画面全体に亘る発光輝度の均一性が高まる。特に信号電位が低階調のときに現れがちな輝度むらを防ぐことができる。

【0116】

好ましくは、垂直駆動部103は、閾値補正動作に先立って、電源供給線105DSLが第2電位にありかつ映像信号線106HSが映像信号 $V_{sig}$ の非有効期間である基準電位( $V_{ofs}$ )にある時間帯で、書込駆動パルスWSをアクティブ(本例ではHレベル)にしてサンプリングトランジスタ125を導通させ、その後に書込駆動パルスWSをアクティブHにしたままで電源供給線105DSLを第1電位に設定する。

30

【0117】

こうすることで、ソース端Sを基準電位( $V_{ofs}$ )より十分低い第2電位 $V_{cc\_L}$ にセットし(放電期間C=第2ノード初期化期間)(図9(B)を参照)、且つ、駆動トランジスタ121のゲート端Gを基準電位( $V_{ofs}$ )にセットしてから(初期化期間D=第1ノード初期化期間)(図9(C)を参照)、閾値補正動作を開始する(閾値補正期間E)。このようなゲート電位及びソース電位のリセット動作(初期化動作)により、後続する閾値補正動作を確実に実行することができる。放電期間Cと初期化期間Dとを合わせて、駆動トランジスタ121のゲート電位 $V_g$ とソース電位 $V_s$ を初期化する閾値補正準備期間(=前処理期間)とも称する。因みに、図示した例は、第1ノードのであるノードND121への初期化動作(初期化期間D)は3回繰り返しており、放電期間Cの開始から最後の初期化期間Dが完了するまでが閾値補正準備期間となる。

40

【0118】

閾値補正期間Eでは、電源供給線105DSLの電位が低電位側の第2電位 $V_{cc\_L}$ から高電位側の第1電位 $V_{cc\_H}$ に遷移することで、駆動トランジスタ121のソース電位 $V_s$ が上昇を開始する。即ち、駆動トランジスタ121のゲート端Gは映像信号 $V_{sig}$ の基準電位( $V_{ofs}$ )に保持されており、駆動トランジスタ121のソース端Sの電位 $V_s$ が上昇して駆動トランジスタ121がカットオフするまでドレイン電流が流れようとする。カットオフすると駆動トランジスタ121のソース電位 $V_s$ は“ $V_{ofs} - V_{th}$ ”となる。閾値補正

50



期間 E では、ドレイン電流が専ら保持容量 120 側 ( $C_{cs} \ll C_{el}$  時) に流れ、有機 EL 素子 127 側には流れないようにするため、有機 EL 素子 127 がカットオフとなるように全画素共通の接地配線 cath の電位  $V_{cath}$  を設定しておく。

#### 【0119】

有機 EL 素子 127 の等価回路はダイオードと寄生容量  $C_{el}$  の並列回路で表されるため、“ $V_{el} = V_{cath} + V_{thEL}$ ”である限り、つまり、有機 EL 素子 127 のリーク電流が駆動トランジスタ 121 に流れる電流よりもかなり小さい限り、駆動トランジスタ 121 のドレイン電流  $I_{ds}$  は保持容量 120 と寄生容量  $C_{el}$  を充電するために使われる。この結果、有機 EL 素子 127 のアノード端 A の電圧  $V_{el}$  つまりノード ND 122 の電位は、時間とともに上昇してゆく。そして、ノード ND 122 の電位 (ソース電位  $V_s$ ) とノード ND 121 の電圧 (ゲート電位  $V_g$ ) との電位差がちょうど閾値電圧  $V_{th}$  となったところで駆動トランジスタ 121 はオン状態からオフ状態となり、ドレイン電流  $I_{ds}$  は流れなくなり、閾値補正期間が終了する。つまり、一定時間経過後、駆動トランジスタ 121 のゲート・ソース間電圧  $V_{gs}$  は閾値電圧  $V_{th}$  という値をとる。

10

20

#### 【0120】

ここで、閾値補正動作は 1 回のみ実行するものとすることもできるが、このことは必須ではない。1 水平期間を処理サイクルとして、閾値補正動作を複数回 (図は 4 回で示している) 繰り返してもよい。例えば、実際には、閾値電圧  $V_{th}$  に相当する電圧が、駆動トランジスタ 121 のゲート端 G とソース端 S と間に接続された保持容量 120 に書き込まれることになる。しかしながら、閾値補正期間 E は、書込駆動パルス WS をアクティブ H にしたタイミングからインアクティブ L に戻すタイミングまでであり、この期間が十分に確保されていないときには、それ以前に終了してしまう。この問題を解消するには、閾値補正動作を複数回繰り返すのがよい。

#### 【0121】

閾値補正動作を複数回実行する場合に、1 水平期間が閾値補正動作の処理サイクルとなるのは、閾値補正動作に先立って、1 水平期間の前半部で映像信号線 106 HS を介して基準電位 ( $V_{ofs}$ ) を供給しソース電位を第 2 電位  $V_{cc\_L}$  にセットする初期化動作を経るからである。必然的に、閾値補正期間は、1 水平期間よりも短くなってしまう。したがって、保持容量 120 の静電容量  $C_{cs}$  や第 2 電位  $V_{cc\_L}$  の大きさ関係やその他の要因で、この短い 1 回分の閾値補正動作期間では、閾値電圧  $V_{th}$  に対応する正確な電圧を保持容量 120 に保持仕切れないケースも起こり得る。閾値補正動作を複数回実行するのが好ましいのは、この対処のためである。即ち、信号振幅  $V_{in}$  の保持容量 120 へのサンプリング (信号書込み) に先行する複数の水平周期で、閾値補正動作を繰り返し実行することで確実に駆動トランジスタ 121 の閾値電圧  $V_{th}$  に相当する電圧を保持容量 120 に保持させるのが好ましい。

30

#### 【0122】

例えば、第 1 閾値補正期間 E<sub>1</sub> ではゲート・ソース間電圧  $V_{gs}$  が  $V_{x1} (> V_{th})$  になったとき、つまり、駆動トランジスタ 121 のソース電位  $V_s$  が低電位側の第 2 電位  $V_{cc\_L}$  から “ $V_{ofs} - V_{x1}$ ” になったときに終わってしまう (図 9 (D) を参照)。このため、第 1 閾値補正期間 E<sub>1</sub> が完了した時点では、 $V_{x1}$  が保持容量 120 に書き込まれる。

40

#### 【0123】

次に、駆動走査部 105 は、1 水平期間の後半部で、書込駆動パルス WS をインアクティブ L に切り替え、さらに水平駆動部 106 は、映像信号線 106 HS の電位を基準電位 ( $V_{ofs}$ ) から映像信号  $V_{sig} (= V_{ofs} + V_{in})$  に切り替える (図 9 (E) を参照)。これにより、映像信号線 106 HS が映像信号  $V_{sig}$  の電位に変化する一方、書込走査線 104 WS の電位 (書込駆動パルス WS) はローレベルになる。

#### 【0124】

このときには、サンプリングトランジスタ 125 は非導通 (オフ) 状態にあり、それ以前に保持容量 120 に保持された  $V_{x1}$  に応じたドレイン電流が有機 EL 素子 127 に流れることで、ソース電位  $V_s$  が僅かに上昇する。この上昇分を  $V_{a1}$  とすると、ソース電位  $V_s$

50

は“ $V_{ofs} - V_{x1} + V_{a1}$ ”となる。さらに、駆動トランジスタ121のゲート端Gとソース端Sとの間には保持容量120が接続されており、その保持容量120による効果によって、駆動トランジスタ121のソース電位 $V_s$ の変動にゲート電位 $V_g$ が連動することで、ゲート電位 $V_g$ が“ $V_{ofs} + V_{a1}$ ”となる。

#### 【0125】

次の第2閾値補正期間E\_2では、第1閾値補正期間E\_1と同様の動作をする。具体的には、まず、駆動トランジスタ121のゲート端Gは映像信号 $V_{sig}$ の基準電位( $V_{ofs}$ )に保持されることとなり、ゲート電位 $V_g$ が直前の“ $V_g = \text{基準電位}(V_{ofs}) + V_{a1}$ ”から基準電位( $V_{ofs}$ )に瞬時に切り替わる。駆動トランジスタ121のゲート端Gとソース端Sとの間には保持容量120が接続されており、その保持容量120による効果によって、駆動トランジスタ121のゲート電位 $V_g$ の変動にソース電位 $V_s$ が連動することで、ソース電位 $V_s$ は、直前の“ $V_{ofs} - V_{x1} + V_{a1}$ ”から $V_{a1}$ だけ低下するので、“ $V_{ofs} - V_{x1}$ ”となる。この後、駆動トランジスタ121のソース端Sの電位 $V_s$ が上昇して駆動トランジスタ121がカットオフするまでドレイン電流が流れようとする。しかしながら、ゲート・ソース間電圧 $V_{gs}$ が $V_{x2} (> V_{th})$ になったとき、つまり、駆動トランジスタ121のソース電位 $V_s$ が“ $V_{ofs} - V_{x2}$ ”になったときに終わってしまい、第2閾値補正期間E\_2が完了した時点では $V_{x2}$ が保持容量120に書き込まれる。次の第3閾値補正期間E\_3の直前では、保持容量120に保持された $V_{x2}$ に応じたドレイン電流が有機EL素子127に流れることで、ソース電位 $V_s$ は“ $V_{ofs} - V_{x2} + V_{a2}$ ”となり、ゲート電位 $V_g$ は“ $V_{ofs} + V_{a2}$ ”となる。

#### 【0126】

同様にして、次の第3閾値補正期間E\_3では、ゲート・ソース間電圧 $V_{gs}$ が $V_{x3} (> V_{th})$ になったとき、つまり、駆動トランジスタ121のソース電位 $V_s$ が“ $V_{ofs} - V_{x3}$ ”になったときに終わってしまい、第3閾値補正期間E\_3が完了した時点では $V_{x3}$ が保持容量120に書き込まれる。次の第4閾値補正期間E\_4の直前では、保持容量120に保持された $V_{x3}$ に応じたドレイン電流が有機EL素子127に流れることで、ソース電位 $V_s$ は“ $V_{ofs} - V_{x3} + V_{a3}$ ”となり、ゲート電位 $V_g$ は“ $V_{ofs} + V_{a3}$ ”となる。

#### 【0127】

そして、次の第4閾値補正期間E\_4では、駆動トランジスタ121のソース端Sの電位 $V_s$ が上昇して駆動トランジスタ121がカットオフするまでドレイン電流が流れる。カットオフすると駆動トランジスタ121のソース電位 $V_s$ は“ $V_{ofs} - V_{th}$ ”となり、ゲート・ソース間電圧 $V_{gs}$ が閾値電圧 $V_{th}$ と同じ状態になっている。第4閾値補正期間E\_4が完了した時点で、駆動トランジスタ121の閾値電圧 $V_{th}$ が保持容量120に保持される。

#### 【0128】

画素回路10においては、閾値補正機能に加えて、移動度補正機能を備えている。即ち、垂直駆動部103は、映像信号線106HSが映像信号 $V_{sig}$ の有効期間である信号電位( $V_{ofs} + V_{in}$ )にある時間帯にサンプリングトランジスタ125を導通状態にするため、書込走査線104WSに供給する書込駆動パルスWSを、上述の時間帯より短い期間だけアクティブ(本例ではHレベル)にする。この期間では、駆動トランジスタ121の制御入力端に信号電位( $V_{ofs} + V_{in}$ )を供給した状態で駆動トランジスタ121を介して有機EL素子127の寄生容量 $C_{el}$ 及び保持容量120を充電する(図9(F)を参照)。この書込駆動パルスWSのアクティブ期間(サンプリング期間でもあり移動度補正期間でもある)を適切に設定することで、保持容量120に信号振幅 $V_{in}$ に応じた情報を保持する際、同時に駆動トランジスタ121の移動度 $\mu$ に対する補正を加えることができる。水平駆動部106により映像信号線106HSに信号電位( $V_{ofs} + V_{in}$ )を実際に供給して、書込駆動パルスWSをアクティブHにする期間を、保持容量120への信号振幅 $V_{in}$ の書込み期間(サンプリング期間とも称する)とする。

#### 【0129】

特に、画素回路10における駆動タイミングでは、電源供給線105DSLが高電位側で

ある第1電位  $V_{oc\_H}$  にあり、かつ、映像信号  $V_{sig}$  が有効期間にある時間帯内（信号振幅  $V_{in}$  の期間）で書込駆動パルス  $WS$  をアクティブにしている。つまり、その結果、移動度補正時間（サンプリング期間も）は、映像信号線 106HS の電位が、映像信号  $V_{sig}$  の有効期間の信号電位（ $V_{ofs} + V_{in}$ ）にある時間幅と書込駆動パルス  $WS$  のアクティブ期間の両者が重なった範囲で決まる。特に、映像信号線 106HS が信号電位にある時間幅の中に入るように書込駆動パルス  $WS$  のアクティブ期間幅を細めに決めているため、結果的に移動度補正時間は書込駆動パルス  $WS$  で決まる。正確には、移動度補正時間（サンプリング期間も）は、書込駆動パルス  $WS$  立ち上がってサンプリングトランジスタ 125 がオンしてから、同じく書込駆動パルス  $WS$  が立ち下がってサンプリングトランジスタ 125 がオフするまでの時間となる。因みに、図では、第4閾値補正期間  $E\_4$  の後で書込駆動パルス  $WS$  を一端インアクティブ  $L$  にしているが、このことは必須でなく、アクティブ  $H$  のままにして、映像信号  $V_{sig}$  を基準電位（ $V_{ofs}$ ）から有効期間の信号電位（ $V_{ofs} + V_{in}$ ）に切り替えてもよい。

#### 【0130】

具体的には、サンプリング期間においては、駆動トランジスタ 121 のゲート電位  $V_g$  が信号電位（ $V_{ofs} + V_{in}$ ）にある状態でサンプリングトランジスタ 125 が導通（オン）状態となる。したがって、書込み&移動度補正期間  $H$  では、駆動トランジスタ 121 のゲート端  $G$  が信号電位（ $V_{ofs} + V_{in}$ ）に固定された状態で、駆動トランジスタ 121 に駆動電流  $I_{ds}$  が流れる。信号振幅  $V_{in}$  の情報は駆動トランジスタ 121 の閾値電圧  $V_{th}$  に足し込む形で保持される。この結果、駆動トランジスタ 121 の閾値電圧  $V_{th}$  の変動は常にキャンセルされる形となるので、閾値補正を行なっていることになる。この閾値補正によって、保持容量 120 に保持されるゲート・ソース間電圧  $V_{gs}$  は、“ $V_{sig} + V_{th}$ ” = “ $V_{in} + V_{th}$ ” となる。又、同時に、このサンプリング期間で移動度補正を実行するので、サンプリング期間は移動度補正期間を兼ねることとなる（書込み&移動度補正期間  $H$ ）。

#### 【0131】

ここで、有機  $EL$  素子 127 の閾値電圧を  $V_{thEL}$  としたとき、“ $V_{ofs} - V_{th} < V_{thEL}$ ” と設定しておくことで、有機  $EL$  素子 127 は、逆バイアス状態におかれ、カットオフ状態（ハイインピーダンス状態）にあるため、発光することはない、又、ダイオード特性ではなく単純な容量特性を示す。よって駆動トランジスタ 121 に流れるドレイン電流（駆動電流  $I_{ds}$ ）は保持容量 120 の静電容量  $C_{cs}$  と有機  $EL$  素子 127 の寄生容量（等価容量） $C_{el}$  の静電容量  $C_{el}$  の両者を結合した容量 “ $C = C_{cs} + C_{el}$ ” に書き込まれていく。これにより、駆動トランジスタ 121 のドレイン電流は有機  $EL$  素子 127 の寄生容量  $C_{el}$  に流れ込み充電を開始する。その結果、駆動トランジスタ 121 のソース電位  $V_s$  は上昇していく。

#### 【0132】

図9のタイミングチャートでは、この上昇分を  $V$  で表してある。この上昇分、即ち移動度補正パラメータである電位補正值  $V$  は、閾値補正によって保持容量 120 に保持されるゲート・ソース間電圧 “ $V_{gs} = V_{in} + V_{th}$ ” から差し引かれることになり、“ $V_{gs} = V_{in} + V_{th} - V$ ” となるので、負帰還をかけたことになる。このとき、駆動トランジスタ 121 のソース電位  $V_s$  は、ゲート電位  $V_g (= V_{in})$  から保持容量に保持される電圧 “ $V_{gs} = V_{in} + V_{th} - V$ ” を差し引いた値 “ $-V_{th} + V$ ” となる。

#### 【0133】

このようにして、画素回路 10における駆動タイミングでは、書込み&移動度補正期間  $H$  において、信号振幅  $V_{in}$  のサンプリングと移動度  $\mu$  を補正する  $V$ （負帰還量、移動度補正パラメータ）の調整が行なわれる。書込走査部 104 は、書込み&移動度補正期間  $H$  の時間幅を調整可能であり、これにより保持容量 120 に対する駆動電流  $I_{ds}$  の負帰還量を最適化することができる。

#### 【0134】

電位補正值  $V$  は  $V = I_{ds} \cdot t / C_{el}$  である。この式から明らかなように、駆動トラ

ンジスタ 121 のドレイン・ソース間電流である駆動電流  $I_{ds}$  が大きい程、電位補正值  $V$  は大きくなる。逆に、駆動トランジスタ 121 の駆動電流  $I_{ds}$  が小さいとき、電位補正值  $V$  は小さくなる。このように、電位補正值  $V$  は駆動電流  $I_{ds}$  に応じて決まる。信号振幅  $V_{in}$  が大きいほど駆動電流  $I_{ds}$  は大きくなり、電位補正值  $V$  の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正を実現できる。その際、書込み & 移動度補正期間  $H$  は必ずしも一定である必要はなく、逆に駆動電流  $I_{ds}$  に応じて調整することが好ましい場合がある。例えば、駆動電流  $I_{ds}$  が大きい場合、移動度補正期間  $t$  は短めにし、逆に駆動電流  $I_{ds}$  が小さくなると、書込み & 移動度補正期間  $H$  は長めに設定するのがよい。

#### 【0135】

又、電位補正值  $V$  は、 $I_{ds} \cdot t / C_{el}$  であり、画素回路 10 ごとに移動度  $\mu$  のばらつきに起因して駆動電流  $I_{ds}$  がばらつく場合でも、それぞれに応じた電位補正值  $V$  となるので、画素回路 10 ごとの移動度  $\mu$  のばらつきを補正することができる。つまり、信号振幅  $V_{in}$  を一定とした場合、駆動トランジスタ 121 の移動度  $\mu$  が大きいほど電位補正值  $V$  の絶対値が大きくなる。換言すると、移動度  $\mu$  が大きいほど電位補正值  $V$  が大きくなるので、画素回路 10 ごとの移動度  $\mu$  のばらつきを取り除くことができる。

#### 【0136】

画素回路 10 はブートストラップ機能も備えている。即ち、書込走査部 104 は、保持容量 120 に信号振幅  $V_{in}$  の情報が保持された段階で書込走査線 104 WS に対する書込駆動パルス WS の印加を解除し（即ちインアクティブ L（ロー）にして）、サンプリングトランジスタ 125 を非導通状態にして駆動トランジスタ 121 のゲート端 G を映像信号線 106 HS から電氣的に切り離す（発光期間 I：図 9（G）を参照）。発光期間 I に進むと、水平駆動部 106 は、その後の適当な時点で映像信号線 106 HS の電位を基準電位（ $V_{ofs}$ ）に戻す。

#### 【0137】

有機 EL 素子 127 の発光状態を第（ $m + m' - 1$ ）番目の水平走査期間まで継続する。以上によって、第（ $n, m$ ）番目の副画素を構成する有機 EL 素子 127 の発光の動作が完了する。この後、次のフレーム（もしくはフィールド）に移って、再び、閾値補正準備動作、閾値補正動作、移動度補正動作、及び発光動作が繰り返される。

#### 【0138】

発光期間 I では、駆動トランジスタ 121 のゲート端 G は映像信号線 106 HS から切り離される。駆動トランジスタ 121 のゲート端 G への信号電位（ $V_{ofs} + V_{in}$ ）の印加が解除されるので、駆動トランジスタ 121 のゲート電位  $V_g$  は上昇可能となる。駆動トランジスタ 121 のゲート端 G とソース端 S と間には保持容量 120 が接続されており、その保持容量 120 による効果によって、ブートストラップ動作が行なわれる。ブートストラップゲインが 1（理想値）であると仮定した場合、駆動トランジスタ 121 のソース電位  $V_s$  の変動にゲート電位  $V_g$  が連動するようになり、ゲート・ソース間電圧  $V_{gs}$  を一定に維持することができる。このとき、駆動トランジスタ 121 に流れる駆動電流  $I_{ds}$  は有機 EL 素子 127 に流れ、有機 EL 素子 127 のアノード電位は駆動電流  $I_{ds}$  に応じて上昇する。この上昇分を  $V_{el}$  とする。やがて、ソース電位  $V_s$  の上昇に伴い、有機 EL 素子 127 の逆バイアス状態は解消されるので、駆動電流  $I_{ds}$  の流入により有機 EL 素子 127 は実際に発光を開始する。

#### 【0139】

ここで、駆動電流  $I_{ds}$  対ゲート電圧  $V_{gs}$  の関係は、先のトランジスタ特性を表した式（1）に “ $V_{sig} + V_{th} - V$ ” 或いは “ $V_{in} + V_{th} - V$ ” を代入することで、式（5A）或いは式（5B）（両式を纏めて式（5）と記す）のように表すことができる。

#### 【0140】

$$I_{ds} = k \cdot \mu \cdot (V_{sig} - V_{ofs} - V)^2 \quad (5A)$$

$$I_{ds} = k \cdot \mu \cdot (V_{in} - V_{ofs} - V)^2 \quad (5B)$$

#### 【0141】

10

20

30

40

50

この式(5)から、閾値電圧 $V_{th}$ の項がキャンセルされており、有機EL素子127に供給される駆動電流 $I_{ds}$ は駆動トランジスタ121の閾値電圧 $V_{th}$ に依存しないことが分かる。即ち、有機EL素子127を流れる電流 $I_{ds}$ は、例えば、 $V_{ofs}$ を0ボルトに設定したとした場合、有機EL素子127における輝度を制御するための映像信号 $V_{sig}$ の値から、駆動トランジスタ121の移動度 $\mu$ に起因した第2ノードND<sub>2</sub>(駆動トランジスタ121のソース端)における電位補正值 $V$ の値を減じた値の2乗に比例する。換言すると、有機EL素子127を流れる電流 $I_{ds}$ は、有機EL素子127の閾値電圧 $V_{thEL}$ 及び駆動トランジスタ121の閾値電圧 $V_{th}$ には依存しない。即ち、有機EL素子127の発光量(輝度)は、有機EL素子127の閾値電圧 $V_{thEL}$ の影響及び駆動トランジスタ121の閾値電圧 $V_{th}$ の影響を受けない。そして、第(n, m)番目の有機EL素子127の輝度は、電流 $I_{ds}$ に対応した値である。

10

#### 【0142】

しかも、移動度 $\mu$ の大きな駆動トランジスタ121ほど、電位補正值 $V$ が大きくなるので、ゲート・ソース間電圧 $V_{gs}$ の値が小さくなる。したがって、式(5)において、移動度 $\mu$ の値が大きくとも、 $(V_{sig} - V_{ofs} - V)^2$ の値が小さくなる結果、ドレイン電流 $I_{ds}$ を補正することができる。即ち、移動度 $\mu$ の異なる駆動トランジスタ121においても、映像信号 $V_{sig}$ の値が同じであれば、ドレイン電流 $I_{ds}$ が略同じとなる結果、有機EL素子127を流れ、有機EL素子127の輝度を制御する電流 $I_{ds}$ が均一化される。即ち、移動度 $\mu$ のばらつき(更には、 $k$ のばらつき)に起因する有機EL素子127の輝度のばらつきを補正することができる。

20

#### 【0143】

又、駆動トランジスタ121のゲート端Gとソース端Sと間には保持容量120が接続されており、その保持容量120による効果により、発光期間の最初でブートストラップ動作が行なわれ、駆動トランジスタ121のゲート・ソース間電圧“ $V_{gs} = V_{in} + V_{th} - V$ ”を一定に維持したまま、駆動トランジスタ121のゲート電位 $V_g$ 及びソース電位 $V_s$ が上昇する。駆動トランジスタ121のソース電位 $V_s$ が“ $-V_{th} + V + V_{el}$ ”となることで、ゲート電位 $V_g$ は“ $V_{in} + V_{el}$ ”となる。このとき、駆動トランジスタ121のゲート・ソース間電圧 $V_{gs}$ は一定であるので、駆動トランジスタ121は、一定電流(駆動電流 $I_{ds}$ )を有機EL素子127に流す。その結果、有機EL素子127のアノード端Aの電位(=ノードND122の電位)は、有機EL素子127に飽和状態での駆動電流 $I_{ds}$ という電流が流れ得る電圧まで上昇する。

30

#### 【0144】

ここで、有機EL素子127は、発光時間が長くなるとそのI-V特性が変化してしまう。そのため、時間の経過とともに、ノードND122の電位も変化する。しかしながら、このような有機EL素子127の経時劣化によりそのアノード電位が変動しても、保持容量120に保持されたゲート・ソース間電圧 $V_{gs}$ は常に“ $V_{in} + V_{th} - V$ ”で一定に維持される。駆動トランジスタ121が定電流源として動作することから、有機EL素子127のI-V特性が経時変化し、これに伴って駆動トランジスタ121のソース電位 $V_s$ が変化したとしても、保持容量120によって駆動トランジスタ121のゲート・ソース間電位 $V_{gs}$ が一定(“ $V_{in} + V_{th} - V$ ”)に保たれているため、有機EL素子127に流れる電流は変わらず、したがって有機EL素子127の発光輝度も一定に保たれる。実際にはブートストラップゲインは「1」よりも小さいので、ゲート・ソース間電位 $V_{gs}$ は“ $V_{in} + V_{th} - V$ ”よりも小さくなるが、そのブートストラップゲインに応じたゲート・ソース間電位 $V_{gs}$ に保たれることには変わりがない。

40

#### 【0145】

以上のように、比較例及び実施例1の画素回路10は、駆動タイミングを工夫することで、閾値補正回路や移動度補正回路が自動的に構成され、駆動トランジスタ121の特性ばらつき(本例では閾値電圧 $V_{th}$ 及びキャリア移動度 $\mu$ のばらつき)による駆動電流 $I_{ds}$ に与える影響を防ぐために、閾値電圧 $V_{th}$ 及びキャリア移動度 $\mu$ による影響を補正して駆動電流を一定に維持する駆動信号一定化回路として機能するようになっている。ブートス

50

トラップ動作だけでなく、閾値補正動作と移動度補正動作とを実行しているため、ブートストラップ動作で維持されるゲート・ソース間電圧  $V_{gs}$  は、閾値電圧  $V_{th}$  に相当する電圧と移動度補正用の電位補正值  $V$  とによって調整されているため、有機 EL 素子 127 の発光輝度は駆動トランジスタ 121 の閾値電圧  $V_{th}$  や移動度  $\mu$  のばらつきの影響を受けることがないし、有機 EL 素子 127 の経時劣化の影響も受けない。入力される映像信号  $V_{sig}$  (信号振幅  $V_{in}$ ) に対応する安定した階調で表示でき、高画質の画像を得ることができる。

#### 【0146】

又、画素回路 10 は、 $n$  チャネル型の駆動トランジスタ 121 を用いたソースフォロア回路によって構成することができるために、現状のアノード・カソード電極の有機 EL 素子をそのまま用いても、有機 EL 素子 127 の駆動が可能になる。又、駆動トランジスタ 121 及びその周辺部のサンプリングトランジスタ 125 等も含めて  $n$  チャネル型のみのトランジスタを用いて画素回路 10 を構成することができ、トランジスタ作製においても低コスト化が図れる。

#### 【0147】

##### [表示むら現象の発生原因]

前述のように、図 9 に示した駆動タイミングでは、電位補正值  $V$  は  $V = I_{ds} \cdot t / C_{el}$  である。この式から明らかなように、駆動トランジスタ 121 のドレイン・ソース間電流である駆動電流  $I_{ds}$  が大きい程、電位補正值  $V$  は大きくなる。逆に、駆動トランジスタ 121 の駆動電流  $I_{ds}$  が小さいとき、電位補正值  $V$  は小さくなる。このように、電位補正值  $V$  は駆動電流  $I_{ds}$  に応じて決まる。信号振幅  $V_{in}$  が大きいほど駆動電流  $I_{ds}$  は大きくなり、電位補正值  $V$  の絶対値も大きくなる。したがって、発光輝度レベルに応じた移動度補正を実現できる。その際、書込み & 移動度補正期間  $H$  は必ずしも一定である必要はなく、逆に駆動電流  $I_{ds}$  に応じて調整することが好ましい場合がある。例えば、駆動電流  $I_{ds}$  が大きい場合、移動度補正期間  $t$  は短めにし、逆に駆動電流  $I_{ds}$  が小さくなると、書込み & 移動度補正期間  $H$  は長めに設定するのがよい。

#### 【0148】

移動度補正は、前述の通り、映像信号  $V_{sig}$  と対応する駆動電圧を保持容量 120 に書き込みつつ駆動トランジスタ 121 を介して保持容量 120 に電流を供給する処理である。この移動度補正では、前述の通り映像信号  $V_{sig}$  を書き込みながら駆動トランジスタ 121 に電流を流しソース電位  $V_s$  (第 2 ノードの電位) を上昇させるが、ソース電位  $V_s$  が有機 EL 素子 127 (の発光部 ELP) の閾値電圧  $V_{thEL}$  まで到達してしまい、有機 EL 素子 127 がターンオン (turn on) している状態になる場合がある。これにより駆動トランジスタ 121 の移動度  $\mu$  を反映したソース電位  $V_s$  の上昇が妨げられ、補正動作が正常に行なわれず、ユニフォミティ劣化の原因となる。例えば、移動度  $\mu$  が過度に大きい (高い) 駆動トランジスタ 121 を使用すると、移動度補正がかかり過ぎ、発光直前のゲート・ソース間電圧  $V_{gs}$  のつぶれが生じ、著しい輝度低下やユニフォミティの低下が発生する。この弊害を抑制するべく、例えば移動度補正パルスを狭幅にすることが必要になる。ところが、実際には、狭幅の移動度補正パルスにして動作させることは、回路構成や遅延その他の面から、パルス幅の設定・管理が困難である。例えば、MOSFET では移動度  $\mu$  が高いため、移動度補正がかかり過ぎ、輝度が低下しないよう移動度補正パルスを数ナノ秒程度にしなければならない。このような狭パルスの制御は困難である。この点を踏まえると、移動度補正パルスを狭幅にせず (現状をほぼ維持して)、解決することが望ましい。

#### 【0149】

##### [表示むら現象の対策手法]

図 11 は、移動度補正期間中の有機 EL 素子 127 のターンオン現象に起因する表示むら対策に着目した実施例 1 の画素回路の駆動方法を説明するタイミングチャートである。因みに、図示した例は、第 1 ノードであるノード ND 121 への初期化動作 (初期化期間  $D$ ) は 1 回のみであり、又、閾値補正動作を 3 回繰り返す事例である。

## 【0150】

本実施形態では、移動度補正期間中の電気光学素子のターンオン現象に起因する表示むら現象を、「移動度補正と対応した一定期間」に電気光学素子の電流路を遮断することで解決する手法をとる。このように構成することで、移動度補正パルスを狭幅にせず（現状をほぼ維持して）、移動度補正期間中に、第2ノードの電位変化によって電気光学素子がターンオンするのを防止することができる。「移動度補正と対応した一定期間」は、概ね「移動度補正期間」に電気光学素子の電流路を遮断することで電気光学素子のターンオンを防止させるものであればよく、多少のずれがあってもよい。つまり、移動度補正時に電気光学素子がターンオンしないようにすればよいので、移動度補正時に電気光学素子に電流を一切流さなければよい、或いは、流したとしても、ターンオンする前に中断すればよく、移動度補正時に電気光学素子がターンオンしない範囲である限り、移動度補正期間中の多少の期間は、電気光学素子に電流が流れてもよい。

10

## 【0151】

例えば、実施例1では、「移動度補正と対応した一定期間」にノードND122（第2ノード）と有機EL素子127のアノード端A（電気光学素子の一端）との電氣的な接続を遮断することで解決する手法をとる。このように構成することで、移動度補正期間中のノードND122の電位変化を有機EL素子127のアノード端Aに伝達されないようにすることができ、移動度補正中の有機EL素子127のターンオンを防止することができる。例えば、図6及び図7に示したように、実施例1の画素回路10Aは、駆動トランジスタ121のソース端（ND122：第2ノード）と有機EL素子127の一端（図ではアノード端A）との間に電流路制御トランジスタ612を設け、その制御入力端に書込駆動パルスWSをインバータ616により論理反転した制御パルスNDSを供給している。実施例1では、「移動度補正と対応した一定期間」は移動度補正期間と「ずれ」が殆どない形態であり、移動度補正開始とほぼ同時にノードND122と有機EL素子127のアノード端Aとの電氣的な接続を遮断することができ、又、その後の発光期間Iの開始（移動度補正終了）とほぼ同時にノードND122と有機EL素子127のアノード端Aとを電氣的に接続することができる。

20

## 【0152】

書込駆動パルスWSをアクティブHにしてサンプリングトランジスタ125をオン状態として映像信号 $V_{sig}$ と対応する駆動電圧を保持容量120に書き込みつつ駆動トランジスタ121を介して保持容量120に電流を供給する処理である移動度補正処理の期間には、制御パルスNDSがLレベルであり電流路制御トランジスタ612はオフ状態である。このため、移動度補正期間（図は書込み&移動度補正期間H）中には、ソース電位 $V_s$ （第2ノードの電位）が上昇しても、有機EL素子127がターンオンしている状態になることはなく、移動度補正が不適正になりユニフォミティ劣化の原因となるという現象を解消することができる。

30

## 【0153】

因みに、電流路制御トランジスタ612をオン状態とする直前のノードND122の電位（ソース電位 $V_s$ ）と有機EL素子127のアノード端Aの電位とが異なる場合には、電流路制御トランジスタ612をオン状態とした接続直後にはノードND122（つまり有機EL素子127のアノード端A）の電位（ソース電位 $V_s$ ）及びノードND121の電位（ゲート電位 $V_g$ ）が少し低下するが、通常は問題はない。

40

## 【実施例2】

## 【0154】

図12～図13は、実施例2の画素回路10Bと、当該画素回路10Bを備えた表示装置の一形態を示す図である。実施例2の画素回路10Bを画素アレイ部102に備える表示装置を実施例2の表示装置1Bと称する。図12は基本構成（1画素分）を示し、図13は具体的な構成（表示装置の全体）を示す。因みに、図13は図7に対する変形例で示しているが、図8に対しても同様の変形が可能である。

## 【0155】

50

実施例 2 では、画素回路 10B ごとに、有機 EL 素子 127 の寄生容量  $C_{e1}$  と等価な補助容量がノード ND 122 に接続されている。詳しくは、図 12 及び図 13 に示すように、画素回路 10B は、駆動トランジスタ 121 のソース端（ノード ND 122）と電源供給線 105DSL との間に補助容量 614 を有する。図示しないが、補助容量 614 は、駆動トランジスタ 121 のソース端（ノード ND 122）とカソード配線 cath その他の基準電位点との間に設けてもよい。図示しないが、補助容量 614 の接続効果（つまり補助容量 614 への電流路）を必要に応じて遮断可能なスイッチトランジスタを設けてもよい。例えば、図中の SW のように、補助容量 614 と電源供給線 105DSL 或いはカソード配線 cath その他の基準電位点との接続を必要に応じて遮断可能に構成すればよい。「必要に応じて」とは、電流路制御トランジスタ 612 がオン状態と対応する一定期間（好ましくは同一期間）を意味する。補助容量 614 の静電容量  $C_{sub}$  は、有機 EL 素子 127（の発光部 ELP）の寄生容量  $C_{e1}$  の静電容量  $C_{e1}$  とほぼ同じ値であるとよい。

#### 【0156】

実施例 1 の場合、電流路制御トランジスタ 612 がオフ状態の期間は、有機 EL 素子 127（の発光部 ELP）の寄生容量  $C_{e1}$  がノード ND 122 から電氣的に切り離される。このため、ノード ND 122 の電位変化が有機 EL 素子 127 のアノード端 A に印加されず、有機 EL 素子 127 がターンオン状態となることを防止できる。その反面、駆動トランジスタ 121 からの電流が全て保持容量 120 側の充電電流となるので、電流路制御トランジスタ 612 が存在しないときと比べて、移動度補正期間や閾値補正期間の動作状態が異なる。実施例 2 では、この点を勘案して、電流路制御トランジスタ 612 がオフ状態の期間においても、移動度補正期間や閾値補正期間の動作状態が電流路制御トランジスタ 612 が存在しないときと概ね同じ状態となるように補助容量 614 を設け、好ましくはその静電容量  $C_{sub}$  が有機 EL 素子 127 の寄生容量  $C_{e1}$  の静電容量  $C_{e1}$  と概ね同じにする。図示した例では、電流路制御トランジスタ 612 がオン状態の期間にも補助容量 614 が接続されたままであるが、通常は特段の不都合はない。接続されたままでは不都合がある場合には、前述のように、電流路制御トランジスタ 612 がオン状態の期間に両者間の接続を遮断可能なスイッチトランジスタを設ければよい。

#### 【実施例 3】

#### 【0157】

図 14 ~ 図 16 は、実施例 3 の画素回路 10C と、当該画素回路 10C を備えた表示装置の一形態を示す図である。実施例 3 の画素回路 10C を画素アレイ部 102 に備える表示装置を実施例 3 の表示装置 1C と称する。図 14 は基本構成（1 画素分）を示し、図 15 は具体的な構成（表示装置の全体）を示す。因みに、図 15 は実施例 2 の図 13 に対する変形例で示しているが、実施例 1 の図 7 や図 8 に対しても同様の変形が可能である。図 16 は、移動度補正期間中の有機 EL 素子 127 のターンオン現象に起因する表示むら対策に着目した実施例 3 の画素回路の駆動方法を説明するタイミングチャートである。

#### 【0158】

図 14 及び図 15 に示すように、実施例 3 では、インバータ 616 を取り外し、電流路制御トランジスタ 612 を書込駆動パルス WS とは独立にオン / オフ制御する電流路制御走査部 611 を画素アレイ部 102 の外部に設けている。電流路制御走査部 611 と電流路制御トランジスタ 612 とにより、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理と連動して、表示部の電流路を遮断制御する制御部が構成される。

#### 【0159】

電流路制御走査部 611 は、「移動度補正と対応した一定期間」に有機 EL 素子 127（電気光学素子）の電流路を遮断するための制御パルス NDS を生成し、電流路制御走査線 612DS を介して同一行の電流路制御トランジスタ 612 の制御入力端に共通に制御パルス NDS を供給する。「移動度補正と対応した一定期間」は換言すると、「映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理と対応した一定期間」である。



## 【 0 1 6 0 】

実施例 1 及び実施例 2 では、インバータ 6 1 6 により書込駆動パルス WS を論理反転して制御パルス N D S を生成する、或いは図示しなかったが p チャネル型の電流路制御トランジスタ 6 1 2 を用いる場合であれば書込駆動パルス WS を制御パルス N D S そのものとして使用する、制御パルス N D S のタイミング設定には自由度がない。そのため、電流路制御トランジスタ 6 1 2 のオン / オフ動作はほぼサンプリングトランジスタ 1 2 5 のオン / オフ動作と相補動作となり、有機 E L 素子 1 2 7 の電流路が書込駆動パルスと連動して開閉制御される。これに対して、実施例 3 では、書込駆動パルス WS とは独立に制御パルス N D S を生成できるので、制御パルス N D S のタイミング設定に自由度があり、有機 E L 素子 1 2 7 の電流路を書込駆動パルスと独立に開閉制御可能である。例えば、図 1 6 に示すように、閾値補正期間 E には制御パルス N D S を H 状態とし、移動補正期間（この例では書込み & 移動度補正期間 H）にのみ L 状態にすることもできる。実施例 1 及び実施例 2 では、閾値補正期間 E の終了時に電流路制御トランジスタ 6 1 2 をオン状態とすると、その直前のソース電位  $V_s$  と有機 E L 素子 1 2 7 のアノード端 A の電位とが異なるので、追加した電流路制御トランジスタ 6 1 2 がオンした瞬間には、ゲート電位  $V_g$  及びソース電位  $V_s$  が変化する。これに対して、実施例 3 では、閾値補正期間 E にも電流路制御トランジスタ 6 1 2 がオン状態であるので、電流路制御トランジスタ 6 1 2 を設けたことが閾値補正処理に与える影響を完全に排除することができる。

10

## 【 0 1 6 1 】

又、図 1 6 に破線で示すように、書込み & 移動度補正期間 H の前半には制御パルス N D S を H 状態に維持し、後半にのみ制御パルス N D S を L 状態にすることも可能である。この場合、書込み & 移動度補正期間 H の前半で有機 E L 素子 1 2 7 のアノード端 A の電位をターンオンしない程度にまで上昇させておくことができ、電流路制御トランジスタ 6 1 2 をオン状態とする直前のノード N D 1 2 2 の電位（ソース電位  $V_s$ ）と有機 E L 素子 1 2 7 のアノード端 A の電位との差を小さくすることができる。書込み & 移動度補正期間 H の前半にのみ制御パルス N D S を L 状態にし、後半には制御パルス N D S を H 状態にする場合でも同様である。そのため、電流路制御トランジスタ 6 1 2 をオン状態とした接続直後にのノード N D 1 2 2（つまり有機 E L 素子 1 2 7 のアノード端 A）の電位（ソース電位  $V_s$ ）及びノード N D 1 2 1 の電位（ゲート電位  $V_g$ ）の変化を実施例 1 及び実施例 2 よりも小さくすることができる。

20

30

## 【 実施例 4 】

## 【 0 1 6 2 】

図 1 7 は実施例 4 を説明する図である。実施例 4 は、前述の移動度補正期間中の有機 E L 素子 1 2 7 のターンオン現象に起因する表示むらを抑制・解消する技術が適用された表示装置を搭載した電子機器についての事例である。本実施形態の表示むら抑制処理は、ゲーム機、電子ブック、電子辞書、携帯電話機等の各種の電子機器に使用される電流駆動型の表示素子を具備した表示装置に適用することができる。

## 【 0 1 6 3 】

例えば、図 1 7（A）は、電子機器 7 0 0 が、画像表示装置の一例である表示モジュール 7 0 4 を利用したテレビジョン受像機 7 0 2 の場合の外観例を示す斜視図である。テレビジョン受像機 7 0 2 は、台座 7 0 6 に支持されたフロントパネル 7 0 3 の正面に表示モジュール 7 0 4 を配置した構造となっており、表示面にはフィルターガラス 7 0 5 が設けられている。図 1 7（B）は、電子機器 7 0 0 がデジタルカメラ 7 1 2 の場合の外観例を示す図である。デジタルカメラ 7 1 2 は、表示モジュール 7 1 4、コントロールスイッチ 7 1 6、シャッターボタン 7 1 7、その他を含んでいる。図 1 7（C）は、電子機器 7 0 0 がビデオカメラ 7 2 2 の場合の外観例を示す図である。ビデオカメラ 7 2 2 は、本体 7 2 3 の前方に被写体を撮像する撮像レンズ 7 2 5 が設けられ、更に、表示モジュール 7 2 4 や撮影のスタート / ストップスイッチ 7 2 6 等が配置されている。図 1 7（D）は、電子機器 7 0 0 がコンピュータ 7 3 2 の場合の外観例を示す図である。コンピュータ 7 3 2 は、下型筐体 7 3 3 a、上側筐体 7 3 3 b、表示モジュール 7 3 4、Web カメラ 7 3 5

40

50

、キーボード 736 等を含んでいる。図 17 (E) は、電子機器 700 が携帯電話機 742 の場合の外観例を示す図である。携帯電話機 742 は、折り畳み式であり、上側筐体 743a、下側筐体 743b、表示モジュール 744a、サブディスプレイ 744b、カメラ 745、連結部 746 (この例ではヒンジ部)、ピクチャーライト 747 等を含んでいる。

#### 【0164】

ここで、表示モジュール 704、表示モジュール 714、表示モジュール 724、表示モジュール 734、表示モジュール 744a、サブディスプレイ 744b は、本実施形態による表示装置を用いることにより作製される。これにより、各電子機器 700 は、駆動トランジスタの閾値電圧や移動度のばらつき (更には、k のばらつき) に起因する輝度ばらつきを補正することができるだけでなく、移動度補正期間中の有機 EL 素子 127 のターンオン現象に起因する表示むらを抑制・解消することができ、高画質の表示を行なうことができる。

#### 【0165】

以上、本明細書で開示する技術について実施形態を用いて説明したが、請求項の記載内容の技術的範囲は前記実施形態に記載の範囲には限定されない。本明細書で開示する技術の要旨を逸脱しない範囲で前記実施形態に多様な変更または改良を加えることができ、そのような変更または改良を加えた形態も本明細書で開示する技術の技術的範囲に含まれる。前記の実施形態は、請求項に係る技術を限定するものではなく、実施形態の中で説明されている特徴の組合せの全てが、本明細書で開示する技術が対象とする課題の解決手段に必須であるとは限らない。前述した実施形態には種々の段階の技術が含まれており、開示される複数の構成要件における適宜の組合せにより種々の技術を抽出できる。実施形態に示される全構成要件から幾つかの構成要件が削除されても、本明細書で開示する技術が対象とする課題と対応した効果が得られる限りにおいて、この幾つかの構成要件が削除された構成も、本明細書で開示する技術として抽出され得る。

#### 【0166】

例えば、実施例 1 ~ 実施例 3 では、電流路制御トランジスタ 612 として n チャネル型のトランジスタを使用していたが、このことは必須ではなく、p チャネル型のトランジスタを使用することも可能であり、この場合は、書込駆動パルス WS と同極性の制御パルスをその p チャネル型のトランジスタの制御入力端に供給すればよい。

#### 【0167】

実施例 1 ~ 実施例 3 では、電流路制御トランジスタ 612 をノード ND122 と有機 EL 素子 127 のアノード端 A との間に設けていたが、このことは必須ではなく、「移動度補正と対応した一定期間」に有機 EL 素子 127 の電流路の開閉を制御可能である限り、その他の構成であってもよい。例えば、図示しないが、電流路制御トランジスタ 612 を有機 EL 素子 127 のカソード端 K とカソード配線 cath との間に設けてもよい。

#### 【0168】

或いは又、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理 (移動度補正処理と対応する) を行なう際に電気光学素子がターンオンしてしまうことに起因する表示むらを抑制すると云う点においては、少なくとも当該処理の期間に電気光学素子がターンオンすることを防止するように制御可能に構成されていればよく、その限りにおいて、様々な構成をとることができる。その対処のため、実施例 3 のように、画素回路の外部に設けられる制御部 109 (前例では電流路制御走査部 611) による画素回路 10 の制御タイミングの工夫によって実現することは必須でなく、実施例 1 や実施例 2 のように、その対処のための回路要素を画素回路内に備えていてもよい。即ち、映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理と連動して、電気光学素子の電流路を遮断する電流路遮断制御部を、画素回路ごとに設けてもよい。

#### 【0169】

或いは又、実施例 3 のように、画素回路 10 の外部に独立の電流路制御走査部 611 を

設けずに、他の走査部が出力する駆動パルスを利用して論理回路により制御パルス N D S を生成し、制御パルス N D S により電流路制御トランジスタ 6 1 2 を制御してもよい。

【 0 1 7 0 】

映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して電気光学素子の電流路を遮断するための電子部材として電流路制御トランジスタ 6 1 2 を電流路制御トランジスタとして使用したが、その他のスイッチ部材を使用してもよい。トランジスタを n チャネルと p チャネルで入れ替え、それに合わせて、電源や信号の極性を逆転させる等した相補型の構成にできることは云うまでもない。

【 0 1 7 1 】

前記実施形態の記載を踏まえれば、特許請求の範囲に記載の請求項に係る技術は一例であり、例えば、以下の技術が抽出される。以下列記する。

[ 付記 1 ]

表示部と、

保持容量と、

映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタと、

保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタ、

とを備え、

映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御可能に構成されている

画素回路。

[ 付記 2 ]

書込トランジスタを介して映像信号を駆動トランジスタの制御入力端及び保持容量の一端に供給しつつ駆動トランジスタを介して保持容量に電流を供給する処理と対応した一定期間、表示部の電流路を遮断するように制御する

付記 1 に記載の画素回路。

[ 付記 3 ]

表示部の電流路の開閉を制御可能な電流路制御トランジスタを有する

付記 1 又は付記 2 に記載の画素回路。

[ 付記 4 ]

電流路制御トランジスタは、書込トランジスタを制御する書込駆動パルスと連動して制御される

付記 3 に記載の画素回路。

[ 付記 5 ]

電流路制御トランジスタは、書込トランジスタを制御する書込駆動パルスと独立して制御される

付記 3 に記載の画素回路。

[ 付記 6 ]

保持容量の他端と駆動トランジスタの一方の主電極端との接続点には、補助容量の一端が接続されており、

補助容量の他端は、所定の基準電位点に接続されている

付記 1 乃至付記 5 の何れか 1 項に記載の画素回路。

[ 付記 7 ]

補助容量のキャパシタンスは、表示部の寄生容量のキャパシタンスとほぼ同じ値である

付記 6 に記載の画素回路。

[ 付記 8 ]

補助容量の接続は、映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して遮断可能に構成されている

付記 6 又は付記 7 に記載の画素回路。

[ 付記 9 ]

書込トランジスタを介して映像信号を駆動トランジスタの制御入力端及び保持容量の一

10

20

30

40

50

端に供給しつつ駆動トランジスタを介して保持容量に電流を供給する処理は、駆動トランジスタの移動度を補正する移動度補正処理に使用される

付記 1 乃至付記 8 の何れか 1 項に記載の画素回路。

[ 付記 1 0 ]

駆動トランジスタの閾値電圧の補正処理後に、駆動トランジスタを介して保持容量に電流を供給する処理を行なう

付記 1 乃至付記 9 の何れか 1 項に記載の画素回路。

[ 付記 1 1 ]

閾値電圧の補正処理時には、表示部の電流路を遮断しない

付記 1 0 に記載の画素回路。

10

[ 付記 1 2 ]

表示部が配列された画素部を備え、

特性制御部は、表示部ごとに、駆動トランジスタの特性を制御する

付記 1 乃至付記 1 1 の何れか 1 項に記載の画素回路。

[ 付記 1 3 ]

画素部は、表示部が 2 次元マトリクス状に配列されている

付記 1 2 に記載の画素回路。

[ 付記 1 4 ]

映像信号と対応する駆動電圧を保持容量に書き込みつつ駆動トランジスタを介して保持容量に電流を供給する処理と連動して、表示部の電流路を遮断制御する制御部、

20

を備えている付記 1 乃至付記 1 3 の何れか 1 項に記載の画素回路。

[ 付記 1 5 ]

表示部は自発光型である

付記 1 乃至付記 1 4 の何れか 1 項に記載の画素回路。

[ 付記 1 6 ]

表示部は有機エレクトロルミネッセンス発光部を有する

付記 1 5 に記載の画素回路。

[ 付記 1 7 ]

表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備した表示素子が配列されており、更に、

30

映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御可能な制御部、

を備えた表示装置。

[ 付記 1 8 ]

表示部の電流路の開閉を制御可能な電流路制御トランジスタが表示素子ごとに設けられており、更に、

電流路制御トランジスタをオン / オフ制御する電流路制御走査部を有する

付記 1 7 に記載の表示装置。

[ 付記 1 9 ]

40

表示部、保持容量、映像信号と対応する駆動電圧を保持容量に書き込む書込トランジスタ、及び、保持容量に書き込まれた駆動電圧に基づいて表示部を駆動する駆動トランジスタを具備した表示素子が配列されており、更に、

画素部に供給される映像信号を生成する信号生成部と、

映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開閉を制御可能な制御部、

とを備えた電子機器。

[ 付記 2 0 ]

表示部を駆動する駆動トランジスタを備えた画素回路を駆動する方法であって、

映像信号と対応する駆動電圧を保持容量に書き込む処理と連動して表示部の電流路の開

50

閉を制御する

画素回路の駆動方法。

【符号の説明】

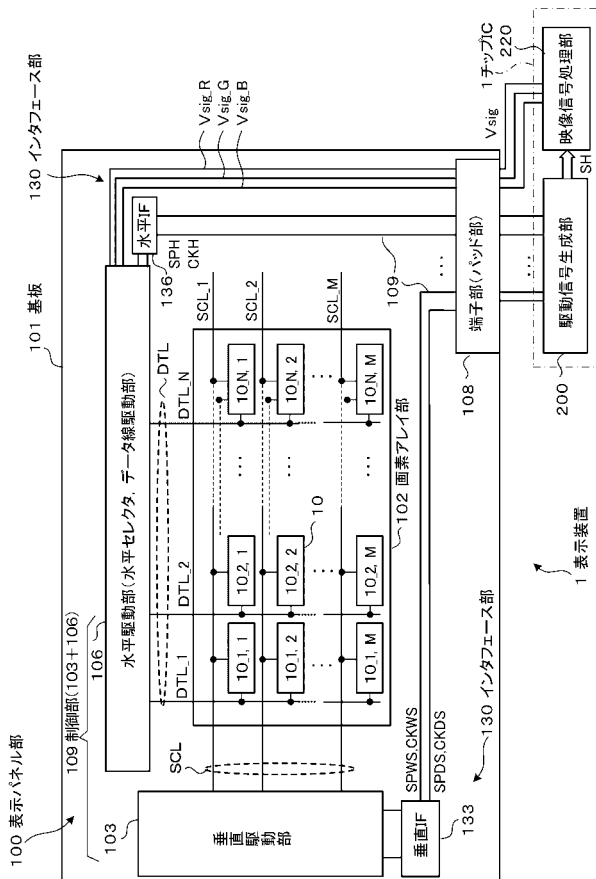
【0172】

1...表示装置、10...画素回路、11...発光素子、100...表示パネル部、101...基板、102...画素アレイ部、103...垂直駆動部、104...書込走査部、105...駆動走査部、106...水平駆動部、120...保持容量、121...駆動トランジスタ、125...サンプリングトランジスタ(書込トランジスタ)、127...有機EL素子、130...インタフェース部、200...駆動信号生成部、220...映像信号処理部、611...電流路制御走査部、612...電流路制御トランジスタ612、614...補助容量、616...インバータ、700...電子機器

10

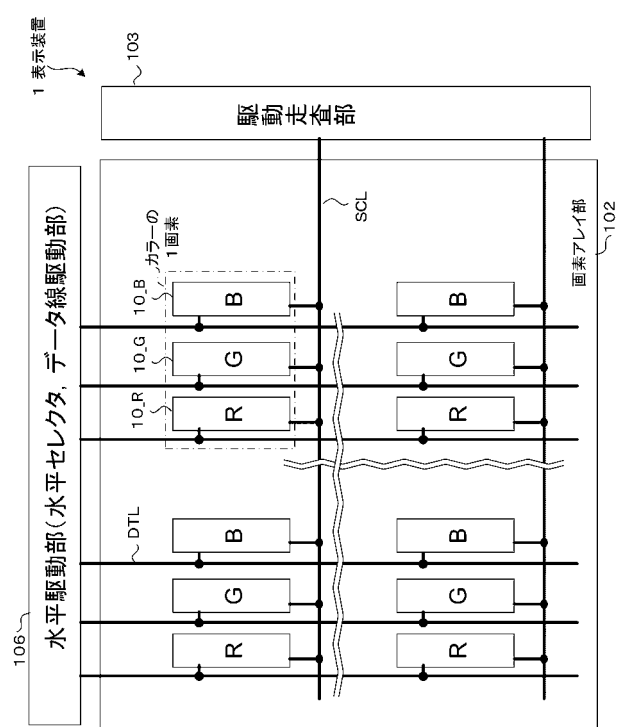
【図1】

【図1】



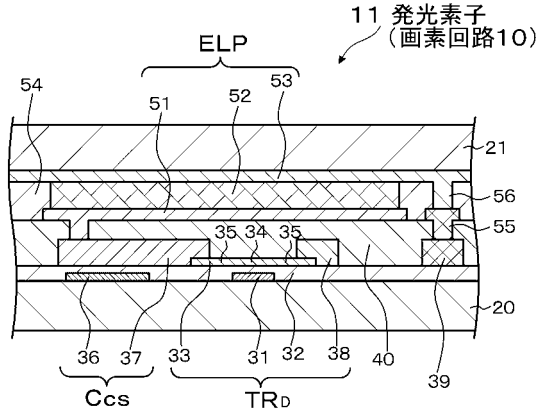
【図2】

【図2】



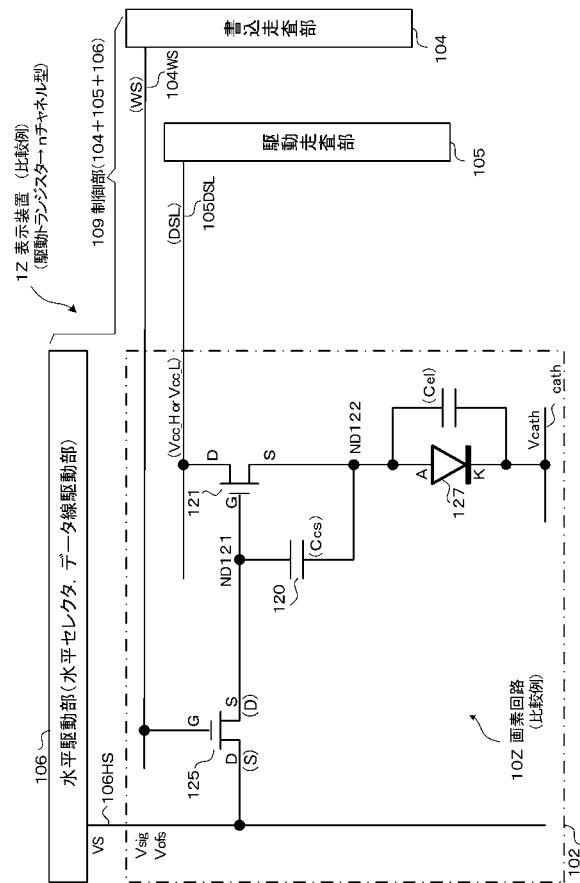
【 図 3 】

[図3]



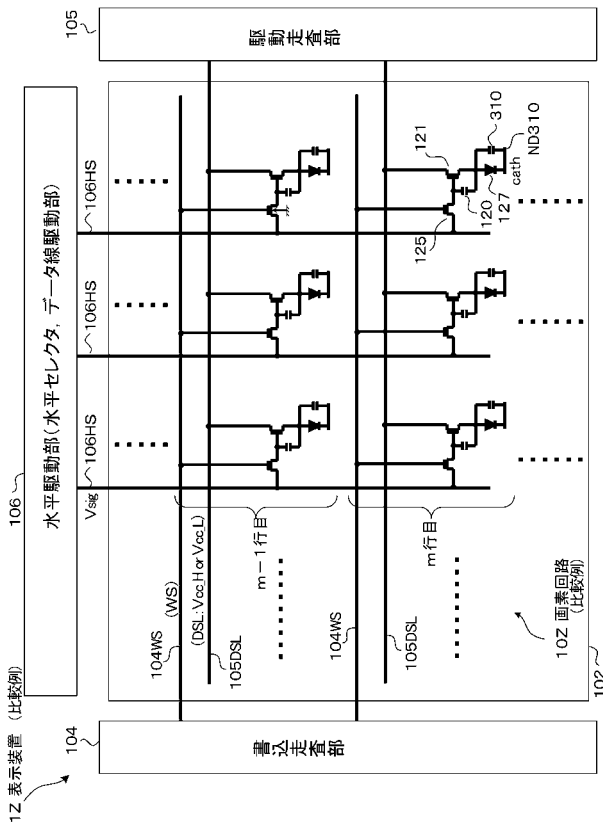
【 図 4 】

[ 図4 ]



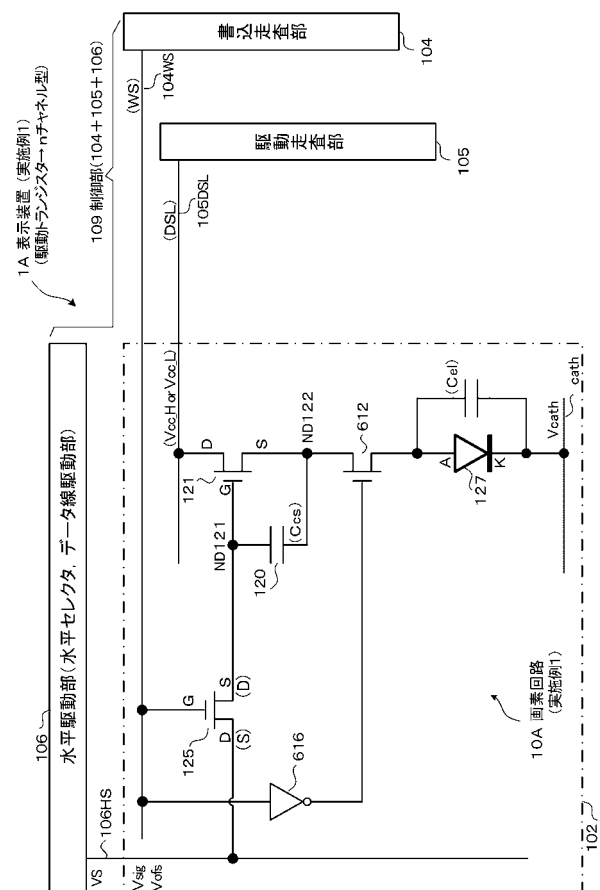
【 図 5 】

[図5]



【 図 6 】

[ 図6 ]











---

 フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 0 9 G 3/20 6 2 2 D	
	G 0 9 G 3/20 6 4 1 P	
	H 0 5 B 33/14 A	

F ターム(参考)	3K107	AA01	BB01	CC33	EE03	HH04	HH05			
	5C080	AA06	BB05	CC03	DD05	EE29	EE30	FF07	FF11	HH09 JJ02
		JJ03	JJ04	KK42	KK43	KK47				
	5C380	AA01	AA02	AA03	AA10	AB06	AB18	AB34	AC07	AC08 AC09
		AC10	AC11	AC12	BA38	BA39	BB02	BC02	BD03	CA08 CA09
		CA12	CA48	CA49	CB01	CB11	CB12	CB26	CB27	CB31 CC02
		CC03	CC04	CC06	CC07	CC26	CC27	CC30	CC33	CC39 CC41
		CC52	CC63	CC71	CC80	CD012	CD013	CD023	CE19	CE21 CF07
		CF09	CF23	CF31	DA02	DA06	DA41	DA42	HA17	