



(12) 发明专利

(10) 授权公告号 CN 101034671 B

(45) 授权公告日 2010.12.08

(21) 申请号 200710080049.2

审查员 马圆

(22) 申请日 2007.03.02

(30) 优先权数据

60/778,732 2006.03.02 US

(73) 专利权人 沃特拉半导体公司

地址 美国加利福尼亚

(72) 发明人 游步东 马可·A·苏尼加

(74) 专利代理机构 北京律诚同业知识产权代理有限公司 11006

代理人 徐金国 梁挥

(51) Int. Cl.

H01L 21/336 (2006.01)

H01L 29/78 (2006.01)

(56) 对比文件

CN 1243948 A, 2000.02.09, 全文.

CN 1725508 A, 2006.01.25, 全文.

US 6876035 B2, 2005.04.05, 说明书 1-4 栏,

附图 1-2.

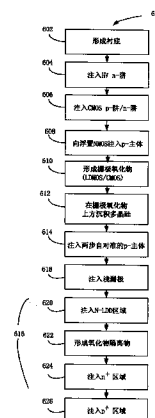
权利要求书 4 页 说明书 15 页 附图 30 页

(54) 发明名称

横向双扩散金属氧化物半导体场效应晶体管
及其制造方法

(57) 摘要

本发明公开了一种用于在衬底上使用兼容于所述 CMOS 工艺流程的工艺流程而单片地制造具有源极、漏极和栅极的横向双扩散 MOSFET (LDMOS) 晶体管的方法和系统。



1. 一种在衬底上制造具有源极区域、漏极区域和栅极区域的晶体管的方法,包括:
在所述衬底的表面注入高电压 n 掺杂的 n 阱;
在所述晶体管的源极区域和漏极区域之间形成栅极氧化物;
使用导电材料覆盖所述栅极氧化物;
在所述高电压 n 掺杂的 n 阱中,在所述晶体管的所述源极区域注入 p 掺杂的 p 主体;
仅在所述晶体管的所述源极区域注入 n 掺杂的轻度掺杂源极并使该 n 掺杂的轻度掺杂源极在部分所述栅极区域之下横向延伸;
在所述晶体管的所述源极区域注入第一 n 掺杂的 n^+ 区域,该第一 n 掺杂的 n^+ 区域与部分所述 n 掺杂的轻度掺杂源极重叠;
在所述晶体管的所述漏极区域注入第二 n 掺杂的 n^+ 区域;以及
在所述晶体管的所述源极区域注入 p 掺杂的 p^+ 区域,所述 p 掺杂的 p^+ 区域在所述第一 n 掺杂的 n^+ 区域远离所述栅极区域的一侧。
2. 根据权利要求 1 所述的方法,其特征在于,所述 n 掺杂的轻度掺杂源极在所述栅极氧化物之下延伸。
3. 根据权利要求 2 所述的方法,其特征在于,所述 n 掺杂的轻度掺杂源极相比于所述第一 n 掺杂的 n^+ 区域在所述栅极氧化物之下更进一步地横向地延伸。
4. 根据权利要求 1 所述的方法,其特征在于,还包括在注入所述 n 掺杂的轻度掺杂源极之后并且在注入所述第一 n 掺杂的 n^+ 区域和所述第二 n 掺杂的 n^+ 区域之前,在所述栅极氧化物的各侧上形成氧化物隔离物。
5. 根据权利要求 4 所述的方法,其特征在于,所述氧化物隔离物在形成所述第一 n 掺杂的 n^+ 区域和所述第二 n 掺杂的 n^+ 区域之前形成。
6. 根据权利要求 4 所述的方法,其特征在于,所述 n 掺杂的轻度掺杂源极在所述栅极氧化物形成之后形成。
7. 根据权利要求 1 所述的方法,其特征在于,所述第一 n 掺杂的 n^+ 区域和所述第二 n 掺杂的 n^+ 区域使用相同的掩模注入。
8. 根据权利要求 1 所述的方法,其特征在于,在所述源极区域中,所述 n 掺杂的轻度掺杂源极的表面面积、所述第一 n 掺杂的 n^+ 区域的表面面积和所述 p 掺杂的 p^+ 区域的表面面积位于所述 p 掺杂的 p 主体的表面面积之内。
9. 根据权利要求 1 所述的方法,其特征在于,所述 p 掺杂的 p 主体在形成所述栅极氧化物之后注入。
10. 根据权利要求 1 所述的方法,其特征在于,所述注入 p 掺杂的 p 主体包括:
第一注入以限制所述 p 掺杂的 p 主体的垂直深度;和
与所述第一注入分开的第二注入以控制所述晶体管的横向沟道长度。
11. 根据权利要求 10 所述的方法,其特征在于,所述第一注入为高能注入。
12. 根据权利要求 10 所述的方法,其特征在于,所述第一注入为大角度倾斜注入。
13. 根据权利要求 10 所述的方法,其特征在于,所述第一注入相比于所述第二注入更深。
14. 根据权利要求 10 所述的方法,其特征在于,限制所述 p 掺杂的 p 主体的垂直深度的所述第一注入以及控制所述晶体管的横向沟道长度的所述第二注入均发生在所述栅极氧

化物的形成之后。

15. 根据权利要求 1 所述的方法,其特征在于,所述 p 掺杂的 p 主体自对准于所述晶体管的所述栅极区域。

16. 根据权利要求 1 所述的方法,其特征在于,所述衬底为 n 型衬底。

17. 根据权利要求 1 所述的方法,其特征在于,形成所述栅极氧化物包括形成具有第一栅极区域和第二栅极区域的双栅极。

18. 根据权利要求 17 所述的方法,其特征在于,所述第一栅极区域为接收信号以激活所述晶体管的控制栅极,并且所述第二栅极区域为浮置栅极。

19. 根据权利要求 17 所述的方法,其特征在于,所述第一栅极区域包括第一导电层和第一氧化物层,并且所述第二栅极区域包括第二导电层和第二氧化物层。

20. 根据权利要求 19 所述的方法,其特征在于,所述第二氧化物层在厚度上大于所述第一氧化物层。

21. 根据权利要求 1 所述的方法,其特征在于,在所述晶体管的所述源极区域中注入 n 掺杂的轻度掺杂源极包括将所述 n 掺杂的轻度掺杂源极的表面面积与所述 p 掺杂的 p⁺ 区域的表面面积邻接。

22. 根据权利要求 19 所述的方法,其特征在于,所述第一栅极区域与所述第二栅极区域邻接。

23. 根据权利要求 17 所述的方法,其特征在于,所述 n 掺杂的轻度掺杂源极自对准于所述第一栅极区域并且未横向扩散到沿所述晶体管的表面测量的所述第二栅极区域中。

24. 根据权利要求 1 所述的方法,其特征在于,所述 n 掺杂的轻度掺杂源极与所述第一 n 掺杂的 n⁺ 区域使用单独的掩模分别注入。

25. 根据权利要求 1 所述的方法,其特征在于,形成所述漏极区域而不具有等效为轻度掺杂源极的轻度掺杂漏极,并且所述第二 n 掺杂的 n⁺ 区域自对准于所述晶体管的所述栅极。

26. 根据权利要求 1 所述的方法,其特征在于,还包括在所述晶体管的所述漏极区域中注入 n 掺杂的浅漏极。

27. 根据权利要求 26 所述的方法,其特征在于,在所述漏极区域中,所述第二 n 掺杂的 n⁺ 区域的表面面积完全位于所述 n 掺杂的浅漏极的表面面积之内。

28. 根据权利要求 26 所述的方法,其特征在于,所述 n 掺杂的浅漏极自对准于所述晶体管的所述栅极区域,并且在所述栅极氧化物的形成之后注入。

29. 根据权利要求 26 所述的方法,根据权利要求 1 所述的方法,其特征在于,所述 n 掺杂的轻度掺杂源极与所述第一 n 掺杂的 n⁺ 区域使用相同的掩模注入。

30. 一种晶体管,包括:

p 型衬底;

形成在所述 p 型衬底的表面面积中的高压 n 阱;

源极;

漏极,其包括第二 n 掺杂的 n⁺ 区域;和

栅极,其控制所述源极和漏极之间的耗尽区域,

其中所述源极包括:

在所述高压 n 阱中注入的 p 掺杂的 p 主体，

在所述 p 主体之内的 p 掺杂的 p^+ 区域，

在所述 p 主体之内并与所述 p^+ 区域邻接的第一 n 掺杂的 n^+ 区域，所述第一 n 掺杂的 n^+ 区域在所述 p 掺杂的 p^+ 区域更靠近所述栅极的一侧，以及

与所述第一 n 掺杂的 n^+ 区域重叠且在部分所述栅极之下横向延伸的 n 掺杂的轻度掺杂源极区域，

其中 n 掺杂的轻度掺杂源极只在源极中形成而不在漏极中形成。

31. 根据权利要求 30 所述的晶体管，其特征在于，所述漏极还包括 n 掺杂的浅漏极，所述第二 n 掺杂的 n^+ 区域位于所述 n 掺杂的浅漏极之内。

32. 根据权利要求 31 所述的晶体管，其特征在于，所述第二 n 掺杂的 n^+ 区域相比于所述 n 掺杂的浅漏极延伸得更深。

33. 根据权利要求 31 所述的晶体管，其特征在于，所述第二 n 掺杂的 n^+ 区域自对准于所述晶体管的所述栅极。

34. 根据权利要求 30 所述的晶体管，其特征在于，所述第一 n 掺杂的 n^+ 区域由所述 p 主体包围。

35. 根据权利要求 30 所述的晶体管，其特征在于，所述 p 主体深于所述 p^+ 区域、所述第一 n 掺杂的 n^+ 区域和所述 n 掺杂的轻度掺杂源极区域。

36. 根据权利要求 30 所述的晶体管，其特征在于，所述栅极包括位于所述源极和漏极之间的栅极氧化物，并且其中所述 n 掺杂的轻度掺杂源极区域在所述栅极氧化物之下延伸。

37. 根据权利要求 36 所述的晶体管，其特征在于，所述 n 掺杂的轻度掺杂源极区域相比于所述第一 n 掺杂的 n^+ 区域在所述栅极氧化物之下更进一步横向延伸。

38. 根据权利要求 36 所述的晶体管，其特征在于，所述漏极还包括 n 掺杂的浅漏极，所述第二 n 掺杂的 n^+ 区域位于所述 n 掺杂的浅漏极之内，所述 n 掺杂的浅漏极在所述栅极氧化物之下延伸。

39. 根据权利要求 38 所述的晶体管，其特征在于，所述 n 掺杂的浅漏极的外部边界相比于所述第二 n 掺杂的 n^+ 区域的外部边界在所述栅极氧化物之下更加朝向所述源极横向延伸。

40. 根据权利要求 30 所述的晶体管，其特征在于，所述 p 掺杂的 p 主体自对准于所述晶体管的所述栅极。

41. 根据权利要求 31 所述的晶体管，其特征在于，所述 n 掺杂的浅漏极自对准于所述晶体管的所述栅极。

42. 根据权利要求 36 所述的晶体管，其特征在于，所述栅极氧化物由导电材料覆盖。

43. 根据权利要求 30 所述的晶体管，其特征在于，所述 n 掺杂的轻度掺杂源极的外部边界对准于所述第一 n 掺杂的 n^+ 区域的外部边界。

44. 根据权利要求 30 所述的晶体管，其特征在于，所述 n 掺杂的轻度掺杂源极与所述 p^+ 区域相邻并邻接。

45. 一种在衬底上制造具有源极、漏极和栅极的晶体管的方法，包括：

在所述衬底的表面中注入具有第一体积和第一表面面积的第一杂质区域，该第一杂质

区域具有第一传导率类型；

在所述晶体管的源极区域和漏极区域之间形成栅极氧化物；

使用导电材料覆盖所述栅极氧化物；

仅在所述晶体管的所述源极区域中注入具有第二体积和位于第一表面面积中的第二表面面积的第二杂质区域，该第二杂质区域具有相对于第一传导率类型相反的第二传导率类型；

在所述晶体管的所述源极区域中注入位于第二表面面积中并且具有第三体积和第三表面面积的第三杂质区域以及具有第四体积和第四表面面积的第四杂质区域，所述第三杂质区域具有第一传导率类型，而所述第四杂质区域具有相反的第二传导率类型；所述第三杂质区域和第四杂质区域在所述第二杂质区域内注入，并且所述第三杂质区域在所述第四杂质区域靠近所述栅极的一侧注入；

在所述晶体管的所述漏极区域注入具有第五体积和第五表面面积的第五杂质区域，该第五杂质区域具有第一传导率类型；

在所述晶体管的所述源极区域注入具有第六体积和在第二杂质区域的第二表面面积中的第六表面面积的第六杂质区域，该第六杂质区域具有第一传导率类型，以及与所述第三杂质区域重叠并且在部分所述栅极之下横向延伸。

46. 一种晶体管，包括：

具有第一传导率类型的半导体主体；

在所述半导体层的表面面积中形成的具有相反的第二传导率类型的第一杂质区域；

源极；

栅极；以及

漏极，

其中所述源极包括：

具有第一体积和第一表面面积的第一传导率类型的第一杂质区域，

具有第二体积和第二表面面积的第一传导率类型的第二杂质区域，其中该第二体积嵌入在该第一体积中，并且该第二表面面积由第一表面面积包围，

具有第三体积和第三表面面积的相反的第二传导率类型的第三杂质区域，其中该第三体积与该第二体积邻接，并且该第三表面面积与第二表面面积相邻，

具有第四体积和第四表面面积的相反的第二传导率类型的第四杂质区域，其中该第四体积与部分第三体积和部分第一体积重叠，而且该第四表面面积与部分第三表面面积重叠并且至少部分地由第一表面面积包围，所述第三杂质区域和第四杂质区域在所述第二杂质区域内注入，并且所述第三杂质区域在所述第四杂质区域靠近所述栅极的一侧注入以及，以及

具有第六体积和在第二杂质区域的第二表面面积中的第六表面面积的第六杂质区域，该第六杂质区域具有第一传导率类型，以及与所述第三杂质区域重叠并且在部分所述栅极之下横向延伸；

并且其中所述漏极包括相反的第二传导率类型的第五杂质区域，该第五杂质区域具有第五体积和第五表面面积；以及

其中所述栅极控制所述源极与漏极之间的耗尽区域。

横向双扩散金属氧化物半导体场效应晶体管及其制造方法

技术领域

[0001] 本发明涉及一种半导体器件。

背景技术

[0002] 诸如 DC 到 DC 转换器的电压调节器用于为电子系统提供稳定的电压源。对于诸如膝上笔记本和蜂窝电话的低功率装置中的电池管理而言,特别需要高效的 DC 到 DC 转换器。已知的转换电压调节器(或简称“转换调节器”)为一类有效的 DC 到 DC 转换器。转换调节器通过将输入的 DC 电压转换为高频电压,并对该高频输入电压进行滤波以产生输出 DC 电压。特别地,转换调节器包括用于将诸如电池的输入 DC 电压源可选择地耦合和去耦到诸如集成电路的负载的开关。通常包括感应器和电容的输出滤波器耦合在输入电压源和负载之间以对开关的输出进行滤波并因此提供输出 DC 电压。诸如脉宽调节器或脉频调节器的控制器控制该开关以保持基本上恒定的输出 DC 电压。

[0003] LDMOS 晶体管由于其在导通电阻($R_{ds(on)}$)和漏-源击穿电压(BV_{d_s})之间均衡的性能而普遍地用于转换调节器。具有优化的器件性能特性的传统 LDMOS 晶体管通常通过诸如双极-CMOS(BiCMOS)工艺或双极-CMOS-DMOS(BCD)工艺的复杂工艺制造,该复杂工艺包括一个或多个不能兼容于通常由专业生产大量的数字 CMOS 器件(例如,0.5 微米 DRAM 生产技术)的工厂使用的亚微米 CMOS 工艺的工艺步骤,以下将对其进行更详细地描述。结果,传统 LDMOS 晶体管因此通常不能由这种工厂制造。

[0004] 以下描述由专业生成大量的数字 CMOS 器件的工厂使用的典型亚微米 CMOS 工艺,其在此被称为亚微米 CMOS 工艺。亚微米 CMOS 工艺通常用于制造亚微米 CMOS 晶体管,即,具有沟道长度小于 1 微米的 PMOS 晶体管和/或 NMOS 晶体管。图 1 示出了在 p-型衬底 104 上通过亚微米 CMOS 工艺制造的 PMOS 晶体管 100 和 NMOS 晶体管 102。PMOS 晶体管 100 在 CMOS n-阱 106 中完成。PMOS 晶体管 100 包括分别具有 p 掺杂的 P^+ 区域 112 和 114 的源极区域 108 和漏极区域 110。PMOS 晶体管 100 还包括由栅极氧化物 118 和多晶硅层 120 形成的栅极 116。NMOS 晶体管 102 在 CMOS p-阱 122 中完成。NMOS 晶体管 102 包括分别具有 n 掺杂的 n^+ 区域 128 和 130 的源极区域 124 和漏极区域 126。NMOS 晶体管 102 还包括由栅极氧化物 134 和多晶硅层 136 形成的栅极 132。

[0005] 图 2 示出了可用于制造大量亚微米 CMOS 晶体管(诸如图 1 中所示的 CMOS 晶体管)的亚微米 CMOS 工艺 200。工艺 200 以形成衬底开始(步骤 202)。衬底可为 p-型衬底或 n-型衬底。参照图 1,CMOS 晶体管在 p-型衬底 104 上制造。将用于 PMOS 晶体管的 CMOS n-阱 106 和用于 NMOS 晶体管的 CMOS p-阱 122 注入到衬底中(步骤 204)。形成各 CMOS 晶体管的栅极氧化物 118 和 134,并目进行 CMOS 沟道调节注入以控制各 CMOS 晶体管的阈值电压。在栅极氧化物 118 和 134 上分别沉积多晶硅层 120 和 136(步骤 208)。注入 PMOS 晶体管的 p^+ 区域和 NMOS 晶体管的 n^+ 区域(步骤 210)。 p^+ 区域 112 和 114 以及 n^+ 区域 128 和 130 均高度掺杂,并提供低电阻系数的欧姆接触。在亚微米 CMOS 工艺中, n^+ 区域的形成通常通过单独的掩模和光刻步骤在以下三步工艺中完成:1)注入轻度掺杂 n-型杂质区域,

2) 形成氧化物隔离物, 以及 3) 注入重度掺杂的 n^+ 杂质区域。 p^+ 区域的形成以相似的方式进行。 n^+ 区域和 p^+ 区域的形成允许晶体管具有改进的热载流子性能。

[0006] 专业生成大量数字 CMOS 器件的工厂通常具有与该工厂的亚微米 CMOS 工艺相关的固定参数。这些固定参数通常为数字亚微米 CMOS 晶体管的批量生产而优化。例如, 在工艺步骤 206 中, CMOS 沟道调节注入通常具有一般固定的相关热预算, 并具有为亚微米 CMOS 晶体管批量生产而优化的参数。

[0007] 如上所述, 传统 LDMOS 晶体管通常通过诸如 BiCMOS 工艺或 BCD 工艺的复杂工艺而获得优化的器件性能, 该复杂工艺包括一个或多个不能兼容于为数字亚微米 CMOS 晶体管的批量生产而优化的亚微米 CMOS 工艺。

[0008] 图 3A 示出了在 p^- 型衬底 302 上通过 BiCMOS 工艺制造的传统 LDMOS 晶体管 300。LDMOS 晶体管 300 包括具有 n 掺杂的 n^+ 区域 306、 p 掺杂的 p^+ 区域 308 以及 p 掺杂的 p^- 主体扩散 (p^- 主体) 310 的源极区域 304。LDMOS 晶体管 300 还包括具有 n 掺杂的 n^+ 区域 314 和 n^- 型阱 (HV n^- 阱) 316 的漏极区域 312, 以及包括栅极氧化物 320 和多晶硅层 322 的栅极 318。

[0009] 在 BiCMOS 工艺中, 栅极氧化物 320, 以及在该 BiCMOS 工艺中制造的任何 CMOS 晶体管的栅极氧化物在 n^+ 区域 306 和 p^- 主体 310 的注入之前形成。所以, BiCMOS 工艺允许在 n^+ 区域 306 和 p^- 主体 310 的注入期间将栅极 318 作为掩模, 也即, n^+ 区域 306 和 p^- 主体 310 相对于栅极 318 自对准。 n^+ 区域 306 和 p^- 主体 310 的自对准横向双扩散形成 LDMOS 晶体管 300 的沟道。

[0010] 由于与自对准双扩散相关的后续推进 (drive-in) 步骤 (或热预算) 破坏了与亚微米 CMOS 工艺步骤 (例如工艺步骤 206) 相关的固定热预算, 并且需要重新设计分配给亚微米 CMOS 工艺步骤的热预算, 所以这类自对准双扩散不容易集成到亚微米 CMOS 工艺中。也就是说, 自对准双扩散通常包括具有会造成亚微米 CMOS 晶体管的特性 (例如, 阈值电压) 偏移的长周期且高温度的推进步骤。

[0011] LDMOS 晶体管 300 的区域 (a) 中的横向掺杂轮廓控制了导通电阻 (R_{dson}) 和漏 - 源击穿电压 (BV_{d_s}) 之间的均衡。在区域 (b) 中的垂直掺杂轮廓决定了 LDMOS 晶体管的漏 - 衬底击穿电压 BV_{d_sub} , 并且区域 (c) 中的夹止 (pinch-off) 掺杂轮廓决定了 LDMOS 晶体管的源 - 衬底的穿透击穿电压 BV_{s_sub} 。LDMOS 晶体管的源 - 衬底的穿透击穿电压 BV_{s_sub} 对于具有浮置操作需求的 LCDMOS 晶体管来说是重要的参数, 例如, 在同步降压电路配置中作为高端控制开关的 LDMOS 晶体管。

[0012] 图 3B 示出了在 p^- 型衬底 332 上通过 BCD 工艺制造的传统 LDMOS 晶体管 330。LDMOS 晶体管 330 包括具有 n 掺杂的 n^+ 区域 336、 p 掺杂的 p^+ 区域 338 以及 p 掺杂的 p^- 主体 340 的源极区域 334。LDMOS 晶体管 330 还包括具有 n 掺杂的 n^+ 区域 344 和 n^- 型层 (HV n^- Epi) 346 的漏极区域 342, 以及包括栅极氧化物 350 和多晶硅层 352 的栅极 348。与 BiCMOS 工艺相似, 在 BCD 工艺中, 栅极氧化物 350, 以及在该 BCD 工艺中制造的任何 CMOS 晶体管的栅极氧化物在 n^+ 区域 336 和 p^- 主体 340 的注入之前形成。

[0013] 在 BCD 工艺中, 在 p^- 型衬底 332 上可生长 n^+ 埋层 354 以提高 LDMOS 晶体管的源 - 衬底的穿透击穿电压特性。由于 LDMOS 晶体管的横向掺杂轮廓可不对垂直掺杂轮廓进行限制而得到优化, 所以这种方法提供了 LDMOS 晶体管的导通电阻 R_{dson} 和漏 - 源击穿电压 $BV_{d_}$

s 之间改进的均衡。然而,该 BCD 工艺包括 HV n-Epi 层 346 的生长,并且该步骤通常不能兼容于亚微米 CMOS 工艺。

[0014] 在 BCD 工艺中使用的另一方法是利用在如图 3C 所示的 LDMOS 晶体管 364 的漏极区域 362 中注入的 n- 层 360。N- 层 360、n⁺ 区域 366 以及 p- 主体 368 相对于栅极 370 自对准,也即, n- 层 360、n⁺ 区域 366 以及 p- 主体 368 在栅极氧化物 372 形成之后注入。N- 层 360 的引入提供了额外的参数以进一步优化 LDMOS 晶体管的导通电阻 R_{dson} 和漏-源击穿电压 BV_{d_s} 之间的均衡。与图 3B 的 n⁺ 埋层方法相似,位于表面的 n- 层 360 的引入提供了减弱垂直和水平掺杂限制的方法。

发明内容

[0015] 在一种技术方案中,本发明提供了一种在衬底上制造具有源极区域、漏极区域和栅极区域的晶体管的方法。该方法包括:在所述衬底的表面注入高压 n- 掺杂的 n- 阱;在所述晶体管的源极区域和漏极区域之间形成栅极氧化物;使用导电材料覆盖所述栅极氧化物;在所述晶体管的所述源极区域注入 p- 掺杂的 p- 主体;仅在所述晶体管的所述源极区域注入 n- 掺杂的轻度掺杂源极;在所述晶体管的所述源极区域注入第一 n- 掺杂 n⁺ 区域,该第一 n- 掺杂 n⁺ 区域与部分所述 n- 掺杂的轻度掺杂源重叠;在所述晶体管的所述漏极区域注入第二 n- 掺杂 n⁺ 区域;以及在所述晶体管的所述源极区域注入 p- 掺杂的 p⁺ 区域。

[0016] 在另一技术方案中,本发明提供了一种晶体管,包括:p- 型衬底;形成在所述 p- 型衬底的表面面积中的高压 n- 阱;源极,其包括:p- 掺杂 p- 主体,所述 p- 主体中的 p- 掺杂的 p⁺ 区域,在所述 p- 主体中并与所述 p⁺ 区域邻接的第一 n- 掺杂 n⁺ 区域,以及与所述第一 n- 掺杂 n⁺ 区域重叠的 n- 掺杂的轻度掺杂源极(N-LDS);漏极,其包括第二 n- 掺杂 n⁺ 区域;以及栅极,其控制所述源极和漏极之间的耗尽区域。

[0017] 仍在另一技术方案中,本发明提供了一种在衬底上制造具有源极、漏极和栅极的晶体管的方法。该方法包括:在所述衬底的表面注入具有第一体积和第一表面面积的第一杂质区域,该第一杂质区域具有第一传导率类型;在所述晶体管的源极区域和漏极区域之间形成栅极氧化物;使用导电材料覆盖所述栅极氧化物;仅在所述晶体管的所述源极区域注入具有第二体积和第一表面面积中的第二表面面积的第二杂质区域,该第二杂质区域具有相对于第一传导率类型相反的第二传导率类型;在第二表面面积中,在所述晶体管的所述源极区域注入具有第三体积和第三表面面积的第三杂质区域以及具有第四体积和第四表面面积的第四杂质区域,所述第三杂质区域具有第一传导率类型,第四杂质区域具有相反的第二传导率类型;在所述晶体管的所述漏极区域种注入具有第五体积和第五表面面积的第五杂质区域,该第五杂质区域具有第一传导率类型;以及在所述晶体管的所述源极区域种注入具有第六体积和在第二杂质区域的第二表面面积中的第六表面面积的第六杂质区域,该第六杂质区域具有第一传导率类型。

[0018] 仍在另一技术方案中,本发明提供了一种晶体管,包括:具有第一传导率类型的半导体主体;在所述半导体层的表面面积中形成的具有相反的第二传导率类型的第一杂质区域;源极,其包括:具有第一体积和第一表面面积的第一传导率类型的第一杂质区域,具有第二体积和第二表面面积的第一传导率类型的第二杂质区域,其中该第二体积嵌入在该第一体积中,并且该第二表面面积由第一表面面积包围,具有第三体积和第三表面面积的相

反的第二传导率类型的第三杂质区域,其中该第三体积与该第二体积邻接,并且该第三表面面积与第二表面面积相邻,具有第四体积和第四表面面积的相反的第二传导率类型的第四杂质区域,其中该第四体积与部分第三体积和部分第一体积重叠,而且该第四表面面积与部分第三表面面积重叠并且至少部分地由第一表面面积包围;漏极,其包括相反的第二传导率类型的第五杂质区域,该第五杂质区域具有第五体积和第五表面面积;以及栅极,其控制所述源极与漏极之间的耗尽区域。

[0019] 本发明一个或多个实施方式的细节在以下附图和说明书中阐明。本发明其他特征、目的以及优点由说明书、附图以及权利要求将更加显而易见。

附图说明

- [0020] 图 1 为形成在 p- 型衬底上的传统 PMOS 和 NMOS 晶体管的截面示意图;
- [0021] 图 2 为用于制造 CMOS 晶体管的传统亚微米 CMOS 工艺的流程图;
- [0022] 图 3A、3B 和 3C 为传统的 LDMOS 晶体管的截面示意图;
- [0023] 图 4 为降压转换调节器的方框示意图;
- [0024] 图 5A 和 5B 分别为 LDMOS 晶体管的截面示意图以及 LDMOS 晶体管的源极区域和漏极区域的表面面积的三维图;
- [0025] 图 6 为用于制造包括 LDMOS 晶体管的半导体晶体管的示例性工艺的流程图,该工艺与亚微米 CMOS 工艺兼容;
- [0026] 图 7A 到 7M 示出了根据图 6 的示例性工艺制造 LDMOS 晶体管、PMOS 晶体管以及 NMOS 晶体管的示例性工艺;
- [0027] 图 8A 到 8C 示出了图 6 的示例性工艺的示例性 p- 主体注入步骤;
- [0028] 图 9A 和 9B 示出了示例性的浅漏极注入工艺;
- [0029] 图 10 为根据兼容于亚微米 CMOS 工艺的工艺制造包括 LDMOS 晶体管的半导体晶体管的可选择工艺的流程图;
- [0030] 图 11A 到图 11H 示出了根据图 10 的示例性工艺制造 LDMOS 晶体管的示例性工艺;
- [0031] 图 12 为具有 CMOS n- 阱注入的 LDMOS 晶体管的截面示意图;
- [0032] 图 13 为具有作为浅漏极的 CMOS n- 阱注入的 LDMOS 晶体管的截面示意图;
- [0033] 图 14 为具有作为浅漏极的 DDD 注入的 LDMOS 晶体管的截面示意图;
- [0034] 图 15 为具有扩散到晶体管的源极区域和漏极区域中的 LDD 的 LDMOS 晶体管的截面示意图;
- [0035] 图 16 为具有分级的浅漏极注入的 LDMOS 晶体管的截面示意图;
- [0036] 图 17 为 p- 型 LDMOS 晶体管的截面示意图;
- [0037] 图 18 为包括具有高端 LDMOS 晶体管和低端 LDMOS 晶体管的转换电路的截面示意图;
- [0038] 图 19 为 NPN 晶体管的截面示意图;
- [0039] 图 20 为示出了制造图 19 的 NPN 晶体管的示例性工艺的流程图;
- [0040] 图 21A 为具有 CMOS 逻辑的高端驱动 (HSD) 电路的截面示意图;
- [0041] 图 21B 为具有 CMOS 逻辑的 HSD 电路的电路图;
- [0042] 图 22 为在晶体管的漏极区域上具有 LOCOS 的 LDMOS 的截面示意图;以及

[0043] 图 23 为注入 LDMOS 晶体管的 p- 主体的示例性工艺流程图。

[0044] 在附图中,相同的附图标记表示相同或者类似的部件。

具体实施方式

[0045] 图 4 所示为根据一实施方式包括 LDMOS 晶体管的转换调节器的方框图。传统的 LDMOS 晶体管通常通过诸如 BiCMOS 工艺或者 BCD 工艺的复杂工艺获得优化的器件性能,所述复杂工艺包括与对于大批量生产的数字亚微米 CMOS 晶体管的亚微米工艺不兼容的一个或者多个工艺步骤。根据一个方案,提供了一种通过以完全整合到典型亚微米 CMOS 工艺的工艺制造的 LDMOS 晶体管。

[0046] 参照图 4,示例性的转换调节器 400 通过输入端子 404 连接到诸如电池的第一高 DC 输入电压源 402。转换调节器 400 还通过输出端子 408 与诸如集成电路的负载 406 连接。转换调节器 400 用作输入端子 404 和输出端子 408 之间的直流转直流 (DC- 到 -DC) 转换器。转换调节器 400 包括用作交替将输入端子 404 与中间端子 412 连接和断开的电源开关的转换电路 410。该转换电路 410 包括将中间端子 412 接地的整流器,诸如开关或者二极管。具体地,转换电路 410 可以包括具有连接到输入端子 404 的源极和连接到中间端子 412 的漏极的第一晶体管 414 以及具有接地的源极和连接到中间端子 412 的漏极的第二晶体管 416。第一晶体管 414 为正沟道金属氧化半导体 (PMOS) 晶体管,而第二晶体管 416 为 LDMOS 晶体管。

[0047] 中间端子 412 通过输出滤波器 418 与输出端子 408 连接。输出滤波器 418 将中间端子 412 处的中间电压的矩形波形转化为输出端子 408 处的 DC 输出电压。具体地,在降压 - 转换器拓扑中,输出滤波器 418 包括连接在中间端子 412 和输出端子 408 之间的感应器 420 以及与负载 406 并联连接的电容 422。在 PMOS 导电期间,第一晶体管闭合,并且电压源 402 通过第一晶体管 414 向负载 406 和感应器 420 提供能量。另一方面,在 LDMOS 晶体管导电期间,第二晶体管 416 闭合,并且随着感应器 420 提供能量,电流流过第二晶体管 416。所产生的输出电压 V_{out} 基本为 DC 电压。

[0048] 该转换调节器还包括用于控制转换电路 400 操作的控制器 424、PMOS 驱动器 426 和 LDMOS 驱动器 428。PMOS 驱动器 426 和 LDMOS 驱动器与电压源 430 连接。第一控制线 432 将 PMOS 晶体管 414 连接到 PMOS 驱动器 426,并且第二控制线 434 将 LDMOS 晶体管 416 连接到 LDMOS 驱动器 428。分别通过控制线 436 和 438 将 PMOS 驱动器和 NMOS 驱动器连接到控制器 424。控制器 424 使转换电路 400 在 PMOS 和 NMOS 导电周期之间切换从而在中间端子 412 处产生具有矩形波形的中间电压 V_{int} 。控制器 424 还包括反馈电路 (未示出),其用于测量输出电压和流过输出端子的电流。尽管该控制器 424 通常为脉宽调节器,但是本发明还可以用于其他调节方案,诸如脉频调节器。

[0049] 尽管上述的转换调节器具有降压转换器拓扑结构,但是本发明还适用于其他电压调节器拓扑结构,诸如升压转换器、降压 - 升压转换器以及 RF 输入放大器。

[0050] 图 5A 所示为 LDMOS 晶体管 416 的截面示意图。可以在注入在 p- 型衬底 502 中的高压 n- 型阱 (HV n- 阱) 500A 上制造 LDMOS 晶体管 416。通常 HV n- 阱 500A 注入为深注入并且相对于 CMOS n- 阱通常具有更轻的掺杂。HV n- 阱 500A 具有逆垂直掺杂轮廓。LDMOS 晶体管 416 通常包括源区域 506、漏极区域 508 和栅极 507。

[0051] 源极区域 506 通常包括 p 掺杂的 P^+ 区域 515、n 掺杂的和 p 掺杂的 p- 主体 522。漏极区域 508 通常包括 n 掺杂的 n^+ 区域 525 和 n 掺杂的浅漏极 (N-LD) 527。在某些实施方式中,源极区域 506 还包括 n- 型轻掺杂区域 518 (在某些情况下,可以将轻掺杂区域认为是 n^+ 的一部分)。采用类似于在传统 CMOS 工艺中对于 N-LDD 执行的技术而注入 LDMOS 晶体管的轻掺杂区域 518,并在某些情况下认为该轻掺杂区域 518 为 N-LDD 区域。但是,仅在源极中形成可以等效为传统 CMOS 晶体管中的 N-LDD 的轻掺杂区域,而不在漏极中形成。因此,以下将轻掺杂区域 518 称为 N-LDS (n- 型轻掺杂源极)。

[0052] 如图所示,N-LDS 区域 518 覆盖 n 掺杂的 n^+ 区域 517 的一部分,并且比 n^+ 区域 517 在栅极氧化物 512 下延伸的更远。在所述实施方式中,在形成氧化物隔离物之前注入 N-LDS,从而允许 N-LDS 区域 518 比 n^+ 区域 517 向沟道中延伸的更远。在衬底上的任意 CMOS 晶体管中通过与 N-LDD 区域相同的工艺并同时注入 N-LDS 区域 518。可以采用分离的掩模注入 N-LDS 区域 518 和 n 掺杂的 n^+ 区域 517,因此允许将 N-LDS 选择性地设置在源极区域上。可选地,可以采用同一掩模注入 N-LDS 区域 518 和 n 掺杂 n^+ 区域 517 以控制例如 N-LDS 区域 518 和 n 掺杂 n^+ 区域 517 之间的重叠区域。在后者的实施方式中,采用不同于在源极中形成 n 掺杂 n^+ 区域 517 的掩模而在漏极中注入 n 掺杂 n^+ 区域 525,从而在漏极中不注入 N-LDD。采用不同的掩模还可以对于 n 掺杂 n^+ 区域 525 和 n 掺杂 n^+ 区域 517 的相对掺杂浓度提供更大的灵活性。

[0053] 在某些实施方式中,N-LDS 区域 518 可以比 n 掺杂 n^+ 区域 517 更浅 (即,n 掺杂 n^+ 区域 517 比 N-LDS 区域 518 更深入向衬底 502 延伸)。距离栅极较远的 N-LDS 区域 518 的边缘比 n 掺杂 n^+ 区域 517 的外边缘更靠近栅极,或者其可以与 n 掺杂 n^+ 区域 517 的边缘对齐并且与 p 掺杂 p^+ 区域 515 的边界相邻 (例如,见图 7M)。

[0054] 漏极区域 508 中的 HV n- 阱 500A、N-LD 527 和 n^+ 区域 525 为含有掺杂材料的体积。同样地,在源极区域 506 中的 n^+ 区域 517、 p^+ 区域 515 和 p- 主体 522 为含有掺杂材料的体积。在某些实施方式中,N-LD 527 和 HV n- 阱 500A 均比 n^+ 区域 517 和 525 具有更低的掺杂浓度。所述体积覆盖的部分可以比分离的独立体积具有更高的掺杂浓度。例如,与其他覆盖体积部分相比,含有 n^+ 区域 525、N-LD 527 和 HV n- 阱 500A 的覆盖体积的部分 524 具有最高的掺杂浓度。与部分 524 相比,含有 N-LD 527 和除 n^+ 区域 525 以外的 HV n^+ 阱 500A 的部分 526 具有更低的掺杂浓度。

[0055] 关于 N-LDS 区域 518,在某些实施方式中,N-LDS 区域 518 和 n^+ 区域 517 重叠的部分比分离的独立体积具有更高的掺杂浓度。在上述实施方式中,含有 N-LDS 区域 518 (即,N-LDS 部分 520) 的体积比 n^+ 区域 516 和 / 或 p^+ 区域 514 具有更低的掺杂浓度,但其掺杂浓度高于 p- 主体 522 的掺杂浓度。

[0056] 参照图 5B, p^+ 区域 514、 n^+ 区域 516/525、N-LDS 区域 520、p- 主体 522 和 N-LD 527 在 LDMOS 晶体管 416 的表面 532 上均具有表面积。HV n- 阱 500A 具有表面面积 534。例如,在漏极区域 508 中,N-LD 区域的部分 526 具有位于 HV n- 阱 500A 的表面面积之内的表面面积 536。 n^+ 区域的部分 524 具有位于 N-LD 区域的部分 526 的表面面积 536 之内的表面面积 538。在源极区域 506 中,p- 主体 522 具有位于表面面积 534 之内的表面面积 540。 p^+ 区域的部分 514 以及 n^+ 区域的部分 516 分别具有表面面积 544 和 542,该表面面积 544 和 542 分别位于 p- 主体 522 的表面面积 540 之内。

[0057] 在 N-LDS 区域 518 向 p- 主体 522 扩散的实施方式中, N-LDS 区域 518 的部分 520 还可以具有位于表面面积 534 之内的表面面积 548。覆盖 n^+ 区域的部分 516 的 N-LDS 区域 518 的一部分具有位于 LDMOS 晶体管 416 上的表面面积 546。

[0058] 图 6 所示为制造半导体器件的典型工艺 600, 该半导体器件包括 LDMOS 晶体管、具有浮置操作能力的 PMOS 晶体管 (例如, 晶体管的源极不接地), 以及具有浮置操作能力的 NMOS 晶体管, 该工艺与亚微米 CMOS 工艺兼容。

[0059] 通过形成衬底 (步骤 602) 开始工艺 600。该衬底可以是 p- 型衬底或者 n- 型衬底。参照图 7A 的实施例, 形成包括 p- 型衬底 502 的半导体层。然后, 向该 p- 型衬底 502 中注入用于 LDMOS 晶体管、具有浮置操作能力的 PMOS 晶体管以及具有浮置操作能力的 NMOS 晶体管的 HV n- 阱 500A 和 500B (步骤 604), 如图 7B 所示。在某些实施方式中, HV n- 阱 500A 和 500B 可以集成为单独的阱。可选地, HV n- 阱 500A 和 500B 可以注入为分离的阱。根据设计需要还可以同时或者按顺序注入 HV n- 阱 500A 和 500B。

[0060] 如图 7C 所示, 向 p- 型衬底 502 中注入诸如用于 PMOS 晶体管的 CMOS n- 阱 106 和诸如用于 NMOS 晶体管的 CMOS p- 阱 122 (步骤 606)。尽管所示为在 HV n- 阱 500A 和 500B 之后形成 CMOS n- 阱 106 和 CMOS p- 阱 122, 但是可以调换该顺序从而在注入 HV n- 阱 500A 和 500B 之前形成 CMOS n- 阱 106 和 CMOS p- 阱 122。在某些实施方式中, 可以通过采用单独掩模同时注入 HV n- 阱 500A、500B 以及 CMOS n- 阱 106。在另一实施方式中, 可以顺序 (以任意顺序) 注入 HV n- 阱 500A、500B 以及 CMOS n- 阱 106。

[0061] 参照图 7D, 注入用于具有浮置操作能力的 NMOS 晶体管的 p- 主体 (步骤 608)。例如, 可以向 HV n- 阱 500B 中注入用于具有浮置操作能力的 NMOS 晶体管的 p- 主体。

[0062] 在注入用于浮置 NMOS 晶体管的 p- 主体 700 以后, 形成用于各 LDMOS 晶体管、具有浮置操作能力的 PMOS 晶体管、具有浮置操作能力的 NMOS 晶体管以及 CMOS 晶体管的栅极氧化物 (步骤 610)。在一些实施方式中, 可以同时或者顺序形成各栅极氧化物。例如, 在形成 CMOS 晶体管栅极氧化物的同时形成 LDMOS 晶体管的栅极氧化物, 使得该 LDMOS 晶体管可以形成与 CMOS 晶体管相同的阈值电压和栅极氧化层厚度。可选地, 可以以与 CMOS 晶体管栅极氧化物不同的时间和不同的厚度形成 LDMOS 晶体管的栅极氧化物, 从而灵活地允许 LDMOS 晶体管具有大于或者小于 CMOS 晶体管的专用的栅极氧化物厚度。在所述实施方式中, 当形成的 LDMOS 晶体管的栅极氧化物厚度比 CMOS 晶体管的栅极氧化物更厚时, 在不容易提供较低电压源的应用中, LDMOS 晶体管允许更高的栅驱动。该灵活性根据功率传输应用的具体需要, 诸如在特定操作频率处的效率目标, 能够生产出优化的 LDMOS 晶体管。

[0063] 在 HV n- 阱 500A 上方的 p- 型衬底 502 的表面 702 上形成栅极氧化物 512。类似地, 在 HV n- 阱 500B 上方的 p- 型衬底 502 的表面上形成 PMOS 晶体管的栅极氧化物 706A (具有浮置操作能力) 以及 NMOS 晶体管的栅极氧化物 706B (具有浮置操作能力)。此外, 分别在 CMOS n- 阱 106 上方的 p- 型衬底 502 的表面上以及在 CMOS p- 阱 122 上方的 p- 型衬底 502 的表面上形成栅极氧化物 118 和栅极氧化物 134。

[0064] 接下来, 在栅极氧化物上方沉积多晶硅层 (步骤 612)。该多晶硅层可以用作用于互连目的的晶体管电极。如图 7E 所示, 分别在栅极氧化物 512、栅极氧化物 706A 以及栅极氧化物 706B 上沉积多晶硅层 510、708A 和 708B。此外, 分别在 CMOS n- 阱 106 上方形成的栅极氧化物 118 以及在 CMOS p- 阱 122 上方形成的栅极氧化物 134 上沉积多晶硅层 120 和

多晶硅层 136。

[0065] 注入用于 LDMOS 晶体管的源极区域的自对准 p- 主体 522 (步骤 614)。如图 7F 所示, 将 p- 主体 522 注入到 HV n- 阱 500A 中。

[0066] 在一些实施方式中, 以两个分离的步骤向 HV n- 阱 500A 中注入 p- 主体 522, 从而更好地控制 p- 主体的垂直深度以及横向侧扩散量。参照图 8A, HV n- 阱 500A 的第一 p- 主体注入 802 用于限制 p- 主体 522 的垂直深度。第一 p- 主体注入 802 的垂直深度还可以控制 LDMOS 晶体管源极区域 (例如 506) 下面的垂直掺杂轮廓, 并因此可以确定 LDMOS 晶体管的穿透击穿电压 BV_{s_sub} 。第一主体 p- 注入 802 可以是高能量注入。在一些实施方式中, 采用大角度倾斜 (LAT) 注入工艺注入第一 p- 主体注入 802。例如, 注入倾斜角度可以约为或者超过 7 度。

[0067] 如图 8B 所示, 在形成第一 p- 主体注入 802 后, 在第一 p- 主体注入 802 上部注入第二 p- 主体注入 804。该第二 p- 主体注入 804 可用于控制 LDMOS 晶体管的沟道长度。第二 p- 主体注入 804 还可以设定 p- 主体 522 的表面浓度以控制 LDMOS 晶体管的阈值电压 (V_t)。在图 8C 中示出了用于限制生成的 p- 主体横向侧扩散 806 的量 (例如进一步沟道长度控制) 的随后的 p- 主体推进和退火工艺。在一些实施方式中, 随后的退火工艺为快速热退火 (RTA) 工艺。这里所公开的制造的两步自对准 p- 主体的潜在优势在于该工艺不需要在高温下的长时间 p- 主体推进。因此, 该工艺不会明显影响 CMOS 热预算。

[0068] 参照图 7G, 注入浅漏极 (N-LD) 527 并使其扩散到 LDMOS 晶体管的漏极中 (步骤 618)。在一些实施方式中, 可以在形成 LDMOS 栅极之前或者之后注入该浅漏极 527——即, 该浅漏极 527 可以相对于 LDMOS 晶体管的栅极 507 非自对准或者自对准。采用 LAT 注入或者如上所述的正常角度倾斜注入的方式注入浅漏极 527。

[0069] 在一些实施方式中, 如图 9A 所示, N-LD527 (以及 n^+ 区域 525) 与通过遮蔽的栅极尺寸控制的 p- 主体 522 具有间距 907。设计该间距 907 的尺寸使得 N-LD527 与 LDMOS 栅极相隔预定距离 d_1 。通过掩模尺寸可控制该预定距离 d_1 。在其他实施方式中, 如图 9B 所示, 采用推进工艺, N-LD 527 (以及 n^+ 区域 525) 延伸超出 LDMOS 栅极的右边缘预定距离 d_2 。

[0070] 在一些实施方式中, N-LD 527 与 HV n- 阱 500A 共用同一掩模以减少制造 LDMOS 晶体管所需的掩模数量。如果 N-LD 527 的掺杂浓度低于 p- 主体 522 使得进入 LDMOS 晶体管源极的额外 N-LD 注入不会影响沟道特性, 则该方法可行的。

[0071] 在步骤 620, 对于 N-LDS 区域 520 执行注入, 然后在步骤 624 对 n^+ 区域执行注入。如图 7H 所示, 一旦形成 N-LDS 区域 520, 通过位于漏极的 n^+ 区域 525 和位于源极的 n^+ 区域 517 注入 LDMOS 晶体管。分别在具有浮置操作能力的 NMOS 晶体管的漏极和源极注入 n^+ 区域 710 和 712。同时分别在 CMOS P- 阱 122 的源极和漏极注入 n^+ 区域 128 和 130。

[0072] 尽管如图所示在对 n^+ 区域注入以前进行 N-LDS 区域 520 注入, 但是根据 N-LDS 相对于栅极的所需对准, 可以调换其顺序从而在对 n^+ 区域注入以后注入 N-LDS 区域 520。在任一实施方式中, N-LDS 区域 520 可以比 n^+ 区域 517 更浅 (即, n^+ 区域 517 比 N-LDS 区域 520 向 p- 型衬底 502 延伸的更深)。

[0073] 在形成 n^+ 区域和 N-LDS 区域 520 以后, 注入 LDMOS 晶体管、具有浮置操作能力的 PMOS、具有浮置操作能力的 NMOS 和 CMOS 晶体管的 p^+ 区域 (步骤 626)。如图 7I 所示, 分别在具有浮置操作能力的 PMOS 晶体管的漏极和源极注入 p^+ 区域 714A 和 714B。在 LDMOS 晶

体管的源极也注入 p^+ 区域 515。分别在 PMOS 晶体管的源极和漏极注入分离的 p^+ 区域 112 和 114。可以独立或者同时形成各 p^+ 区域。

[0074] 图 7J-7L 更详细地示出了步骤 616 的工艺。参照图 7J, 在注入浅漏极 (N-LD) 527 并扩散到 LDMOS 晶体管的漏极以后 (例如, 步骤 614), 将 N-LDS 区域 520 注入到 LDMOS 晶体管的源极 (步骤 620)。注入 N-LDS 区域 520 以延伸到先前形成在 HV n^- 阱上的栅极氧化物 512 的下方。N-LDS 区域 520 可以与 n^+ 区域 517 的外边缘 (例如, 远离漏极的边缘) 对齐, 并且与 p^+ 区域 515 相邻。可选地, 可以注入 N-LDS 区域 520 使其远离 P^+ 区域 515 预定距离。

[0075] 然后, 如图 7K 所示, 靠近栅极氧化物 512 和多晶硅 510 形成一对氧化物隔离物 530 (步骤 622)。在形成氧化物隔离物以后, 对 n^+ 区域执行注入 (步骤 624)。开业在漏极的 n^+ 区域和源极的另一 n^+ 区域注入 LDMOS 晶体管。如图 7L 所示, 分别在 N-LDS 区域 520 和 N-LDS 区域 527 的上方形成 n^+ 区域 517 和 525。还可以在具有浮置操作能力的 NMOS 晶体管的漏极和源极以及在 CMOS p^- 阱 122 的漏极和源极处注入 n^+ 区域。根据设计应用, 可以在形成氧化物隔离物之前执行 n^+ 区域注入。

[0076] 以类似于 n^+ 区域注入的方式通过两步注入形成 P^+ 区域。即, 在形成氧化物隔离物之前注入 N-LDS 区域, 并且在形成氧化物隔离物以后注入 P^+ 区域。

[0077] 由于栅极可能具有一些有限的源极 / 漏极重叠, 在所述实施方式中, 可以首先形成栅极 (或者栅极氧化物) 然后在限定源极和漏极区域时采用栅极作为扩散和注入掩模从而避免源极和 / 或漏极进入栅极氧化物的下部。一旦形成栅极, 则在 n^+ 区域以及 p^- 主体注入期间可以采用该栅极作为掩模从而使得二者相对于栅极进行自对准。如图所示, 相对于对应的栅极氧化物注入 LDMOS 晶体管的 n^+ 区域 517 和 525 并进行自对准。

[0078] 在一些实施方式中, 只有 LDMOS 晶体管的一侧 (例如, 源极) 包括 N-LDS 区域。例如, 由于 LDMOS 晶体管的漏极不包括 N-LDS 区域, 因此可以采用一步工艺形成 n^+ 区域 525。

[0079] 在一些实施方式中, 可以通过所列出的顺序、并行 (例如通过相同或者不同的工艺, 基本或者无顺序地) 或者以相反的顺序执行步骤 602-626 以获得相同的结果。例如, 在形成 p^- 型衬底 502 以后, 在注入 HV n^- 阱 500A 和 500B 之前注入 CMOS n^- 阱 106 和 CMOS p^- 阱 122。作为另一实施例, 可以在注入 n^+ 区域之前形成 p^+ 区域, 并且在注入 N-LD 区域之前形成该 N-LDS 区域。作为再一实施例, 在形成栅极氧化物或者注入自对准的 p^- 主体之前注入 N-LD 区域 527。

[0080] 在另一实施方式中, 根据具体的设计应用, 可以绕过步骤 602-626 中的一个或者多个步骤或者其组合。在又一实施方式中, 可以通过两个或者多个工艺而非一个单独工艺执行任意步骤 602-626。

[0081] 但是, 上述的顺序不限于所示的情况。例如, 在形成 N-LDS 区域 520 之前注入 n^+ 区域 517, 使得 N-LDS 区域 520 与栅极氧化物 512 自对准并且在随后形成 N-LDS 区域 520 以后覆盖该 n^+ 区域 517。

[0082] 在一些实施方式中, 可以通过所列出的顺序、并行 (例如通过相同或者不同的工艺, 基本或者无顺序地) 或者以相反的顺序执行步骤 602-626 以获得相同的结果。例如, 可以在形成氧化物隔离物之前注入 n^+/p^+ 区域。作为另一实施例, 可以在注入 N-LD 区域之前形成该 N-LDS 区域。作为再一实施例, 可以在步骤 618、622、624 和 626 之前或者之后形成

N-LDS 区域。

[0083] 在其他实施方式中,根据具体的设计应用,可以绕过步骤 602-626 中的一个或者多个步骤或者其组合。在又一实施方式中,可以通过两个或者多个工艺而非一个单独的工艺执行任意步骤 602-626,可以同时或者按一定顺序执行任意步骤 602-626。

[0084] 由于通过工艺 600 的更大特征尺寸 (CD) 控制可以减轻和补偿由于 p- 主体 522 和 n⁺ 区域 518 的对准偏差导致的任意沟道长度变化,因此工艺 600 具有优于传统技术的潜在优点。

[0085] 此外,通常在 CMOS n- 阱上形成 PMOS 晶体管。在 CMOS 晶体管的阈值电压漂移在许可范围内的情况下,可以在 HV n- 阱中直接实现 PMOS 晶体管,诸如在图 7H 实施例中的具有浮置操作能力的 PMOS 晶体管。在 HV n- 阱中直接实现 PMOS 晶体管的优势在于允许工艺 600 跳过 CMOS n- 阱注入和遮蔽步骤 (同时保持其热循环),从而潜在地降低了整体工艺制造成本。

[0086] 尽管已经描述了单独栅极的情况,但是 LDMOS 晶体管可以包括不止一个栅极。图 7M 示出了具有双栅极氧化物的 LDMOS。参照图 7M, LDMOS 晶体管 750 包括漏极区域 734、源极区域 736 和双栅极 720。双栅极 720 包括第一栅极区域 722 和第二栅极区域 724。在一个实施方式中,第一栅极区域 722 为控制栅极而第二栅极区域 724 为非控制栅极。控制栅极为接收可激活相应晶体管,即,导通或者截止相应晶体管的栅极。可以浮置或者通过与第一栅极区域 722 相同的信号控制第二栅极区域 724。第一栅极区域 722 包括导电层 726 和氧化物层 728,并且第二栅极区域 724 包括导电层 730 和氧化物层 732。各导电层 726、730 可以为多晶硅层。如图 7M 所示,氧化物层 732 比氧化物层 728 更厚。相对于具有较厚氧化物层的控制栅极的晶体管来说,由氧化物层 728 提供的较薄的氧化物层允许通过较低的栅极电压控制 LDMOS 晶体管 750。如图所示,第一栅极区域 722 相对于第二栅极区域 724 具有较薄的栅氧化物层,并且该第一栅极区域 722 与第二栅极区域 724 相邻。

[0087] 再次参照图 7M,漏极区域 734 包括 n- 掺杂 n⁺ 区域 740 和 n- 掺杂浅漏极 (N-LD) 区域 738。在一些实施方式中, N-LD 区域 738 相对于第二栅极 726 自对准。在这些实施方式中, N-LD 区域 738 没有完全在第二栅极 726 下面延伸。根据需要, N-LD 区域 738 也可以不自对准。

[0088] 正如可以直接在 HV n- 阱中实现 PMOS 晶体管一样,可以类似地在 p- 主体注入中实现 NMOS 晶体管,诸如图 7H 的实施例中具有浮置操作能力的 NMOS 晶体管。因此,亚微米 CMOS 工艺可以跳过传统的 CMOS p- 阱注入和遮蔽步骤 (同时维持其热循环) 以降低整个工艺制造成本。

[0089] 图 10 示出了与亚微米 CMOS 工艺兼容的制造 LDMOS 晶体管的另一工艺 1000 的示意图。

[0090] 工艺 1000 开始于形成衬底 (步骤 1002)。该衬底可以是 p- 型衬底或者 n- 型衬底。参照图 11A 的实施例,形成由 p- 型衬底 1102 组成的半导体层。将用 LCDMOS 晶体管的 HV n- 阱注入该衬底 (步骤 1004)。该注入的阱可以是诸如 HV n- 阱 1104 (图 11B) 的 HV (高压) n- 阱。将用于传统 PMOS 晶体管的 CMOSn- 阱 106 和用于传 NMPOS 晶体管的 CMOS p- 阱 122 注入所述衬底 (步骤 1006) (图 11C)。形成用于 LDMOS 晶体管的 LDMOS 栅极氧化物和多晶硅 (步骤 1008)。该 LDMOS 栅极氧化物和多晶硅不同于传统 CMOS 晶体管的栅极氧

化物和多晶硅（步骤 1008），即，该 LDMOS 晶体管的栅极与同时制造的传统 CMOS 晶体管的栅极相互独立形成并且其形成先于传统 CMOS 晶体管栅极的形成。参照图 11D 的实施例，在 HV n- 阱 1104 上面的衬底表面 1108 上形成 LDMOS 栅极氧化物 1106，并且在该 LDMOS 栅极氧化物上方沉积多晶硅层 1110。

[0091] 注入对于 LDMOS 晶体管的漏极区域自对准的 p- 主体 1112（相对于 LDMOS 晶体管的栅极）（步骤 1010）。如图 11E 所示，将 p- 主体 1112 注入 HV n- 阱 1104 中。如上所述，可以在两个步骤中将自对准的 p- 主体 1112 注入 HV n- 阱中以能够更好地控制该 p- 主体的垂直深度和横向侧扩散量。例如在形成传统 CMOS 晶体管的栅极氧化物之前可以进行 p- 主体推进和退火工艺，从而不需要分配给微米 CMOS 工艺（例如工艺步骤 206）的热循环的重新设计。

[0092] 形成传统 CMOS 晶体管的栅极（步骤 1102）。参照图 11F，在 CMOS n- 阱 106 上的衬底表面上形成传统 PMOS 晶体管的栅极氧化物 118，并且在 CMOS p- 阱 122 上的衬底表面上形成传统 NMOS 晶体管的栅极氧化物 134。在传统 PMOS 栅极氧化物 118 上方沉积多晶硅层 120，并且在传统 NMOS 栅极氧化物 134 上方沉积多晶硅层 136。在 LDMOS 晶体管的漏极中注入和扩散浅漏极（步骤 1104）。该浅漏极可以不自对准或者自对准。在图 11G 的实施例中，该浅漏极为 n- 掺杂浅漏极 N-LD 1114。该 N-LD 注入可以与 HV n- 阱共用同一掩模以减少掩模数量。注入 LDMOS 晶体管的 n⁺ 区域和 p⁺ 区域（步骤 1016）。在一种实施方式中，在该步骤期间，也注入与 CMOS 晶体管相关的 n⁺ 区域和 p⁺ 区域。如图 11H 所示，在 LDMOS 晶体管的源极处注入 p⁺ 区域 1116 和 n⁺ 区域 1118。还在 LDMOS 晶体管的漏极处注入 n⁺ 区域 1120。进而，分别在传统 PMOS 晶体管的源和漏极处注入 p⁺ 区域 112、114，并且分别在传统 NMOS 晶体管的源极和漏极处注入 n⁺ 区域 128、130。与工艺 600 相同，可以通过上述的三步骤工艺以及亚微米 CMOS 工艺形成 p⁺ 区域和 n⁺ 区域。

[0093] LDMOS 晶体管性能

[0094] 通过使用三倍扩散（N⁺/N-LD/HV n- 阱）漏极结构可以改善导通电阻 R_{dson}、漏极 - 衬底击穿电压 BV_{d_sub} 以及源极 - 衬底穿透击穿电压 BV_{s_sub} 之间的三向性能均衡，其中该三倍扩散漏极结构可以通过与典型的亚微米 CMOS 工艺兼容的工艺制造。

[0095] 可以在普通 HV n- 阱上制造 LDMOS 晶体管。普通 HV n- 阱的主要设计需求是提供优化的垂直掺杂轮廓以根据需要在所有制造的 LDMOS 晶体管中获得最高的漏极 - 衬底击穿电压 BV_{d_sub} 和源 - 衬底穿透击穿电压 BV_{s_sub}。对于例如大于 30V 的高电压 LDMOS 晶体管，相对于 CMOS 晶体管的常规（传统）n- 阱，通常将 HV n- 阱掺杂得更深和更轻。由于在工艺 600、1000 的开始处注入 HV n- 阱，其形成对分配给亚微米 CMOS 工艺的固定热预算（在亚微米 CMOS 期间的批生产中已经优化）没有影响。如果用于 CMOS n- 阱的共同推进不充分，则可以提供用于 HV n- 阱的额外推进。通常，具有逆垂直掺杂轮廓的深 HV n- 阱提供最佳的漏极 - 衬底击穿电压 BV_{d_sub} 以及源 - 衬底穿透击穿电压 BV_{s_sub} 性能。

[0096] 浅自对准扩散漏极注入和扩散（N-LD 512）与通过遮蔽的栅极尺寸控制的 p- 主体注入间隔开。该 N-LD 的主要设计需求是获得优化的横向掺杂轮廓以在导通电阻 R_{dson} 和漏极 - 衬底击穿电压 BV_{d_sub} 之间获得最佳的性能均衡。由于 N-LD 为浅扩散，其对 LDMOS 晶体管的垂直掺杂轮廓几乎没有影响，并且因此对晶体管的漏极 - 衬底击穿电压 BV_{d_sub} 以及源 - 衬底穿透击穿电压 BV_{s_sub} 特性几乎没有影响。N-LD 注入与 p- 主体的间隔可以通

过降低 HV n- 阱 /p- 主体结边界处的掺杂级别而更好地控制漏极 - 衬底击穿电压 BV_{d_sub} 。而且,该间隔可以导致 LDMOS 晶体管的改善的热载流子注入 (HCI) 能力。通常, LDMOS 晶体管漏极区域中的分级横向掺杂轮廓比均匀横向掺杂轮廓能够更好地提供导通电阻 R_{dson} 和漏极 - 衬底击穿电压 BV_{d_sub} 之间的性能均衡。通过使用大角度倾斜 (LAT) N-LD 注入可以获得分级横向掺杂轮廓。而且,由于 N-LD 注入不需要深推进,该 N-LD 可以与栅极自对准,即,在形成 CMOS 晶体管栅极和 LDMOS 栅极之后进行 N-LD 注入。因此,该 N-LD 注入对与 CMOS 工艺步骤 (例如,工艺步骤 206) 相关的固定热预算基本上没有影响。

[0097] 上面的说明书描述了可以在与典型的亚微米 CMOS 工艺兼容的工艺中制造的具有变化的漏极 - 衬底击穿电压 BV_{d_sub} 等级的 LDMOS 晶体管。

[0098] 下面的说明书描述可以通过与亚微米 CMOS 工艺兼容的注入工艺 600、1000 的工艺制造的 LDMOS 晶体管的另一实施例。

[0099] 用 CMOS n- 阱代替 HV n- 阱

[0100] 在亚微米 CMOS 工艺中制造的例如 3.3V 到 5V 的传统低电压 NMOS 晶体管的吸引人的特征在于该亚微米 CMOS 工艺通常包括注入具有大约 30V 击穿电压 CMOS n- 阱。对于设计用于中等电压范围 (例如 5V 到 25V) 应用的 LDMOS 晶体管,可以在常规的 CMOS n- 阱上制造这些 LDMOS 晶体管,从而去除了单独的 HV n- 阱注入和遮蔽步骤,即,分别为工艺 600、1000 中的步骤 604 和 1004。而工艺 600、1000 的剩余步骤保持不变。

[0101] 图 12 示出了在 p- 型衬底 1202 上制造的具有用于 LDMOS 晶体管的 CMOS n- 阱注入 1204 的示例性 LDMOS 晶体管 1200。该 LDMOS 晶体管 1200 包括漏极区域 1206、源极区域 1208 和栅极 1210。漏极区域 1206 包括 n- 掺杂的 n^+ 区域 1212 和 n- 掺杂的浅漏极 (N-LD) 1214。源极区域 1208 包括 n- 掺杂的 n^+ 区域 1216、p- 掺杂的 p^+ 区域 1218 以及 p- 掺杂的 p- 主体 1220。

[0102] 用 CMOS n- 阱代替 N-LD

[0103] 对于设计用于该电压范围应用的 LDMOS 晶体管, HV n- 阱通常比常规 CMOS n- 阱更深。因此,可以用 CMOS n- 阱代替 N-LD,从而去除了 N-LD 注入和遮蔽步骤,即,分别为工艺 600、1000 中的步骤 618 和 1014。因此,在上述的工艺 600 和 1000 中,在形成 LDMOS 晶体管的栅极之前就可以注入 CMOS n- 阱,该 CMOS n- 阱可以用作浅漏极并且相对于栅极不自对准。工艺 600、1000 的剩余步骤保持不变。

[0104] 图 13 示出了在 p- 型衬底 1302 上制造的具有作为浅漏极的 CMOS n- 阱 1304 的示例性 LDMOS 晶体管 1300。该 LDMOS 晶体管 1300 具有用于晶体管的 HV n- 阱注入 1306。LDMOS 晶体管 1300 包括漏极区域 1308、源极区域 1310 和栅极 1312。漏极区域 1308 包括 n- 掺杂的 n^+ 区域 1314 和 n- 掺杂的浅漏极 (CMOS n- 阱) 1304。源极区域 1310 包括 n- 掺杂的 n^+ 区域 1316、p- 掺杂的 p^+ 区域 1318 以及 p- 掺杂的 p- 主体 1220。

[0105] 用 DDD 代替 N-LD

[0106] 在亚微米 CMOS 工艺包括制造 DDD (双掺杂漏极) HV-CMOS 晶体管模块的应用中,与 LDMOS 晶体管的浅漏极进行相同的 DDD 注入以调节漏极的阻值,从而去除了上述的 N-LD 注入和遮蔽步骤 618、1014。工艺 600、1000 的剩余步骤保持不变。DDD 注入可以相对于 LDMOS 栅极自对准或者不对准。此外, DDD 注入可以与 p- 主体具有偏移从而该 DDD 注入从 LDMOS 栅极延伸预定的距离 d。

[0107] 图 14 示出了在 p- 型衬底 1402 上制造的具有作为浅漏极的 DDD 注入 1404 的示例性 LDMOS 晶体管 1400。该 LDMOS 晶体管 1400 具有用于晶体管的 CMOS n- 阱注入 1406。LDMOS 晶体管 1300 包括漏极区域 1408、源极区域 1410 和栅极 1412。漏极区域 1408 包括 n- 掺杂的 n⁺ 区域 1414 和 n- 掺杂的浅漏极 (CMOS n- 阱) 1404。源极区域 1410 包括 n- 掺杂的 n⁺ 区域 1416、p- 掺杂的 p⁺ 区域 1418 以及 p- 掺杂的 p- 主体 1420。

[0108] 用 LDD 代替 N-LD

[0109] 在传统的亚微米 CMOS 工艺中, 可以引入 LDD (轻掺杂漏极) 注入和隔离物形成步骤以改善 NMOS 晶体管抵抗热电子降解的不平坦性。在一种实施方式中, 可以将 LDD 注入用作 LDMOS 晶体管的浅漏极, 从而分别去除了工艺 600、1000 中的 N-LD 注入和遮蔽步骤 618、1014。

[0110] 图 15 示出了在 p- 型衬底 1402 上制造的具有分别扩散到 LDMOS 晶体管的源极区域 1508 和漏极区域 1510 的 LDD 1504、1506 的示例性 LDMOS 晶体管 1500。该 LDMOS 晶体管 1500 具有用于 LDMOS 晶体管的 HV n- 阱注入 1512。该 LDMOS 晶体管还包括栅极 1514。漏极区域 1510 还包括 n- 掺杂的 n⁺ 区域 1516。源极区域 1508 还包括 n- 掺杂的 n⁺ 区域 1518、p- 掺杂的 p⁺ 区域 1520 以及 p- 掺杂的 p- 主体 1522。

[0111] 由 N⁺ 倾斜掩模限定 N-LD 注入

[0112] 在一种实施方式中, 通过使用倾斜掩模实现分级浅漏极表面注入以沿着漏极区域 LDMOS 晶体管的表面产生彼此间隔开的多个标准 n⁺ 注入。该漏极区域中的多个 n⁺ 注入导致通过掺杂剂 - 侧扩散的整体较低掺杂。该实施方式尤其适用于具有高击穿电压规范的 LDMOS 晶体管。工艺 600、1000 的剩余步骤保持不变。

[0113] 图 16 示出了在 p- 型衬底 1602 上制造的具有分级浅漏极表面注入 1604 的示例性 LDMOS 晶体管 1600。该 LDMOS 晶体管 1600 具有用于 LDMOS 晶体管的 HVn- 阱注入 1606。该 LDMOS 晶体管还包括栅极 1608。漏极区域 1610 还包括 n- 掺杂的 n⁺ 区域 1612。源极区域 1614 还包括 n- 掺杂的 n⁺ 区域 1616、p- 掺杂的 p⁺ 区域 1618 以及 p- 掺杂的 p- 主体 1620。

[0114] P- 型 LDMOS 晶体管

[0115] 可以制造 p- 型高电压 LDMOS 晶体管。图 17 示出了在 p- 型衬底 1702 上制造的示例性 p- 型 LDMOS 晶体管。该 LDMOS 晶体管 1700 具有用于 LDMOS 晶体管的 HV n- 阱注入 1704。该 LDMOS 晶体管还包括栅极 1706。漏极区域 1708 还包括 p- 掺杂的 p⁺ 区域 1710 和 p- 掺杂的浮置 p- 主体 1712。该浮置 p- 主体 1712 可以自对准或者不对准。源极区域 1714 包括 p- 掺杂的 p⁺ 区域 1716 和 n- 掺杂的 n⁺ 区域 1718。在一种实施方式中, 栅极氧化物具有均匀的厚度 (氧化物区域 1730 和 1732 具有均匀的厚度)。在另一实施方式中, 氧化物区域 1730 为薄栅极氧化物而氧化物区域 1732 为较厚氧化物区。尽管所示的栅极 1706 具有双栅极氧化物, 但是根据需要栅极 1706 可以形成单层均匀栅极。

[0116] 与图 5A 所示的 LDMOS 晶体管相同, 使用非自对准 p- 主体注入 1712 制造该 p- 型 LDMOS 晶体管 1700。而且通常, 图 12-17 所示的 LDMOS 晶体管的共同特征在于在传统 CMOS 晶体管的栅极形成之前形成 p- 体注入。这确保了可以按照与具有固定参数的亚微米 CMOS 工艺兼容的工艺制造 LDMOS 晶体管, 其中所述固定参数已经对于亚微米 CMOS 工艺的批生产进行了优化。

[0117] 互补 p- 型 LDMOS 晶体管的应用简化了电平移位电路的设计。如同上述的各种

LDMOS 晶体管的 p- 型 LDMOS 晶体管可以与厚的栅极氧化物或者薄的栅极氧化物一起实施。再次参照图 17, 该 p- 型 LDMOS 晶体管 1700 与厚的栅极氧化物 1720 一起实施。例如, 当诸如 LDMOS 晶体管 416 (图 5A) 的 LDMOS 晶体管与高电压栅极 (即, 具有厚栅极氧化物的栅极) 一起实施时, 可以在转换调节器电路实现标准的高端 p- 型晶体管 (例如 PMOS 晶体管), 从而消除了对高端栅极驱动力的考虑。该方案产生了具有低端 LDMOS 晶体管和高端 LDMOS 晶体管的混合转换调节器, 其使与高端 PMOS 上拉晶体管相关的动态电容损失最小化, 如图 4 中的转换调节器 400 所示。低端 LDMOS 晶体管可以具有优化的导通电阻 R_{dson} (薄或者厚的栅极氧化物)。可以设计高端 PMOS 晶体管使通常与高端 PMOS 上拉晶体管相关的动态电容损失最小化。在高端转换的传导负载相对较低的典型 DC-DC 转换应用中, 该高端晶体管的导通电阻 R_{dson} 为次要的考虑因素。

[0118] 图 18 示出了具有包括高端 LDMOS 晶体管 1804 和低端 LDMOS 晶体管 1806 的转换电路 1802 的非混合转换调节器 1800。可以通过工艺 600 或者 1000 制造 LDMOS 晶体管 1804 和 1806。转换调节器 1800 以与转换调节器 400 (图 4) 相类似的方式操作。然而, 转换调节器 1800 包括用于驱动高端 LDMOS 晶体管 1804 的 LDMOS 驱动器 1808。通常, LDMOS 驱动器 1808 不能使用传统的 CMOS 晶体管制造。然而, 使用工艺 600、1000, 可以使用具有浮置操作能力的 PMOS 晶体管和具有浮置操作能力的 NMOS 晶体管制造该 LDMOS 驱动器 1808。可以使用传统 CMOS 晶体管或者使用具有浮置操作能力的 PMOS 晶体管和具有浮置操作能力的 NMOS 晶体管制造 LDMOS 驱动器 428。通常使用传统 CMOS 晶体管制造控制器 424。

[0119] 其它器件结构

[0120] NPN 晶体管

[0121] 通常, 只有 PNP 晶体管可以通过典型的亚微米 CMOS 工艺制造。然而, 可以修改工艺 600 以允许制造 NPN 晶体管。图 19 示出了可以通过与亚微米 CMOS 工艺兼容的工艺制造的示例性 NPN 晶体管 1900 的截面图。

[0122] 图 20 示出了用于制造诸如 PNP 晶体管 2000 的 PNP 晶体管的工艺 2000。工艺 2000 开始于形成诸如 p- 型衬底 (图 19) 的衬底 1902 (步骤 2002)。将用于 NPN 晶体管的阱注入该衬底 (步骤 2004)。如图 19 所示的实施例, 该注入的阱可以是 HV (高压) n- 阱 1904。将非对准的 p- 主体注入晶体管的表面 (步骤 2006), 如图 19 所示的 p- 主体 1906。形成栅极氧化物和栅极多晶硅。注入诸如 n^+ 区域 1908 和 1910 以及 p^+ 区域 1912 (图 19) 的 PNP 晶体管的 n^+ 区域和 p^+ 区域 (步骤 2008)。或者, p- 主体 1906 能够自对准并且在形成栅极氧化物和栅极多晶硅之后进行注入。

[0123] 互补 NPN 和 PNP 晶体管的应用增强了高性能模拟电路的设计。

[0124] 具有浮置操作能力的 CMOS 晶体管

[0125] 如上所述, 可以通过工艺 600、1000 实施具有浮置操作能力 (即, NMOS 晶体管的源极不接地) 的 NMOS 晶体管。如图 21A 和 21B 所示, 该 NMOS 晶体管连同在 HV n- 阱中制造的 PMOS 晶体管可以实施具有 CMOS 晶体管逻辑的高端驱动 (HSD) 电路 (例如, LDMOS 驱动器 1808)。

[0126] 上面描述了本发明的多个实施方式。然而, 应该理解, 在不脱离本发明精神和范围的情况下可以对本发明做出各种修改。例如, 尽管上述的一些 LDMOS 晶体管结构在该器件的漏极区域上不具有 LOCOS 场氧化物 (FOX) 2202, 如图 22 所示, 上述工艺还可以应用于在器

件的漏极区域上具有 LOCOS 的 LDMOS 晶体管, 诸如 LDMOS 晶体管 2200。上述的器件可以在普通的半桥或者全桥电路中实施, 并且也可以在其它功率电子系统中实施。

[0127] 上述 LDMOS 晶体管的共同特征在于在形成传统 CMOS 晶体管的栅极氧化物之前形成 p- 主体注入, 以确保可以按照与亚微米 CMOS 工艺兼容的工艺制造该 LDMOS 晶体管。如上所述, 在一种实施方式中, 可以在 RTA 之前使用第一高能注入和第二注入的两个步骤进行 p- 主体注入。该第一高能注入可以使用 LAT 注入进行注入。图 23 示出了用于注入 p- 主体而基本上不破坏 CMOS 工艺热循环的工艺 2300。可以在形成 CMOS 晶体管的栅极之后进行该第二注入 (步骤 2306), 或者进行高能注入 (步骤 2302) 和第二注入。在该第二注入之后进行 RTA 工艺 (步骤 2308)。使用较短的时间周期和温度实施该 RTA 工艺, 从而分别对制造亚微米 CMOS 晶体管的热循环基本不受影响。如上所述, 可以在 n- 型底上制造 LDMOS 晶体管。在该实施方式中, 可以在 n- 型衬底上沉积 SOI (绝缘体上硅) 绝缘层。然后可以注入用于 LDMOS 晶体管和 CMOS 晶体管的 p- 阱。然后可以进行工艺 600、1000 中形成衬底之后的工艺步骤。

[0128] 因此, 其它实施方式落入下面权利要求的范围之内。

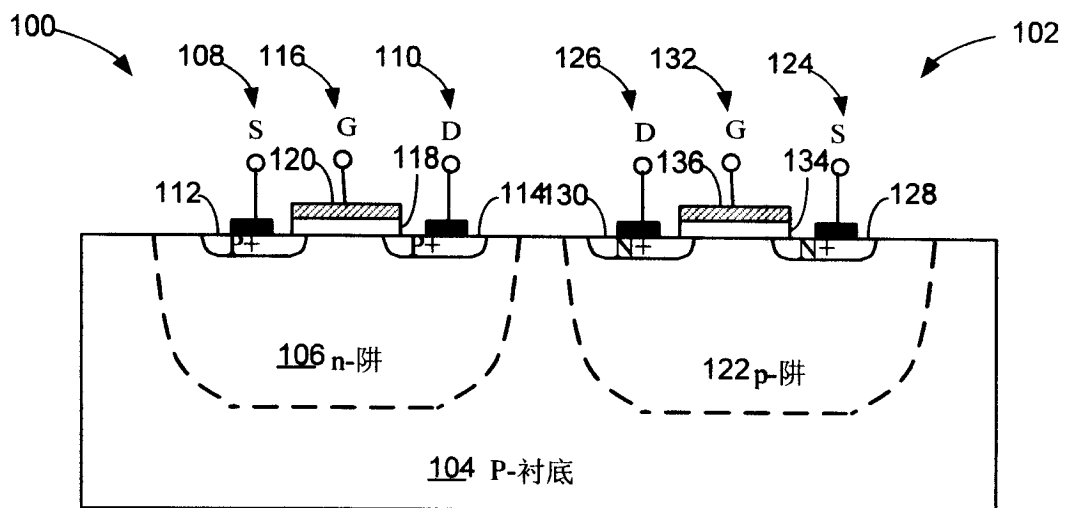


图 1

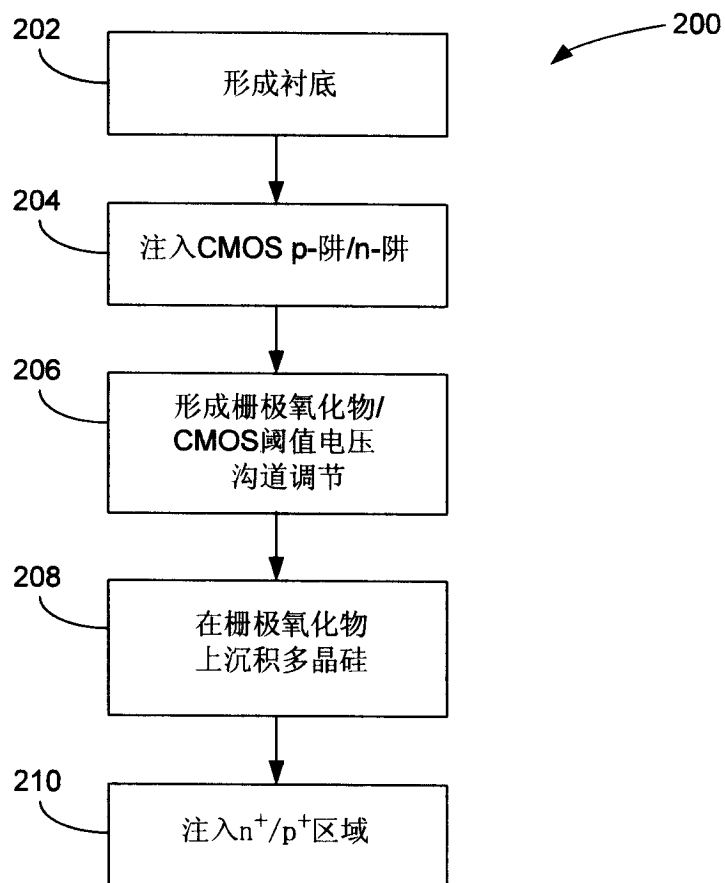
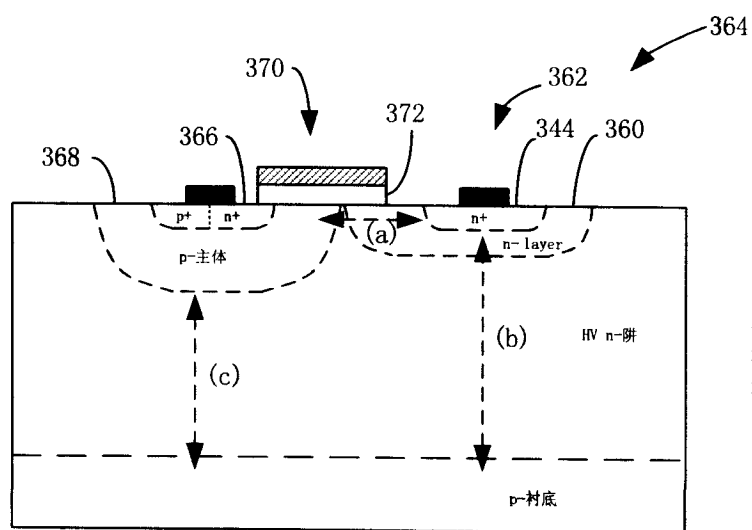


图 2



在形成栅极之后
注入的p-主体破坏
了CMOS热预算

图 3C

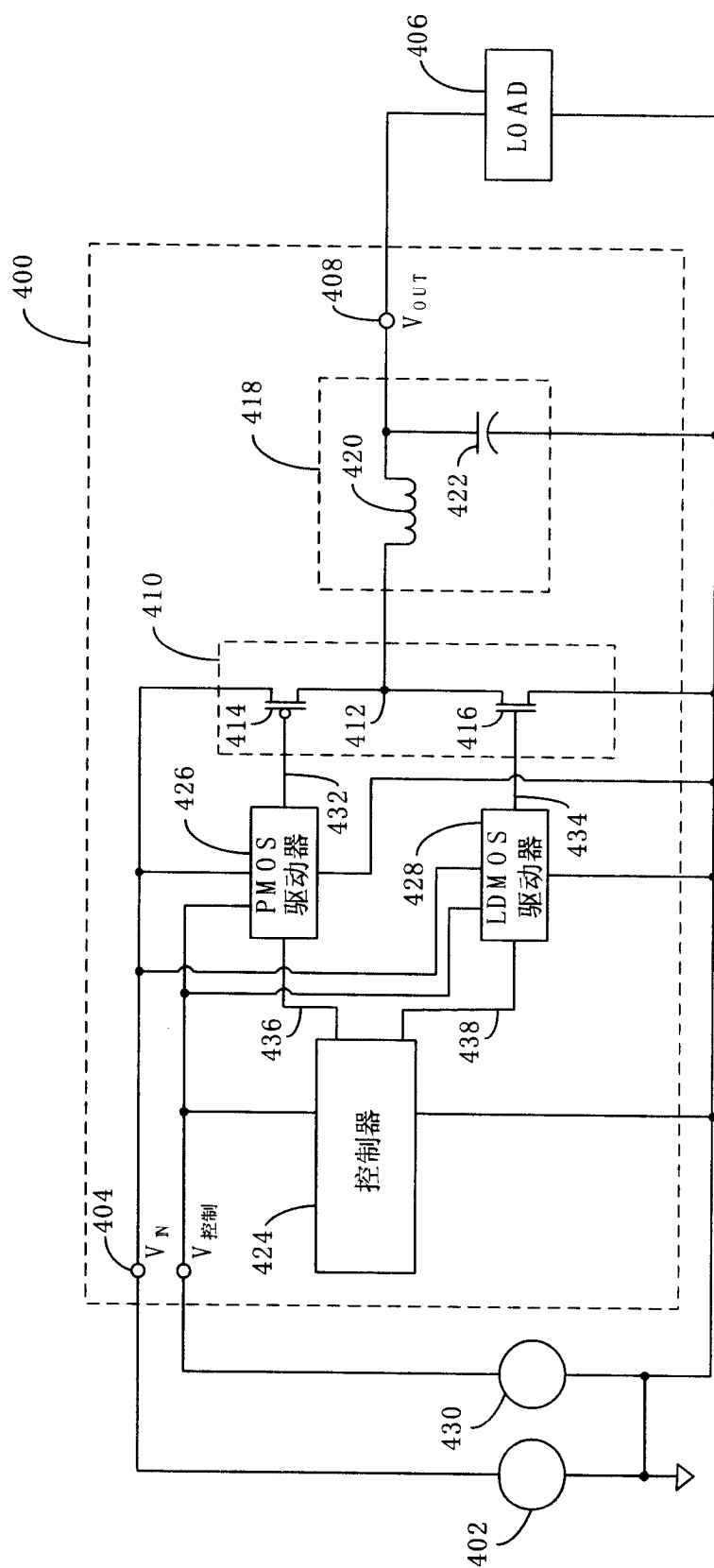


图4

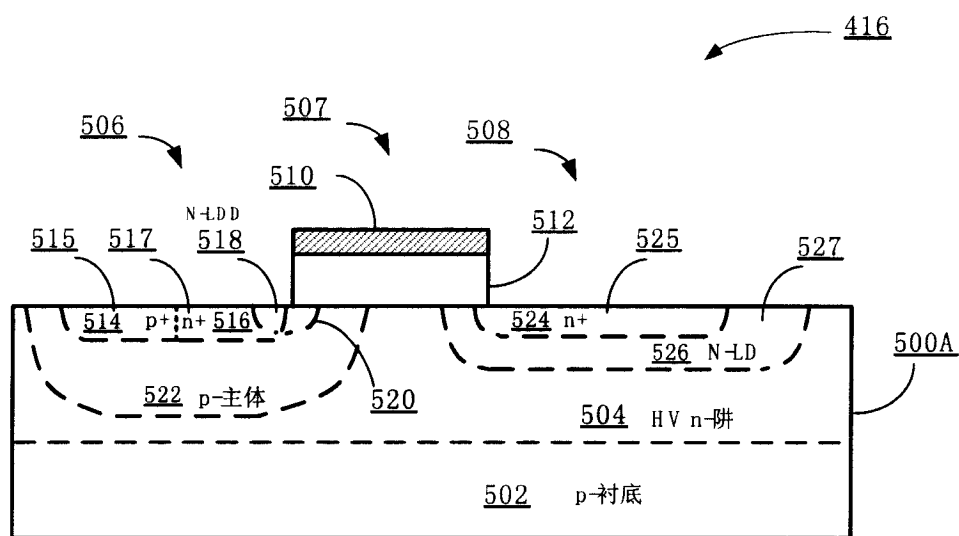


图5A

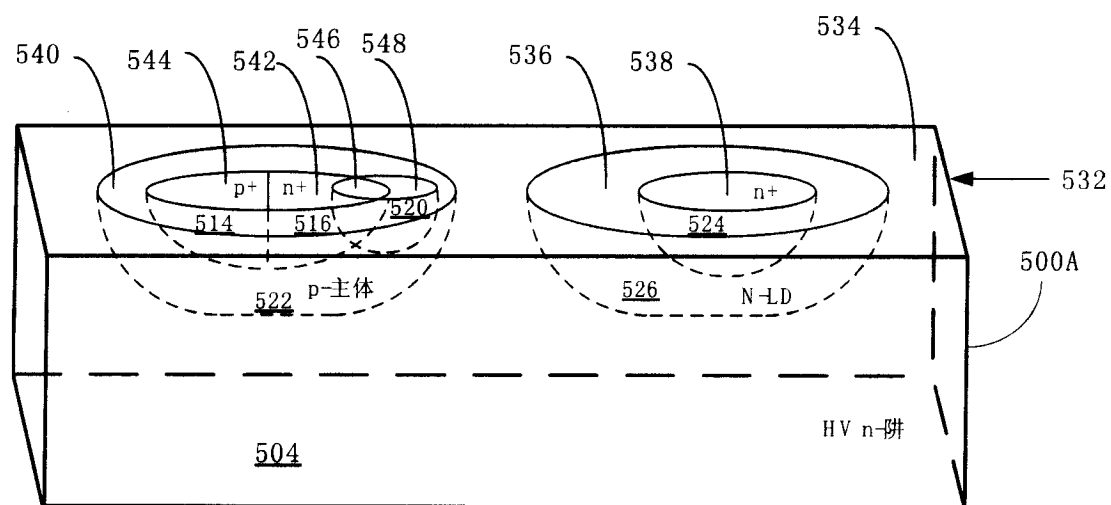


图5B

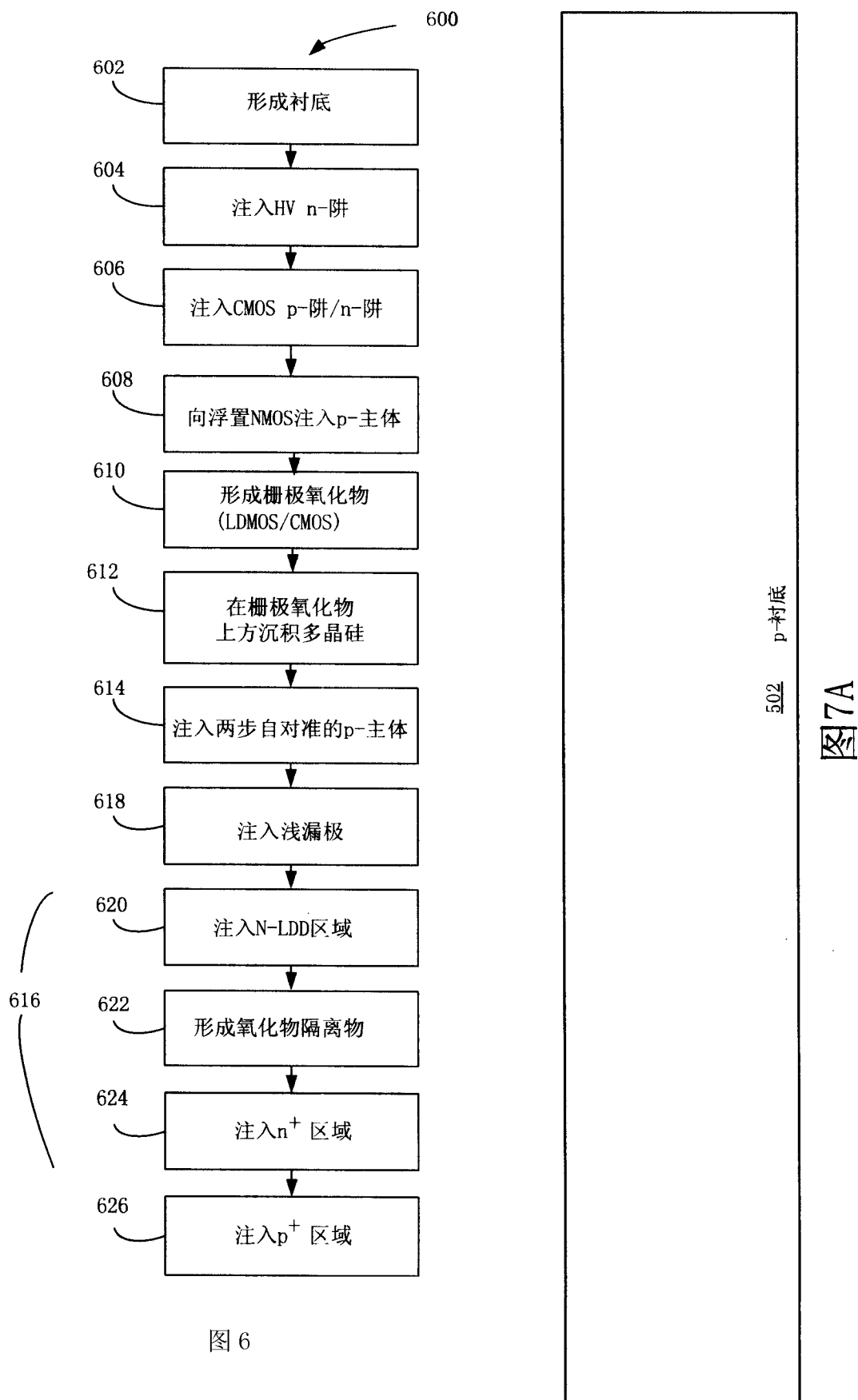


图 6

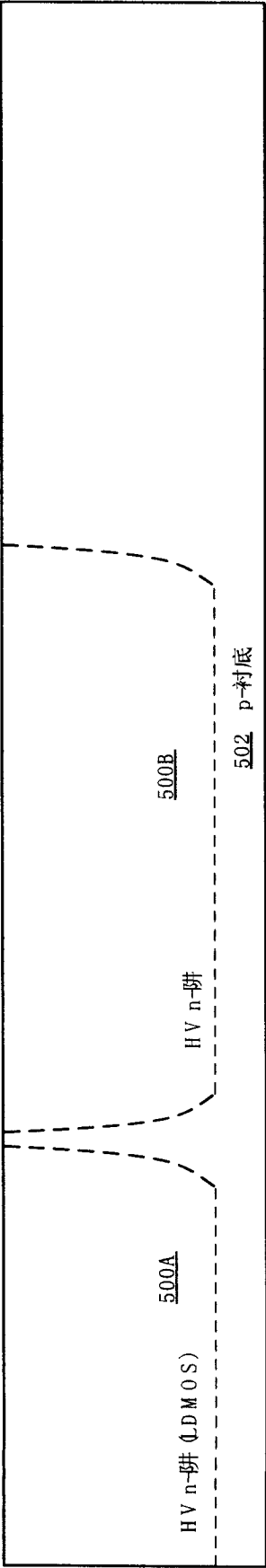


图7B

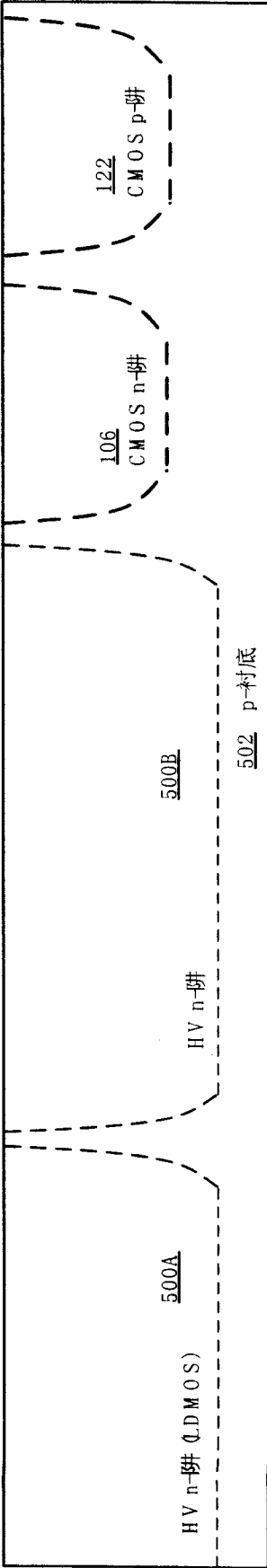


图7C

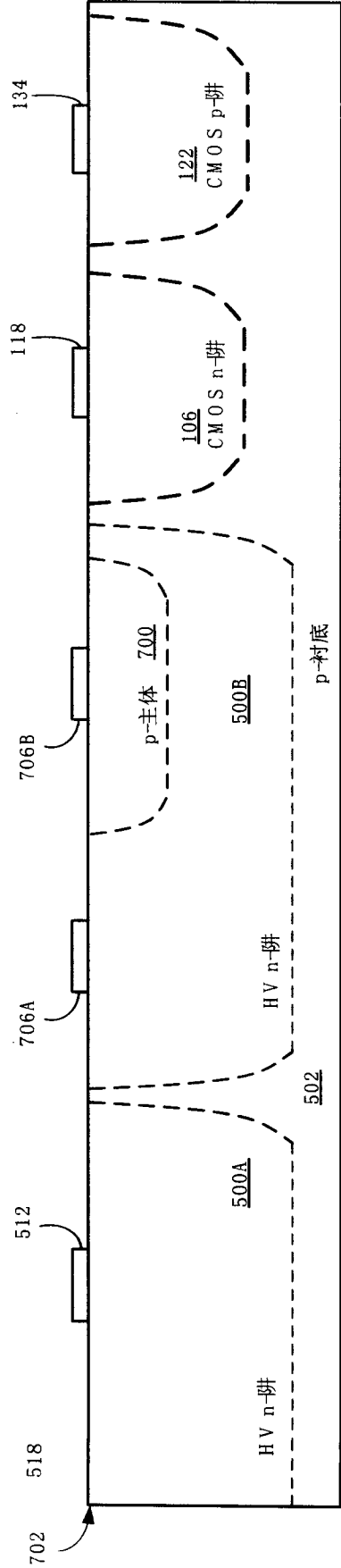


图7D

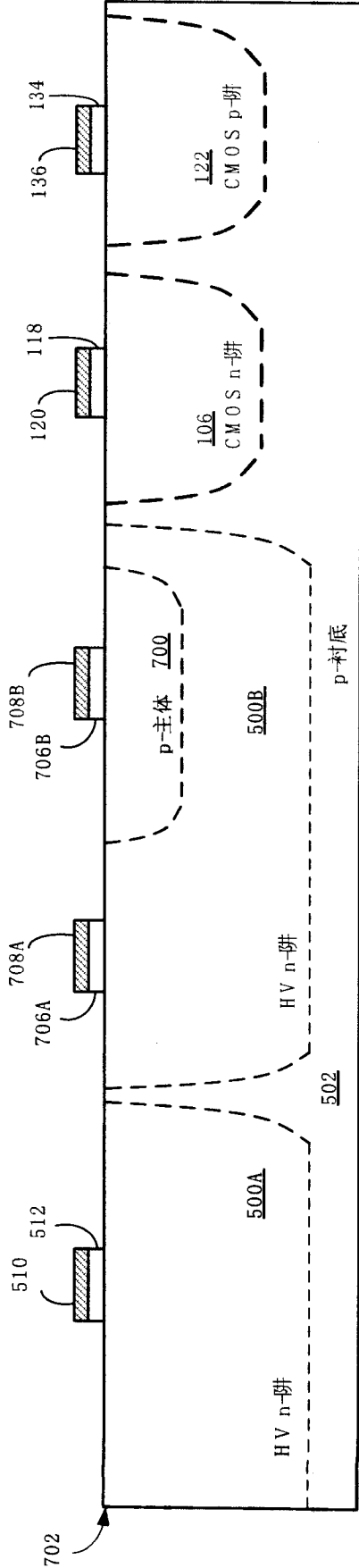


图7E

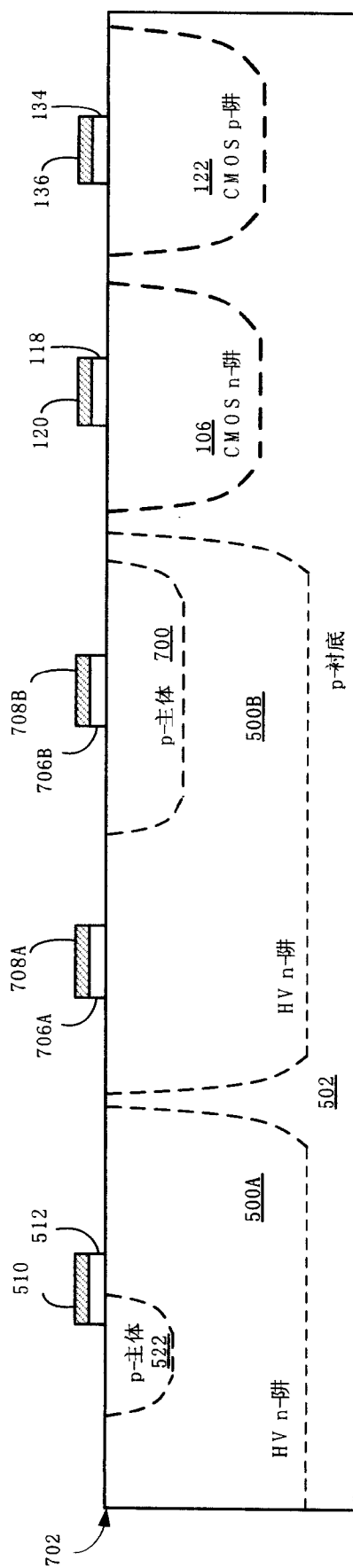


圖 7F

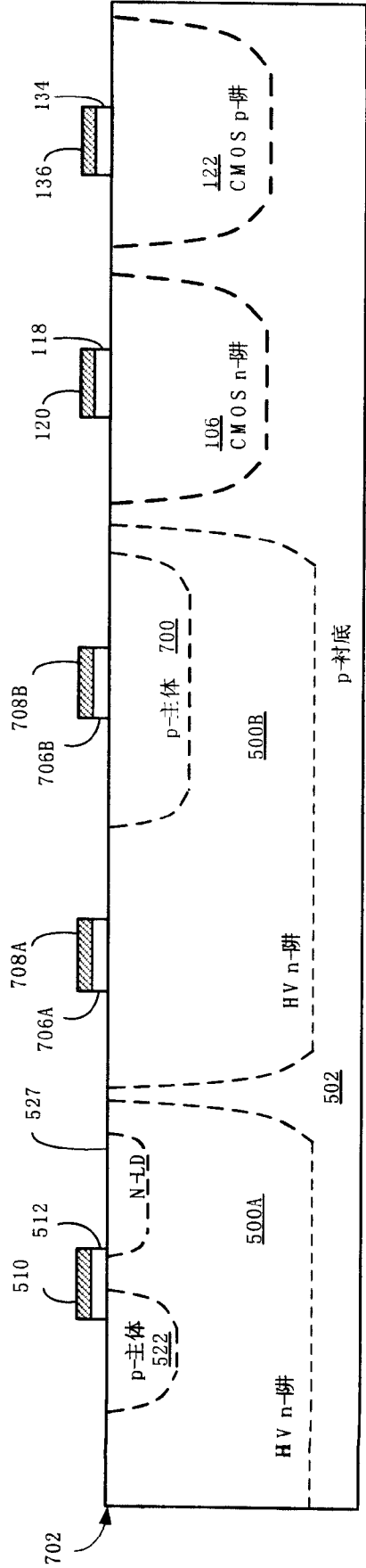


图7G

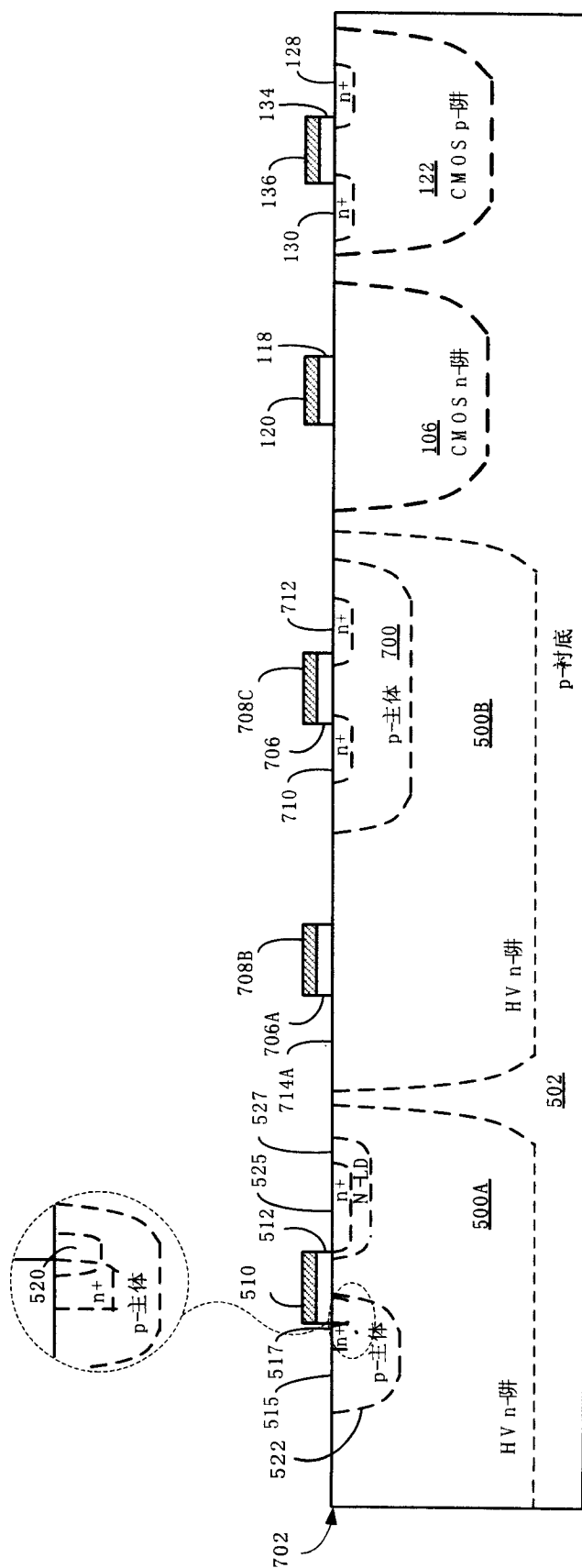


图7H

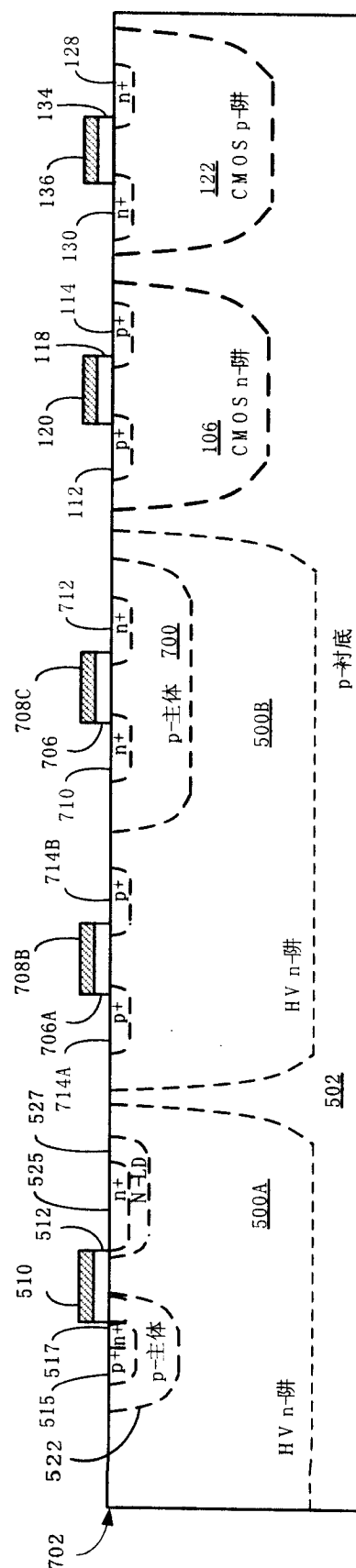


图7I

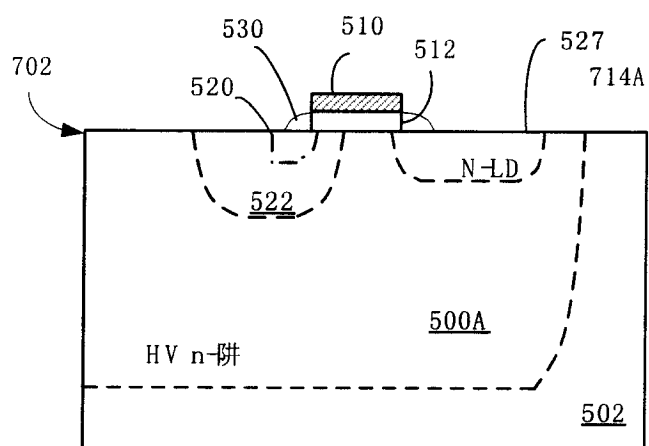


图7K

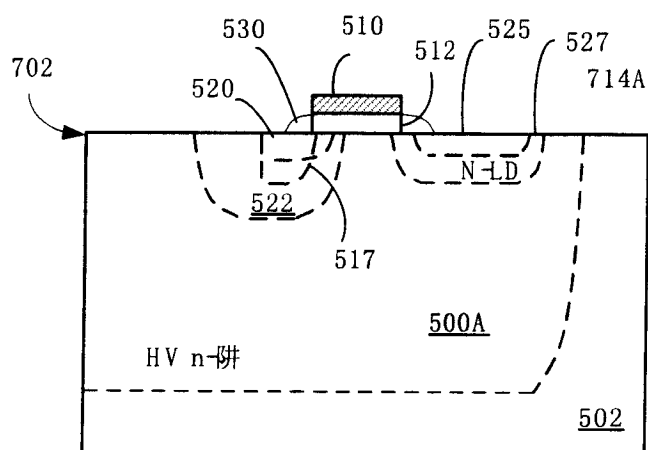


图7L

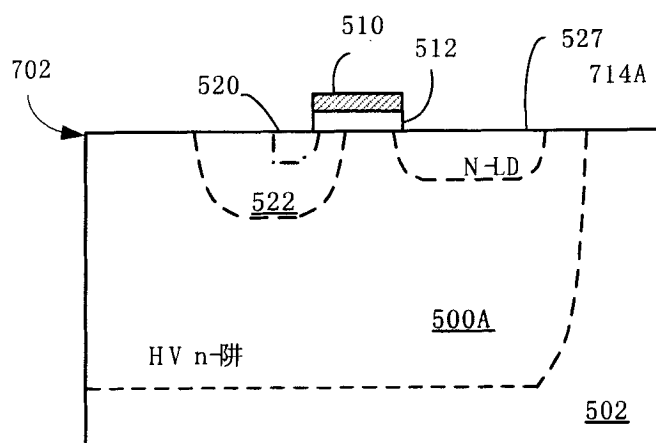


图7J

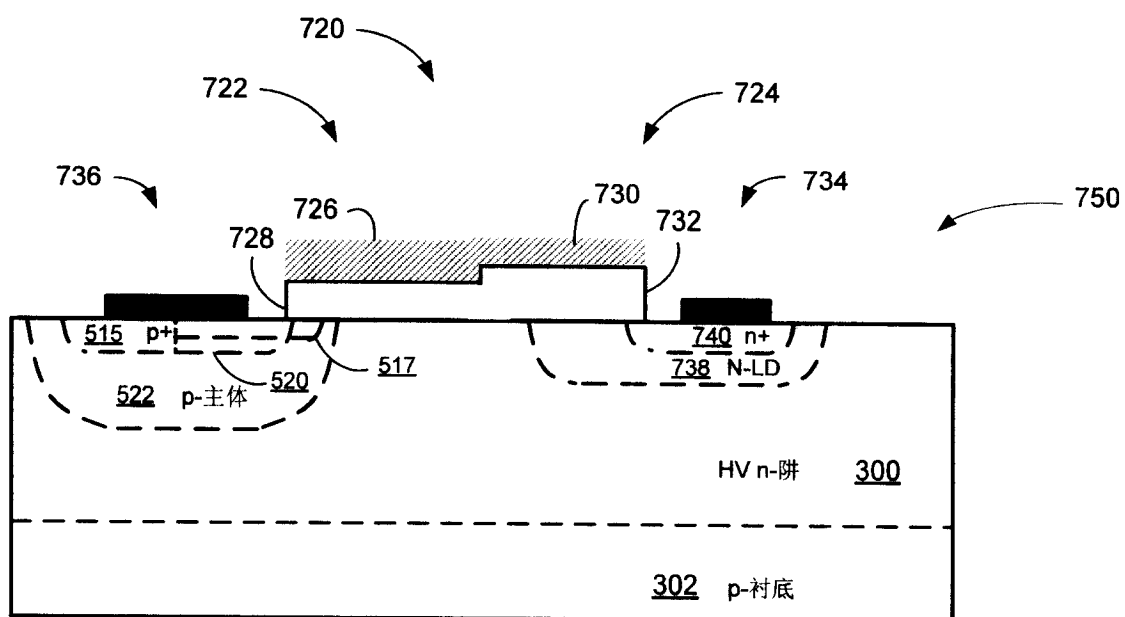


图 7M

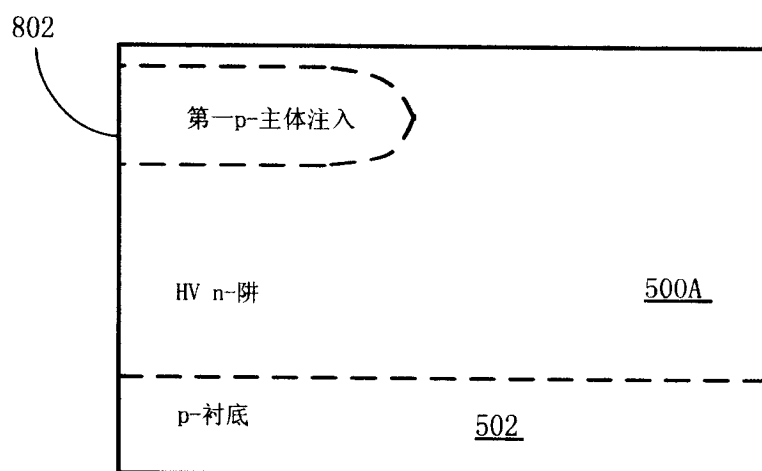


图 8A

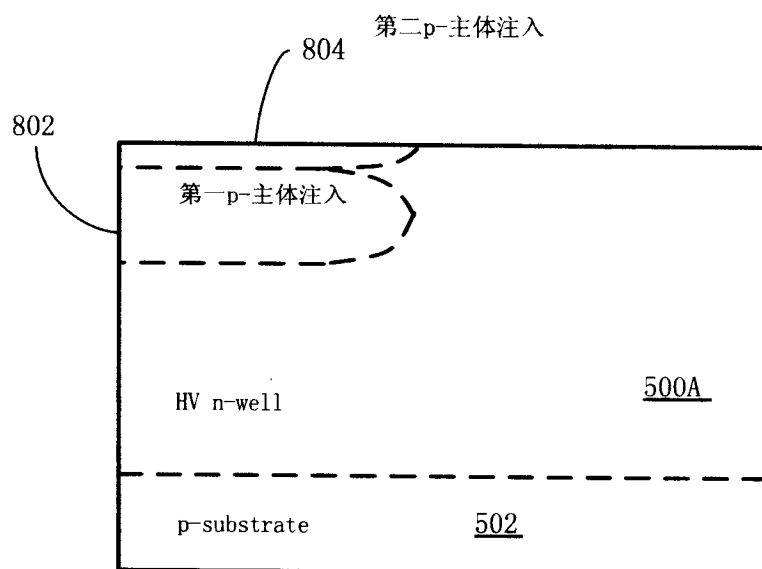


图 8B

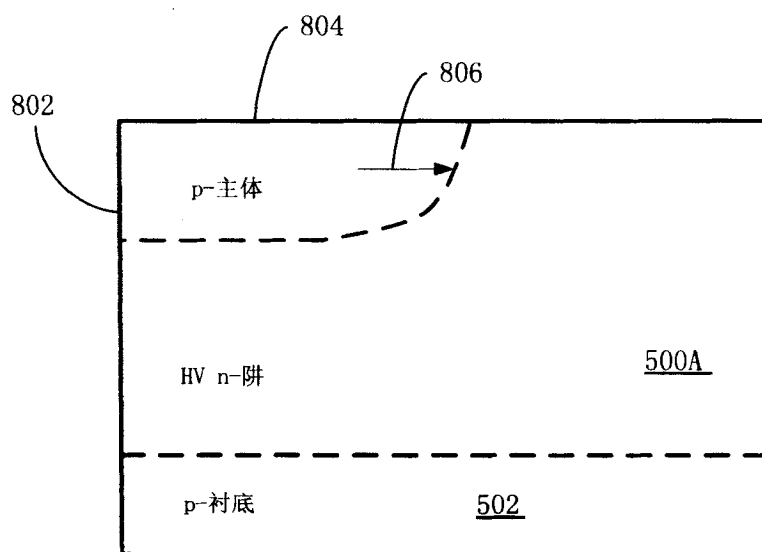


图 8C

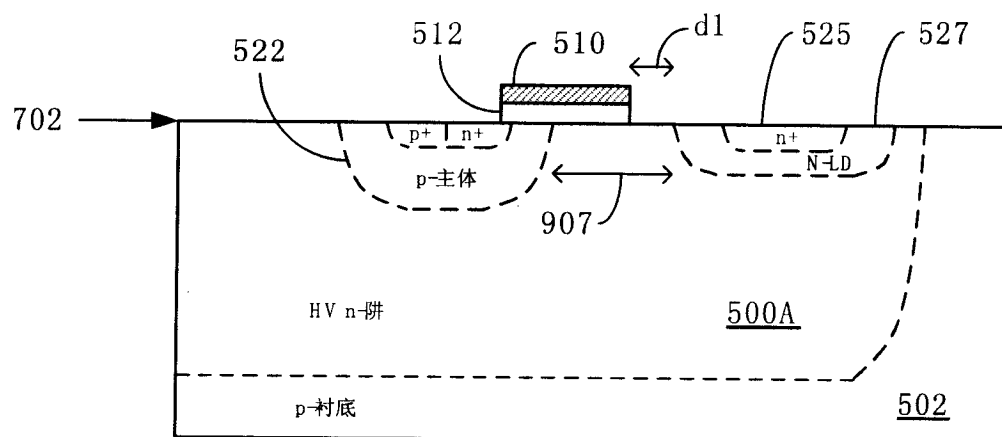


图9A

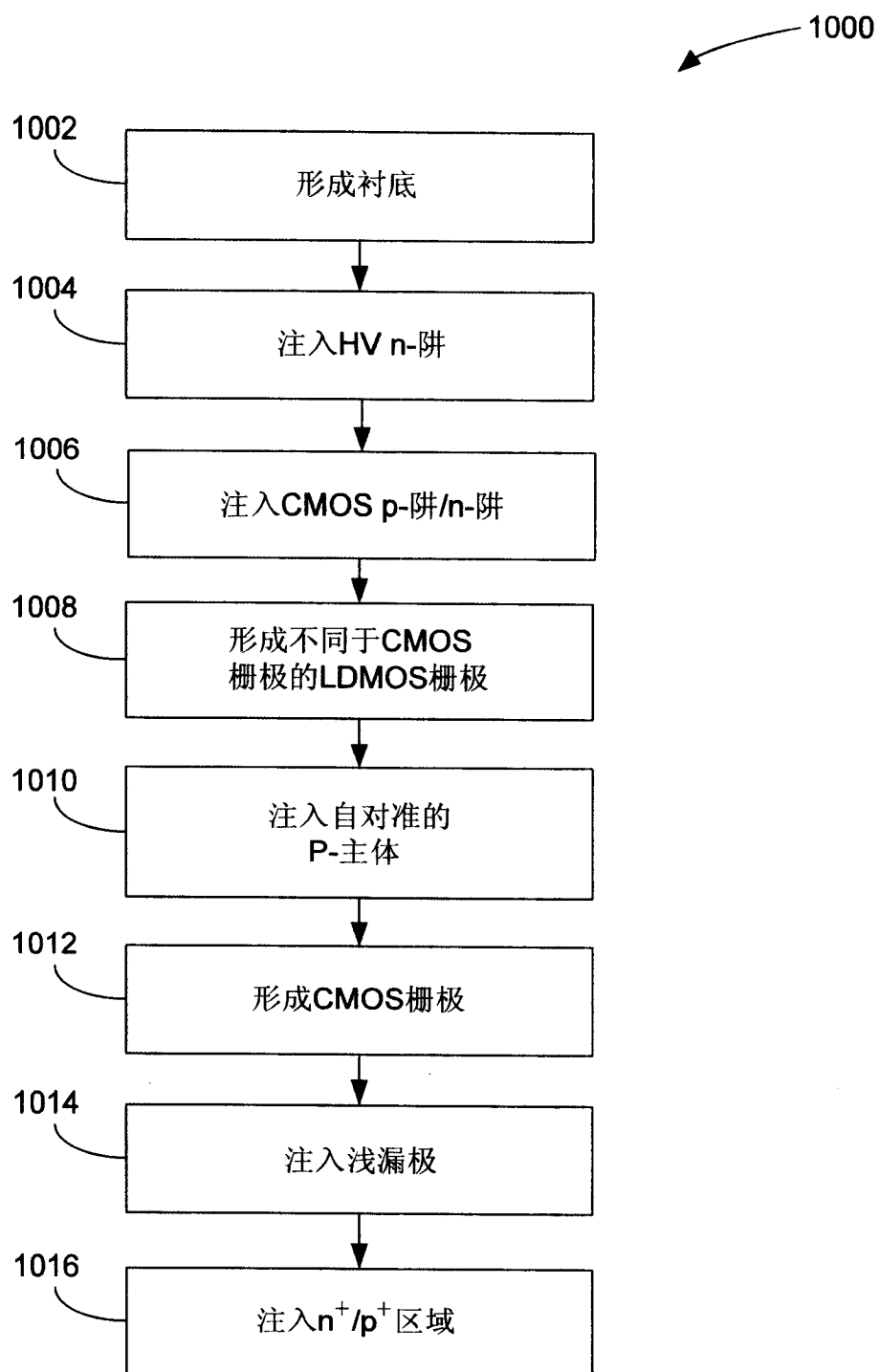


图 10

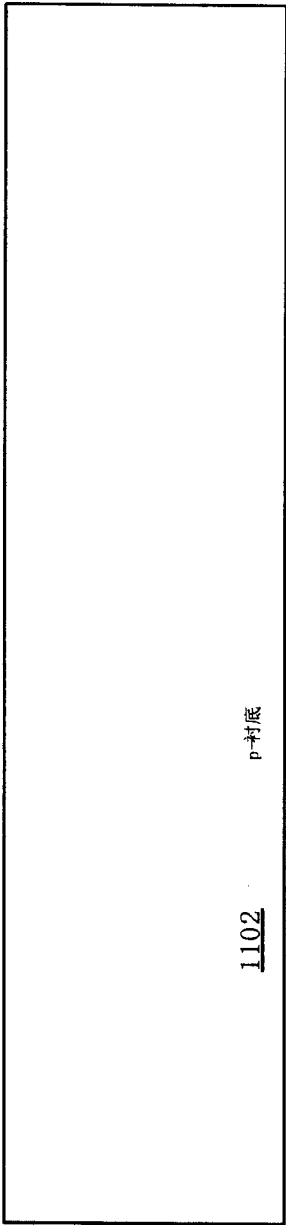


图11A

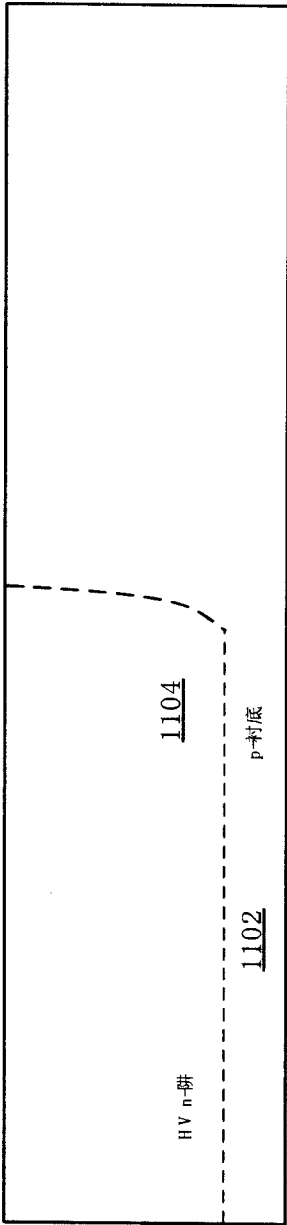


图11B

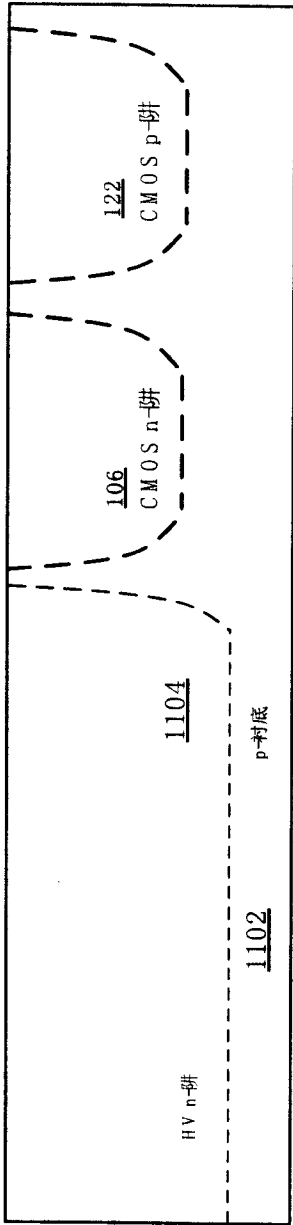


图11C

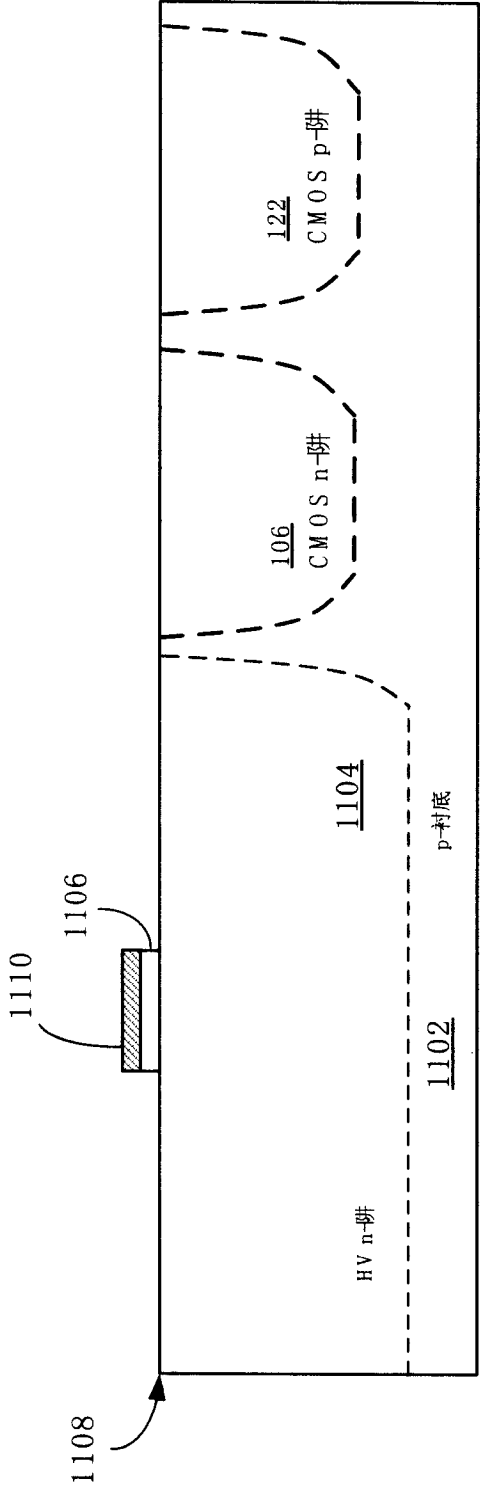


图11D

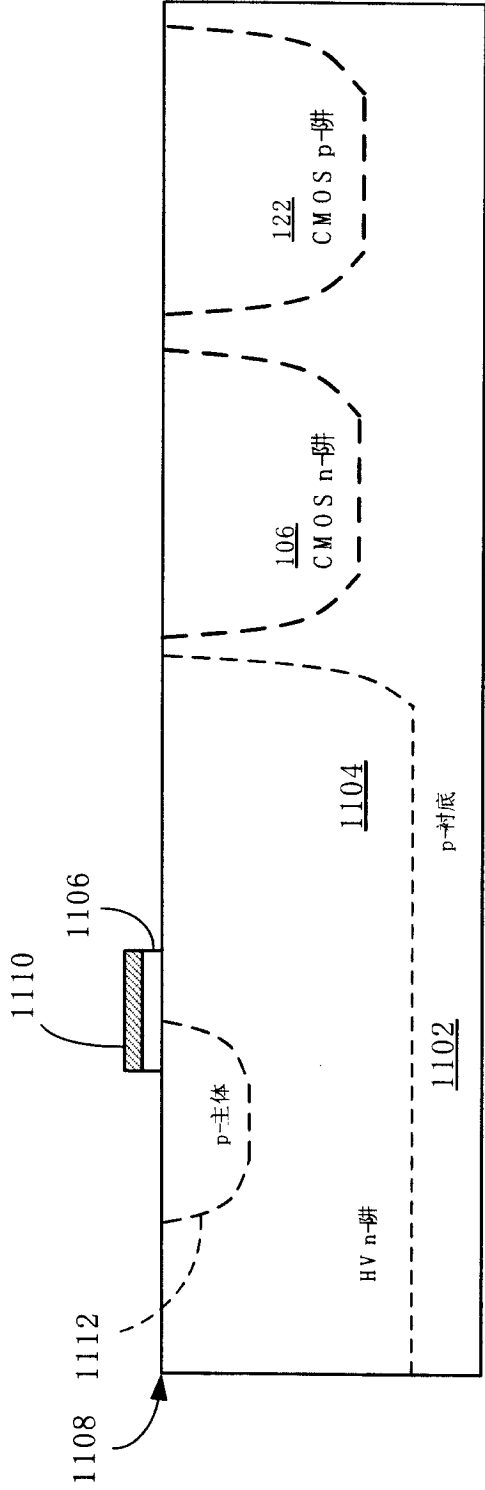


图11E

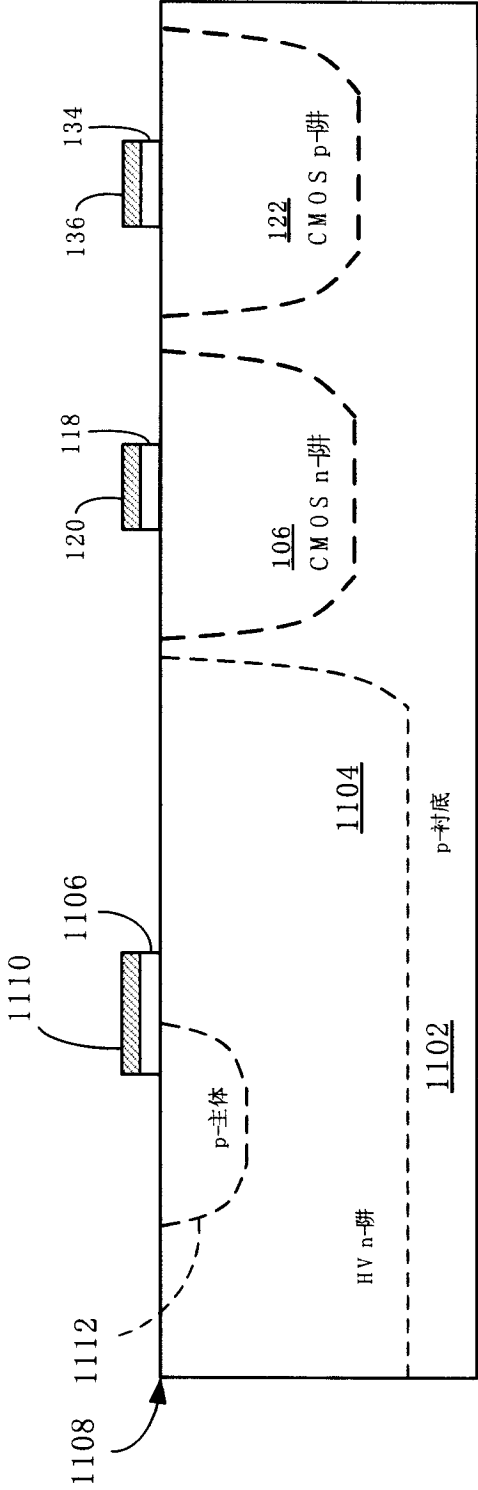


图11F

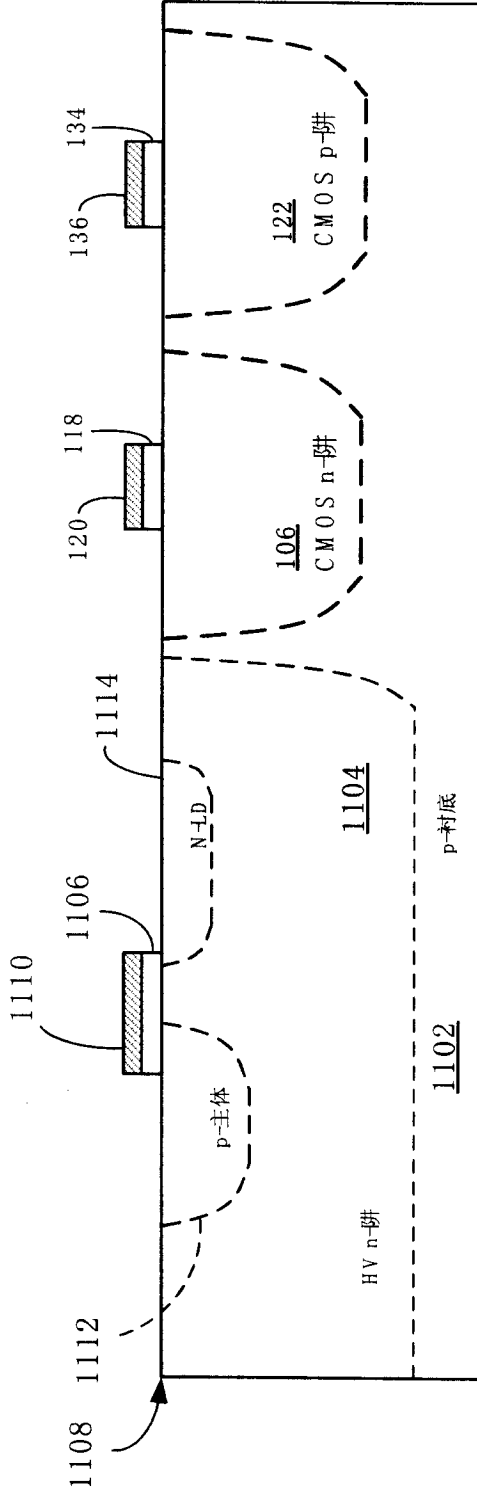


图11G

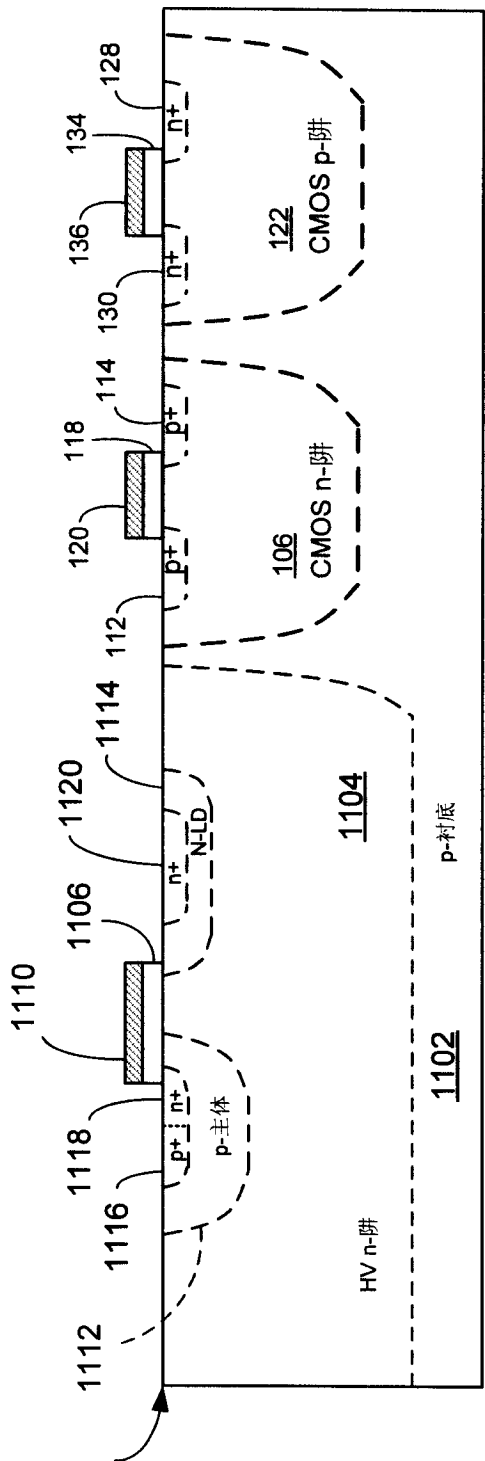


图11H

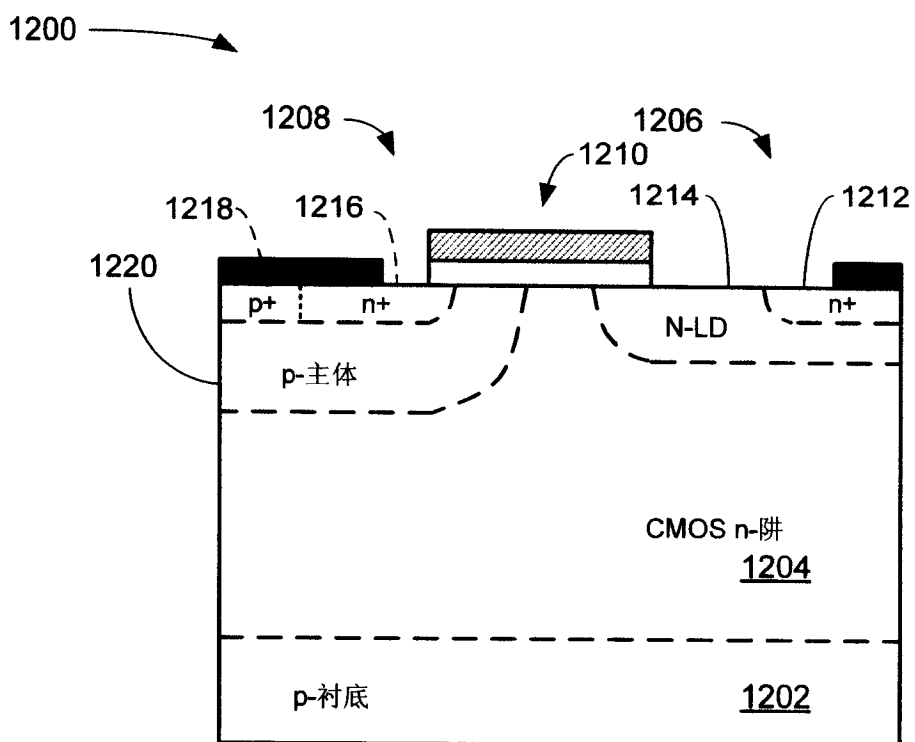


图 12

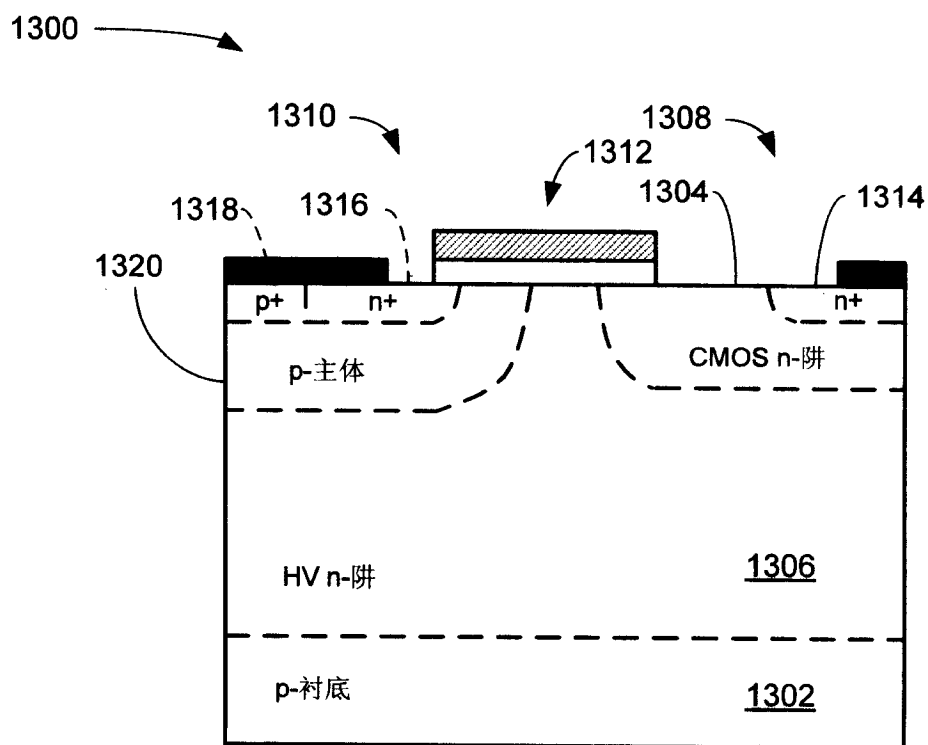


图 13

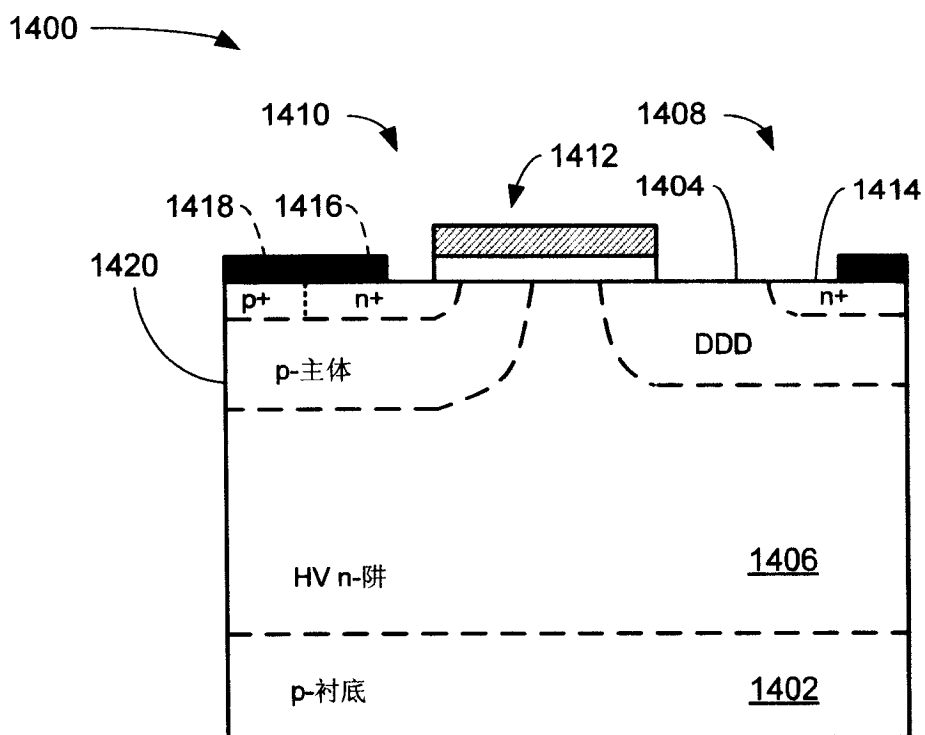


图 14

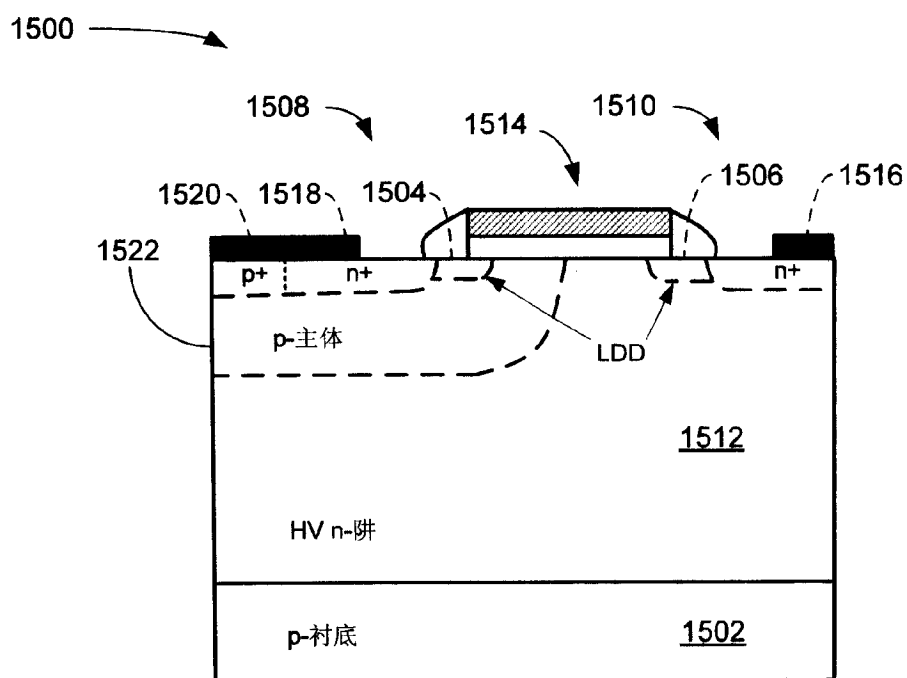


图 15

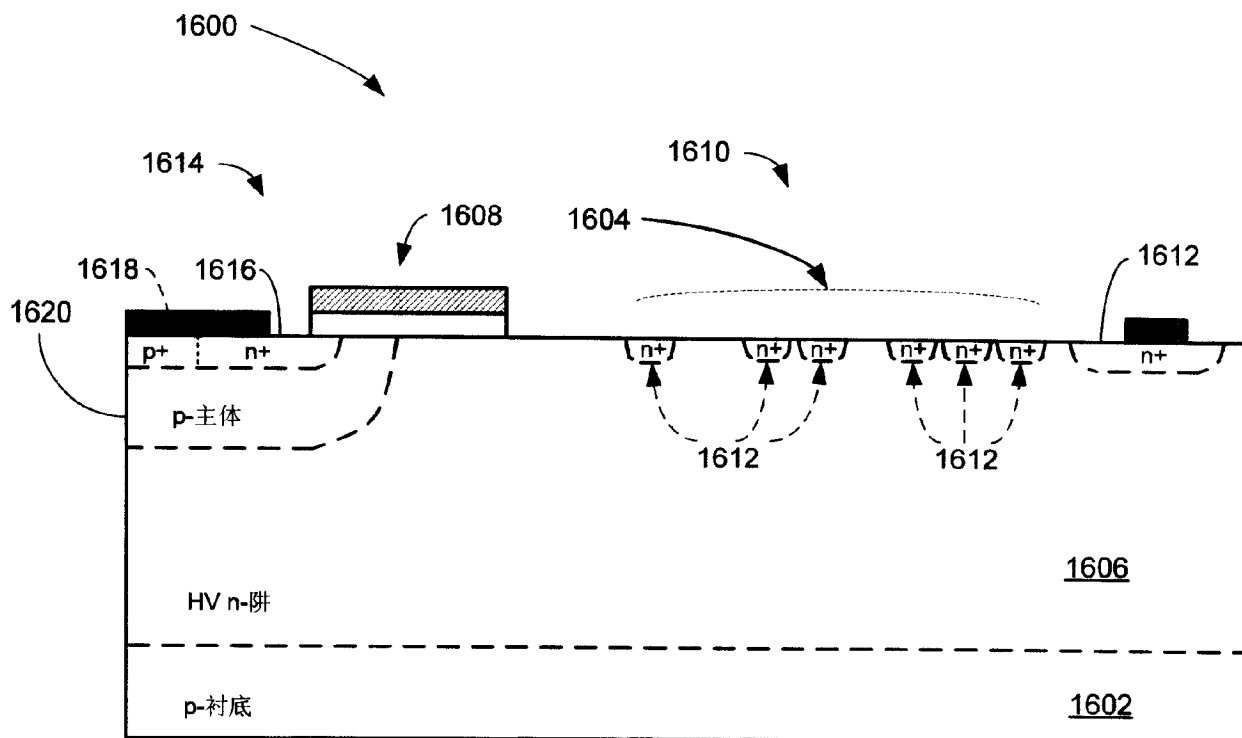


图 16

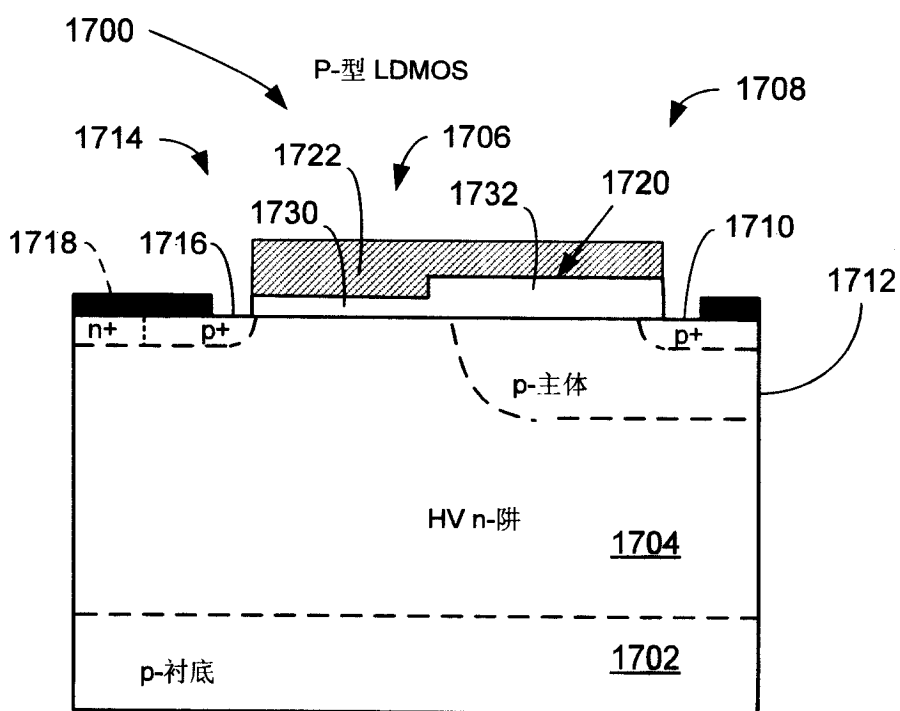


图 17

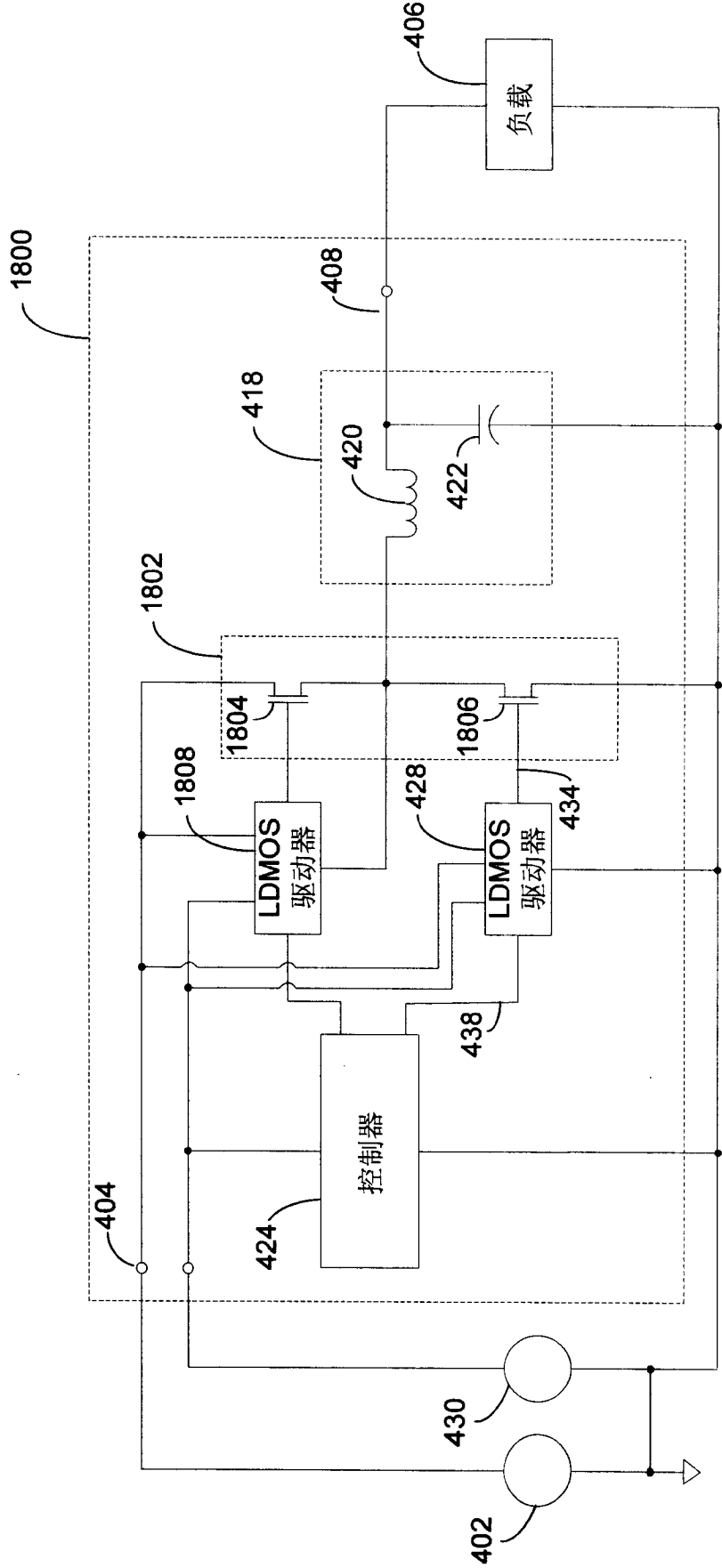


图18

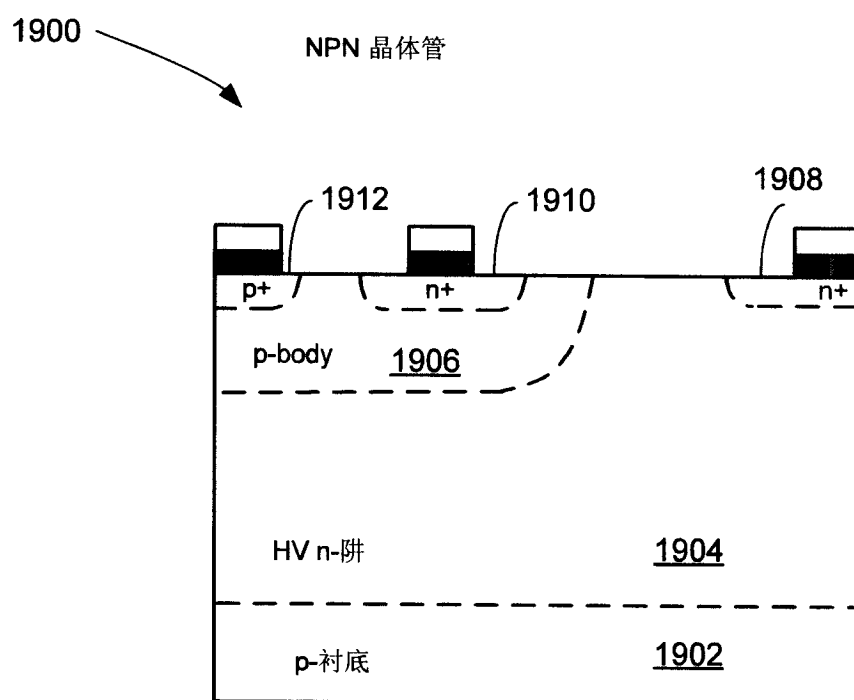


图 19

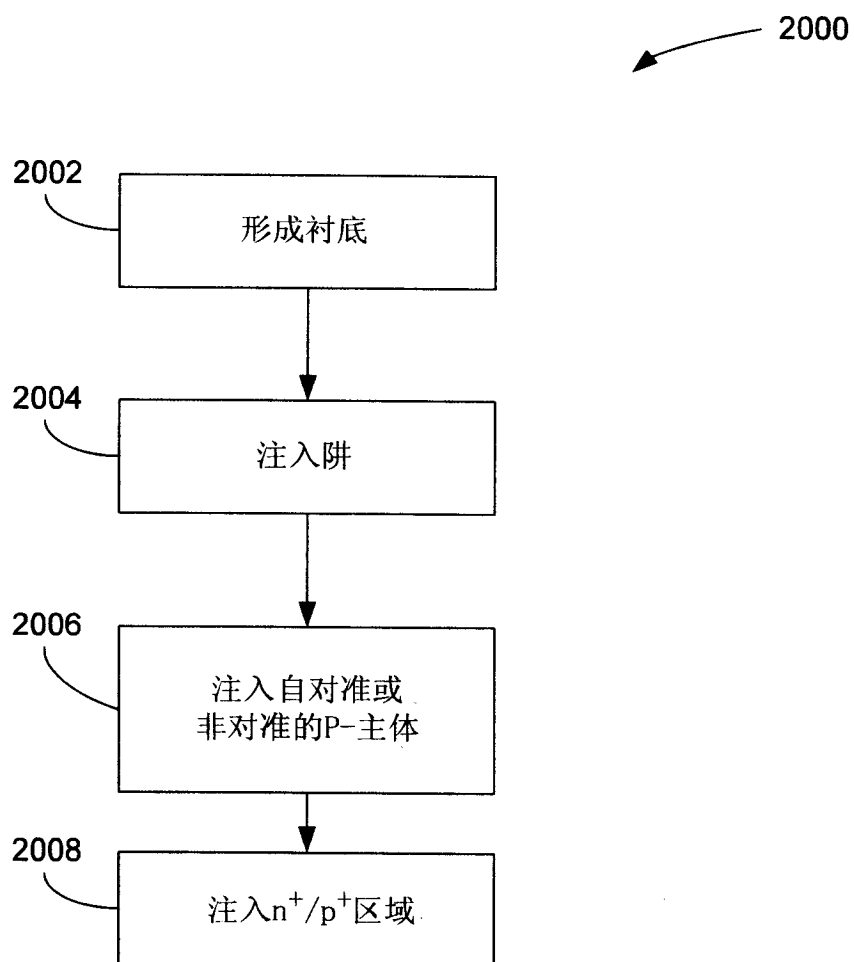


图 20

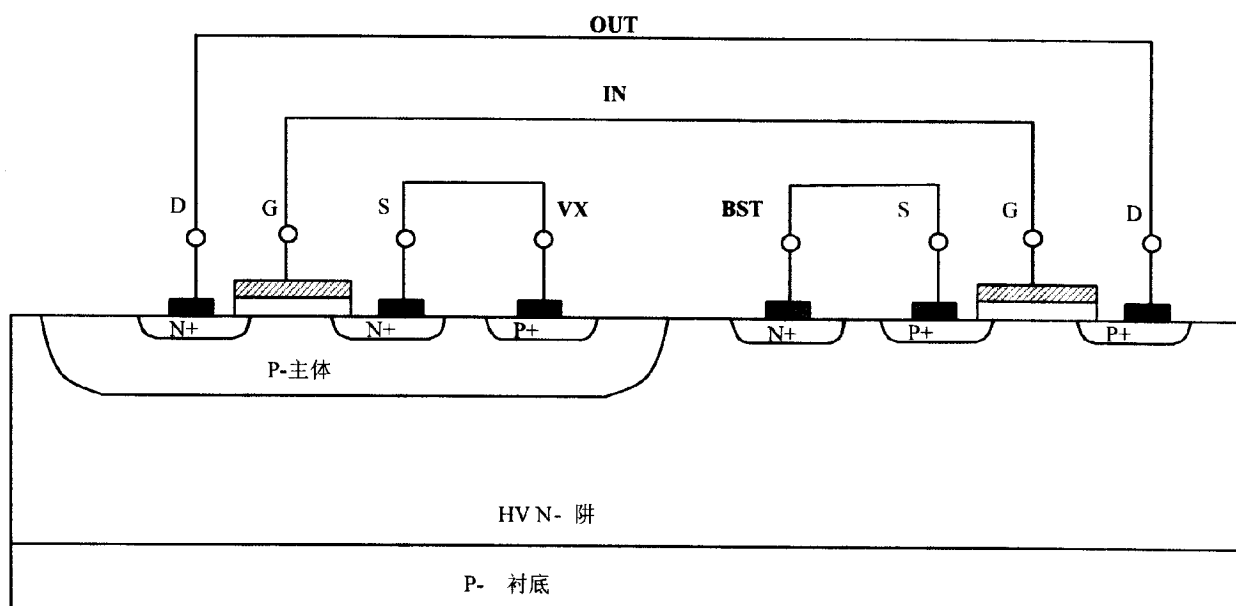


图 21A

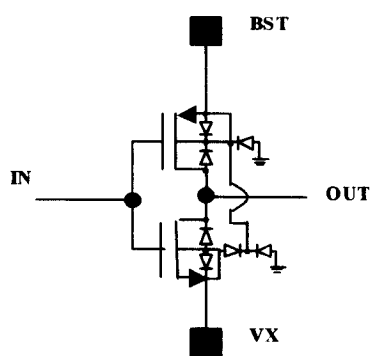


图 21B

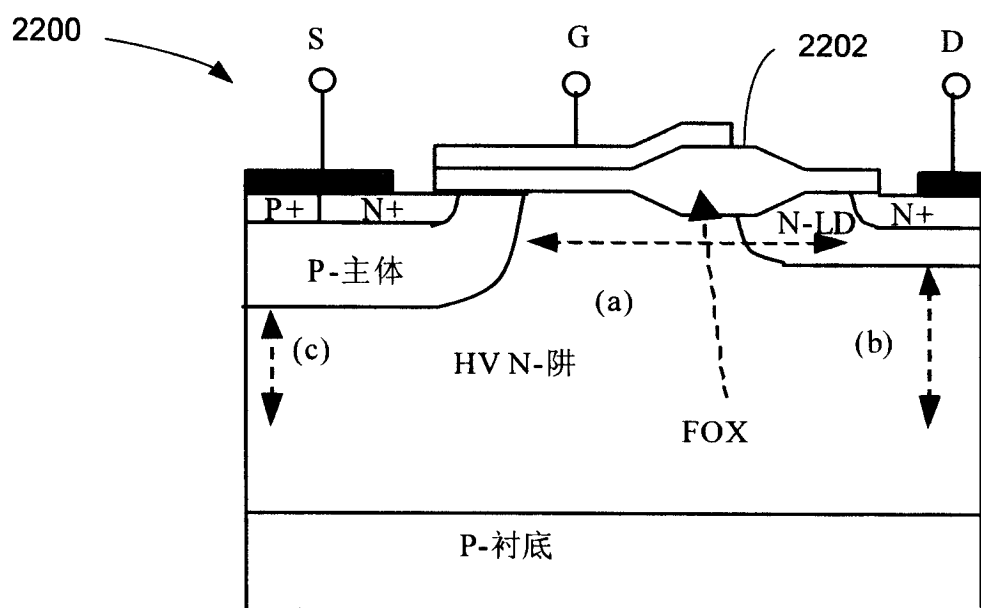


图 22

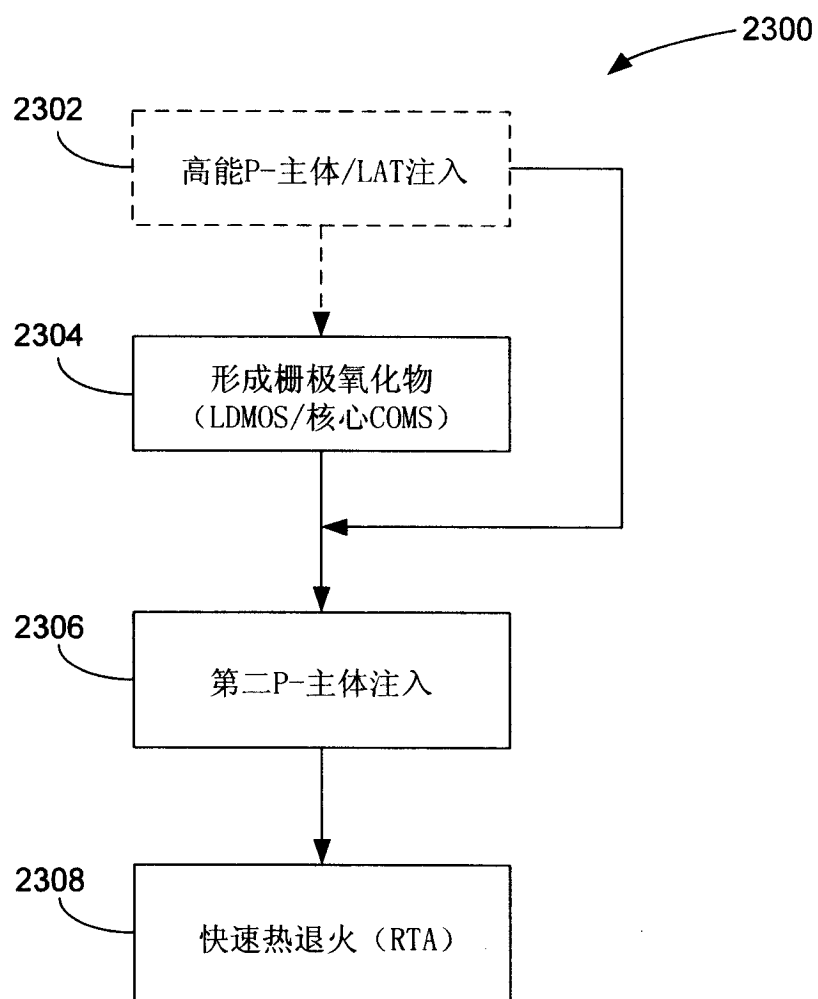


图 23