

【公報種別】特許法第17条の2の規定による補正の掲載  
 【部門区分】第7部門第2区分  
 【発行日】令和6年8月2日(2024.8.2)

【国際公開番号】WO2023/089974  
 【出願番号】特願2023-561442(P2023-561442)  
 【国際特許分類】

H 0 1 L 27/06(2006.01)  
 H 0 1 L 21/8234(2006.01)  
 H 0 1 L 21/822(2006.01)  
 H 0 1 L 21/336(2006.01)

10

【F I】

H 0 1 L 27/06 3 1 1 C  
 H 0 1 L 27/06 3 1 1 B  
 H 0 1 L 27/06 1 0 2 A  
 H 0 1 L 27/04 H  
 H 0 1 L 29/78 3 0 1 D  
 H 0 1 L 29/78 3 0 1 K

【手続補正書】

20

【提出日】令和6年4月24日(2024.4.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

静電保護ダイオードとして、ドレインにP型不純物領域を形成してサイリスタ化されたラテラルNDMOSトランジスタを備える、半導体装置。

30

【請求項2】

第1信号端子と、  
 第2信号端子と、  
 接地端子と、

第1静電保護ダイオード、第2静電保護ダイオード及び第3静電保護ダイオードと、  
 を備え、

前記第1静電保護ダイオード、前記第2静電保護ダイオード及び前記第3静電保護ダイオードは、いずれもドレインにP型不純物領域を形成してサイリスタ化されたラテラルNDMOSトランジスタであり、

前記第1静電保護ダイオードのアノードが前記第1信号端子に接続され、

前記第2静電保護ダイオードのアノードが前記第2信号端子に接続され、

前記第3静電保護ダイオードのアノードが前記接地端子に接続され、

前記第1静電保護ダイオード、前記第2静電保護ダイオード及び前記第3静電保護ダイオードそれぞれのカソードが共通に接続されている、半導体装置。

40

【請求項3】

前記第1静電保護ダイオード、前記第2静電保護ダイオード及び前記第3静電保護ダイオードは、平面視で矩形状に形成されており、

前記第1静電保護ダイオード及び前記第2静電保護ダイオードは、共通の一辺を持つように配置されており、

前記第3静電保護ダイオードは、前記第1静電保護ダイオード及び前記第2静電保護ダイ

50

イオードの双方と均等に接するように配置されている、請求項 2 に記載の半導体装置。

【請求項 4】

前記半導体装置は、CAN トランシーバであり、  
前記第 1 信号端子は、ハイサイドのバス入出力端子であり、  
前記第 2 信号端子は、ローサイドのバス入出力端子である、  
請求項 2 に記載の半導体装置。

【請求項 5】

前記第 1 信号端子と電源端子との間を導通 / 遮断するように構成されたハイサイド出力回路と、

前記第 2 信号端子と前記接地端子との間を導通 / 遮断するように構成されたローサイド出力回路と、

をさらに備える、請求項 4 に記載の半導体装置。

【請求項 6】

前記ハイサイド出力回路は、前記第 1 信号端子から前記電源端子への逆流を阻止するように構成された第 1 逆流阻止ダイオードを含む、請求項 5 に記載の半導体装置。

【請求項 7】

前記ローサイド出力回路は、前記接地端子から前記第 2 信号端子への逆流を阻止するように構成された第 2 逆流阻止ダイオードを含む、請求項 5 に記載の半導体装置。

【請求項 8】

前記ローサイド出力回路は、前記接地端子から前記第 2 信号端子への逆流を阻止する第 2 逆流阻止ダイオードとして前記第 2 静電保護ダイオードを兼用する、請求項 5 に記載の半導体装置。

【請求項 9】

前記ラテラル NDMOS トランジスタは、

主面を有し、デバイス領域を含む第 1 導電型の半導体層と、

前記デバイス領域において前記主面の表層部に形成された第 2 導電型のベース領域と、

前記ベース領域の縁部から内方に間隔を空けて前記ベース領域の表層部に形成され、前記半導体層との間でチャンネル領域を画定する第 1 導電型のソース領域と、

前記ベース領域の表層部において前記ソース領域とは異なる領域に形成され、前記ベース領域の不純物濃度を越える不純物濃度を有する第 2 導電型のベースコンタクト領域と、

前記デバイス領域において前記ベース領域から間隔を空けて前記主面の表層部に形成され、前記ベース領域との間でドリフト領域を画定する第 1 導電型のウェル領域と、

前記ウェル領域の表層部に形成された第 1 導電型のドレイン領域と、

前記ウェル領域の表層部に形成され、前記ドレイン領域に電氣的に接続された第 2 導電型の不純物領域と、

前記主面の上において前記チャンネル領域を被覆するゲート絶縁膜、および、前記ゲート絶縁膜の上において前記チャンネル領域に対向し、前記ソース領域および前記ベースコンタクト領域に電氣的に接続されたゲート電極を有するゲート構造と、を含む、請求項 1 ~ 8 のいずれか一項に記載の半導体装置。

【請求項 10】

第 1 信号端子と、

第 2 信号端子と、

接地端子と、

前記第 1 信号端子と内部ノードとの間に第 1 極性で接続されるように構成された少なくとも一つの第 1 静電保護ダイオードと、

前記第 2 信号端子と前記内部ノードとの間に前記第 1 極性で接続されるように構成された少なくとも一つの第 2 静電保護ダイオードと、

前記内部ノードと前記接地端子との間に前記第 1 極性とは逆向き第 2 極性で接続されるように構成された少なくとも一つの第 3 静電保護ダイオードと、

を備える、半導体装置。

10

20

30

40

50

## 【 手 続 補 正 2 】

【 補 正 対 象 書 類 名 】 明 細 書

【 補 正 対 象 項 目 名 】 0 0 8 0

【 補 正 方 法 】 変 更

【 補 正 の 内 容 】

【 0 0 8 0 】

CSウェル領域67は、第1主面21の表層部に形成されている。CSウェル領域67は、具体的には、半導体層25において第1主面21およびCS埋込領域66の間の領域に形成され、CS埋込領域66に電氣的に接続されている。CS埋込領域66は、CSウェル領域67のn型不純物濃度未満のn型不純物濃度を有していてもよい。CSウェル領域67のn型不純物濃度は、 $1 \times 10^{16} \text{ cm}^{-3}$ 以上 $1 \times 10^{20} \text{ cm}^{-3}$ 以下であってもよい。

10

20

30

40

50