



(12) 发明专利

(10) 授权公告号 CN 110268460 B

(45) 授权公告日 2021.08.10

(21) 申请号 201880009671.0

(22) 申请日 2018.02.16

(65) 同一申请的已公布的文献号
申请公布号 CN 110268460 A

(43) 申请公布日 2019.09.20

(30) 优先权数据
2017-032661 2017.02.23 JP

(85) PCT国际申请进入国家阶段日
2019.08.01

(86) PCT国际申请的申请数据
PCT/JP2018/005566 2018.02.16

(87) PCT国际申请的公布数据
W02018/155346 JA 2018.08.30

(73) 专利权人 夏普株式会社
地址 日本大阪府

(72) 发明人 吉田昌弘

(74) 专利代理机构 北京市隆安律师事务所
11323

代理人 权鲜枝 刘宁军

(51) Int. Cl.

G09F 9/30 (2006.01)

G02F 1/133 (2006.01)

G09F 9/00 (2006.01)

H03K 17/06 (2006.01)

H03K 17/687 (2006.01)

(56) 对比文件

US 2010182226 A1, 2010.07.22

US 2010182226 A1, 2010.07.22

CN 1549997 A, 2004.11.24

JP 5463658 B2, 2014.04.09

CN 102473368 A, 2012.05.23

CN 102483889 A, 2012.05.30

CN 1188299 A, 1998.07.22

CN 1289432 A, 2001.03.28

CN 1419297 A, 2003.05.21

CN 1360350 A, 2002.07.24

CN 101086816 A, 2007.12.12

CN 102640042 A, 2012.08.15

CN 102844803 A, 2012.12.26

CN 102308253 A, 2012.01.04

KR 20040056665 A, 2004.07.01

EP 1049956 A1, 2000.11.08

审查员 李燕

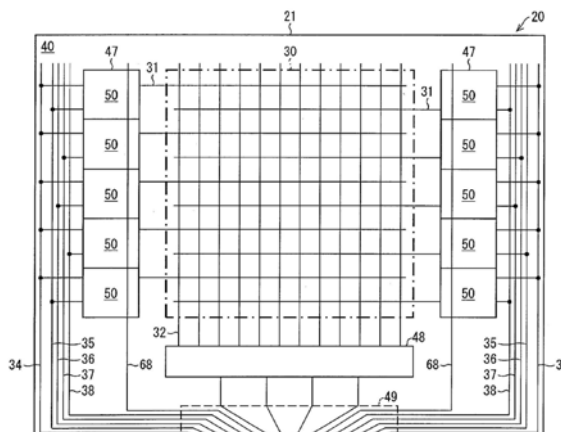
权利要求书3页 说明书23页 附图17页

(54) 发明名称

驱动电路、矩阵基板以及显示装置

(57) 摘要

实现制造成品率高的驱动电路。扫描线驱动电路(47)的单位电路(50)具备支配线(61~65)和冗余配线(51~55)。支配线(61~65)由源极层形成,具备多个连接部(72)。冗余配线(51~55)与支配线(61~65)对应,由冗余配线层形成,具备多个能与支配线(61~65)的连接部(72)连接的连接部(57)。



1. 一种驱动电路,其特征在于,

具备:多个单位电路,其用于分别驱动多个输出线;以及第1种配线,其由第1导电层形成,用于将上述单位电路之间连接,

上述单位电路中的至少1个单位电路包含:

多个电路元件;

第2种配线,其由第2导电层形成,用于将该单位电路所包含的电路元件连接到(i)该单位电路所包含的别的电路元件、(ii)上述第1种配线、以及(iii)用于供应输入的干配线中的任意一者;以及

第3种配线,其由第3导电层形成,至少部分地与上述第2种配线中的至少1条第2种配线对应,

上述第2种配线中的上述至少1条第2种配线具备多个第1种连接部,

上述第3种配线具备能与对应的第2种配线的各第1种连接部连接的多个第2种连接部,并且上述第2种配线的上述第1种连接部之间的区间是与对应的上述第3种配线的上述第2种连接部之间的区间并列的,

上述单位电路中的上述至少1个单位电路包含用于驱动对应的输出线的输出晶体管作为上述电路元件,

上述输出晶体管构成为:

源极电极和漏极电极中的一方连接到对应的输出线,

源极电极和漏极电极中的另一方通过具有对应的第3种配线的第2种配线连接到上述干配线,

上述输出晶体管的源极电极和漏极电极中的上述另一方连接到用于将时钟信号供应到上述驱动电路的上述干配线,

上述第1导电层、上述第2导电层以及上述第3导电层是相互不同的导电层,

上述第3种配线中的至少1条第3种配线具有在俯视时与对应的第2种配线的上述多个第1种连接部之间的区间重叠的重叠区间。

2. 一种矩阵基板,具备绝缘基板,上述绝缘基板具有:

显示区域,其配设有多个输出线作为扫描线;以及

周边区域,其配设有驱动电路、以及用于供应输入的干配线,上述矩阵基板的特征在于,

上述驱动电路具备:多个单位电路,其用于分别驱动上述输出线;以及第1种配线,其由第1导电层形成,用于将上述单位电路之间连接,

上述单位电路中的至少1个单位电路包含:

多个电路元件;

第2种配线,其由第2导电层形成,用于将该单位电路所包含的电路元件连接到(i)该单位电路所包含的别的电路元件、(ii)上述第1种配线、以及(iii)上述干配线中的任意一者;以及

第3种配线,其由第3导电层形成,至少部分地与上述第2种配线中的至少1条第2种配线对应,

上述第2种配线中的上述至少1条第2种配线具备多个第1种连接部,

上述第3种配线具备能与对应的第2种配线的各第1种连接部连接的多个第2种连接部，并且上述第2种配线的上述第1种连接部之间的区间是与对应的上述第3种配线的上述第2种连接部之间的区间并列的，

上述第1导电层、上述第2导电层以及上述第3导电层是相互不同的导电层，

上述第3种配线中的至少1条第3种配线具有在俯视时与对应的第2种配线的上述多个第1种连接部之间的区间重叠的重叠区间。

3. 根据权利要求2所述的矩阵基板，其特征在于，

上述单位电路中的上述至少1个单位电路包含用于驱动对应的输出线的输出晶体管作为上述电路元件，

上述输出晶体管构成为：

源极电极和漏极电极中的一方连接到对应的输出线，

源极电极和漏极电极中的另一方通过具有对应的第3种配线的第2种配线连接到上述干配线。

4. 根据权利要求3所述的矩阵基板，其特征在于，

上述输出晶体管的源极电极和漏极电极中的上述另一方连接到用于将时钟信号供应到上述驱动电路的上述干配线。

5. 根据权利要求2至4中的任意一项所述的矩阵基板，其特征在于，

在上述第2导电层与上述第3导电层之间仅夹着绝缘膜。

6. 根据权利要求2至4中的任意一项所述的矩阵基板，其特征在于，

上述第2种配线具备第3种连接部，上述第3种连接部用于与上述电路元件的由上述第1导电层形成的电极、上述第1种配线、以及由上述第1导电层形成的上述干配线中的任意一者连接，

上述第3种连接部包含上述第1种连接部中的至少1个第1种连接部。

7. 根据权利要求2至4中的任意一项所述的矩阵基板，其特征在于，

上述单位电路还具备由上述第3导电层形成的转接部，

上述第2种配线具备第3种连接部，上述第3种连接部用于通过上述转接部而与上述电路元件的由上述第1导电层形成的电极、上述第1种配线、以及由上述第1导电层形成的上述干配线中的任意一者连接，

上述转接部是与上述第3种配线分离的。

8. 根据权利要求2至4中的任意一项所述的矩阵基板，其特征在于，

上述第1导电层、上述第2导电层以及上述第3导电层按此顺序层叠于绝缘基板之上。

9. 根据权利要求8所述的矩阵基板，其特征在于，

上述第3种配线的宽度在上述重叠区间内比对应的第2种配线的宽度细。

10. 根据权利要求2至4中的任意一项所述的矩阵基板，其特征在于，

上述第3种配线中的至少1条第3种配线具有绕开区间，上述绕开区间是在俯视时绕开对应的第2种配线与上述第1种配线交叉的交叉部的区间。

11. 根据权利要求2至4中的任意一项所述的矩阵基板，其特征在于，

上述电路元件包含具有 (i) 由上述第1导电层形成的栅极电极、以及 (ii) 由上述第2导电层形成的源极电极和漏极电极的晶体管。

12. 根据权利要求2至4中的任意一项所述的矩阵基板,其特征在于,
上述周边区域包含密封区域,上述密封区域用于形成用来封入电光物质的密封物,
在上述密封区域中,包含层叠在上述绝缘基板之上的上述第1导电层、上述第2导电层
以及上述第3导电层的层叠结构的最上层是绝缘膜。

13. 一种显示装置,其特征在于,
具备权利要求2至4中的任意一项所述的矩阵基板。

驱动电路、矩阵基板以及显示装置

技术领域

[0001] 本发明涉及驱动电路,特别是涉及以单片形成有驱动电路的矩阵基板、使用了该矩阵基板的显示装置。

背景技术

[0002] 近年来,在中小型显示装置中,为了低成本化,已采用将扫描线驱动电路(Gate Driver)以单片(Monolithic)形成于矩阵基板的栅极驱动器单片(Gate Driver Monolithic,GDM)技术。例如在专利文献1~3中公开了一种使用有源矩阵基板的显示装置,上述有源矩阵基板具备:(i)显示区域,其配设有像素晶体管;以及(ii)周边区域,其配设有用于驱动像素晶体管的扫描线驱动电路和源极驱动电路。

[0003] 而且,在中小型显示装置中,高清晰化也正在发展。因此,构成扫描线驱动电路的单位电路的纵向宽度(数据信号线延伸的方向的宽度)与像素间距一起变窄。另外,窄边框化也正在发展,因此,也难以将形成扫描线驱动电路的区域的横向宽度(扫描线延伸的方向的宽度)扩大。因此,已要求扫描线驱动电路的小面积化。为了构成扫描线驱动电路的单位电路的小面积化,专利文献1公开了将单位电路所包含的晶体管与干配线之间连接的支配线是支配线无需使支配线绕开不进行连接的晶体管的构成。另外,专利文献2公开了单位电路的3条配线能在同一区域内相互重叠的构成。

[0004] 另外,随着高清晰化,从扫描线驱动电路引出的引出配线的细微化也正在发展。因此,引出配线的机械强度下降,易于断裂。专利文献3公开了为了防止引出配线的断裂而防止应力集中于引出配线的构成。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本再公告专利“国际公开编号W02011/030590号公报(2011年3月17日国际公开)”

[0008] 专利文献2:日本公开专利公报“特开2002-40962号公报(2002年2月8日公开)”

[0009] 专利文献3:日本公开专利公报“特开2000-56319号公报(2000年2月25日公开)”

发明内容

[0010] 发明要解决的问题

[0011] 但是,在如上所述的扫描线驱动电路中存在扫描线驱动电路的制造成品率低的问题。其原因是,随着单位电路的纵向宽度变窄,单位电路所具备的支配线也变细,支配线易于断线。

[0012] 本发明是鉴于上述问题而完成的,其目的在于实现制造成品率高的驱动电路。

[0013] 用于解决问题的方案

[0014] 为了解决上述问题,本发明的一方式的驱动电路构成为,具备:多个单位电路,其用于分别驱动多个输出线;以及第1种配线,其由第1导电层形成,用于将上述单位电路之间

连接,上述单位电路中的至少1个单位电路包含:多个电路元件;第2种配线,其由第2导电层形成,用于将该单位电路所包含的电路元件连接到(i)该单位电路所包含的别的电路元件、(ii)上述第1种配线、以及(iii)用于供应输入的干配线中的任意一者;以及第3种配线,其由第3导电层形成,至少部分地与上述第2种配线中的至少1条第2种配线对应,上述第2种配线中的上述至少1条第2种配线具备多个第1种连接部,上述第3种配线具备能与对应的第2种配线的各第1种连接部连接的多个第2种连接部。

[0015] 发明效果

[0016] 根据本发明的一方式的上述构成,在至少1个单位电路中,具有对应的第3种配线的第2种配线具备多个第1种连接部,第3种配线具备能与对应的第2种配线的各第1种连接部连接的多个第2种连接部。因此,相互对应的第2种配线与第3种配线能通过将第1连接部与第2连接部连接而被连接。通过这种第2种配线与第3种配线的连接,不仅能用第2种配线还能用第3种配线将第1种连接部之间连接。换句话说,能实现配线的复线化。

[0017] 通过复线化,驱动电路针对第2种配线的断线具备冗余性,因此,能减少有第2种配线的断线引起的驱动电路的不良。因此,能提高驱动电路的制造成品率。

附图说明

[0018] 图1是表示具备本发明的一实施方式的扫描线驱动电路的矩阵基板的概略构成的俯视图。

[0019] 图2是表示图1所示的低电位干配线和时钟干配线所供应的信号电位的概略构成的信号图。

[0020] 图3是表示图1所示的单位电路的概略电路构成的电路图。

[0021] 图4是表示图1所示的扫描线驱动电路的概略电路配置的俯视图。

[0022] 图5是表示图4所示的单位电路的概略电路配置的俯视图。

[0023] 图6是图5的A-A向视截面图。

[0024] 图7是表示图4所示的扫描线驱动电路的栅极层的概略图案的俯视图。

[0025] 图8是表示图4所示的扫描线驱动电路的半导体层的概略图案的俯视图。

[0026] 图9是表示图4所示的扫描线驱动电路的源极层的概略图案的俯视图。

[0027] 图10是表示图4所示的扫描线驱动电路的接触孔的概略图案的俯视图。

[0028] 图11是表示图4所示的扫描线驱动电路的冗余配线层的概略图案的俯视图。

[0029] 图12是图5的B-B向视截面图。

[0030] 图13是表示使用图1所示的矩阵基板的液晶显示面板的概略构成的俯视图。

[0031] 图14是表示本发明的另一实施方式的单位电路的概略电路配置的俯视图。

[0032] 图15是图14的C-C向视截面图。

[0033] 图16是表示本发明的再一实施方式的单位电路的概略电路配置的俯视图。

[0034] 图17是将图16所示的绕开区间进行了放大的(a)切断前和(b)切断后的图。

具体实施方式

[0035] 以下,基于附图详细地说明本发明的实施方式。不过,该实施方式所记载的构成要素的尺寸、材质、形状、其相对配置等只是一个实施方式,不应解释成本发明的范围受限于

此。

[0036] [实施方式1]

[0037] 以下,详细说明本发明的实施方式1。

[0038] (矩阵基板的构成)

[0039] 图1是表示具备本发明的实施方式1的扫描线驱动电路47的矩阵基板20的概略构成的俯视图。

[0040] 如图1所示,矩阵基板20具备绝缘基板21,绝缘基板21在其上表面具有显示区域30和显示区域30以外的周边区域40。

[0041] 在显示区域30中,按格子状配设有多个扫描线31(输出线)和多个数据线32。另外,虽然在图1中未示出,但在显示区域30中还配设有像素晶体管和像素电极等其它结构。

[0042] 在周边区域40中配设有:扫描线驱动电路47(驱动电路),其包括用于驱动各扫描线31的多个单位电路50;数据线驱动电路48,其用于驱动各数据线32;端子部49,其用于将矩阵基板20与外部连接;从端子部49向扫描线驱动电路47延伸的配线;以及从端子部49向数据线驱动电路48延伸的配线。

[0043] 数据线32在图1的上下方向上延伸,连接到位于下侧的数据线驱动电路48。此外,不限于此,例如也可以设为将显示区域30上下分割、将数据线驱动电路48配设于显示区域30的上下的构成。

[0044] 扫描线31在图1的左右方向上延伸,按每1条交替地连接到位于左右两侧的扫描线驱动电路47。此外,不限于此,例如也可以设为将各扫描线31连接到左右两侧的扫描线驱动电路47的构成。另外,例如也可以设为将扫描线驱动电路47仅配设于左右一侧的构成。

[0045] 实施方式1的扫描线驱动电路47是以周期错开的方式组合而成的2个移位寄存器。因而,实施方式1的矩阵基板20具备4个移位寄存器,连接到各移位寄存器的扫描线31分别依次被驱动。

[0046] 以后,将扫描线31的总数设为 N (N :自然数)。另外,将驱动第 n (n : N 以下的自然数)条扫描线31的单位电路50设为第 n 级的单位电路50。另外,将第 n 级的单位电路50向第 n 条扫描线31输出的电位设为 $Out(n)$ 。

[0047] 从端子部49向扫描线驱动电路47延伸的配线包含:低电位干配线34(干配线),其供应低电位 V_{ss} ;第1时钟干配线35,其供应第1时钟信号 $CK1$;第2时钟干配线36,其供应第2时钟信号 $CK2$;第3时钟干配线37,其供应第3时钟信号 $CK3$;第4时钟干配线38,其供应第4时钟信号 $CK4$;初始化配线68(第1种配线),其供应初始化信号 $Reset$;以及开始干配线(未图示),其供应开始信号。

[0048] 以后,将第1时钟干配线35、第2时钟干配线36、第3时钟干配线37以及第4时钟干配线38统称为“时钟干配线35~38”。另外,将第1时钟信号 $CK1$ 、第2时钟信号 $CK2$ 、第3时钟信号 $CK3$ 以及第4时钟信号 $CK4$ 统称为“时钟信号 $CK1\sim CK4$ ”。

[0049] 在本说明书中,将向驱动电路供应信号或低电位或高电位等的配线中的、仅经过驱动电路的外侧的配线称为“干配线”。因而,由于图1所示的初始化配线68也经过扫描线驱动电路47的内侧,因此,不将其被称为干配线。

[0050] (信号)

[0051] 图2是表示图1所示的低电位干配线34和时钟干配线35~38所供应的信号电位的

概略构成的信号图。

[0052] 低电位 V_{ss} 是表示“0”的信号电位,是大致固定的电位。

[0053] 时钟信号CK1~CK4的1个周期的长度是相同的,按每半个周期在表示“0”的信号电位 V_{ss} 和表示“1”的信号电位 V_{dd} 之间进行反转。当将时钟信号CK1~CK4的1个周期的长度设为8H时,H的长度是几 μ 秒(例如8 μ 秒)。

[0054] 第2时钟信号CK2是将第1时钟信号CK1提前了半个周期而得到的信号。第3时钟信号CK3是将第1时钟信号CK1提前了四分之一周期而得到的信号。第4时钟信号CK4是将第3时钟信号CK3提前了半个周期(即,将第1时钟信号延迟了四分之一周期)而得到的信号。

[0055] 虽然未在图2中示出,但初始化信号Reset在将扫描线驱动电路47初始化时是表示“1”的信号电位 V_{dd} ,在其它时候是表示“0”的信号电位。

[0056] (单位电路的电路构成)

[0057] 图3是关于满足(i) n 大于4且小于 $N-3$ 的条件和(ii) n 除以8所得的余数是1或2的条件这两个条件的 n ,示出图1所示的第 n 级的单位电路50的概略电路构成的电路图。

[0058] 上述两个条件中的(i)是将开始扫描线31的依次驱动的开始级($n=1,2,3,4$)和结束扫描线31的依次驱动的结束级($n=N-3,N-2,N-1,N$)除外的条件。另外,(ii)是对输入到单位电路50的时钟信号CK1~CK4进行确定的条件。

[0059] 为了简化说明,本章说明满足上述两个条件的第 n 级的单位电路50。在不满足上述两个条件的第 n 级的单位电路50中,虽然被输入的信号根据 n 而不同,但除此之外是与图3所示的单位电路50的电路构成相同的构成。

[0060] 如图3所示,第 n 级的单位电路50具备第1晶体管Tr1(电路元件)、第2晶体管Tr2、第3晶体管Tr3、第4晶体管Tr4、第5晶体管Tr5、第6晶体管Tr6以及自举电容Cap。以后,将第1晶体管Tr1、第2晶体管Tr2、第3晶体管Tr3、第4晶体管Tr4、第5晶体管Tr5以及第6晶体管Tr6统称为“晶体管Tr1~Tr6”。

[0061] 在晶体管Tr1~Tr6(i)中,在栅极电位为表示“1”的电位 V_{dd} 以上的期间,源极-漏极间成为通电状态,(ii)在栅极电位为表示“0”的电位 V_{ss} 的期间,源极-漏极间成为非通电状态。晶体管Tr1~Tr6虽然是形成在绝缘基板21之上的底栅型且沟道蚀刻型的薄膜晶体管(thin film transistor、TFT),但是不限于此。晶体管Tr1~Tr6也可以是顶栅型或蚀刻阻挡型等其它类型的薄膜晶体管。另外,扫描线驱动电路47也可以配设在半导体基板之上,晶体管Tr1~Tr6也可以是氧化金属膜半导体(metal oxide semiconductor,MOS)晶体管等其它种类的晶体管。同样地,自举电容Cap也可以是任意种类的电容器。

[0062] 第1晶体管Tr1的栅极电极被输入后级的单位电路50的输出Out($n+4$)。

[0063] 第1晶体管Tr1的源极电极、第3晶体管Tr3的源极电极、第4晶体管Tr4的源极电极、以及第5晶体管Tr5的源极电极被供应低电位 V_{ss} 。

[0064] 第1晶体管Tr1的漏极电极、第2晶体管Tr2的漏极电极、第5晶体管Tr5的漏极电极、自举电容Cap的一个电极、以及第6晶体管Tr6的栅极电极是相互连接的。将该第6晶体管Tr6的栅极电极的电位设为nodeA(n)。

[0065] 第2晶体管Tr2的栅极电极和源极电极被输入前级的单位电路50的输出Out($n-4$)。

[0066] 第3晶体管Tr3的栅极电极被输入第2时钟信号CK2。

[0067] 第3晶体管Tr3的漏极电极、第4晶体管Tr4的漏极电极、自举电容Cap的另一个电

极、第6晶体管Tr6的漏极电极以及扫描线31是相互连接的。另外,这些电极的电位作为Out (n) 被输出到扫描线31和后级及前级的单位电路50。

[0068] 第6晶体管Tr6的源极电极被输入第1时钟信号CK1。(i) 在nodeA (n) 通过输出Out (n-4) 并经由第2晶体管Tr2而处于表示“1”的信号电位Vdd的状态中,而且,(ii) 在第1时钟信号CK1变为了信号电位Vdd时,扫描线31经由第6晶体管Tr6变为信号电位Vdd。另外,随着第1时钟信号CK1从“0”反转为“1”且扫描线31被充电到信号电位Vdd,第6晶体管Tr6的栅极电极和自举电容的一个电极的电位被推高。因此,nodeA (n) 变为表示比信号电位Vdd高的“1+ α ”的信号电位($\alpha > 0$)。此外, α 对应于自举电容Cap的电极之间的电容和第6晶体管Tr6的栅极电极与漏极电极之间的电容的合计电容。

[0069] 之后,当第2时钟信号CK2从“0”反转为“1”时,扫描线31经由第3晶体管Tr3而返回到作为信号电位Vss的初始状态。另外,nodeA (n) 在后级的单位电路50的输出Out (n+4) 变为表示“1”的信号电位Vdd时,经由第1晶体管Tr1而返回到作为Vss的初始状态。

[0070] 第6晶体管Tr6将漏极电位输出到扫描线31,因此,是单位电路50的输出晶体管。因此,为了使对扫描线31进行充电的能力足够高,优选第6晶体管Tr6在源极-漏极间为通电状态时,沟道电阻小,能在通电状态时流动的源极-漏极电流大。因而,优选第6晶体管Tr6的沟道宽度宽,沟道长度短。因此,第6晶体管Tr6与其它晶体管Tr1~Tr5相比,在俯视时在绝缘基板21之上所占的面积易于更大。

[0071] 自举电容Cap是用于通过保持第6晶体管Tr6的栅极-漏极电位差,将nodeA (n) 推高到更高的电位来使得Out (n) 在其输出期间内达到电位Vdd的电容,因此,优选其电容足够大。因此,自举电容Cap与第6晶体管Tr6以外的晶体管Tr1~Tr5相比,在俯视时在绝缘基板21之上所占的面积也易于更大。

[0072] 根据这种电路构成,第n级的单位电路50的输出Out (n) 成为如表1那样。

[0073] [表1]

[0074]

输入						输出
Reset	CK1	CK2	Out (n-4)	Out (n+4)	nodeA (n)	Out (n)
0	0	1	1	0	1	0
0	1	0	0	0	$1+\alpha$	1
0	0	1	0	1	0	0
0	1	0	0	0	0	0
0	0	1	0	0	0	0

[0075] * $\alpha > 0$

[0076] 在从开始级开始扫描线31的依次驱动起到在结束级将其结束为止的期间,初始化信号Reset=0,但是在以结束级刚结束后、或者再次从开始级开始之前,设为初始化信号Reset=1,各级的nodeA (n) 返回到作为Vss的初始状态。同样地,扫描线31也返回到低电位Vss的初始状态。并且,在即将从开始级开始之前,再次设为初始化信号Reset=0。通过利用初始化信号使各级的nodeA (n)、或扫描线31定期地一齐回到初始状态,从而能抑制长期动作中的扫描线驱动电路47的误动作。

[0077] 此外,图3所示的单位电路50是例示,并不限定本发明的范围。单位电路50也可以

是其它电路构成的触发器电路,还可以是触发器电路以外的电路。另外,扫描线驱动电路47也可以包含电路构成不同的多种单位电路50。

[0078] (驱动电路的电路配置)

[0079] 图4是表示图1所示的扫描线驱动电路47的概略电路配置的俯视图。

[0080] 如图4所示,扫描线驱动电路47还包含将单位电路50之间连接的第1中继配线66(第1种配线)、第2中继配线67以及初始化配线68。在实施方式1中,初始化配线68经过扫描线驱动电路47的内侧,而与多个单位电路50连接。因此,初始化配线68是对扫描线驱动电路47供应初始化信号Reset的配线,并且也是将单位电路50之间连接的配线。

[0081] 第1中继配线66是用于将第n级的单位电路50的输出Out(n)向第(n-4)级的单位电路50的第1晶体管的栅极电极和第(n+4)级的单位电路50的第2晶体管的栅极电极进行供应的中继配线。因此,供应输出Out(n)的第1中继配线66跨第(n-4)级、第(n-2)级、第n级的、第(n+2)级、以及第(n+4)级的5个单位电路50而延伸。另外,供应输出Out(n)的第1中继配线66将(i)第(n-4)级的单位电路50与第n级的单位电路50之间、以及(ii)第n级的单位电路50与第(n+4)级的单位电路50之间连接。

[0082] 第2中继配线67是从(i)对第n级的单位电路50的第6晶体管Tr6的源极电极供应时钟信号CK1~CK4中的任意一个时钟信号的支配线向(ii)第(n-4)级的单位电路50的第3晶体管Tr3的栅极电极延伸的中继配线。另外,第2中继配线67是供应时钟信号CK1~CK4中的任意一个时钟信号的中继配线。因此,从第n级的单位电路50供应时钟信号CK1~CK4中的任意一个时钟信号的第2中继配线67跨第(n-4)级、第(n-2)级以及第n级这3个单位电路50而延伸。另外,从第n级的单位电路50的支配线供应时钟信号CK1~CK4中的任意一个时钟信号的第2中继配线67将第(n-4)级与第n级的单位电路50之间连接。

[0083] 初始化配线68对各单位电路50的第4晶体管Tr4和第5晶体管Tr5的栅极电极直接供应初始化信号Reset。因此,初始化配线68分别跨第奇数级的所有单位电路50、以及第偶数级的所有单位电路50而延伸。另外,初始化配线68将(i)第(n-2)级与第n级的单位电路50之间、以及(ii)第n级的与第(n+2)级的单位电路50之间连接。

[0084] 第1中继配线66、第2中继配线67以及初始化配线68是与数据线32大致平行延伸的配线,如后所述,是由栅极层22(参照图7)形成的配线。

[0085] (单位电路的电路配置)

[0086] 图5是表示图4所示的单位电路50的概略电路配置的俯视图。图5与图3同样地,是关于(i)n大于4且小于N-3的条件和(ii)n除以8所得的余数是1或2的条件这两个条件而示出的。

[0087] 为了简化说明,本章说明满足上述两个条件的第n级的单位电路50。在不满足上述两个条件的第n级的单位电路50中,时钟干配线35~38中的被连接的干配线、和/或、第1中继配线66和/或第2中继配线67的连接目的地根据n而不同,但除此以外,是与图5所示的单位电路50的电路配置相同的配置。

[0088] 如图5所示,第n级的单位电路50还具备:第1支配线61(第2种配线)、第2支配线62、第3支配线63、第4支配线64、第5支配线65、与第1支配线61对应的第1冗余配线51(第3种配线)、与第2支配线62对应的第2冗余配线52、与第3支配线63对应的第3冗余配线53、与第4支配线64对应的第4冗余配线54、以及与第5支配线65对应的第5冗余配线55。以后,将第1支配

线61、第2支配线62、第3支配线63、第4支配线64以及第5支配线65统称为“支配线61~65”。另外,将第1冗余配线51、第2冗余配线52、第3冗余配线53、第4冗余配线54以及第5冗余配线55统称为“冗余配线51~55”。

[0089] 如后所述,支配线61~65是由源极层25(参照图9)形成的配线。如后所述,冗余配线51~55是由冗余配线层27(参照图11)形成的配线。

[0090] 第1冗余配线51在图5的左侧的端部具备用于将第1支配线61连接到第1时钟干配线35的转接部71。第1冗余配线51在中央具备用于将第1支配线61连接到第2中继配线67的转接部71。第1冗余配线51在图5的右侧的端部具备能与第1支配线61连接的连接部57(第2种连接部)。在实施方式1中,第1冗余配线51在图5的左侧的端部和中央所具备的转接部71也是能与第1支配线61连接的连接部57。

[0091] 第1支配线61是将第6晶体管Tr6的源极电极连接到第1时钟干配线35的支配线。第1支配线61是供应第1时钟信号CK1的支配线。第1支配线61在图5的左侧的端部具备(i)能与第1冗余配线51连接、(ii)能经由第1冗余配线51的转接部71而与第1时钟干配线35连接的连接部72(第1种连接部且第3种连接部)。第1支配线61在中央具备(i)能与第1冗余配线51连接、(ii)能经由第1冗余配线51的转接部71而与第2中继配线67连接的连接部72。第1支配线61在图5的右侧的端部具备能与第1冗余配线51的连接部57连接的连接部72。第1支配线61与第6晶体管Tr6的源极电极形成为一体。

[0092] 第2冗余配线52在图5的左侧的端部具备能与第2支配线62连接的连接部57。第2冗余配线52在第2晶体管Tr2的漏极电极的近旁的端部具备能与第2支配线62连接的连接部57。第2冗余配线52在图5的右侧的端部具备转接部71,转接部71用于将第2支配线62连接到与第6晶体管Tr6的栅极电极为一体的自举电容Cap的一个电极。在实施方式1中,第2冗余配线52在图5的右侧的端部所具备的转接部71也是能与第2支配线62连接的连接部57。

[0093] 第2支配线62是将与第6晶体管Tr6的栅极电极为一体的自举电容Cap的一个电极连接到第1晶体管Tr1、第2晶体管Tr2以及第5晶体管Tr5的漏极电极的支配线。第2支配线62在图5的左侧的端部具备能与第2冗余配线52连接的连接部72。第2支配线62在第2晶体管Tr2的漏极电极的近旁的端部具备能与第2冗余配线52连接的连接部72。第2支配线62在图5的右侧的弯曲部具备(i)能与第2冗余配线52连接、(ii)能经由第2冗余配线52的转接部71而与自举电容Cap的一个电极连接的连接部72。第2支配线62与第1晶体管Tr1、第2晶体管Tr2以及第5晶体管Tr5的漏极电极形成为一体。

[0094] 第3冗余配线53在图5的左上侧的端部具备能与第3支配线63连接的连接部57。第3冗余配线53在图5的右下侧的端部具备用于将第3支配线63连接到第2晶体管Tr2的栅极电极的转接部71。在实施方式1中,第3冗余配线53在图5的右下侧的端部所具备的转接部71也是能与第3支配线63连接的连接部57。

[0095] 第3支配线63将第2晶体管Tr2的被分割的2个源极电极连结,并且将第2晶体管Tr2的源极电极连接到第2晶体管Tr2的栅极电极。第3支配线63在图5的左上侧的弯曲部具备(i)能与第3冗余配线53连接的连接部72。第3支配线63在图5的右下侧的端部具备(i)能与第3冗余配线53连接、(ii)能经由第3冗余配线53的转接部71而与第2晶体管Tr2的栅极电极连接的连接部72。第3支配线63与第2晶体管Tr2的源极电极形成为一体。第3支配线63与第2晶体管Tr2的2个源极电极形成为一体。

[0096] 第4冗余配线54在图5的左侧的端部具备用于将第4支配线64连接到低电位干配线34的转接部71。第4冗余配线54在中央和图5的右侧的端部具备能与第4支配线64连接的连接部57。在实施方式1中,第4冗余配线54在图5的左侧的端部所具备的转接部71也是能与第4支配线64连接的连接部57。

[0097] 第4支配线64是将低电位干配线34连接到第1晶体管Tr1、第3晶体管Tr3、第4晶体管Tr4、以及第5晶体管Tr5的源极电极的支配线。第4支配线64是供应低电位Vss的支配线。第4支配线64在图5的左侧的端部具备(i)能与第4冗余配线54连接、(ii)能经由第4冗余配线54的转接部71而与低电位干配线34连接的连接部72。第4支配线64在向第1晶体管Tr1的源极电极分支的分支部具备能与第4冗余配线54连接的连接部72。第4支配线64在第4晶体管Tr4的源极电极的近旁具备能与第4冗余配线54连接的连接部72。第4支配线64与第1晶体管Tr1、第3晶体管Tr3、第4晶体管Tr4、以及第5晶体管Tr5的源极电极形成为一体。

[0098] 第5冗余配线55在图5的左侧的端部具备用于将第5支配线65连接到第1中继配线66的转接部71。第5冗余配线55在图5的右侧的端部具备能与第5支配线65连接的连接部57。在实施方式1中,第5冗余配线55在图5的右侧的端部所具备的转接部71也是能与第5支配线65连接的连接部57。

[0099] 第5支配线65是将第1中继配线66、第3晶体管Tr3的漏极电极、第4晶体管Tr4的漏极电极、与第6晶体管Tr6的漏极电极为一体的自举电容Cap的另一个电极连接的支配线。第5支配线65是供应第n级的单位电路50的输出Out(n)的支配线。第5支配线65在图5的左侧的端部具备(i)能与第5冗余配线55连接、(ii)能经由第5冗余配线55的转接部71而与第1中继配线66连接的连接部72。第5支配线65在图5的右侧的端部具备(i)能与第5冗余配线55连接的连接部72。第5支配线65与第3晶体管Tr3的漏极电极、第4晶体管Tr4的漏极电极、以及自举电容Cap的另一个电极形成为一体。

[0100] 转接部71是短距离配线,用于将由源极层25(参照图9)形成的支配线61~65转接到由栅极层22(参照图7)形成的配线(低电位干配线34、时钟干配线35~38、第1中继配线66、第2中继配线67)或电极(第2晶体管Tr2的栅极电极、与第6晶体管Tr6的栅极电极为一体的自举电容Cap的一个电极)。转接部71在实施方式1中,与冗余配线51~55一体地设置,但不限于此,也可以如后述的实施方式2那样,与冗余配线51~55独立地设置。

[0101] 实施方式1的冗余配线51~55除转接部71以外与对应的支配线61~65全面地重叠,但不限于此。冗余配线51~55也可以与对应的支配线61~65不重叠,还可以部分地重叠。另外,优选在重叠的区间内,冗余配线51~55比对应的支配线61~65细。

[0102] 第1中继配线66和第2中继配线67通过交叉部74与支配线61~65交叉,但与晶体管Tr1~Tr5和自举电容Cap不交叉。

[0103] 根据上述的支配线61~65和冗余配线51~55的构成,支配线61~65分别具备多个连接部72。另外,冗余配线51~55分别具备多个能与对应的支配线61~65的各连接部72连接的连接部57(包括与转接部71为一体的连接部57)。因此,相互对应的支配线61~65与冗余配线51~55通过连接部72与连接部57的连接而被连接。由此,通过支配线61~65而相互连接的连接部72之间也被对应的冗余配线51~55连接。因而,支配线61~65通过冗余配线51~55而被复线化。

[0104] 与1条配线发生断线的概率相比,2条配线双方均发生断线的概率较小。因此,通过

该复线化,能减少由支配线61~65的断线引起的单位电路50的不良,能减少扫描线驱动电路47的不良。

[0105] (晶体管的层叠结构)

[0106] 图6是图5的A-A向视截面图,是表示第1晶体管Tr1的概略层叠结构的截面图。虽省略说明,但第1晶体管Tr1以外的晶体管Tr2~Tr6也是同样的层叠结构。

[0107] 实施方式1的第1晶体管Tr1是底栅型且沟道蚀刻型的TFT。因此,第1晶体管形成于绝缘基板21之上,包含:栅极电极(G),其由栅极层22(第1导电层)形成;栅极绝缘膜23;沟道,其由半导体层24形成;源极电极(S)及漏极电极(D),其由源极层25(第2导电层)形成;以及第1层间绝缘膜26。

[0108] 绝缘基板21是支撑扫描线驱动电路47的基板。绝缘基板21可以由具有绝缘性的任何材料形成,例如可以使用玻璃基板、包括聚对苯二甲酸乙二醇酯或聚酰亚胺等的塑料基板。

[0109] 栅极层22是形成于绝缘基板21之上的导电层。栅极层22例如能由钛(Ti)、铜(Cu)、铬(Cr)、铝(Al)、金(Au)、钼(Mo)、钨(W)或它们的合金等金属材料形成。

[0110] 栅极绝缘膜23是以覆盖绝缘基板21和栅极层22的表面的方式形成的绝缘膜。栅极绝缘膜23既可以由例如聚对乙烯基苯酚(PVP)等有机绝缘材料形成,也可以由二氧化硅(SiO_2)和氮化硅(SiN_x)等无机绝缘材料形成。

[0111] 半导体层24形成于栅极绝缘膜23之上,是用于使源极电极(S)与漏极电极(D)导通的半导体层。半导体层24例如可以包括氧化物半导体。

[0112] 构成半导体层24的氧化物半导体既可以是非晶质氧化物半导体,也可以是具有结晶质部分的结晶质氧化物半导体。作为结晶质氧化物半导体,可列举多晶氧化物半导体、微晶氧化物半导体、c轴与层面大致垂直取向的结晶质氧化物半导体等。

[0113] 包括氧化物半导体的半导体层24可以具有2层以上的层叠结构。在半导体层24具有层叠结构的情况下,半导体层24可以包含非晶质氧化物半导体层和结晶质氧化物半导体层。或者,半导体层24也可以包含结晶结构不同的多个结晶质氧化物半导体层。另外,半导体层24还可以包含多个非晶质氧化物半导体层。

[0114] 在半导体层24具有包含上层(基板的相反侧)和下层(基板侧)的两层结构的情况下,优选上层所包含的氧化物半导体的能隙大于下层所包含的氧化物半导体的能隙。不过,在这些层的能隙之差比较小的情况下,下层的氧化物半导体的能隙也可以大于上层的氧化物半导体的能隙。

[0115] 非晶质氧化物半导体和上述的各结晶质氧化物半导体的材料、结构、成膜方法、具有层叠结构的氧化物半导体层的构成等例如已记载于特开2014-007399号公报。为了参考,将特开2014-007399号公报的全部公开内容引用到本说明书中。

[0116] 半导体层24例如可以包含In、Ga以及Zn中的至少1种金属元素。在本实施方式中,半导体层24例如包含In-Ga-Zn-O系的半导体(例如铟镓锌氧化物)。在此,In-Ga-Zn-O系的半导体是In(铟)、Ga(镓)、Zn(锌)的三元系氧化物,并且In、Ga以及Zn的比例(组成比)没有特别限定,例如包含In:Ga:Zn=2:2:1、In:Ga:Zn=1:1:1、In:Ga:Zn=1:1:2等。这种氧化物半导体层可由包含In-Ga-Zn-O系半导体的氧化物半导体层形成。

[0117] In-Ga-Zn-O系的半导体既可以是非晶质,也可以是结晶质。作为结晶质In-Ga-Zn-

0系的半导体,优选c轴与层面大致垂直取向的结晶质In-Ga-Zn-O系的半导体。

[0118] 此外,结晶质In-Ga-Zn-O系的半导体的结晶结构例如已公开于上述的特开2014-007399号公报、特开2012-134475号公报、特开2014-209727号公报等。为了参照,将特开2012-134475号公报和特开2014-209727号公报的全部公开内容引用到本说明书中。

[0119] 具有In-Ga-Zn-O系半导体层的薄膜晶体管具有高迁移率(与a-SiTFT相比超过20倍)和低漏电流(与a-SiTFT相比不到百分之一),因此,适合用作扫描线驱动电路47所具备的晶体管Tr1~Tr6和配设于显示区域30的像素晶体管。

[0120] 半导体层24也可以包括其它氧化物半导体来代替In-Ga-Zn-O系半导体。例如可以包含In-Sn-Zn-O系半导体(例如 In_2O_3 - SnO_2 -ZnO; InSnZnO)。In-Sn-Zn-O系半导体是In(铟)、Sn(锡)以及Zn(锌)的三元系氧化物。或者,氧化物半导体层也可以包含In-Al-Zn-O系半导体、In-Al-Sn-Zn-O系半导体、Zn-O系半导体、In-Zn-O系半导体、Zn-Ti-O系半导体、Cd-Ge-O系半导体、Cd-Pb-O系半导体、CdO(氧化镉)、Mg-Zn-O系半导体、In-Ga-Sn-O系半导体、In-Ga-O系半导体、Zr-In-Zn-O系半导体、Hf-In-Zn-O系半导体等。

[0121] 源极层25例如能由钛(Ti)、铜(Cu)、铬(Cr)、金(Au)、铝(Al)、钼(Mo)、钨(W)或它们的合金等金属材料形成。

[0122] 第1层间绝缘膜26以在栅极绝缘膜23和半导体层24之上相互分开的方式,填充由源极层25形成的源极电极(S)与漏极电极(G)之间的空间。第1层间绝缘膜26设置于栅极绝缘膜23、半导体层24、源极层25的上表面。第1层间绝缘膜26的材料既可以是与栅极绝缘膜23相同的绝缘材料,也可以是与栅极绝缘膜23不同的绝缘材料。

[0123] 构成扫描线驱动电路47所具备的晶体管Tr1~Tr6的层(栅极层22、栅极绝缘膜23、半导体层24、源极层25、第1层间绝缘膜26)优选是构成在显示区域30中配设的像素晶体管的层。

[0124] (扫描线驱动电路的制造工序)

[0125] 以下,参照图7~图11来说明制造图4所示的扫描线驱动电路47的概略工序。此外,虽省略说明,但数据线驱动电路48以及显示区域30内部的像素晶体管和像素电极等构成也是与扫描线驱动电路47一起形成于绝缘基板21之上。

[0126] 图7是表示图4所示的扫描线驱动电路47的栅极层22的概略图案的俯视图。

[0127] 图8是表示图4所示的扫描线驱动电路47的半导体层24的概略图案的俯视图。

[0128] 图9是表示图4所示的扫描线驱动电路47的源极层25的概略图案的俯视图。

[0129] 图10是表示图4所示的扫描线驱动电路47的接触孔29的概略图案的俯视图。

[0130] 图11是表示图4所示的扫描线驱动电路47的冗余配线层27的概略图案的俯视图。

[0131] 首先,在绝缘基板21的整个面上蒸镀导电材料,形成栅极层22。之后,使用光刻技术等对栅极层22进行蚀刻,使得栅极层22残留为如图7那样的图案。由此,如图7所示,形成低电位干配线34、时钟干配线35~38、晶体管Tr1~Tr6的栅极电极、自举电容Cap的一个电极、第1中继配线66、第2中继配线67、以及初始化配线68。

[0132] 然后,从栅极层22的上方,将栅极绝缘膜23蒸镀到绝缘基板21的整个面。栅极绝缘膜23是用于形成扫描线驱动电路47所具备的晶体管Tr1~Tr6的栅极绝缘膜的绝缘膜。优选栅极绝缘膜23也是用于形成在显示区域30中配设的像素晶体管的栅极绝缘膜的绝缘膜。

[0133] 接着,从栅极绝缘膜23的上方,将半导体材料蒸镀到绝缘基板21的整个面,形成半

导体层24。之后,使用光刻技术等对半导体层24进行蚀刻,使得半导体层24残留为如图8那样的图案。由此,如图8那样,形成成为晶体管Tr1~Tr6的沟道的半导体层24。

[0134] 接着,从半导体层24的上方,将导电材料蒸镀到绝缘基板21的整个面,形成源极层25。之后,使用光刻技术等对源极层25进行蚀刻,使得以源极层25残留为如图9那样的图案。由此,如图9那样,形成晶体管Tr1~Tr6的源极电极及漏极电极、支配线61~65、自举电容Cap的一个电极、以及扫描线31。此外,在显示区域30中,扫描线31形成于栅极层22。与自举电容Cap的一个电极一体地形成的扫描线31在源极层25中形成,但在显示区域30的外侧(周边区域40的内部)被转接到栅极层22。

[0135] 如图9所示,用于与低电位干配线34连接的第4支配线64的连接部72优选以使得多级的单位电路50的连接部72连续的方式配设为与低电位干配线34重叠。这样配设的连接部72如又一个低电位干配线34那样发挥功能,因此,能降低低电位干配线34的配线电阻。

[0136] 然后,从源极层25的上方,将绝缘材料蒸镀到绝缘基板21的整个面,形成第1层间绝缘膜26。

[0137] 接着,使用光刻技术等如图10那样形成接触孔29。在残留有源极层25的位置(支配线61~65的连接部72),对第1层间绝缘膜26进行蚀刻,使源极层25从接触孔29露出。在源极层25被除去并残留有栅极层22的位置,对第1层间绝缘膜26和栅极绝缘膜23进行蚀刻,使栅极层22从接触孔29露出。

[0138] 接着,从第1层间绝缘膜26的上方,将导电材料蒸镀到绝缘基板21的整个面,形成冗余配线层27(第3导电层)。之后,使用光刻技术等对冗余配线层27进行蚀刻,使得冗余配线层27残留为如图11那样的图案。由此,形成冗余配线51~55,并且在接触孔29之中埋设形成冗余配线层27的导电材料。因此,冗余配线层27经过露出有栅极层22的接触孔29连接到栅极层22。另外,冗余配线层27经过露出有源极层25的接触孔29连接到源极层25。

[0139] 冗余配线层27例如能使用铜(Cu)、钛(Ti)、铝(Al)或它们的合金等金属材料。冗余配线层27也可以是用于形成在显示区域中配设的TN(twisted nematic:扭转相列)方式或VA(vertical aligned:垂直取向)方式中的辅助电容的共用电极、或者用于使FFS(fringe field switching:边缘场开关)方式的共用电极低电阻化的配线、或者用于TFT的沟道遮光膜的导电层。由于冗余配线层27是这种既存的导电层,因而不会增加配线层的数量,因此是优选的。

[0140] 如图11所示,用于将第4支配线64连接到低电位干配线34的第4冗余配线54的转接部71优选以使得不同级的单位电路50的转接部71连续的方式配设为与低电位干配线34重叠。这样配设的转接部71如又一个低电位干配线34那样发挥功能,因此,会降低低电位干配线34的配线电阻。

[0141] 如图11所示,冗余配线51~55与对应的支配线61~65重叠的构成会降低配线电容,并且易于在扫描线驱动电路47之上形成密封物11(参照图13),因此是优选的。密封物11大多使用光固化性树脂。因此,为了能在扫描线驱动电路47之上形成密封物11,优选在扫描线驱动电路47能配设使光固化性树脂固化的光能透射过的透光部。此外,图6所示的自举电容Cap的由栅极层22形成的一个电极的3个狭缝是使光固化性树脂固化的光能透射过的透光部。

[0142] 而且,如图11所示,重叠的区间内的冗余配线51~55的部分比对应的支配线61~

65细会使得易于在扫描线驱动电路47之上形成密封物11(参照图13),因此是更优选的。由于位于绝缘基板21的相反侧的冗余配线51~55细,所以能使密封材料更容易地固化。另外,自举电容Cap的由源极层25形成的另一个电极的3个狭缝也同样地为了能使密封材料更容易地固化而大于自举电容Cap的一个电极的狭缝。

[0143] 然后,从源极层25的上方,将绝缘材料蒸镀到绝缘基板21的整个面,形成第2层间绝缘膜28。第2层间绝缘膜28的材料既可以是与第1层间绝缘膜26相同的绝缘材料,也可以是与第1层间绝缘膜26不同的绝缘材料。例如第2层间绝缘膜28可以是厚度为0.2mm~0.8mm的氮化硅(SiN_x)。

[0144] (扫描线驱动电路的部分截面)

[0145] 图12是图5的B-B向视截面图,是表示交叉部74和转接部71的概略构成的截面图。在图12所示的交叉部74,将第(n-2)级与第(n+2)级的单位电路之间连接的第2中继配线67与第1支配线61交叉。另外,图12所示的转接部71将第1支配线61连接到将第(n-4)级与第n级的单位电路之间连接的第2中继配线67和第1冗余配线51。

[0146] 如图12所示,在交叉部74,由栅极层22形成的第2中继配线67是与由源极层25形成的第1支配线61和由冗余配线层27形成的第1冗余配线51交叉的。在图12所示的构成中,第2中继配线67未被夹在第1支配线61与第1冗余配线51之间。因此,与被夹在它们之间的构成相比,第2中继配线67与第1支配线61及第1冗余配线51之间的配线电容变小。另外,第1支配线61所传递的时钟信号CK1~CK4中的任意一个时钟信号和第1冗余配线51所传递的时钟信号CK1~CK4中的任意一个时钟信号是相同的。因此,第1支配线61与第1冗余配线51之间的配线电容不会成为问题。

[0147] 因而,如图12所示,在绝缘基板21之上按顺序层叠栅极层22、源极层25以及冗余配线层27会降低交叉部74中的第1中继配线66和第2中继配线67的配线电容,因此是优选的。配线电容的降低会降低所交叉的第1中继配线66、第2中继配线67以及初始化配线68上的信号钝化,因此是优选的。另外,配线电容的降低也会降低所交叉的第1支配线61、第2支配线62、第4支配线64以及第5支配线65上的信号钝化,因此是优选的。

[0148] 如图12所示,将第1支配线61与第2中继配线67连接的转接部71与第1冗余配线51形成为一体。因此,转接部71也是第1冗余配线51的连接部57。第1冗余配线51通过接触孔29连接到第1支配线61和第2中继配线67。因而,转接部71、第1冗余配线51的连接部57均需要比接触孔29大很多。因此,同第1冗余配线51具备与转接部71独立的连接部57的构成相比,转接部71与第1冗余配线51为一体的构成更易于减少第1冗余配线51所占的面积。

[0149] 如图12所示,在形成扫描线驱动电路47的区域中,层叠在绝缘基板21之上的层叠结构的最上层是第2层间绝缘膜28。像这样最上层是绝缘膜会使得易于在扫描线驱动电路47之上形成密封物11(参照图13),因此是优选的。在最上层是导电层的构成中,易于发生由密封材料所包含的间隔物导致的导电层的断裂。另外,在TN(twisted nematic)方式或VA(vertical aligned)方式的液晶显示装置中,在为了进行与设置于相对基板的相对电极的导电而使用混合了导电性粒子的间隔物的情况下,易于发生由导电性粒子所致的短路。相对于此,在最上层是绝缘膜的构成中,不易发生导电层的断裂或短路。

[0150] 另外,在周边区域40中,处于同样的原因,也优选层叠在绝缘基板21之上的层叠结构的最上层是绝缘膜。此外,在显示区域30中,由于不形成密封物11,因此显示区域30的最

上层也可以是形成像素电极的透明导电层等。

[0151] (显示面板)

[0152] 图13是表示使用图1所示的矩阵基板20的液晶显示面板100(显示装置)的概略构成的俯视图。图13的(a)是液晶显示面板100的透射俯视图。图13的(b)是图13的(a)的框C的部分的矩阵基板20的放大图。

[0153] 如图13的(a)所示,液晶显示面板100具备:矩阵基板20、与矩阵基板相对的相对基板10、封入到相对基板10与矩阵基板20之间的液晶12(电光物质)、以及用于封入液晶12的密封物11。

[0154] 密封物11以沿着相对基板10的外周的方式形成于周边区域40所包含的密封区域41,使得矩阵基板20的端子部49能与外部连接。用于形成密封物11的密封材料通常使用光固化性树脂。因此,在形成密封物11的密封区域41中,在矩阵基板20上要设置使密封材料固化的光能透射过的透光部。另外,密封材料中通常混合有用于保持相对基板10与矩阵基板20之间的间隔的间隔物。

[0155] 如图13的(b)所示,密封区域41与(i)配设有低电位干配线34和时钟干配线35~38的干配线区域44、以及(ii)配设有扫描线驱动电路47的驱动电路区域45重叠。这样重叠的构成同密封区域41不与干配线区域44及驱动电路区域45重叠的构成相比,能实现周边区域40的小面积化,因此是优选的。另外,为了周边区域40的小面积化,优选密封区域41与驱动电路区域45重叠的比例高。但是,第6晶体管Tr6的面积大,并且难以设置成为透射部的开口。因此,为了使密封区域41与第6晶体管Tr6不重叠,第6晶体管Tr6被设置于离显示区域30近的一侧。因此,将第6晶体管Tr6的源极电极连接到时钟干配线35~38中的任意一者的第1支配线61在支配线61~65中最长,最易于发生断线。

[0156] 根据现有的不包含冗余配线51~55的构成,在支配线61~65发生了断线的情况下,扫描线驱动电路47变得不良。因此,扫描线驱动电路47的不良率高,难以提高矩阵基板20的制造成品率。相对于此,在本实施方式的包含冗余配线51~55的构成中,支配线61~65通过对应的冗余配线51~55而实质上被复线化,因此,在支配线61~65和对应的冗余配线51~55双方发生了断线的情况下,扫描线驱动电路47变得不良。因此,由于双方发生断线的概率低于仅一方发生断线的概率,因而能降低扫描线驱动电路47的不良率,能提高矩阵基板20的制造成品率。

[0157] (效果)

[0158] 根据上述的构成,能使用对应的冗余配线51~55将支配线61~65复线化。因此,例如即使第2支配线62发生了断线,第1晶体管Tr1、第2晶体管Tr2以及第5晶体管Tr5的漏极电极也会通过第2冗余配线52连接到自举电容Cap的一个电极。这样,通过复线化,各单位电路50针对支配线61~65的断线具备冗余性,因此,能减少由支配线61~65的断线引起的单位电路50的不良。由此,能提高扫描线驱动电路47和矩阵基板20的制造成品率。

[0159] 此外,在本实施方式中,能将全部支配线61~65复线化,但也可以是仅支配线61~65中的一部分能复线化。在该情况下,优选至少第1支配线61能复线化。其原因是,作为输出晶体管的第6晶体管Tr6通常配设于驱动电路区域45的显示区域侧,因此,第1支配线61在支配线61~65中最长,最易于断线。

[0160] (实施例)

[0161] 本发明的实施方式1的构成能应用于高清晰的中小型显示装置,是有益的。

[0162] 例如在像素间距为用于 $17\mu\text{m}\times 51\mu\text{m}$ 的4.4型FHD(full high vision display:全高清显示器)的有源矩阵基板中应用了本发明的实施方式1的构成。在该实施例中,数据线32的间隔是 $17\mu\text{m}$,扫描线31的间隔是 $51\mu\text{m}$,数据线32的间隔(在RGB的3色显示的情况下)是 $1080\times 3=3240$ 条,扫描线31的条数是1920条。而且,单位电路50的宽度小于 $51\mu\text{m}\times 2=102\mu\text{m}$,是 $100\mu\text{m}$ 。在扫描线驱动电路47中,按每20~30级的单位电路50设置未配设单位电路50的富余空间,在该富余空间中配设了用于共用电极的旁路(bypass)配线等。

[0163] 而且,为了在扫描线驱动电路47中确保使密封材料固化的光能透射过的透光部,将单位电路50所具备的支配线61~65形成为宽 $4\mu\text{m}$,将冗余配线51~55形成为宽 $3\mu\text{m}$ 。并且,为了将周边区域40小面积化,以使扫描线驱动电路47与密封区域41重叠的方式,具体地,以除第6晶体管Tr6以外使扫描线驱动电路47与密封区域41完全重叠的方式形成了密封物11。

[0164] [实施方式2]

[0165] 基于图14和图15如下说明本发明的另一实施方式。此外,为了便于说明,针对具有与在上述实施方式中说明的构件相同的功能的构件,附上相同的附图标记,省略其说明。

[0166] 实施方式2的矩阵基板20与实施方式1的矩阵基板20相比,如图14所示,在单位电路50的电路配置上部分地不同,但除此之外是与实施方式1的矩阵基板20相同的构成。此外,实施方式2的单位电路50的电路构成是与图3所示的实施方式1的单位电路50相同的构成。

[0167] 图14是表示实施方式2的单位电路50的概略电路配置的俯视图。

[0168] 如图14所示,实施方式2的单位电路50的转接部71是与冗余配线51a、51b、52~55分离的。由此,实施方式1的第1冗余配线51被分割为图14左侧的第1左冗余配线51a和图14右侧的第1右冗余配线51b。另外,支配线61~65具备:用于与转接部71连接(connection)的连接部72、以及用于与冗余配线51a、51b、52~55连接(connection)的连接部72。另外,冗余配线51a、51b、52~55分别具备多个能与对应的支配线61~65的连接部72连接(connection)的连接部57。

[0169] 而且,在实施方式2的单位电路50中,冗余配线51a、51b、52~55与对应的支配线61~65事先并未被连接。因而,在图14所示的状态下,支配线61~65虽然能通过冗余配线51a、51b、52~55实现复线化,但尚未被复线化。换句话说,在图14所示的状态下,冗余配线51a、51b、52~55是浮动配线。

[0170] 而且,将第(n-2)级与第(n+2)级的单位电路50之间连接的第2中继配线67在第n级的单位电路50中经过(i)第1左冗余配线51a的图14的右侧的端部与(ii)将第1支配线61连接到将第(n-4)级与第n级的单位电路50之间连接的第2中继配线67的转接部71之间。

[0171] 图15是图14的C-C向视截面图,是表示交叉部74与转接部71的概略构成的截面图。

[0172] 如图15所示,第1左冗余配线51a是与转接部71分离的。另外,第1支配线61的连接部72没有连接到第1左冗余配线51a的连接部57。

[0173] (复线化)

[0174] 根据图14和图15可知,冗余配线51a、51b、52~55的连接部57是以与对应的支配线61~65的对应的连接部72重叠的方式配设的。因此,相互对应的连接部57与连接部72能进行熔化(melt)连接。因此,例如在支配线61~65中的任意一者发生了断线的情况下,通过将多个对应的连接部57与连接部72进行熔化连接,从而能将支配线61~65与对应的冗余配线

51a、51b、52~55连接,能挽回成为不良品的情况。具体地,对所选择的连接部57和连接部72所在的位置选择性地照射激光,由此,将源极层25、第1层间绝缘膜26以及冗余配线层27选择性地熔融(熔化)。通过熔融,在第1层间绝缘膜26中开孔,源极层25与冗余配线层27接合。

[0175] 在熔化连接中,既可以从绝缘基板21的上表面侧照射激光,也可以从下表面侧照射激光。另外,相对基板10大多配设有遮光膜,因此,在通过密封物11将相对基板10与矩阵基板20接合后进行熔化连接的情况下,为了使激光不被遮挡,优选从绝缘基板21的下表面侧照射激光。

[0176] 此外,相互对应的连接部57与连接部72的连接既可以在通过密封物11将相对基板10与矩阵基板20接合之前进行,也可以在通过密封物11将相对基板10与矩阵基板20接合之后进行。另外,为了易于进行熔化连接,优选冗余配线层27与源极层25之间的绝缘膜的层数少,更优选在冗余配线层27与源极层25之间仅夹着第2层间绝缘膜28。

[0177] 另外,为了使照射的激光不被栅极层22遮挡,用于与支配线61~65的冗余配线51a、51b、52~55连接,的连接部72优选位于与(i)支配线61~65与第1中继配线66或第2中继配线67或初始化配线68交叉的交叉部74、以及(ii)支配线61~65与晶体管Tr1~Tr6的栅电极重叠的位置不同的位置。

[0178] (效果)

[0179] 在实施方式1的单位电路50中,参照图11,第1冗余配线51在中央所具备的转接部71是接近于第2冗余配线52的,因此易于短路。同样地,第n级的单位电路50在左端所具备的第5冗余配线55的转接部71是接近于相邻的(n+2)级的单位电路50的第1冗余配线51的,因此易于短路。而且,冗余配线51~55连接到对应的支配线61~65,转接部71包含于冗余配线51~55。

[0180] 因此,在实施方式1的单位电路50中,在第1冗余配线51在中央所具备的转接部71与第2冗余配线52发生了短路的情况下,第1支配线与第2支配线发生短路。同样地,在第n级的单位电路50的第5冗余配线55在左端所具备的转接部71与相邻的(n+2)级的单位电路50的第1冗余配线51发生了短路的情况下,第n级的单位电路50的第5支配线65与(n+2)级的单位电路50的第1支配线61发生短路。

[0181] 相对于此,在实施方式2的单位电路50中,如图14所示,冗余配线51a、51b、52~55是与转接部71独立地配设的,并且是浮动配线。因此,即使转接部71与(与该转接部71所连接的支配线61~65不对应的)其它冗余配线发生了短路,只要不将发生了短路的冗余配线与支配线连接,则支配线彼此就不会短路。因此,能减少由冗余配线51~55与转接部71的短路引起的单位电路50的不良。

[0182] 另外,在支配线61~65中的任意一者发生了断线的情况下,能与对应的冗余配线51a、51b、52~55熔化连接,因此,能挽回成为不良品的情况。

[0183] 因而,根据实施方式2的构成,与实施方式1的构成同样地,支配线61~65能复线化,因此,单位电路50针对支配线61~65的断线具备冗余性。而且,根据实施方式2的构成,针对转接部71与其它冗余配线的短路也具备冗余性。由此,能进一步提高扫描线驱动电路47和矩阵基板20的制造成品率。

[0184] 另外,也可以将实施方式1的构成和实施方式2的构成进行组合。通过适当地组合,能提高扫描线驱动电路47的制造效率(不伴有与熔化连接相关的作业的阶段中的制造成品

率)、以及实施熔化连接而挽回了不良品后的最终的制造成品率这两者。如何进行组合,优选考虑转接部71与冗余配线51~55的配置等来判断。

[0185] [实施方式3]

[0186] 基于图16和图17如下说明本发明的另一实施方式。此外,为了便于说明,针对具有与在上述实施方式中说明的构件相同的功能的构件,附上相同的附图标记,省略其说明。

[0187] 实施方式3的矩阵基板20与实施方式1的矩阵基板20相比,如图16所示,在单位电路50的电路配置上部分地不同,但除此之外是与实施方式1的矩阵基板20相同的构成。此外,实施方式3的单位电路50的电路构成是与图3所示的实施方式1的单位电路50相同的构成。

[0188] 图16是表示实施方式3的单位电路50的概略电路配置的俯视图。

[0189] 如图16所示,实施方式3的第n级的单位电路50中的第1冗余配线51绕开了交叉部74,交叉部74是第n级的单位电路50中的第1支配线61与将第(n-2)级与第(n+2)级的单位电路50之间连接的第2中继配线67交叉的部分。

[0190] 通过该绕开,实施方式3的第1冗余配线51具有:与对应的第1支配线61重叠的重叠区间75;以及绕开了交叉部74的绕开区间76。在图16中,仅第1冗余配线51具有仅1个绕开区间76,但不限于此。其它冗余配线52~55也可以具有绕开区间76,冗余配线51~55也可以具有2个以上的绕开区间76。

[0191] (切断)

[0192] 图17是将图16所示的绕开区间76的近旁进行了放大的(a)切断前和(b)切断后的图。

[0193] 在交叉部74,支配线61~65与第1中继配线66或第2中继配线67或初始化配线68交叉。因此,在交叉部74,支配线61~65有时会与第1中继配线66或第2中继配线67或初始化配线68发生短路。在发生了短路的情况下,通过将发生了短路的交叉部74从支配线61~65切离,能消除支配线61~65与第1中继配线66或第2中继配线67或初始化配线68的短路。

[0194] 如图17的(a)所示,在绕开区间76内,第1冗余配线51是不与第1支配线61重叠的。另外,在交叉部74的两侧的切断区间77中,没有与第1支配线61重叠的配线或电极。因此,如图17的(b)所示,能通过激光照射等,仅将第1支配线61切断,而将第1支配线61从交叉部74切离。

[0195] 在实施方式3的单位电路50中,如图17的(b)所示,通过将第1支配线61从交叉部74切离,能消除第1支配线61与第2中继配线67的短路。此外,切断后的第1支配线61由于预先通过第1冗余配线51而被复线化,因此,仍能对(i)第6晶体管Tr6的源极电极和(ii)第2中继配线67供应时钟信号。因此,能减少由交叉部的支配线61~65的短路引起的单位电路50的不良。

[0196] 优选考虑配线(支配线61~65、冗余配线51~55、第1中继配线66、第2中继配线67、初始化配线68)的图案化精度(图7~图11所示的图案的线宽以及位置偏差)、用于切断的激光照射的照射位置的对准精度、切断作业的作业容易性、切断部78以及导电材料在其近旁的飞散、以及切断部78的长度等来确保切断区间77的长度。

[0197] 例如优选对图案化精度、对准精度、作业容易性、以及飞散等分别确保1~3 μm 的余量。因此,优选切断区间77的长度是5 μm 以上。

[0198] (效果)

[0199] 根据实施方式3的构成,与实施方式1的构成同样地,支配线61~65被复线化,因此,单位电路50针对支配线61~65的断线具备冗余性。而且,根据实施方式3的构成,能消除交叉部74的支配线61~65的短路。由此,能进一步提高扫描线驱动电路47和矩阵基板20的制造成品率。

[0200] 另外,也可以将实施方式1~3的构成进行组合。通过适当地组合,能提高扫描线驱动电路47的制造效率(不伴有与熔化连接或切断有关的作业的阶段中的制造成品率)、以及实施熔化连接或切断而挽回了不良品后的最终的制造成品率这两者。如何进行组合,优选除了考虑转接部71与冗余配线51~55的配置之外,还考虑配线电容、冗余配线彼此短路的概率、以及用于使密封材料固化的光能透射过的透光部的确保等来判断。

[0201] [总结]

[0202] 本发明的方式1的驱动电路(扫描线驱动电路47)构成为,具备:多个单位电路(50),其用于分别驱动多个输出线(扫描线31);以及第1种配线(第1中继配线66,第2中继配线67,初始化配线68),其由第1导电层(栅极层22)形成,用于将上述单位电路之间连接,上述单位电路中的至少1个单位电路包含:多个电路元件(晶体管Tr1~Tr6,自举电容Cap);第2种配线(支配线61~65),其由第2导电层(源极层25)形成,用于将该单位电路所包含的电路元件连接到(i)该单位电路所包含的别的电路元件、(ii)上述第1种配线、以及(iii)用于供应输入的干配线中的任意一者;以及第3种配线(冗余配线51~55,第1左冗余配线51a,第1右冗余配线51b),其由第3导电层(冗余配线层27)形成,至少部分地与上述第2种配线中的至少1条第2种配线对应,上述第2种配线中的上述至少1条第2种配线具备多个第1种连接部(支配线的连接部72),上述第3种配线具备能与对应的第2种配线的各第1种连接部连接的多个第2种连接部(冗余配线的连接部57)。

[0203] 根据上述构成,在至少1个单位电路中,具有对应的第3种配线的第2种配线具备多个第1种连接部,第3种配线具备能与对应的第2种配线的各第1种连接部连接的多个第2种连接部。因此,相互对应的第2种配线与第3种配线能通过将第1连接部和第2连接部连接而被连接。通过这种第2种配线与第3种配线的连接,不仅能用第2种配线而且还能用第3种配线将第1种连接部之间连接。换句话说,能实现配线的复线化。由此,至少1个单位电路针对第2种配线的断线具备冗余性,因此,驱动电路针对第2种配线的断线具备冗余性。

[0204] 另外,与1条配线发生断线的概率相比,2条配线双方均发生断线的概率较小。因而,通过复线化,能减小将第1种连接部之间连接的配线全部发生断线的概率。由此,能降低由断线所致的驱动电路的不良,因此,能提高驱动电路的制造成品率。

[0205] 此外,第1种连接部与第2种连接部可以是(i)以使得仅将其间连接的第2种配线发生了断线的第1种连接部的之间由第3种配线连接的方式被连接,也可以是(ii)与第2种配线的断线无关地被连接。

[0206] 而且,由第2种配线和第3种配线双方连接的第1种连接部之间的合成后的配线电阻小于仅由第2种配线连接的第1种连接部之间的配线电阻。因此,通过以使得将其间连接的第2种配线没有发生断线的第1种连接部的之间也由第3种配线连接的方式,将相互对应的第1种连接部和第2种连接部连接,从而能降低配线电阻。

[0207] 本发明的方式2的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的

方式1中,上述单位电路(50)中的上述至少1个单位电路包含用于驱动对应的输出线(扫描线31)的输出晶体管(第6晶体管Tr6)作为上述电路元件(晶体管Tr1~Tr6,自举电容Cap),上述输出晶体管构成为,源极电极和漏极电极中的一方(漏极电极)连接到对应的输出线,源极电极和漏极电极中的另一方(源极电极)通过具有对应的第3种配线(第1冗余配线51)的第2种配线(第1支配线61)连接到上述干配线(时钟干配线35~38中的任意一者)。

[0208] 根据上述构成,至少是将输出晶体管连接到干配线的第2种配线能实现复线化。

[0209] 输出晶体管由于要驱动输出线,因此,优选源极-漏极间在通电状态下的沟道电阻小。沟道电阻越小,在源极-漏极间流动的电流就越大,源极-漏极间的电压降就越小。因此,输出晶体管的沟道电阻越小,驱动电路对于输出电阻变得越强,越能降低输出信号的钝化。例如在驱动电路驱动作为输出线的、矩阵基板的扫描线的情况下,优选输出晶体管的沟道电阻小,以使得对扫描线充电的能力足够高。这样,为了减小沟道电阻,输出晶体管与输出晶体管以外的电路元件相比有变大的倾向。

[0210] 另外,用于构成电路元件的导电层与形成第1种配线 and 第2种配线的导电层通常是共同的。因此,电路元件与配线既无法重叠,也无法接触。因而,以往,输出晶体管的面积大,且在俯视时既不与配线重叠也不与配线接触。而且,形成用于将液晶等电光物质封入的密封物的密封材料大多使用光固化性材料。因此,在形成密封物的区域中,要设置用于使密封材料固化的光能透射过的透射部。

[0211] 因此,在用于显示装置的矩阵基板的周边区域中,一般是以使得(i)输出晶体管配设于显示区域侧,(ii)干配线配设于显示区域的相反侧,(iii)输出晶体管以外的单位电路所包含的电路元件配设于输出晶体管与干配线之间的方式进行驱动电路和干配线的布局。

[0212] 在这种布局中,用于将输出晶体管连接到干配线的第2种配线在第2种配线之中最长。因此,用于将输出晶体管连接到干配线的第2种配线发生断线的概率最大,配线电阻也易于变得最大。因此,用于将输出晶体管连接到干配线的第2种配线能实现复线化,是极为有益的。

[0213] 本发明的方式3的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述方式2中,上述输出晶体管的源极电极和漏极电极中的上述另一方(第6晶体管Tr6的源极电极)连接到用于将时钟信号供应到上述驱动电路的上述干配线(时钟干配线35~38中的任意一者)。

[0214] 本发明的方式4的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的方式1~3中的任意一个方式中,上述第1导电层(栅极层22)、上述第2导电层(源极层25)以及上述第3导电层(冗余配线层27)是相互不同的导电层。

[0215] 根据上述构成,第1导电层、第2导电层以及第3导电层是相互不同的导电层,因此,第1种配线、第2种配线以及第3种配线在俯视时能相互重叠。因而,也可以是以第2种配线与第1种配线交叉的方式来配设第2种配线。另外,也可以是以第3种配线与第1种配线交叉的方式来配设第3种配线。另外,也可以是以第3种配线沿着第2种配线在第2种配线之上延伸的方式来配设第3种配线。

[0216] 本发明的方式5的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的方式4中,在上述第2导电层(源极层25)与上述第3导电层(冗余配线层27)之间仅夹着绝缘膜(第1层间绝缘膜26)。

[0217] 根据上述构成,在第2导电层与第3导电层之间仅夹着绝缘膜。因此,能降低(i)相互对应的第2种配线与第3种配线、(ii)与其它配线之间的配线电容。由此,电容负载减少,因此,能降低信号钝化。这在相互对应的第2种配线和第3种配线在俯视时处于重叠的情况下是特别有益的。

[0218] 而且,根据上述构成,第2导电层与第3导电层离得近,因此,将相互对应的第1种连接部与第2种连接部连接是容易的。因此,优选第2导电层与第3导电层之间的绝缘膜的厚度薄。

[0219] 本发明的方式6的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的方式4或5中,上述第2种配线(支配线61~65)具备第3种连接部(支配线的连接部72),上述第3种连接部用于与上述电路元件(晶体管Tr1~Tr6,自举电容Cap)的由上述第1导电层形成的电极、上述第1种配线(第1中继配线66,第2中继配线67,初始化配线68)、以及由上述第1导电层形成的上述干配线(低电位干配线34,时钟干配线35~38)中的任意一者连接,上述第3种连接部包含上述第1种连接部(支配线的连接部72)中的至少1个第1种连接部。

[0220] 根据上述构成,用于将第2种配线与电路元件或第1种配线或干配线连接的第3种连接部包含第1种连接部中的至少1个第1种连接部。因此,能减少第2种配线所具备的连接部(第1种连接部和第3种连接部)的数量。

[0221] 用于将由不同的导电层形成的配线连接的连接部大于不是连接部的部分。例如通过(i)在导电层之上形成绝缘膜、(ii)在绝缘膜中开设通孔、(iii)在绝缘膜之上形成别的导电层,并且将导电材料填入该通孔,从而将配线连接。在该情况下,连接部需要比通孔的开口大很多。

[0222] 因而,减少第2种配线所构成的连接部的数量对将用于配设第2种配线的区域小面积化是有益的,对将用于进行驱动电路的布局的区域小面积化是有益的。

[0223] 本发明的方式7的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的方式4或5中,上述单位电路(50)还具备由上述第3导电层(冗余配线层27)形成的转接部(71),上述第2种配线(支配线61~65)具备第3种连接部(支配线的连接部72),上述第3种连接部(支配线的连接部72)用于通过上述转接部而与上述电路元件的由上述第1导电层形成的电极(自举电容Cap的一个电极,第2晶体管Tr2的栅极电极)、上述第1种配线(第1中继配线66,第2中继配线67)、以及由上述第1导电层形成的上述干配线(低电位干配线34,时钟干配线35~38)中的任意一者连接,上述转接部是与上述第3种配线(冗余配线51a、51b、52~55)分离的。

[0224] 本发明的方式8的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的方式4~7中的任意一个方式中,上述第3种配线(冗余配线51a、51b、52~55)中的至少1条第3种配线具有在俯视时与对应的第2种配线(支配线61~55)重叠的重叠区间(重叠区间75)。

[0225] 根据上述构成,第3种配线中的至少1条第3种配线具有与对应的第2种配线重叠的重叠区间。由此,能降低相互对应的第2种配线以及第3种配线与其它配线之间的配线电容。

[0226] 近年来,将扫描线驱动电路以单片形成于矩阵基板的栅极驱动器单片(Gate Driver Monolithic、GMD)技术正在普及。在使用这种矩阵基板的显示装置中,在矩阵基板的周边区域使密封材料固化,来形成在矩阵基板与相对基板之间封入液晶等电光物质的密封物。另外,扫描线驱动电路也用于矩阵基板的周边区域。因此,为了使周边区域小面积化,

形成扫描线驱动电路的驱动电路区域的一部分或全部与形成密封物的密封区域重叠。因此,为了能使用光固化性的密封物材,优选扫描线驱动电路是易于确保供使密封物材固化的光透射过的透光部的构成。

[0227] 根据上述构成,第3种配线中的至少1条第3种配线具有与对应的第2种配线重叠的重叠区间。因此,易于确保透光部。因而,能实现适合于采用了GMD技术的矩阵基板的驱动电路。

[0228] 本发明的方式9的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的方式8中,上述第1导电层(栅极层22)、上述第2导电层(源极层25)以及上述第3导电层(冗余配线层27)按此顺序层叠于绝缘基板(21)之上。

[0229] 本发明的方式10的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的方式9中,上述第3种配线(冗余配线51~55,第1左冗余配线51a,第1右冗余配线51b)的宽度在上述重叠区间(75)内比对应的第2种配线(支配线61~65)的宽度细。

[0230] 根据上述构成,在重叠区间内,相互对应的第3种配线和第2种配线中的、基板侧的第2种配线粗,而基板的相反侧的第3种配线细。因此,由于基板的相反侧的配线细,因而易于确保透光部。在采用了GMD技术的矩阵基板中,优选扫描线驱动电路是易于确保供使密封物材固化的光透射过的透光部的构成。因而,能实现适合于采用了GMD技术的矩阵基板的驱动电路。

[0231] 本发明的方式11的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的方式4~10中的任意一个方式中,上述第3种配线(冗余配线51~55,第1左冗余配线51a,第1右冗余配线51b)中的至少1条第3种配线具有绕开区间(76),上述绕开区间是在俯视时绕开对应的第2种配线(支配线61~65)与上述第1种配线(第1中继配线66,第2中继配线67,初始化配线68)交叉的交叉部(74)的区间。

[0232] 根据上述构成,第3种配线中的至少1条第3种配线具有绕开第2种配线与第1种配线交叉的交叉部的绕开区间。因此,在绕开的交叉部,第2种配线与第1种配线发生了短路的情况下,易于进行修复。该修复例如是,(i)在发生了短路的交叉部的两侧将第2种配线切断,(ii)以由第3种配线将由于该切断而将其间连接的第2种配线发生了断线的第1种连接部之间连接的方式,将第1种连接部和第2种连接部连接。此外,为了使得用于修复的切断变得容易,优选在绕开的交叉部的两侧(例如5 μ m以内)的第2种配线之上未配设有配线和电路元件。

[0233] 本发明的方式12的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的方式1~11中的任意一个方式中,上述电路元件包含具有(i)由上述第1导电层(栅极层22)形成的栅极电极、以及(ii)由上述第2导电层(源极层25)形成的源极电极和漏极电极的晶体管(Tr1~Tr6)。

[0234] 本发明的方式13的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的方式1~12中的任意一个方式中,上述第1种配线在1个上述单位电路中包含用于供应另1个上述单位电路的输出的第1中继配线(66)。

[0235] 根据上述构成,能对单位电路供应别的单位电路的输出。因此,例如能将触发器电路用作单位电路,因此,驱动电路能作为移位寄存器发挥功能。

[0236] 本发明的方式14的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的

方式1~13中的任意一个方式中,上述第1种配线包含用于对1个上述单位电路供应另1个上述单位电路的输入的第2中继配线(67)。

[0237] 根据上述构成,能对单位电路供应别的单位电路的输入。因此,能提高用于对驱动电路进行输入的干配线与单位电路之间的连接的自由度。例如能从将电路元件连接到干配线的支配线分支出中继配线,或者从连接到干配线的电路元件的电极分支出中继配线。

[0238] 本发明的方式15的驱动电路(扫描线驱动电路47)也可以设为如下构成,在上述的方式1~14中的任意一个方式中,上述第1种配线包括用于供应用来将上述单位电路初始化的初始化信号(Reset)的初始化配线(68)。

[0239] 本发明的方式16的矩阵基板(20)是如下构成,具备绝缘基板(21),上述绝缘基板具有:显示区域(30),其配设有上述输出线作为扫描线(31);以及周边区域(40),其配设有上述的方式1~15中的任意一个方式的驱动电路(扫描线驱动电路47)、以及上述干配线(低电位干配线34,时钟干配线35~38)。

[0240] 本发明的方式17的矩阵基板(20)具备绝缘基板(21),上述绝缘基板具有:显示区域(30),其配设有多个扫描线(31);以及周边区域(40),其配设有(i)具备用于驱动各扫描线的多个单位电路(50)和用于将上述单位电路之间连接的由第1导电层(栅极层22)形成的第1种配线(第1中继配线66,第2中继配线67,初始化配线68)的驱动电路(扫描线驱动电路47)、以及(ii)用于向上述驱动电路供应输入(V_{ss} , $CK1 \sim CK4$)的干配线(低电位干配线34,时钟干配线35~38),上述单位电路中的至少1个单位电路包含:多个电路元件(晶体管 $Tr1 \sim Tr6$,自举电容Cap);第2种配线(支配线61~65),其由第2导电层(源极层25)形成,用于将该单位电路所包含的电路元件连接到(i)该电路所包含的别的电路元件、(ii)上述第1种配线、以及(iii)上述干配线中的任意一者;以及第3种配线(冗余配线51~55,第1左冗余配线51a,第1右冗余配线51b),其由第3导电层(冗余配线层27)形成,至少部分地与上述第2种配线中的至少1条第2种配线对应,上述第2种配线中的上述至少1条第2种配线具备多个第1种连接部(支配线的连接部72),上述第3种配线具备能与对应的第2种配线的各第1种连接部连接的多个第2种连接部(冗余配线的连接部57)。

[0241] 本发明的方式18的矩阵基板(20)也可以设为如下构成,在上述的方式16或17中,上述周边区域(40)包含密封区域(41),上述密封区域用于形成用来封入电光物质(液晶12)的密封物(11),在上述密封区域中,包含层叠在上述绝缘基板(21)之上的上述第1导电层(栅极层22)、上述第2导电层(源极层25)以及上述第3导电层(冗余配线层27)的层叠结构的最上层是绝缘膜(第2层间绝缘膜28)。

[0242] 本发明的方式19的显示装置(液晶显示面板100)是具备上述的方式16~18中的任意一个方式的矩阵基板的构成。

[0243] 本发明不限于上述的各实施方式,能在权利要求书所示的范围内进行各种变更,将在不同的实施方式中分别公开的技术方案适当地组合而得到的实施方式也包含在本发明的技术范围中。而且,通过将在实施方式中分别公开的技术方案组合,能形成新的技术特征。

[0244] 附图标记说明

[0245] 10 相对基板

[0246] 11 密封物

- [0247] 12 液晶
- [0248] 20 矩阵基板
- [0249] 21 绝缘基板
- [0250] 22 栅极层(第1导电层)
- [0251] 23 栅极绝缘膜
- [0252] 24 半导体层
- [0253] 25 源极层(第2导电层)
- [0254] 26 第1层间绝缘膜
- [0255] 27 冗余配线层(第3导电层)
- [0256] 28 第2层间绝缘膜
- [0257] 29 接触孔
- [0258] 30 显示区域
- [0259] 31 扫描线(输出线)
- [0260] 32 数据线
- [0261] 34 低电位干配线(干配线)
- [0262] 35 第1时钟干配线(干配线)
- [0263] 36 第2时钟干配线(干配线)
- [0264] 37 第3时钟干配线(干配线)
- [0265] 38 第4时钟干配线(干配线)
- [0266] 40 周边区域
- [0267] 41 密封区域
- [0268] 44 干配线区域
- [0269] 45 驱动电路区域
- [0270] 47 扫描线驱动电路(驱动电路)
- [0271] 48 数据线驱动电路
- [0272] 49 端子部
- [0273] 50 单位电路
- [0274] 51 第1冗余配线(第3种配线)
- [0275] 51a 第1左冗余配线(第3种配线)
- [0276] 51b 第1右冗余配线(第3种配线)
- [0277] 52 第2冗余配线(第3种配线)
- [0278] 53 第3冗余配线(第3种配线)
- [0279] 54 第4冗余配线(第3种配线)
- [0280] 55 第5冗余配线(第3种配线)
- [0281] 57 冗余配线的连接部,连接部(第2种连接部)
- [0282] 61 第1支配线(第2种配线)
- [0283] 62 第2支配线(第2种配线)
- [0284] 63 第3支配线(第2种配线)
- [0285] 64 第4支配线(第2种配线)

- [0286] 65 第5支配线(第2种配线)
- [0287] 66 第1中继配线(第1种配线)
- [0288] 67 第2中继配线(第1种配线)
- [0289] 68 初始化配线(第1种配线)
- [0290] 71 转接部
- [0291] 72 支配线的连接部,连接部(第1种连接部)
- [0292] 74 交叉部
- [0293] 75 重叠区间
- [0294] 76 绕开区间
- [0295] 100 液晶显示面板
- [0296] Cap 自举电容
- [0297] CK1 第1时钟信号(输入,时钟信号)
- [0298] CK2 第2时钟信号(输入,时钟信号)
- [0299] CK3 第3时钟信号(输入,时钟信号)
- [0300] CK4 第4时钟信号(输入,时钟信号)
- [0301] Out 输出
- [0302] Reset 初始化信号
- [0303] Tr1 第1晶体管
- [0304] Tr2 第2晶体管
- [0305] Tr3 第3晶体管
- [0306] Tr4 第4晶体管
- [0307] Tr5 第5晶体管
- [0308] Tr6 第6晶体管
- [0309] Vss 低电位(输入)。

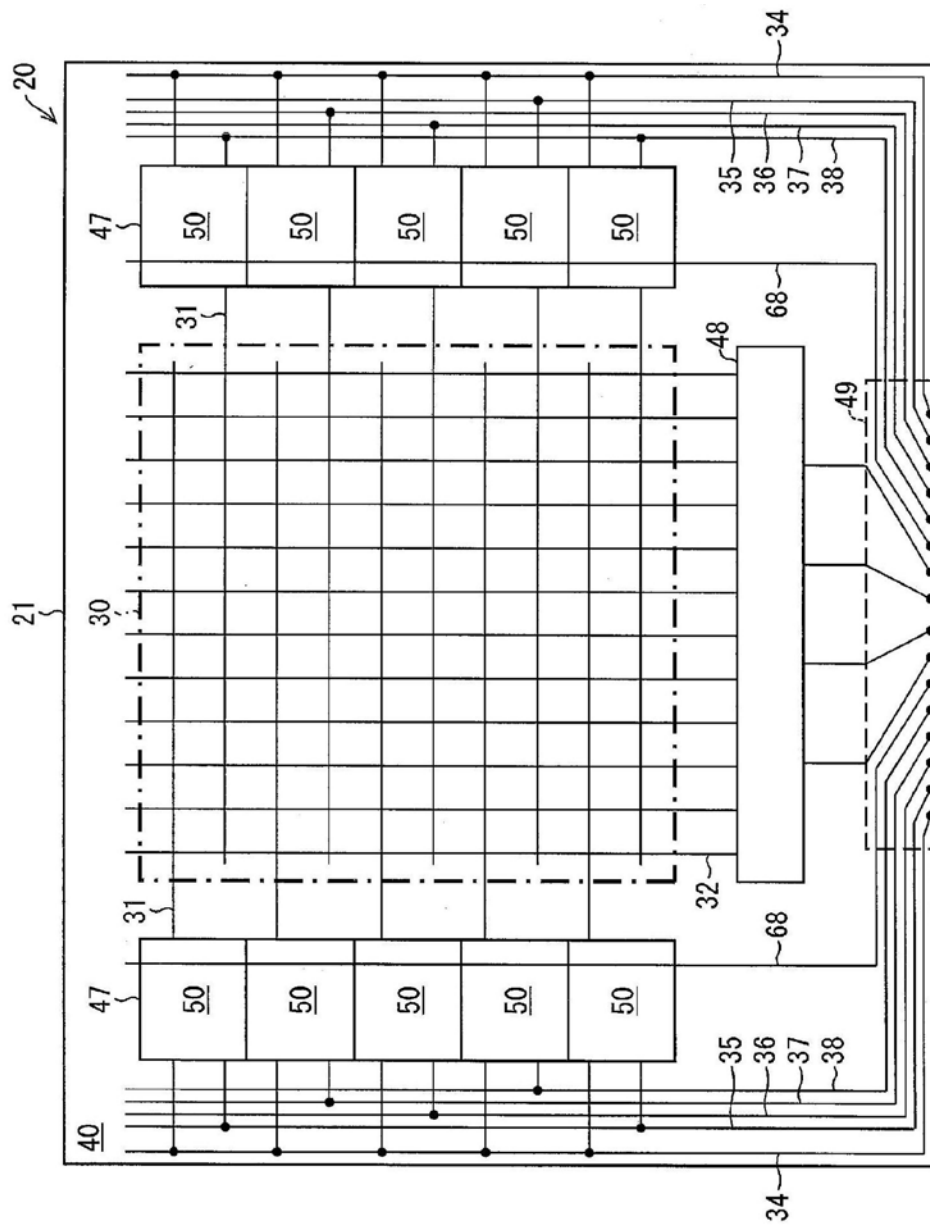


图1

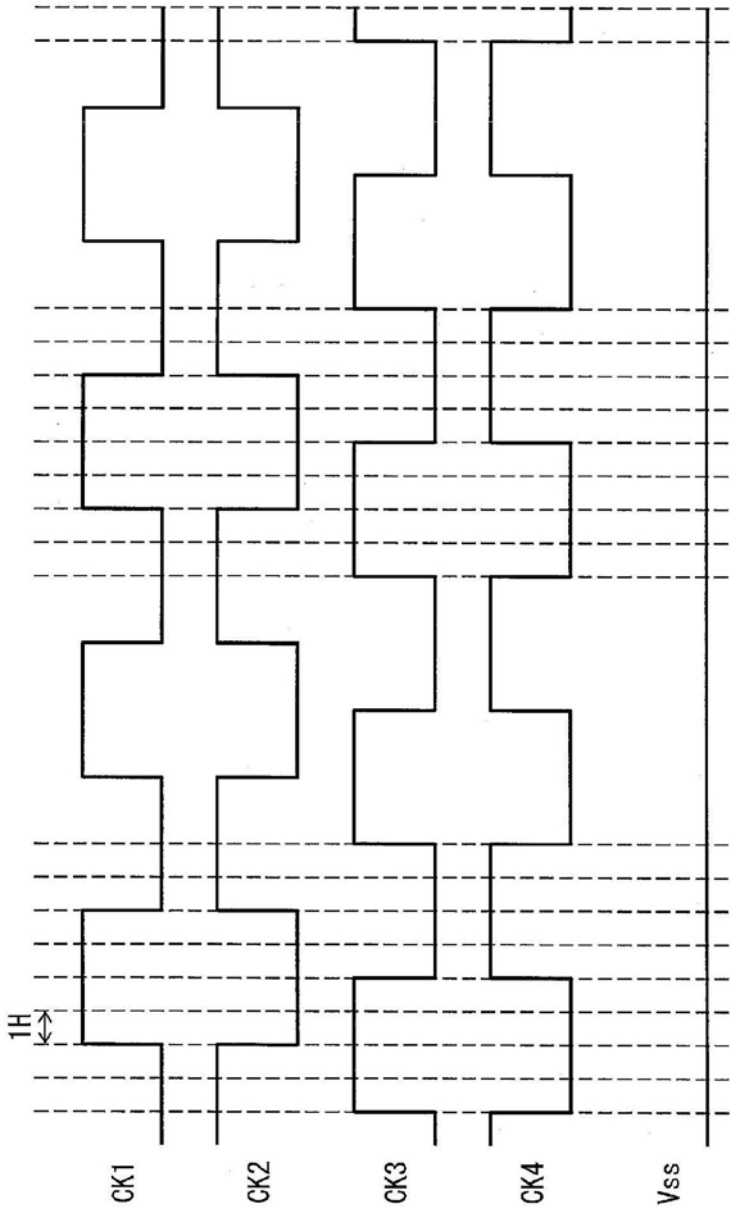


图2

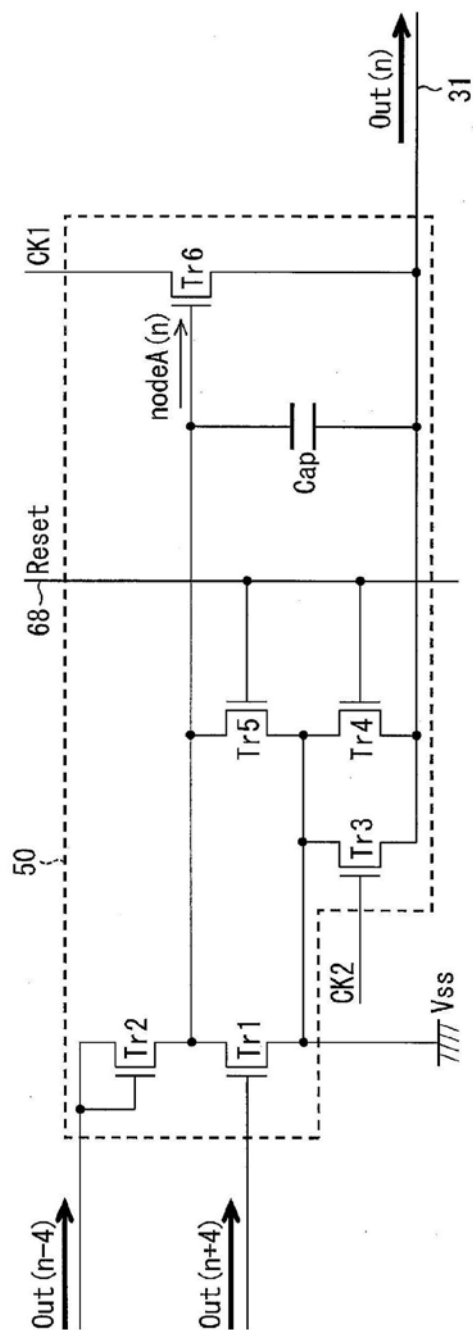


图3

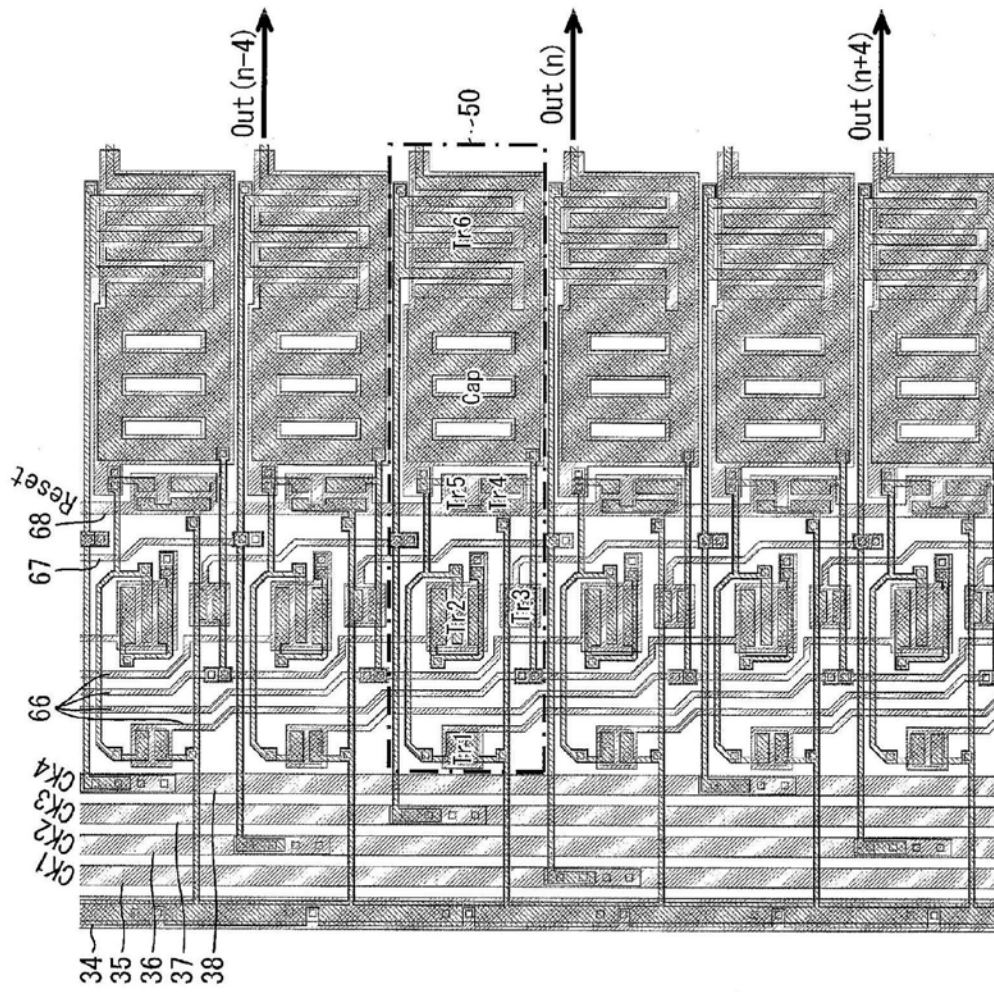


图4

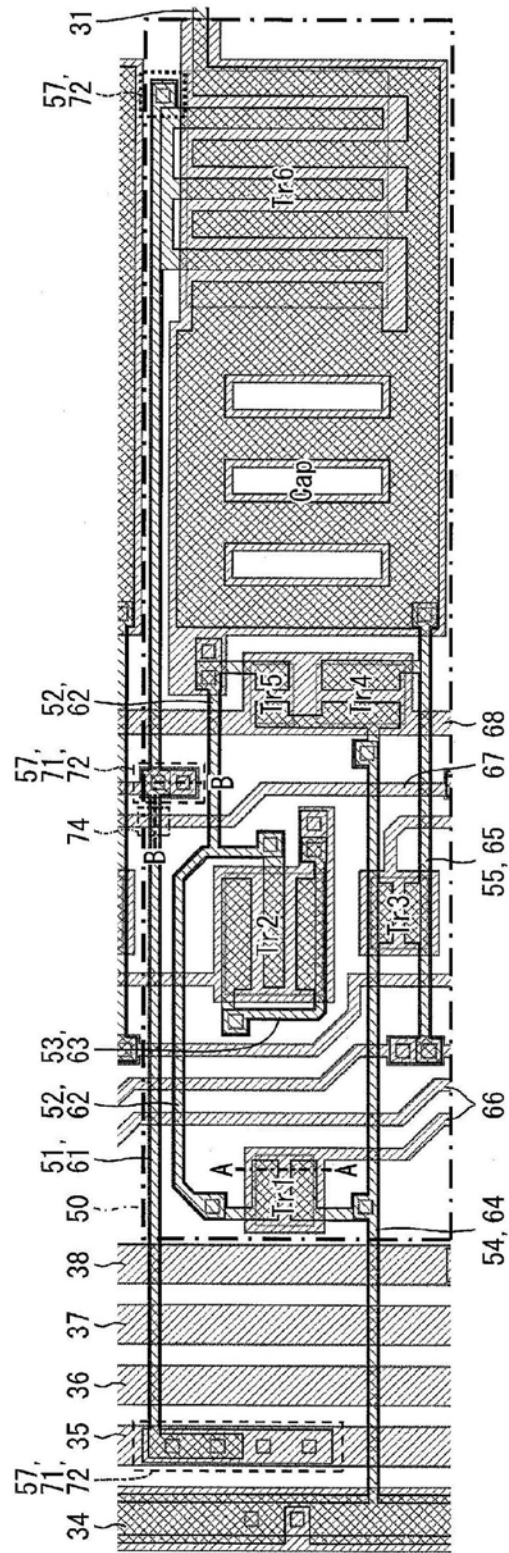


图5

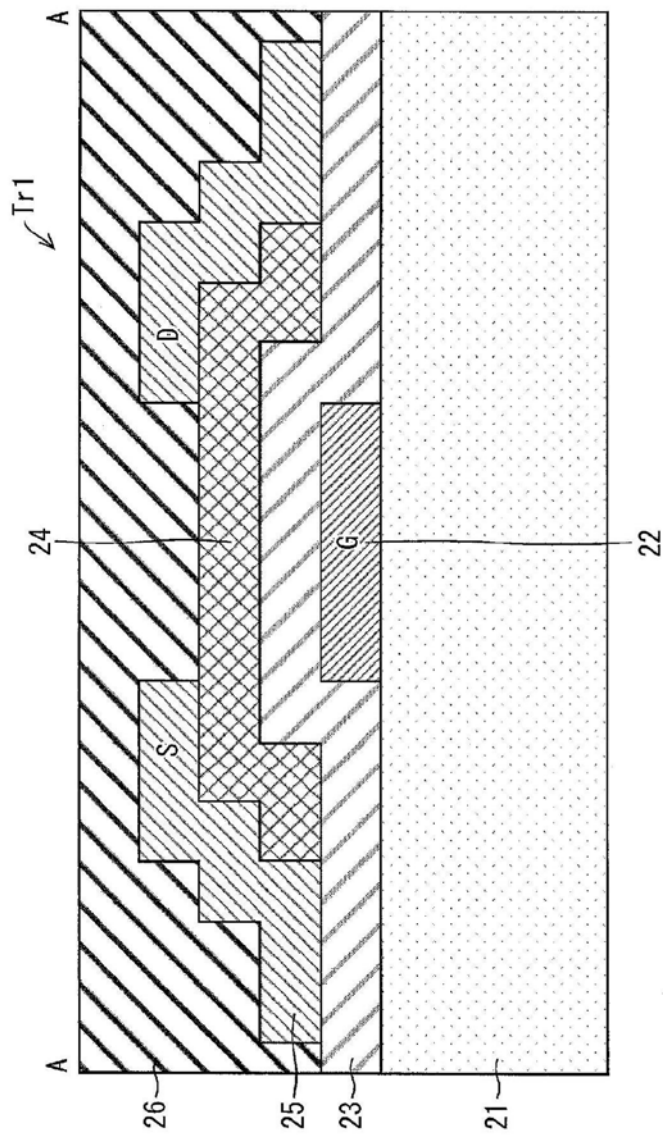


图6

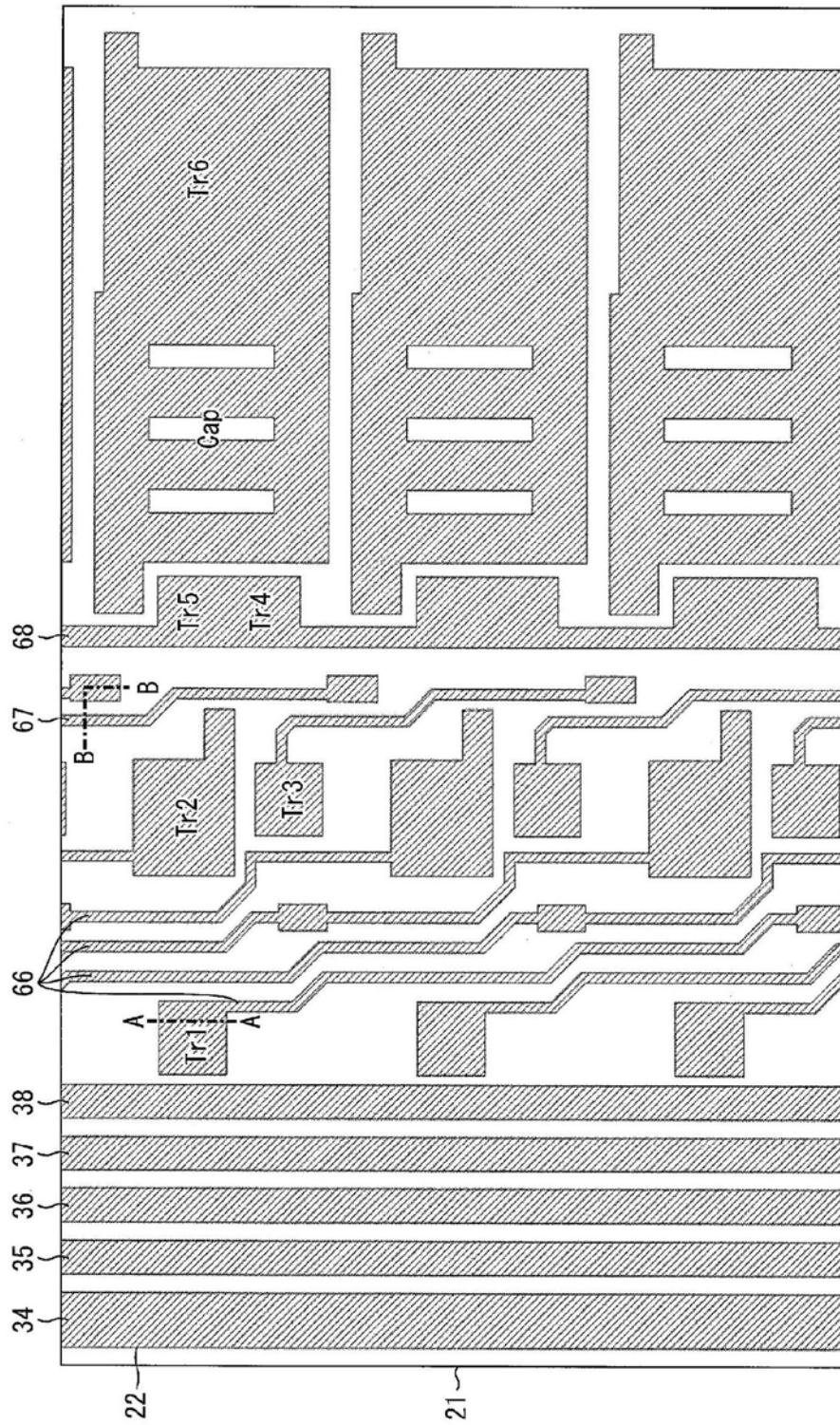


图7

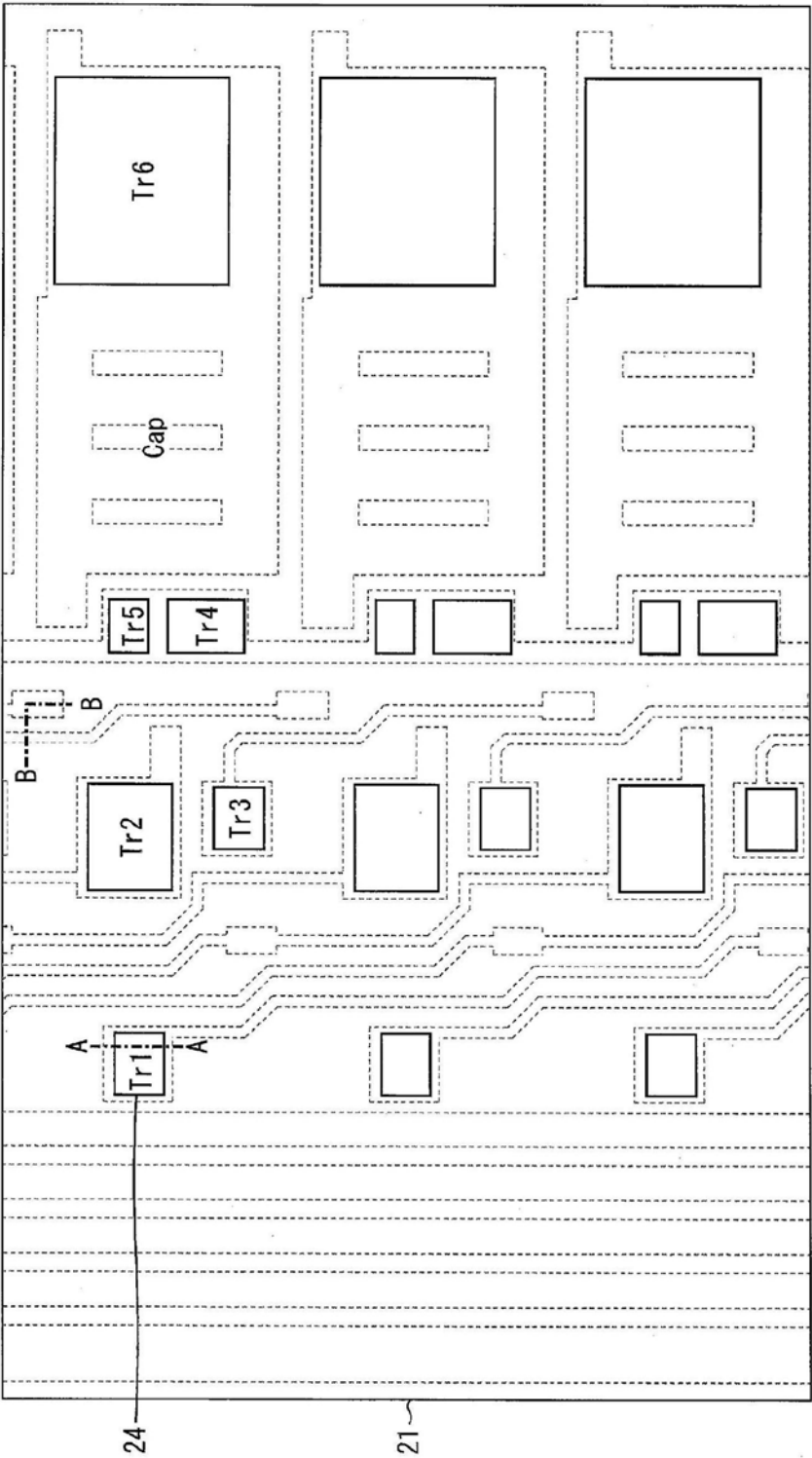


图8

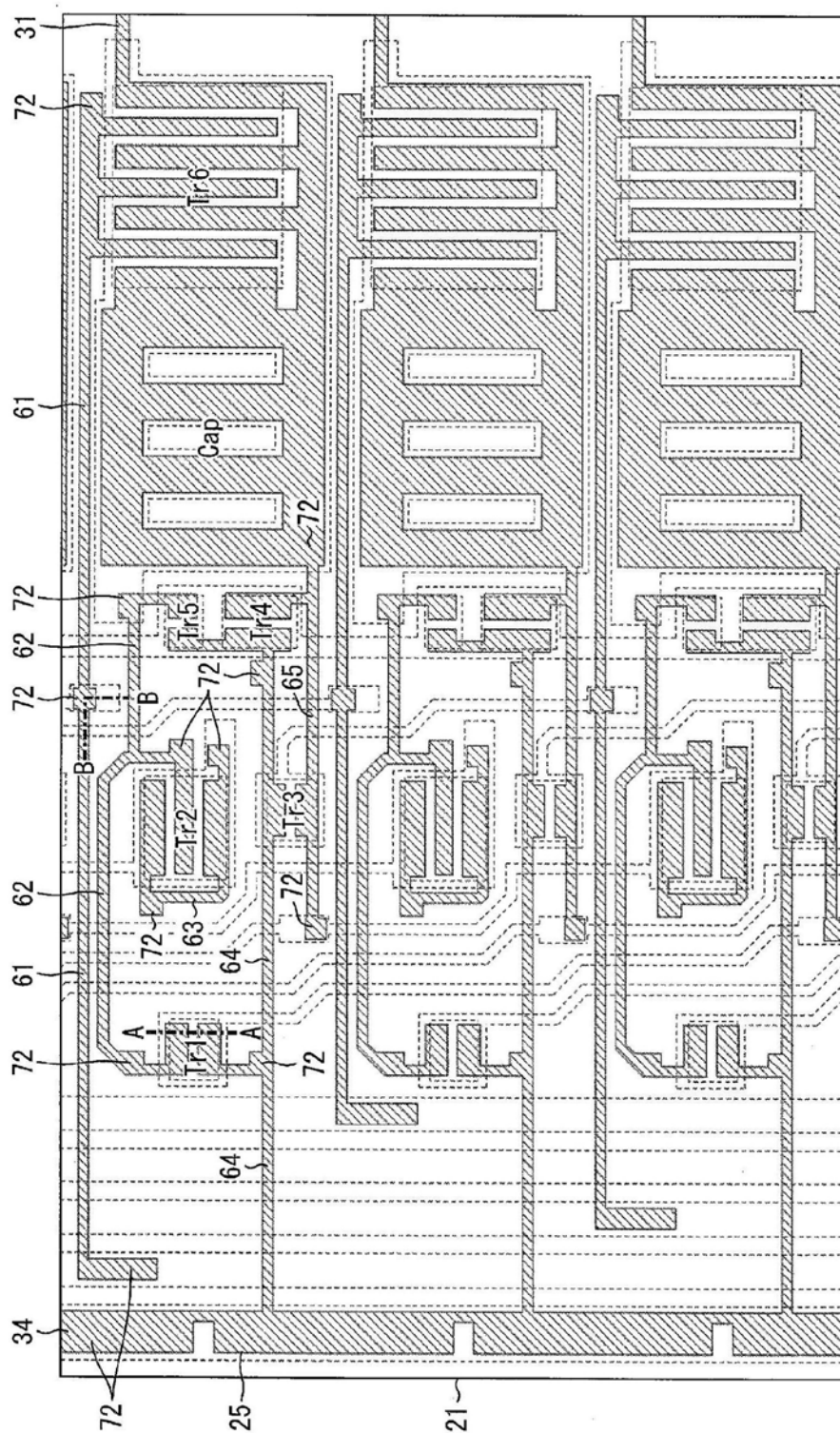


图9

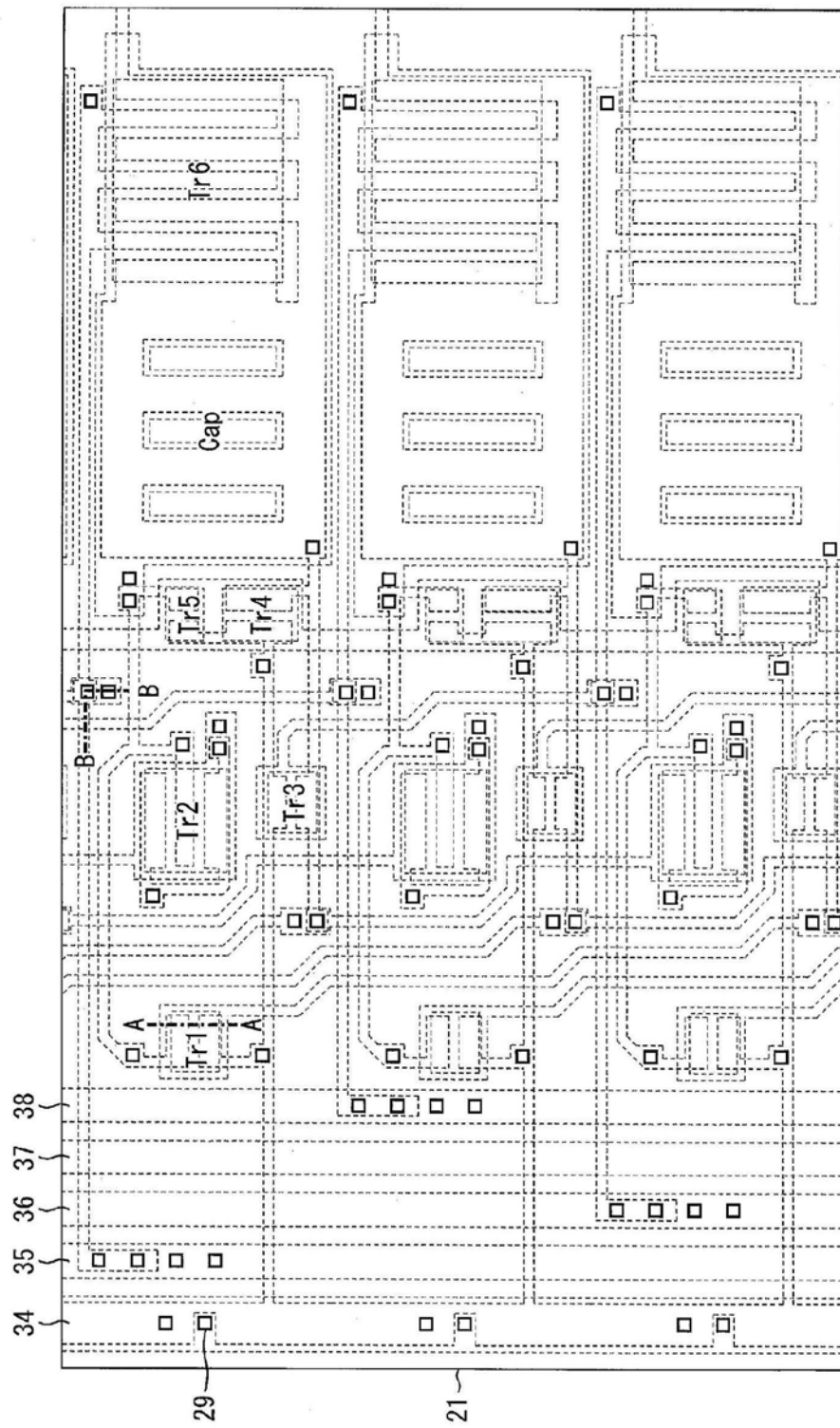


图10

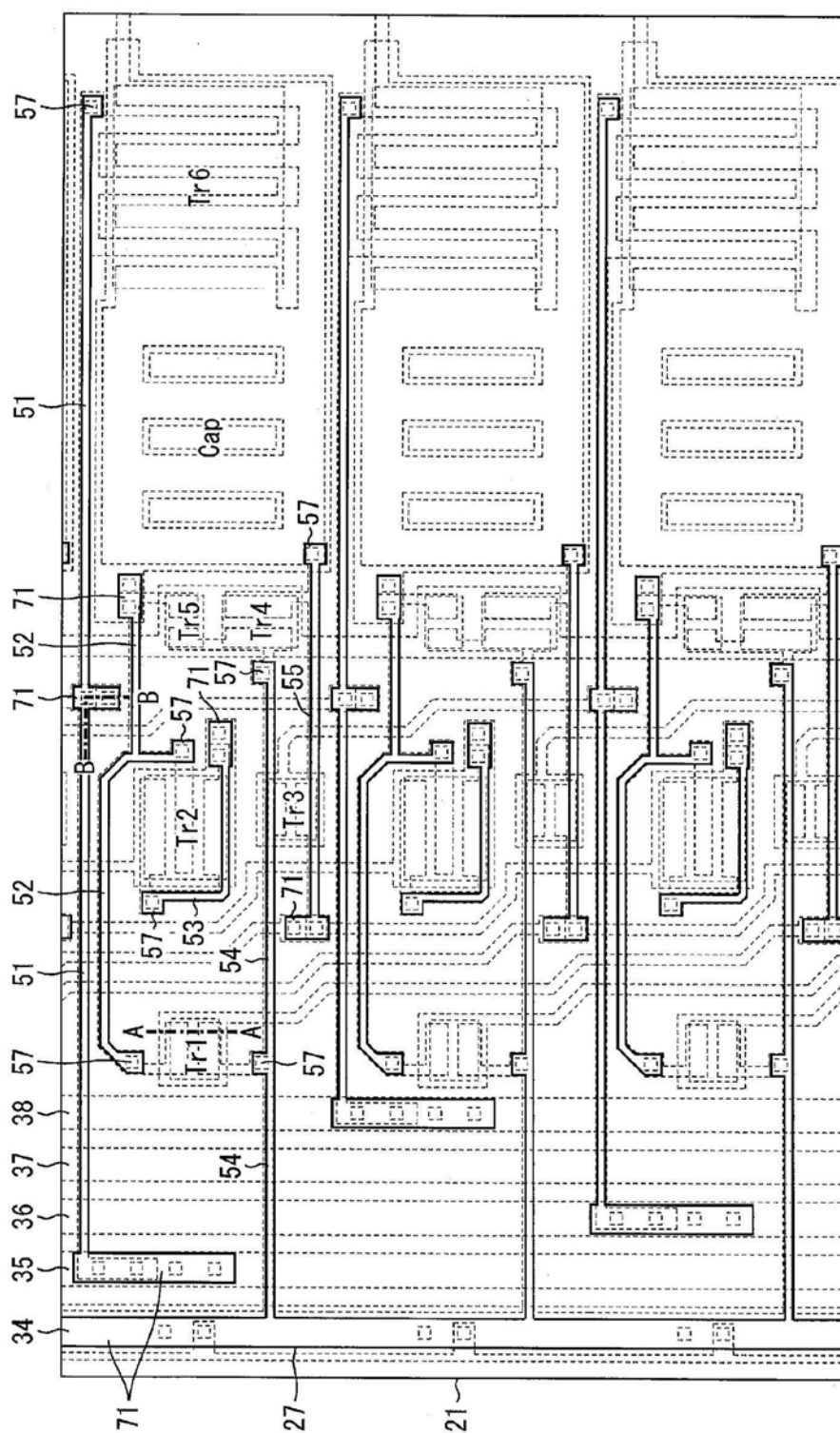


图11

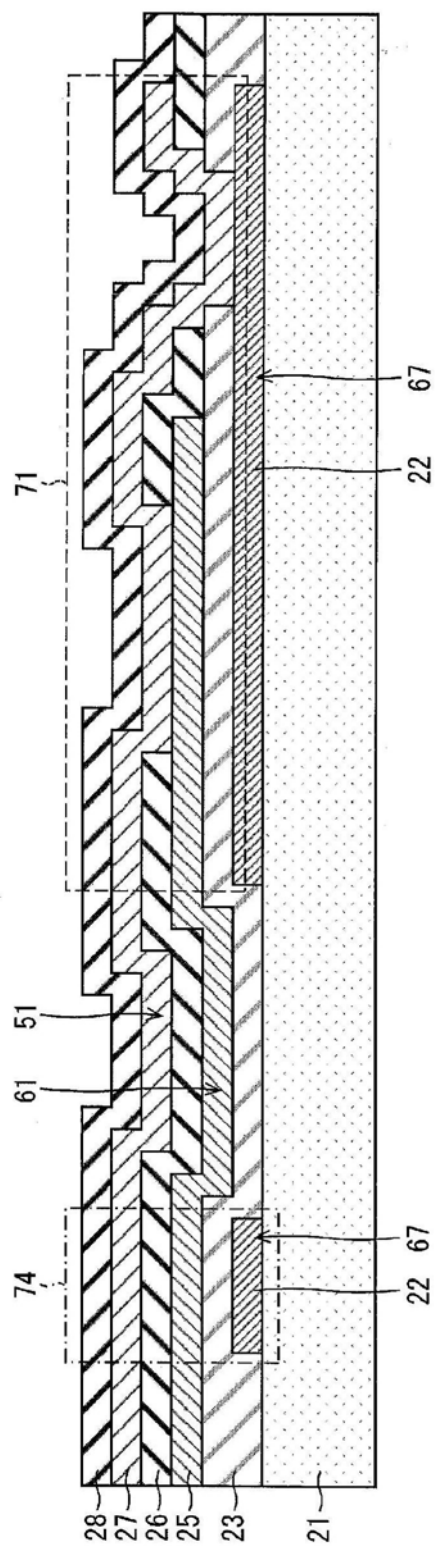


图12

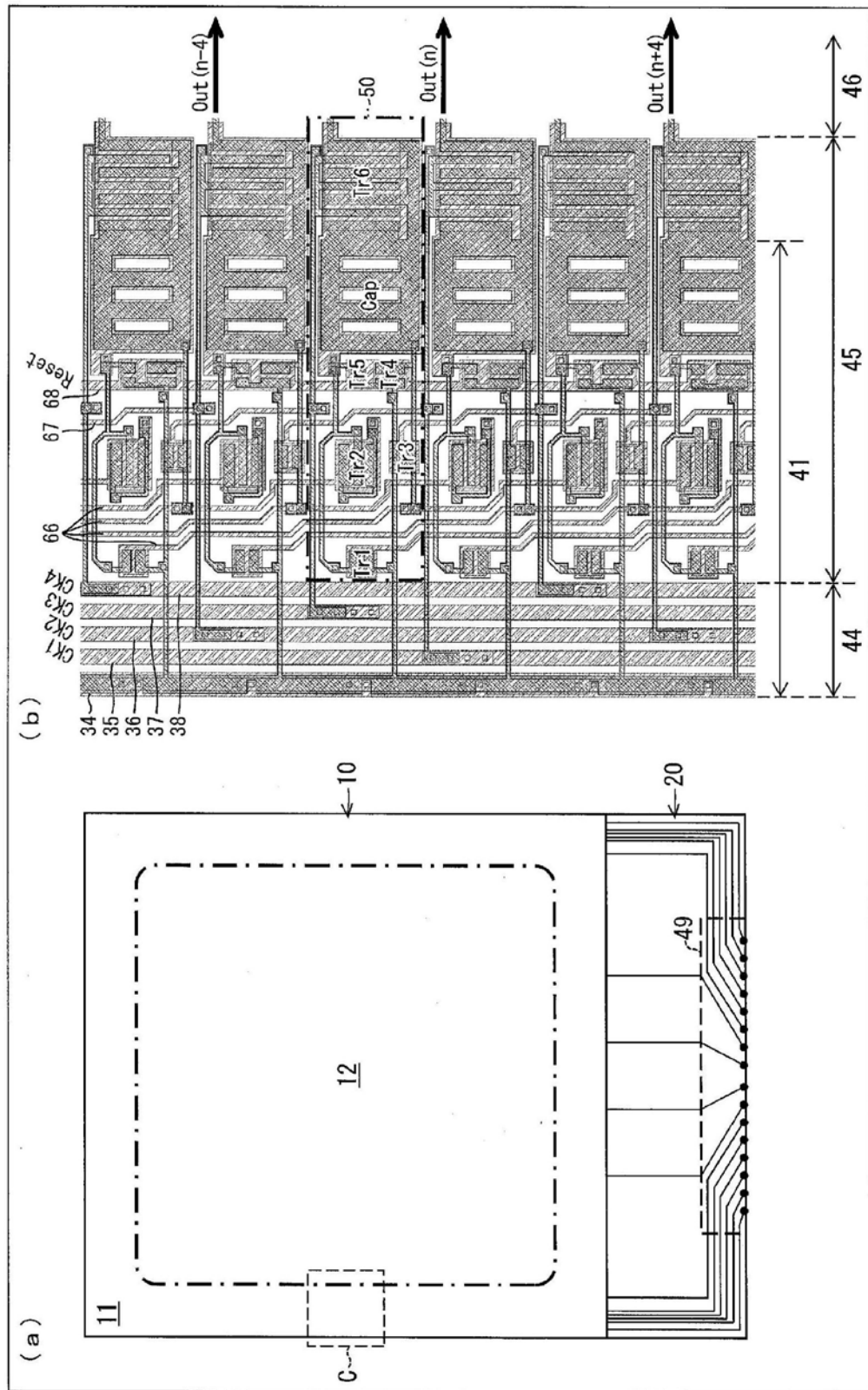


图13

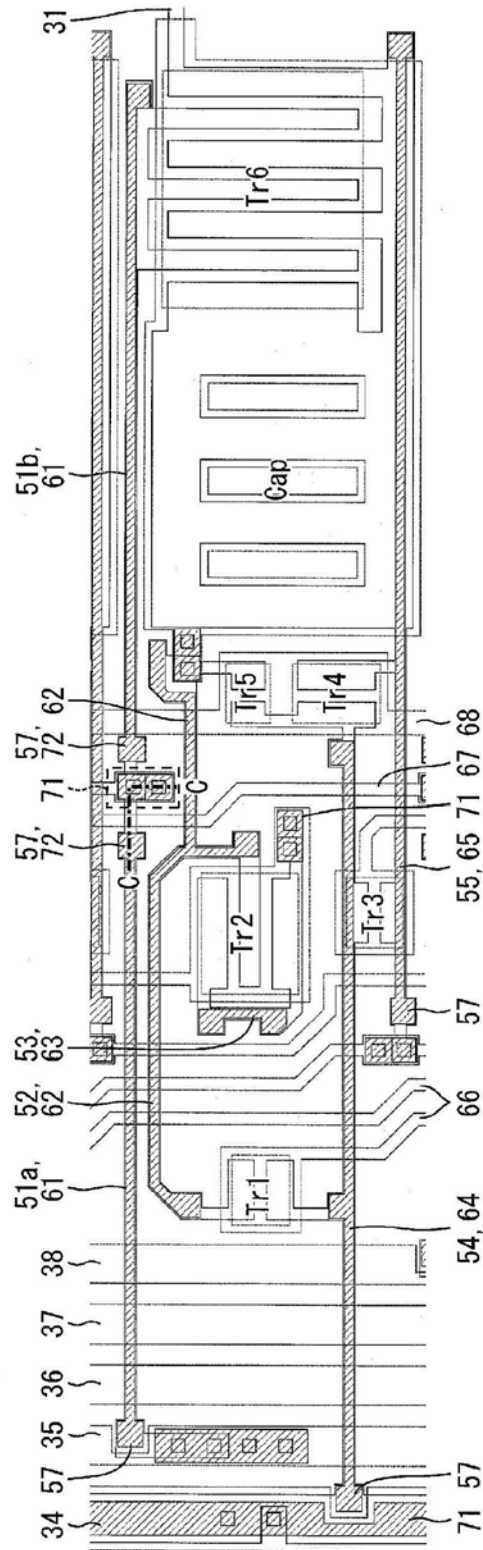


图14

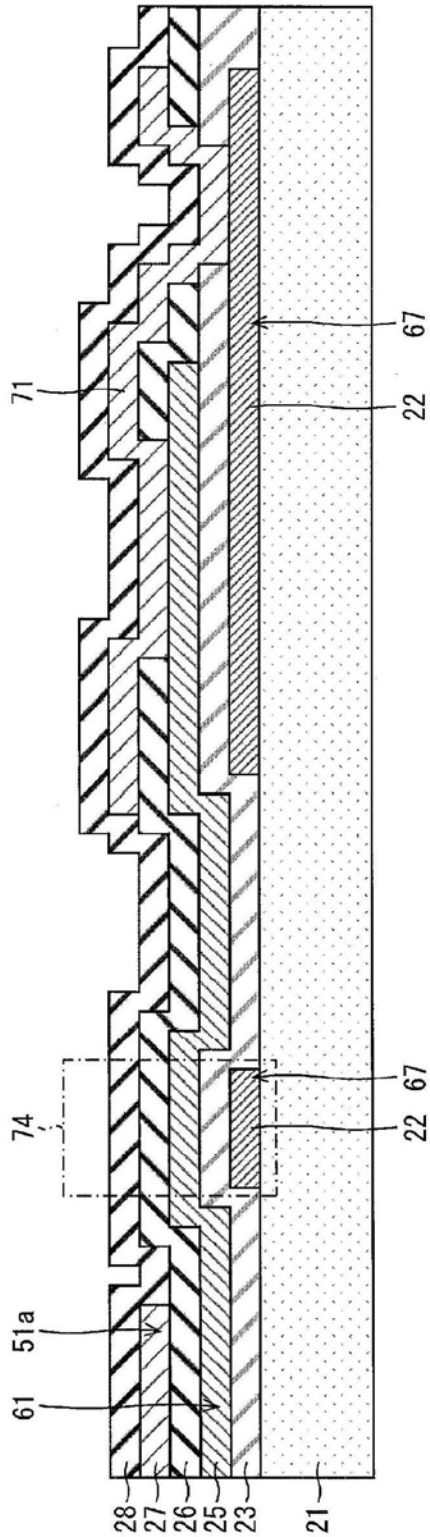


图15

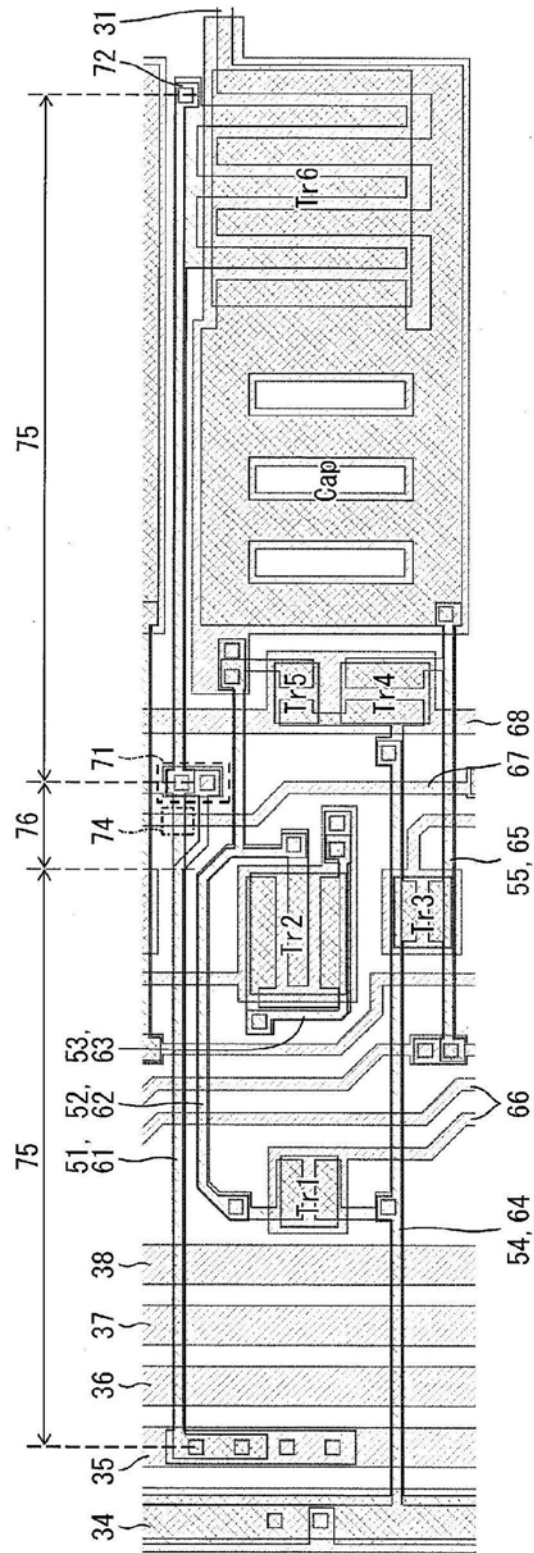


图16

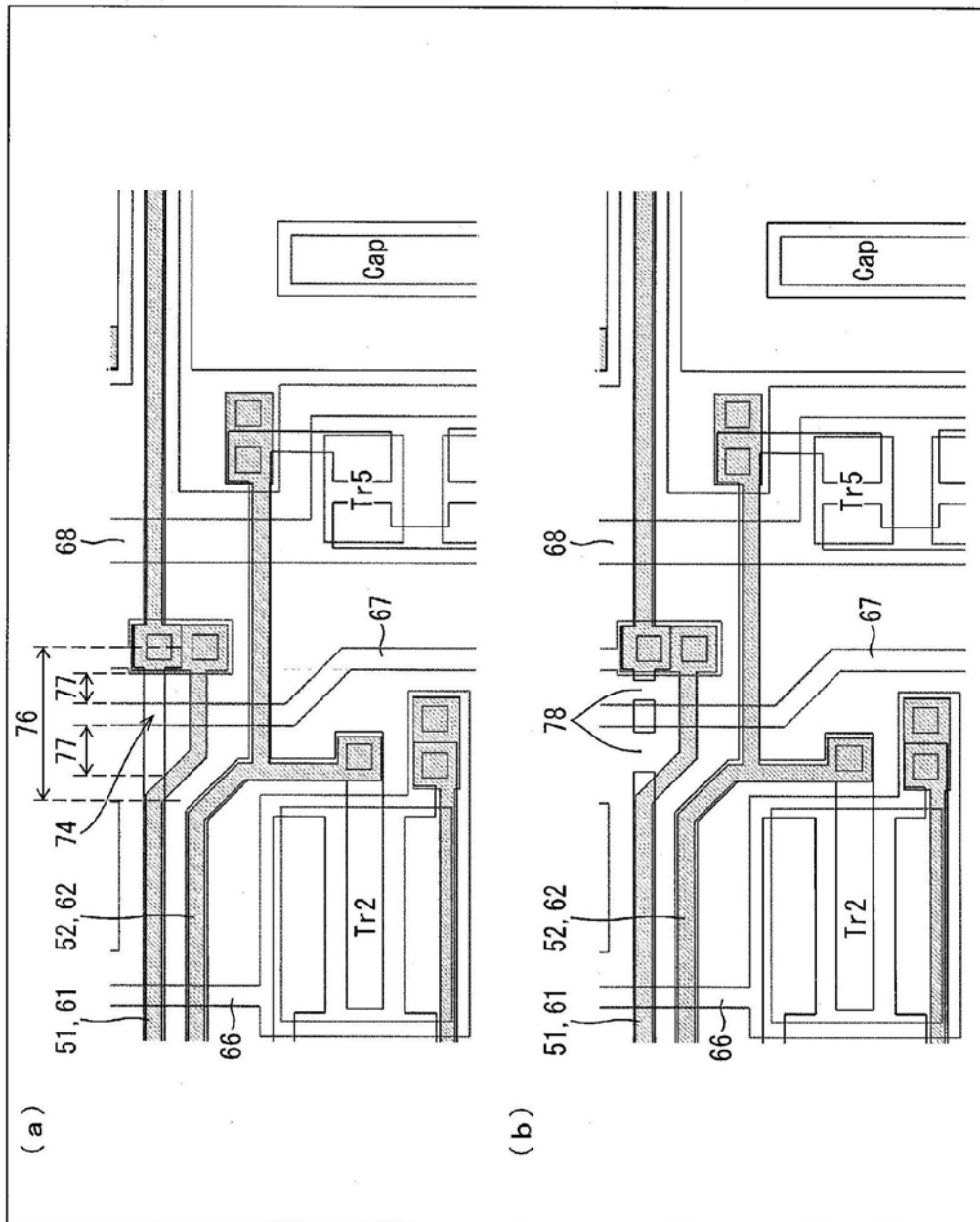


图17