



(19)中華民國智慧財產局

(12)發明說明書公開本 (11)公開編號：TW 202517130 A

(43)公開日：中華民國 114 (2025) 年 04 月 16 日

(21)申請案號：113111134 (22)申請日：中華民國 113 (2024) 年 03 月 26 日

(51)Int. Cl. : *H10N70/00 (2023.01)* *H10N70/20 (2023.01)*
H10N97/00 (2023.01) *H10B63/00 (2023.01)*
H10B63/10 (2023.01) *H10B99/00 (2023.01)*

(30)優先權：2023/04/20 日本 2023-069443
2023/07/12 日本 2023-114479

(71)申請人：國立大學法人東北大學 (日本) TOHOKU UNIVERSITY (JP)
日本
日商日本電氣硝子股份有限公司 (日本) NIPPON ELECTRIC GLASS CO., LTD.
(JP)
日本

(72)發明人：須藤祐司 SUTOU, YUJI (JP)；双逸 SHUANG, YI (CN)；柄木田航介 KARAKIDA, KOSUKE (JP)；松下佳雅 MATSUSHITA, YOSHIMASA (JP)；佐藤史雄 SATO, FUMIO (JP)

(74)代理人：陳長文

申請實體審查：無 申請專利範圍項數：22 項 圖式數：8 共 42 頁

(54)名稱
電阻變化材料、開關元件用材料、開關層、開關元件及記憶裝置

(57)摘要
本發明提供能夠獲得優異之 OTS 特性之電阻變化材料、開關元件用材料、開關層、開關元件及記憶裝置。
本發明係一種電阻變化材料，其係含有 Te 之電阻變化材料，將施加閾值電壓之 1/2 之電壓時之電流密度設為斷開電流密度時，斷開電流密度為 $3.1 \times 10^{-2} \text{A/cm}^2$ 以下。



【發明摘要】

【中文發明名稱】

電阻變化材料、開關元件用材料、開關層、開關元件及記憶裝置

【中文】

本發明提供能夠獲得優異之OTS特性之電阻變化材料、開關元件用材料、開關層、開關元件及記憶裝置。

本發明係一種電阻變化材料，其係含有Te之電阻變化材料，將施加閾值電壓之1/2之電壓時之電流密度設為斷開電流密度時，斷開電流密度為 3.1×10^2 A/cm²以下。

【指定代表圖】

無

【代表圖之符號簡單說明】

無

【發明說明書】

【中文發明名稱】

電阻變化材料、開關元件用材料、開關層、開關元件及記憶裝置

【技術領域】

【0001】

本發明係關於電阻變化材料、開關元件用材料、開關層、開關元件及記憶裝置。

【先前技術】

【0002】

下一代非揮發性記憶裝置作為代替NAND(Not AND，反及)型快閃記憶體之記憶裝置而備受關注。作為下一代非揮發性記憶裝置，例如提出有電阻變化型、相變化型記憶裝置，正在進行之開發旨在實現大容量化、高速化。

【0003】

又，交叉點型記憶裝置作為下一代非揮發性記憶裝置之結構備受關注(專利文獻1、2)。交叉點型記憶裝置包含字元線、俯視下與字元線正交之位元線、及配置於俯視下之兩者之交點之記憶元件及開關元件。開關元件先前使用電晶體、二極體，但隨著記憶裝置之小型化、大容量化、高積體化，電阻根據施加電壓而變化之雙向開關元件(Ovonic Threshold Switch：OTS(雙向閾值開關)元件)之使用備受關注。

[先前技術文獻]

[專利文獻]

【0004】

[專利文獻1]日本專利特開2006-086526號公報

[專利文獻2]日本專利特開2018-164085號公報

[非專利文獻]

【0005】

[非專利文獻1]Lencer,D.et al., “A map for phase-change materials(相變化材料圖)”,Nat.Mater.7,972-977(2008)

【發明內容】

[發明所欲解決之問題]

【0006】

對於OTS元件，為了獲得穩定之開關作用而要求相對於施加電壓表現出較大之電阻變化(即，具有優異之OTS特性)。

【0007】

鑒於以上情況，本發明之目的在於提供一種具有優異之OTS特性之電阻變化材料、開關元件用材料、開關層、開關元件及記憶裝置。

[解決問題之技術手段]

【0008】

對解決上述課題之電阻變化材料、開關元件用材料、開關層、開關元件及記憶裝置之各態樣進行說明。

【0009】

態樣1之電阻變化材料之特徵在於，其係含有Te之電阻變化材料，將施加閾值電壓之1/2之電壓時之電流密度設為斷開電流密度時，斷開電流密度為 3.1×10^2 A/cm²以下。此處，閾值電壓係指電阻值自高電阻狀態向低電阻狀態急遽變化時之電壓值。斷開電流密度係指將施加閾值電壓之

1/2之電壓時流動之電流值(斷開電流值)除以與電極的接觸面積而得之值。

【0010】

態樣2之電阻變化材料係如態樣1，其中進而較佳為，將施加閾值電壓以上之電壓時之電流密度設為導通電流密度時，導通電流密度為 1×10^6 A/cm²以上。此處，導通電流密度係指將施加閾值電壓以上之電壓時流動之電流值(導通電流值)除以與電極的接觸面積而得之值。

【0011】

態樣3之電阻變化材料係如態樣1或態樣2，其中較佳為，載子遷移率為 5×10^{-3} cm²/Vs以下。

【0012】

態樣4之電阻變化材料係如態樣1至態樣3中任一態樣，其中較佳為，將施加閾值電壓以上之電壓時之電流密度設為導通電流密度時，將導通電流密度除以斷開電流密度而得之導通/斷開電流比為 1×10^4 以上。

【0013】

態樣5之電阻變化材料係如態樣1至態樣4中任一態樣，其中較佳為，閾值電壓為0.5 V～10 V之範圍內。

【0014】

態樣6之電阻變化材料係如態樣1至態樣5中任一態樣，其較佳為以原子%計而含有0.1%～50%之Ge、40%～90%之Te。

【0015】

態樣7之電阻變化材料係如態樣1至態樣6中任一態樣，其較佳為，以原子%計而含有1%～59%之Si + Al + Ga + Sn + Bi + Cu + Ag + Zn + Y + In

+ Ca + Mg。

【0016】

態樣8之電阻變化材料係如態樣1至態樣7中任一態樣，其較佳為，以原子%計而含有0%～未達5%之Sb。

【0017】

態樣9之電阻變化材料係如態樣1至態樣7中任一態樣，其較佳為實質上不含有Sb、Se及As。

【0018】

態樣10之電阻變化材料係如態樣1至態樣9中任一態樣，其較佳為含氧量未達1原子%。

【0019】

態樣11之電阻變化材料係如態樣1至態樣10中任一態樣，其較佳為薄膜。

【0020】

態樣12之開關元件用材料之特徵在於，其包含態樣1至態樣11中任一態樣之電阻變化材料。

【0021】

態樣13之開關層之特徵在於，其包含態樣1至態樣11中任一態樣之電阻變化材料。

【0022】

態樣14之開關元件之特徵在於，其具備態樣13之開關層、及配置於開關層上之第1電極。

【0023】

態樣15之開關元件之特徵在於，其具備開關層、配置於開關層上之第1電極、及配置於隔著開關層而與第1電極對向之位置之第2電極，開關層包含電阻變化材料，該電阻變化材料含有Te，且將施加閾值電壓之1/2之電壓時之電流密度設為斷開電流密度時，斷開電流密度為 3.1×10^2 A/cm²以下。

【0024】

態樣16之開關元件係如態樣15，其中較佳為，第1電極配置於開關層之外周面，且於上述開關層之內周面配置有上述第2電極。

【0025】

態樣17之開關元件係如態樣15或16，其中較佳為第1電極及第2電極係選自鎢、鈦、銅、鉑、氮化鎢及氮化鈦中之至少一種。

【0026】

態樣18之開關元件係如態樣15至態樣17中任一態樣，其中較佳為，開關層之離子性 r_{σ}' 及混成性 r_{π}^{-1} 滿足以下值。

$$r_{\sigma}' \geq 0.05$$

$$r_{\pi}^{-1} \leq 2.0$$

【0027】

態樣19之開關元件係如態樣15至態樣18中任一態樣，其中較佳為，將對開關層施加0.15 V之施加電壓時之載子活化能量設為a，將對開關層施加0.30 V之施加電壓時之載子活化能量設為b時，滿足 $a/b < 1$ 。

【0028】

態樣20之記憶裝置較佳為具備態樣15至態樣19中任一態樣之開關元件。

【0029】

態樣21之記憶裝置較佳為，具備態樣15至態樣19中任一態樣之開關元件、及記憶元件。

【0030】

態樣22之記憶裝置之特徵在於，其係具備開關元件與記憶元件積層而成之積層體之記憶裝置，開關元件具備開關層、及配置於開關層上之第1電極，開關層包含電阻變化材料，該電阻變化材料當將施加閾值電壓之1/2之電壓時之電流密度設為斷開電流密度時，斷開電流密度為 3.1×10^2 A/cm²以下，記憶元件係電阻變化記憶元件、磁阻記憶元件、相變化記憶元件及鐵電記憶元件中之任一種。

[發明之效果]

【0031】

根據本發明，可提供具有優異之OTS特性之電阻變化材料、開關元件用材料、開關層、開關元件及記憶裝置。

【圖式簡單說明】**【0032】**

圖1係本發明之一實施方式之開關元件之模式性剖視圖。

圖2係本發明之一實施方式之記憶元件之模式性剖視圖。

圖3係本發明之第1實施方式之記憶裝置之模式性立體圖。

圖4係將本發明之第1實施方式之記憶裝置放大之模式性立體圖。

圖5係本發明之第1實施方式之記憶裝置之變化例之模式性立體圖。

圖6係本發明之第2實施方式之記憶裝置之模式性立體圖。

圖7係本發明之第2實施方式之記憶裝置之變化例之模式性立體圖。

圖8係將開關層之離子性 r_{σ}' 及混成性 r_{π}^{-1} 繪圖而得之曲線圖。

【實施方式】

【0033】

以下，對較佳實施方式進行說明。但，以下實施方式僅為例示，本發明並不限定於以下實施方式。再者，以下說明中，只要未特別限定，則「%」係指「原子%」。又，本發明中，「 $x + y + z + \dots$ 」係指各成分之含量之合計量。此處，並非必須含有各成分作為必需成分，亦可存在未含有(含量0%)之成分。又，「 $x + y + z + \dots A\% \sim B\%$ 」，例如包含「 $x = 0\%$ ， $y + z + \dots A\% \sim B\%$ 」、「 $x = 0\%$ ， $y = 0\%$ ， $z + \dots A\% \sim B\%$ 」之情形。。

【0034】

<電阻變化材料>

本發明之電阻變化材料之特徵在於，其係含有Te之電阻變化材料，將施加閾值電壓之1/2之電壓時之電流密度設為斷開電流密度時，斷開電流密度為 $3.1 \times 10^2 \text{ A/cm}^2$ 以下。

【0035】

本發明者獲得如下知識見解，即，於斷開電流密度滿足特定值之電阻變化材料中，獲得優異之OTS特性。OTS特性係指於硫屬化物系薄膜中電阻值根據施加電壓而發生變化之特性。以下說明詳情。電阻變化材料於初始狀態(斷開狀態)下表現高電阻。若於該狀態下施加電壓，則維持高電阻狀態直至超過閾值電壓為止，當超過閾值電壓時，急遽地向低電阻狀態(導通狀態)切換。若自導通狀態降低施加電壓，則再次返回至斷開狀態。具有優異之OTS特性之電阻變化材料的高電阻狀態與低電阻狀態之電阻差

較大。換言之，低電阻狀態下之電流密度與高電阻狀態下之電流密度之差異(導通/斷開電流比)較大。因此，可穩定地用作開關層及開關元件。此處，導通/斷開電流比係指導通電流密度除以斷開電流密度而得之值。

【0036】

本發明之電阻變化材料於將施加閾值電壓之 $1/2$ 之電壓時之電流密度設為斷開電流密度時，斷開電流密度之上限較佳為 3.1×10^2 A/cm²以下、 3×10^2 A/cm²以下、 2.8×10^2 A/cm²以下、特別是 2.6×10^2 A/cm²以下。藉由斷開電流密度滿足上述值，而容易使導通/斷開電流比變大。由此，能夠獲得穩定之OTS特性。斷開電流密度之下限並未特別限定，亦可為 5×10^{-3} A/cm²以上、 6×10^{-3} A/cm²以上、 1×10^{-2} A/cm²以上。

【0037】

本發明之電阻變化材料於將施加閾值電壓以上之電壓時之電流密度設為導通電流密度時，導通電流密度之下限較佳為 1×10^6 A/cm²以上、 2×10^6 A/cm²以上、 3.1×10^6 A/cm²以上、 3.2×10^6 A/cm²以上、 3.5×10^6 A/cm²以上、 4.1×10^6 A/cm²以上、 4.2×10^6 A/cm²以上、 4.3×10^6 A/cm²以上、 4.4×10^6 A/cm²以上、特別是 4.5×10^6 A/cm²以上。藉由導通電流密度滿足上述值，而可使導通/斷開電流比進一步變大。導通電流密度之上限並未特別限定，例如亦可為 1×10^9 A/cm²以下、 1×10^8 A/cm²以下、 1×10^7 A/cm²以下。

【0038】

本發明之電阻變化材料之導通/斷開電流比之下限較佳為 1×10^4 以上、 1.2×10^4 以上、 1.5×10^4 以上、 1.8×10^4 以上、 5×10^4 以上、 1×10^5 以上、 1.5×10^5 以上、 3.1×10^5 以上、 3.9×10^5 以上、 5×10^5 以上、 6.3×10^5 以

上、特別是 1×10^6 以上。或，將導通/斷開電流比設為 x 時， $\log_{10}x$ 之下限較佳為4以上、4.1以上、4.2以上、4.3以上、4.7以上、5以上、5.2以上、5.5以上、5.6以上、5.7以上、5.8以上、特別是6以上。藉由導通/斷開電流比如此較大，而使低電阻狀態下之電流密度與高電阻狀態下之電流密度之差異(導通/斷開電流比)變大。即，可獲得優異之OTS效果。導通/斷開電流比之上限並未特別限定，例如可為 2×10^{10} 以下、 1×10^9 以下、 1×10^8 以下、特別是 1×10^7 以下。又， $\log_{10}x$ 之值之上限較佳為10.3以下、9以下、8以下、特別是7以下。

【0039】

本發明之電阻變化材料之閾值電壓較佳為存在於0.5 V~10 V之範圍內。更詳細而言，閾值電壓之上限較佳為10 V以下、8 V以下、6 V以下、特別是5 V以下。藉由閾值電壓存在於上述範圍內，而可以更少之能量使開關元件等驅動。閾值電壓之下限並未特別限定，亦可為0.5 V以上、0.8 V以上、1 V以上、1.2 V以上、特別是1.5 V以上。

【0040】

斷開電流密度、導通電流密度、導通/斷開電流比及閾值電壓可以如下方式求出。首先，對開關元件施加0 V~10 V之電壓，測定開關元件中流動之電流值及閾值電壓。此時施加之電壓係直流電壓、交流電壓、脈衝電壓等，並未進行限定，但自防止開關元件蓄熱之觀點而言，較佳為利用脈衝電壓進行測定。閾值電壓可設為電阻值自高電阻狀態向低電阻狀態急遽變化時之電壓值。斷開電流密度可設為施加閾值電壓之 $1/2$ 之電壓時流動之電流值(斷開電流值)除以與第1電極或第2電極之接觸面積而得之值。導通電流密度可設為施加閾值電壓以上之電壓時流動之電流值(導通電流

值)除以與第1電極或第2電極之接觸面積而得之值。可藉由將導通電流值除以斷開電流值而求出導通/斷開電流比。再者，於開關元件與第1電極之接觸面積、和開關元件與第2電極之接觸面積之大小相同的情形時，如上所述，可使用第1電極或第2電極之接觸面積來求出電流密度。又，於開關元件與第1電極之接觸面積、和開關元件與第2電極之接觸面積之大小不同的情形時，可使用接觸面積較小之值來求出電流密度。

【0041】

本發明之電阻變化材料之載子遷移率之上限較佳為 $5 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下、 $4.5 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下、 $4 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下、 $3.5 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下、特別是 $3 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下。藉由載子遷移率滿足上述值，而容易降低斷開電流密度。由此，容易使導通/斷開電流比變大。載子遷移率之下限並未特別限定，例如亦可為 $1 \times 10^{-8} \text{ cm}^2/\text{Vs}$ 以上、 $1 \times 10^{-7} \text{ cm}^2/\text{Vs}$ 以上、 $1 \times 10^{-6} \text{ cm}^2/\text{Vs}$ 以上。再者，載子遷移率可使用比電阻/霍耳測定系統來測定。

【0042】

本發明之電阻變化材料含有Te。Te係用以構成電阻變化材料而獲得OTS特性之必需成分。Te之含量較佳為40%~90%。更詳細而言，Te之含量之下限較佳為40%以上、42%以上、47%以上、50%以上、超過50%、51%以上、53%以上、55%以上、60%以上、61%以上、65%以上、67%以上、70%以上、特別是71%以上。Te之含量之上限較佳為90%以下、89%以下、85%以下、82.5%以下、80%以下、75%以下、特別是72.5%以下。若Te之含量過少，則非晶狀態容易變得不穩定。且，難以獲得OTS特性。若Te之含量過多，則非晶狀態容易變得不穩定。且，載子遷移率過大而斷開電流密度容易變大。

【0043】

本發明之電阻變化材料亦可含有Te以外之成分。例如，較佳為以原子%計而含有0.1%~50%之Ge、40%~90%之Te。又，亦可含有除Ge及Te以外之成分。

【0044】

Ge係使電阻變化材料之非晶狀態穩定化之成分。Ge之含量較佳為0.1%~50%。更詳細而言，Ge之含量之下限較佳為0.1%以上、1%以上、3%以上、5%以上、7%以上、10%以上、11%以上、特別是13%以上。Ge之含量之上限較佳為50%以下、40%以下、30%以下、特別是20%以下。若Ge之含量過少，則非晶狀態容易變得不穩定。若Ge之含量過多，則難以獲得OTS特性。且，製造成本容易增加。

【0045】

Ge+Te之含量(Ge與Te之合計量)之下限，較佳為41%以上、45%以上、50%以上、60%以上、65%以上、70%以上、75%以上、特別是80%以上。Ge+Te之含量之上限，較佳為99%以下、98%以下、97%以下、特別是95%以下。若Ge+Te之含量過少，則非晶狀態容易變得不穩定。且，難以獲得OTS特性。若Ge+Te之含量過多，則難以獲得OTS特性。

【0046】

Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca、Mg係使電阻變化材料之非晶狀態穩定化之成分。又，該些係藉由降低斷開電流密度而容易使導通/斷開電流比變大之成分。因此，本發明之電阻變化材料之Si+Al+Ga+Sn+Bi+Cu+Ag+Zn+Y+In+Ca+Mg之含量(Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca及Mg之合計量)較佳為1%~59%。更

詳細而言， $\text{Si} + \text{Al} + \text{Ga} + \text{Sn} + \text{Bi} + \text{Cu} + \text{Ag} + \text{Zn} + \text{Y} + \text{In} + \text{Ca} + \text{Mg}$ 之含量之下限，較佳為1%以上、特別是2%以上。 $\text{Si} + \text{Al} + \text{Ga} + \text{Sn} + \text{Bi} + \text{Cu} + \text{Ag} + \text{Zn} + \text{Y} + \text{In} + \text{Ca} + \text{Mg}$ 之含量之上限，較佳為59%以下、58%以下、55%以下、50%以下、45%以下、40%以下、35%以下、30%以下、25%以下、20%以下、15%以下、14%以下、13%以下、10%以下、特別是9%以下。再者，亦可換言之，上述含量含有選自Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca、Mg中之成分之1種或2種以上。若該些成分之含量過少，則難以獲得上述效果。若該些成分之含量過多，則非晶狀態容易變得不穩定。又，難以獲得OTS特性。再者，Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca、Mg之各成分之含量之下限，較佳為0%以上、超過0%、0.1%以上、0.5%以上、1%以上、特別是2%以上。Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca、Mg之各成分之含量之上限，較佳為59%以下、58%以下、55%以下、50%以下、45%以下、40%以下、35%以下、30%以下、25%以下、20%以下、15%以下、14%以下、13%以下、10%以下、特別是9%以下。

【0047】

上述成分中，Ga、Ag係容易使載子遷移率降低而降低斷開電流密度之成分，因此特別有助於提高導通/斷開電流比。又，Ga、Ag亦為容易使非晶狀態特別穩定化之成分。Ga+Ag之含量(Ga及Ag之合計量)之下限較佳為0%以上、超過0%、0.1%以上、0.5%以上、1%以上、2%以上、3%以上、特別是5%以上，Ga+Ag之含量之上限較佳為59%以下、58%以下、55%以下、50%以下、45%以下、40%以下、35%以下、30%以下、25%以下、20%以下、15%以下、14%以下、13%以下、10%以下、特別

是9%以下。若Ga + Ag之含量過多，則非晶狀態容易變得不穩定。

【0048】

特別是自降低斷開電流密度之觀點而言， $\text{Ga}/(\text{Ga} + \text{Ag})$ 之下限較佳為0.1以上、特別是0.2以上， $\text{Ga}/(\text{Ga} + \text{Ag})$ 之上限較佳為1.2以下、未達1.2、特別是1.1以下。此處， $\text{Ga}/(\text{Ga} + \text{Ag})$ 係指Ga之含量除以Ga與Ag之合計量而得之值。

【0049】

特別是，自增加下述循環次數之觀點而言， $\text{Ag}/(\text{Ga} + \text{Ag})$ 之下限較佳為0.1以上、特別是0.2以上， $\text{Ag}/(\text{Ga} + \text{Ag})$ 之上限較佳為1.2以下、未達1.2、特別是1.1以下。此處， $\text{Ag}/(\text{Ga} + \text{Ag})$ 係指Ag之含量除以Ga與Ag之合計量而得之值。

【0050】

Sb係高溫下容易使非結晶狀態不穩定之成分。因此，Sb之含量較佳為0%～未達5%。更詳細而言，Sb之含量之上限較佳為未達5%、4%以下、3%以下、2%以下、特別是實質上不含有。再者，本說明書，「實質上不含有」係指未有意地含於原料中，不排除雜質級之混入。客觀地說，係指各成分之含量未達0.1%。

【0051】

Se係容易使電阻變化材料之非晶狀態穩定化之成分。Se之含量之上限較佳為58%以下、55%以下、特別是50%以下。Se之含量之下限較佳為0%以上、1%以上、5%以上、10%以上、特別是20%以上。若Se之含量過多，則非晶狀態容易變得不穩定。又，Se係毒性成分。因此，自降低對環境之負荷之觀點而言，Se之含量之上限較佳為40%以下、30%以下、20%

以下、10%以下、特別是實質上不含有。

【0052】

As係容易使電阻變化材料之非晶狀態穩定化之成分。但，As係毒性成分，因此自降低環境負荷之觀點而言，As之含量較佳為0%～30%。更詳細而言，As之含量之上限較佳為30%以下、25%以下、20%以下、10%以下、5%以下、3%以下、特別是實質上不含有。

【0053】

本發明之電阻變化材料較佳為實質上不含有Sb、Se及As。藉此，容易進一步降低環境負荷。

【0054】

B、C、N、F、Cl、Br及I之含量若過多，則非晶狀態容易變得不穩定。又，耐候性容易降低。由此， $B + C + N + F + Cl + Br + I$ 之含量(B、C、N、F、Cl、Br及I之合計量)之上限，較佳為50%以下、45%以下、40%以下、35%以下、30%以下、25%以下、20%以下、15%以下、14%以下、12%以下、10%以下、8%以下、6%以下、特別是5%以下。又，B、C、N、F、Cl、Br及I之各成分之含量之上限，較佳為50%以下、45%以下、40%以下、35%以下、30%以下、25%以下、20%以下、15%以下、14%以下、12%以下、10%以下、8%以下、6%以下、特別是5%以下。當然，自提高結晶化溫度之觀點而言，亦可以合計量計而含有0%以上、1%以上、特別是2%以上之B、C、N、F、Cl、Br及I。

【0055】

P、Cr、Mn、Ti、Fe之含量若過多，則非晶狀態容易變得不穩定。由此， $P + Cr + Mn + Ti + Fe$ 之含量(P、Cr、Mn、Ti及Fe之合計量)較佳為

0%~10%。更詳細而言，P+Cr+Mn+Ti+Fe之含量之上限，較佳為10%以下、5%以下、1%以下、未達1%、0.1%以下、特別是實質上不含有。若該些成分之含量過多，則非晶狀態容易變得不穩定。再者，P、Cr、Mn、Ti、Fe之各成分之含量較佳為0%~10%。更詳細而言，P、Cr、Mn、Ti、Fe之各成分之含量之上限，較佳為10%以下、5%以下、1%以下、未達1%、0.1%以下、特別是實質上不含有。

【0056】

自降低環境負荷之觀點而言，較佳為實質上不含有Cd、Tl及Pb。

【0057】

本發明之電阻變化材料之含氧量較佳為未達1原子%。更詳細而言，含氧量之上限較佳為以原子%計而為0.8%以下、0.5%以下、0.3%以下、0.1%以下、0.09%以下、0.05%以下、特別是0.02%以下。若含氧量過多，則導通電流密度容易降低，此外，閾值電壓容易升高。自原料精製成本之觀點而言，含氧量之下限較佳為以原子%計而為 $1\times 10^{-6}\%$ 以上、 $1\times 10^{-5}\%$ 以上、 $5\times 10^{-5}\%$ 以上、 $1\times 10^{-4}\%$ 以上、特別是 $2\times 10^{-4}\%$ 以上。

【0058】

電阻變化材料之組成可使用能量分散型X射線光譜法(EDX：Energy Dispersive X-ray Spectroscopy)、電子探針微分析儀(EPMA：Electron Probe Micro Analyzer)、螢光X射線分析法(XRF：X-ray Fluorescence)等進行評估。又，EDX亦可利用透過型電子顯微鏡(TEM)、掃描型電子顯微鏡(SEM)等中附屬之裝置TEM-EDX、SEM-EDX進行評估。又，對於含氧量，亦可使用惰性氣體融解-紅外線吸收法等來評估。

【0059】

本發明之電阻變化材料之結晶化溫度 T_x 較佳為 150°C 以上、 160°C 以上、特別是 170°C 以上。藉由結晶化溫度 T_x 滿足上述值，不易因開關時產生之發熱而產生結晶化，容易使下述循環次數進一步增加。結晶化溫度 T_x 之上限並未特別限定，例如亦可為 500°C 以下、 450°C 、特別是 400°C 以下。

【0060】

電阻變化材料之結晶化溫度 T_x 可使用示差熱分析(DTA：Differential Thermal Analysis)、示差掃描熱量計(DSC：Differential Scanning Calorimetry)來進行評估。又，亦可於二端子法之電阻測定中測定電阻之溫度依存性，將電阻急遽降低之溫度作為結晶化溫度 T_x 來評估。進而，亦可對獲得之電阻變化材料以特定溫度進行熱處理，將XRD(X-ray diffraction，X射線散射)中產生結晶化峰之點作為結晶化溫度 T_x 來評估。利用上述任一方法來評估之結晶化溫度 T_x 較佳為滿足上述結晶化溫度 T_x 之較佳值。特別是於電阻之溫度依存性中評估之結晶化溫度 T_x 較佳為滿足上述結晶化溫度 T_x 之較佳值。

【0061】

本發明之電阻變化材料之非晶狀態穩定，因此於用作開關元件之情形時能夠使循環次數變多。即，即便重複導通、斷開，亦可保持導通/斷開電流比。具體而言，循環次數(直至導通/斷開電流比成為初始測定值之10%為止重複導通/斷開之開關時之次數)之下限，較佳為 5×10^2 次以上、 1×10^3 次以上、特別是 1×10^4 次以上。若循環次數過少，難以用作開關元件。循環次數之上限並未特別限定，例如亦可為 1×10^{10} 次以下、 1×10^9 次以下、 1×10^8 次以下、特別是 1×10^7 次以下。

【0062】

本發明之電阻變化材料較佳為用作薄膜(電阻變化膜)。該薄膜(電阻變化膜)可特別佳地用作下述開關層、開關記憶層。當然，電阻變化材料並不限定於薄膜。

【0063】

薄膜(電阻變化膜)之膜厚較佳為1 nm～300 nm。更詳細而言，電阻變化膜之膜厚之下限較佳為1 nm以上、2 nm以上、5 nm以上、10 nm以上、30 nm以上、特別是超過50 nm，電阻變化膜之膜厚之上限較佳為300 nm以下、200 nm以下、特別是100 nm以下。若膜厚過小，則有高電阻狀態下之電流值(斷開電流)升高之傾向。若膜厚過大，則閾值電壓容易變大。

【0064】

本發明之開關元件用材料較佳為包含上述本發明之電阻變化材料。又，本發明之開關層較佳為包含上述本發明之電阻變化材料。如上所述，本發明之電阻變化材料具有優異之OTS特性，因此可較佳地用作開關層及開關元件之材料。

【0065】

本發明之電阻變化材料例如以下述方式製作。首先，以成為所期望組成之方式調配原料。接下來，向一面加熱一面進行真空排氣之石英玻璃安瓿中放入調配之原料，一面進行真空排氣一面利用氧燃燒器封管。接下來，將封管之石英玻璃安瓿以650℃～1000℃左右保持6小時～12小時。其後，急冷至室溫，藉此獲得塊狀之電阻變化材料。

【0066】

原料可使用元素原料(Ge、Ga、Si、Te、Ag、I等)，亦可使用化合物原料(GeTe₄、Ga₂Te₃、AgI等)。又，亦可併用該些。

【0067】

藉由將獲得之電阻變化材料用作靶材之PVD法(Physical Vapor Deposition，物理氣相沉積)，而可形成具有上述組成之薄膜(電阻變化膜)。

【0068】

再者，藉由使用純元素M靶材(Ge、Te、Sb、Si、Al、Ga、Sn、Bi、Cu、Ag、Zn、Y、In、Ca及Mg)、2元系合金靶材或3元系以上之合金靶材作為靶材之多元濺鍍法，且藉由適當調整成膜功率而進行成分調整，從而亦可形成具有上述組成之薄膜(電阻變化膜)。

【0069】

薄膜之製造方法並未特別限定，作為PVD(Physical Vapor Deposition)法，可使用濺鍍法、真空蒸鍍法、離子鍍覆法等。又，作為薄膜之製造方法，亦可選擇CVD(Chemical Vapor Deposition，化學氣相沉積)法、ALD(Atomic Layer Deposition，原子層沉積)法等。特別是，為了組成控制、膜厚控制簡單，較佳為使用濺鍍法。

【0070】

<開關元件>

圖1係本發明之一實施方式之開關元件之模式性剖視圖。開關元件10具備第1電極1、第2電極2、及配置於第1電極1之主面上之開關層3。第2電極2配置於與第1電極1對向之位置。開關層3於本實施方式中配置於第1電極1與第2電極2之間。換言之，本實施方式之開關元件10具備開關層

3、配置於開關層3上之第1電極1。進而換言之，本實施方式之開關元件10較佳為具備第2電極2，該第2電極2配置於隔著開關層3而與第1電極1對向之位置。此時，開關層3較佳為包含電阻變化材料，該電阻變化材料含有Te，且將施加閾值電壓之1/2之電壓時之電流密度設為斷開電流密度時，斷開電流密度為 3.1×10^2 A/cm²以下。

【0071】

本發明之開關元件10可較佳地用於下述交叉點型之記憶裝置、BiCS(Bit-Cost Scalable，位元成本可擴展)型記憶裝置。於BiCS型記憶裝置之情形時，本發明之開關元件10較佳為，第1電極1配置於開關層3之外周面，第2電極2配置於開關層3之內周面。

【0072】

第1電極1及第2電極2可使用無機材料。作為無機材料，可使用金屬材料、陶瓷材料。例如，第1電極1及第2電極2較佳為選自鎢、鈦、銅、鉑、氮化鎢及氮化鈦中之至少一種。作為金屬材料，較佳為鎢、鈦、銅、鉑。又，作為陶瓷材料，較佳為氮化鎢、氮化鈦。

【0073】

第1電極1及第2電極2之厚度可適當設計。例如，第1電極1及第2電極2之厚度之上限分別較佳為200 nm以下、100 nm以下、80 nm以下、60 nm以下、特別是50 nm以下。第1電極1及第2電極2之厚度越小，越容易有利於記憶體器件之大容量化。第1電極1及第2電極2之厚度之下限例如分別較佳為1 nm以上、特別是2 nm以上。

【0074】

第1電極1及第2電極2之面積之上限，例如分別較佳為1000000 nm²以

下、 562500 nm^2 以下、 250000 nm^2 以下、 62500 nm^2 以下、 10000 nm^2 以下、 6400 nm^2 以下、 2500 nm^2 以下、特別是 1600 nm^2 以下。第1電極1及第2電極2之面積之下限並未特別限定，自製造成本之觀點而言，分別亦可為 1 nm^2 以上、特別是 2 nm^2 以上。又，第1電極1與開關層3之接觸面積或第2電極2與開關層3之接觸面積之上限，分別較佳為 1000000 nm^2 以下、 562500 nm^2 以下、 250000 nm^2 以下、 62500 nm^2 以下、 10000 nm^2 以下、 6400 nm^2 以下、 2500 nm^2 以下、特別是 1600 nm^2 以下。藉此，容易有利於記憶體器件之大容量化。第1電極1與開關層3之接觸面積或第2電極2與開關層3之接觸面積之下限並未特別限定，自製造成本之觀點而言，亦可為 1 nm^2 以上、特別是 2 nm^2 以上。再者，電極與開關層3之接觸面積只要第1電極1與開關層3之接觸面積、或第2電極2與開關層3之接觸面積中之至少一者滿足上述值即可，更佳為兩者之接觸面積滿足上述值。

【0075】

開關層3由本發明之電阻變化材料形成，顯示OTS特性。更詳細而言，較佳為開關層3包含薄膜(電阻變化膜)。開關層3根據施加電壓而電阻狀態發生變化。即，施加閾值電壓以上之電壓時成為低電阻狀態(導通狀態)。又，施加閾值電壓之 $1/2$ 之電壓時成為高電阻狀態(斷開狀態)。再者，本發明中，開關層3為非晶狀態，不會因施加電壓而產生相變化。換言之，開關層3不會因施加電壓而向結晶質發生相變化。

【0076】

開關層3以與至少1個電極相接之狀態配置。換言之，開關層3較佳為配置於第1電極1上。進而換言之，第1電極1較佳為配置於開關層3上。又，較佳為具備第2電極2，該第2電極2配置於隔著開關層3而與第1電極1

對向之位置。

【0077】

開關層3之厚度可根據所期望之閾值電壓來適當設計。開關層3之厚度之上限例如較佳為300 nm以下、200 nm以下、特別是100 nm以下。若厚度過大，則閾值電壓容易變得過大。開關層3之厚度之下限例如較佳為1 nm以上、2 nm以上、5 nm以上、10 nm以上、30 nm以上、特別是超過50 nm。

【0078】

開關元件10中，較佳為開關層3之離子性 r_{σ}' 及混成性 r_{π}^{-1} 滿足所期望之值。更詳細而言，開關層3之離子性 r_{σ}' 較佳為0.05以上。離子性 r_{σ}' 之上限並未特別限定，例如可為0.30以下、0.25以下、特別是0.20以下。又，開關層3之混成性 r_{π}^{-1} 較佳為2.0以下、特別是1.9以下。混成性 r_{π}^{-1} 之下限並未特別限定，例如較佳為1.0以上、1.1以上、1.2以上、特別是1.3以上。藉由開關層3之離子性 r_{σ}' 與混成性 r_{π}^{-1} 滿足上述值，而可保持非晶狀態之穩定性並且降低斷開電流密度。再者，可藉由非專利文獻1記載之下述式1、2而算出開關層3之離子性 r_{σ}' 及混成性 r_{π}^{-1} 。此處， r_s 及 r_p 係指s與p之軌道半徑， n_i 、 n_j 係指化學種i(陰離子)、化學種j(陽離子)之每化學式單位之原子數。

【0079】

[數1]

$$r_{\sigma}' = \left(\frac{\sum_i n_i r_{p,i}}{\sum_i n_i} \right) - \left(\frac{\sum_j n_j r_{p,j}}{\sum_j n_j} \right) \dots \text{式(1)}$$

【0080】

[數2]

$$r_{pi}^{-1} = \left\| \left(\frac{\sum_i n_i (r_{p,i} - r_{s,i})}{\sum_i n_i} \right) + \left(\frac{\sum_j n_j (r_{p,j} - r_{s,j})}{\sum_j n_j} \right) \right\|^{-1} \dots \text{式(2)}$$

[(0081)]

本實施方式之開關元件10較佳為，隨著施加電壓增加，載子活化能量增加。例如，開關元件10較佳為，將對開關層3施加0.15 V之施加電壓時之載子活化能量設為a(eV)，將對開關層3施加0.30 V之施加電壓時之載子活化能量設為b(eV)時，滿足a/b<1。藉由表現上述特性，而即便施加電壓變大，斷開電流密度亦難以升高，導通/斷開電流比變大。此處，載子活化能量係指電子向傳導狀態遷移時所需之能量，可以如下方式求出。首先，於不同溫度下對開關元件10施加電壓，測定此時之電流值。此時之溫度與施加電壓之範圍並未限定，例如溫度可為30℃～80℃，施加電壓可為0 V～0.30 V。接下來，根據任意電壓值下之電流值與測定時之溫度，使用下述式(3)算出載子活化能量。再者，I係指電流，E_a係指載子活化能量，k係指玻耳茲曼常數，T係指絕對溫度，C係指常數。

[(0082)]

[數3]

$$\ln(I) : : \frac{E_a}{kT} + C \dots \text{式(3)}$$

[(0083)]

本實施方式之開關元件10較佳為表現出隨著加熱而閾值電壓升高之傾向。例如，80℃中之開關元件10之閾值電壓，較佳為室溫25℃中之閾值電壓之1.05倍以上、特別是1.1倍以上。藉由表現上述特性，而即便於

電子之運動能量變大之高溫狀態下，斷開電流密度亦難以升高，即便於高溫下，亦可保持較高之導通/斷開電流比，由此表現優異之耐熱性。

【0084】

本實施方式之開關元件10較佳為，隨著溫度上升而肖特基勢壘高度變大。例如較佳為，80°C中之開關元件10之肖特基勢壘高度係30°C中之肖特基勢壘高度之1.01倍以上、特別是1.02倍以上。藉由表現上述特性而阻礙載子移動，因此可降低斷開電流密度。由此，容易使導通/斷開電流比變大。再者，肖特基勢壘高度 ϕ_B 可藉由下述式(4)算出。此處， I_s 係指飽和電流， A 係指接觸面積， A^* 係指里查遜常數， q 係指基本電荷， k 係指玻耳茲曼常數， T 係指絕對溫度。

【0085】

[數4]

$$I_s = AA^* \exp\left(-\frac{q\phi_B}{kT}\right) \dots \text{式(4)}$$

【0086】

<記憶元件>

圖2係本發明之一實施方式之記憶元件之模式性剖視圖。記憶元件21具備第1電極11、第2電極12、及配置於第1電極11之主面上之開關記憶層4。第2電極12配置於與第1電極11對向之位置。於本實施方式中，開關記憶層4配置於第1電極11與第2電極12之間。換言之，本實施方式之記憶元件21具備開關記憶層4、配置於開關記憶層4之一側之主面上之第1電極11、及配置於開關記憶層4之另一側之主面上之第2電極12。開關記憶層4包含電阻變化膜。

【0087】

第1電極11及第2電極12可使用無機材料。作為無機材料，可使用金屬材料、陶瓷材料。作為金屬材料，例如較佳為使用鎢、鈦、銅、鉑等。又，作為陶瓷材料，例如較佳為使用氮化鎢、氮化鈦。

【0088】

第1電極11及第2電極12之厚度可適當設計。例如，第1電極11及第2電極12之厚度分別較佳為200 nm以下、100 nm以下、80 nm以下、60 nm以下、特別是50 nm以下。第1電極11及第2電極12之厚度越小，越容易有利於記憶體器件之大容量化。第1電極11及第2電極12之厚度之下限例如分別較佳為1 nm以上、特別是2 nm以上。

【0089】

記憶元件21係電阻變化記憶元件，具備具有記憶體功能與開關元件功能之開關記憶層4。例如，可藉由對開關記憶層4施加特定電壓以上之電壓而使其變化為低電阻狀態LR1來記錄資訊。又，當自低電阻狀態LR1減小施加電壓時，會於記錄有資訊之狀態下成為高電阻狀態HR1，進而，當不進行抹除動作而施加讀出電壓時變化為低電阻狀態LR2。另一方面，當於不記錄資訊或進行抹除動作之高電阻狀態下施加讀出電壓時，成為高電阻狀態HR2。此時，可藉由使1、0分別對應於LR2、HR2來記錄資訊記錄。又，動作方法並不限於上述方法。例如當於記錄資訊後使施加電壓為0，且施加讀出電壓時，成為LR2。另一方面，當於進行抹除動作後施加讀出電壓時，成為HR2，因此可藉由使1、0分別對應於LR2、HR2來記錄資訊。

【0090】

第1電極11及第2電極12之面積之上限，例如較佳為1000000 nm²以下、562500 nm²以下、250000 nm²以下、62500 nm²以下、10000 nm²以下、6400 nm²以下、2500 nm²以下、特別是1600 nm²以下。第1電極11及第2電極12之面積之下限並未特別限定，自製造成本之觀點而言，亦可為1 nm²以上、特別是2 nm²以上。又，第1電極11與開關記憶層4之接觸面積或第2電極12與開關記憶層4之接觸面積之上限，較佳為1000000 nm²以下、562500 nm²以下、250000 nm²以下、62500 nm²以下、10000 nm²以下、6400 nm²以下、2500 nm²以下、特別是1600 nm²以下。藉此，容易有利於記憶體器件之大容量化。第1電極11與開關記憶層4之接觸面積及/或第2電極12與開關記憶層4之接觸面積之下限並未特別限定，自製造成本之觀點而言，例如亦可為1 nm²以上、特別是2 nm²以上。再者，電極與開關記憶層4之接觸面積只要第1電極11與開關記憶層4之接觸面積、或第2電極12與開關記憶層4之接觸面積中之至少一者滿足上述值即可，更佳為兩者之接觸面積滿足上述值。

【0091】

<記憶裝置>

(第1實施方式)

本實施方式之記憶裝置較佳為具備開關元件，更佳為具備開關元件與記憶元件。又，於具備開關元件與記憶元件之情形時，本發明之記憶裝置較佳為包含開關元件與記憶元件積層而成之積層體。更詳細而言，本實施方式之記憶裝置係具備開關元件與記憶元件積層而成之積層體之記憶裝置，開關元件具備開關層、及配置於開關層上之第1電極，開關層包含電阻變化材料，該電阻變化材料於將施加閾值電壓之1/2之電壓時之電流密

度設為斷開電流密度時，斷開電流密度為 3.1×10^2 A/cm²以下，記憶元件係電阻變化記憶元件、磁阻記憶元件、相變化記憶元件及鐵電記憶元件中之任一種。

【0092】

圖3係本發明之第1實施方式之記憶裝置之模式性立體圖，圖4係將本發明之第1實施方式之記憶裝置放大之模式性立體圖。如圖3及圖4所示，記憶裝置100包含開關元件10、記憶元件20、字元線30、位元線40。位元線40於俯視下與字元線30正交。開關元件10及記憶元件20配置於俯視下之字元線30與位元線40之交點。即，本實施方式之記憶裝置100係所謂之交叉點型記憶裝置。

【0093】

圖5係本發明之第1實施方式之記憶裝置之變化例之模式性立體圖。記憶裝置200包含開關元件10、記憶元件20、字元線30、位元線40。位元線40配置於設置在字元線30之貫通孔中。又，於位元線40之外周部配置有記憶元件20及開關元件10。開關元件10之第1電極1配置於開關層3之外周面，且於隔著開關層3而與第1電極1對向之內周面配置有第2電極2。即，本變化例之記憶裝置200係所謂之BiCS型記憶裝置。如此，本發明之記憶裝置並不限於交叉點型記憶裝置，亦可為各種記憶裝置。

【0094】

記憶元件20可使用電阻變化記憶元件、磁阻記憶元件、相變化記憶元件或鐵電記憶元件等任意記憶元件。以下，記載各記憶元件之較佳形態。

【0095】

電阻變化記憶元件包含電阻變化層。更詳細而言，電阻變化記憶元件較佳為包含由上部電極與下部電極夾著電阻變化層之積層體。電阻變化層較佳為由金屬氧化物材料、金屬氮化物材料或硫屬化物材料構成。金屬氧化物材料例如較佳為選自 NiO_x 、 NbO_x 、 TiO_x 、 TaO_x 、 HfO_x 、 ZrO_x 、 MoO_x 、 WO_x 、及 $\text{Pr}_{1-x}\text{Ca}_x\text{MnO}_3$ (PCMO)中之至少1種。金屬氮化物材料，例如較佳為選自 SiN_x 、 AlN_x 、 ZrN_x 、 NiN_x 、 CuN_x 、 CrN_x 中之至少1種。硫屬化物材料例如較佳為選自Ge-Te、Sb-Te、Ge-Sb-Te、Si-Sb-Te、Ge-Ga-Te、In-Sb-Te、Ge-Se-As、及Ge-Se-As-Te中之至少1種。又，電阻變化層亦可由奈米碳管構成。

【0096】

電阻變化記憶元件中，上部電極及/或下部電極，較佳為由選自鎢、鈦、銅、鉑、氮化鎢及氮化鈦中之至少1種構成。作為金屬材料，較佳為鎢、鈦、銅、鉑。又，作為陶瓷材料，較佳為氮化鎢、氮化鈦。

【0097】

磁阻記憶元件包含由強磁性體層夾著絕緣體層之積層體(TMR元件)。絕緣體層由絕緣體構成，例如較佳為由選自 MgO 、 CaO 、 SrO 及 Al_2O_3 中之至少1種構成。絕緣體層之厚度較佳為0.1 nm～3 nm。較佳為，強磁性體層由強磁性材料構成，例如由選自 CoFeB 、 FeB 、 NiFe 、 MnIr 、 Fe 、 CoPt 、 CoNi 、 Co 、 Ni 、 Pt 、 Ni 、及 Mn 中之至少1種構成。

【0098】

鐵電記憶元件包含鐵電層。更詳細而言，鐵電記憶元件較佳為包含由上部電極與下部電極夾著鐵電層之積層體。鐵電層較佳為由包含氧化鉛之鐵電體構成，例如較佳為由添加有選自Si、Zr、Ge、Gd、La、Y及Yb

中之至少1種之氧化鉛構成。又，鐵電層亦可由選自鋇鈦酸鉛(PZT)、鉍酸鋇(SBT)、及鐵酸鋇(BFO)中之至少1種。

【0099】

相變化記憶元件係由相變化材料構成之記憶層。更詳細而言，相變化記憶元件較佳為包含由上部電極與下部電極夾著相變化層之積層體。相變化層較佳為由硫屬化物材料構成。硫屬化物材料較佳為例如選自Ge-Te、Sb-Te、Ge-Sb-Te、Si-Sb-Te、Ge-Ga-Te、In-Sb-Te、Cu-Ge-Te、Cr-Ge-Te、Mn-Te、Ge-Se-As、及Ge-Se-As-Te中之至少1種。

【0100】

(第2實施方式)

本發明之記憶裝置並不限定於分別具備開關層與記憶元件之構成。例如，本發明之記憶裝置亦可為僅具備開關元件之構成。該情形時，開關元件可作為開關元件及記憶元件發揮功能。例如，本實施方式之記憶裝置，較佳為具備具有上述記憶體功能與開關元件功能之電阻變化記憶元件(記憶元件21)。本實施方式中，藉由使用具有記憶體功能與開關元件功能之電阻變化記憶元件，即便不具備開關元件，亦可將資訊記錄於記憶元件。當然，本實施方式之記憶裝置中，亦可具備任意開關元件。

【0101】

圖6係本發明之第2實施方式之記憶裝置之模式性立體圖。如圖6所示，記憶裝置101包含記憶元件21、字元線30、位元線40。位元線40於俯視下與字元線30正交。記憶元件21配置於俯視下之字元線30與位元線40之交點。即，本實施方式之記憶裝置101係所謂之交叉點型記憶裝置。

【0102】

圖7係本發明之第2實施方式之記憶裝置之變化例之模式性立體圖。

如圖7所示，記憶裝置201包含記憶元件21、字元線30、位元線40。位元線40配置於設置在字元線30之貫通孔中。又，於位元線40之外周部配置有記憶元件21。即，本實施方式之記憶裝置201係所謂之BiCS型記憶裝置。如此，本實施方式中，記憶裝置亦不限定於交叉點型之記憶裝置，亦可為各種記憶裝置。

[實施例]

【0103】

以下，基於實施例對本發明進行說明，但本發明並不限定於該些實施例。

【0104】

[表1]

		實施例1	實施例2	實施例3	實施例4	實施例5	實施例6	實施例7	比較例1
電阻變化材料(原子%)	Te	76.9	75.0	78.9	77.1	71.1	71.1	72.0	83.3
	Ge	15.4	15.0	15.8	12.9	14.2	14.2	18.0	16.7
	Ga	7.7	5.0	0.0	5.0	10.0	4.7	5.0	0.0
	Ag	0.0	5.0	5.3	5.0	4.7	10.0	5.0	0.0
Ge+Te		92.3	90.0	94.7	90.0	85.3	85.3	90.0	100.0
Ge/Te		0.2	0.2	0.2	0.2	0.2	0.2	0.3	0.2
Ga+Ag		7.7	10.0	5.3	10.0	14.7	14.7	10.0	0.0
Ga/(Ga+Ag)		1.0	0.5	0.0	0.5	0.7	0.3	0.5	-
Ag/(Ga+Ag)		0.0	0.5	1.0	0.5	0.3	0.7	0.5	-
含氧量(原子%)		0.0004	0.0011	0.0042	0.0052	0.0076	0,0104	0.0027	0.0038

【0105】

[表2]

	實施例1	實施例2	實施例3	實施例4	實施例5	實施例6	實施例7	比較例1
斷開電流密度 J _{off} (A/cm ²)	4.59×10 ¹	1.27×10 ⁰	2.55×10 ²	3.46×10 ¹	1.70×10 ²	6.37×10 ¹	3.92×10 ⁰	3.57×10 ²
導通電流密度 (A/cm ²)	4.59×10 ⁶	5.81×10 ⁶	4.60×10 ⁶	9.17×10 ⁶	6.11×10 ⁶	5.10×10 ⁶	5.61×10 ⁶	3.16×10 ⁶
導通/斷開電流 比log ₁₀ X	5.1	6.6	4.3	5.4	4.6	4.9	6.2	3.9
閾值電壓 V _{th} (V)	3.5	1.9	3.0	2.9	2.6	2.8	2.7	2.2
載子遷移率 (cm ² /Vs)	2.1×10 ⁻⁴	8.7×10 ⁻⁵	2.6×10 ⁻³	1.6×10 ⁻⁴	7.5×10 ⁻⁴	2.2×10 ⁻⁴	1.1×10 ⁻⁴	5.1×10 ⁻³

【0106】

[表3]

		實施例2	比較例1
載子活化能量(eV)	a	0.41	0.39
	b	0.46	0.38
	a/b	0.90	1.03

【0107】

[表4]

		實施例2
肖特基勢壘高度(eV)	Φ _{B30°C}	0.46
	Φ _{B80°C}	0.48
	Φ _{B80°C} /Φ _{B30°C}	1.04

【0108】

實施例及比較例以如下方式製作。首先，一面將石英玻璃安瓿加熱一面進行真空排氣後，以成為表1之組成之方式調配原料並將原料放入石英玻璃安瓿中。接下來，利用氧燃燒器將石英玻璃安瓿封管。接下來，將封管之石英玻璃安瓿放入熔融爐中，以10°C～40°C/小時之速度升溫至650°C～1000°C之後，保持6小時～12小時。保持時間中使石英玻璃安瓿

上下反轉來對熔融物進行攪拌。最後，將石英玻璃安瓿自熔融爐取出，並急冷至室溫，藉此獲得電阻變化材料。

【0109】

對獲得之電阻變化材料，藉由惰性氣體融解-紅外線吸收法來測定含氧量。將結果示於表1。

【0110】

接下來，使用電阻變化材料作為靶材來製作開關元件。首先，於Si/SiO₂基板上成膜厚度50 nm之W電極。接下來，於W電極上成膜厚度100 nm之SiO₂絕緣層。其後，使用聚焦離子束裝置(JEOL公司製造，JIB-4600F)，於SiO₂絕緣層及W電極層形成 ϕ 500 nm之孔。接下來，於形成之孔成膜厚度150 nm之電阻變化材料而形成開關層。最後，於開關層上進而成膜厚度150 nm之W電極來製作出開關元件。再者，於減壓環境下，利用Ar濺鍍進行成膜。

【0111】

使用所獲得之開關元件，求出斷開電流密度、導通電流密度、導通/斷開電流比、閾值電壓。將結果示於表2。

【0112】

以如下方式求出斷開電流密度、導通電流密度、導通/斷開電流比及閾值電壓。首先，對開關元件施加0 V~10 V之電壓，測定開關元件中流動之電流值及閾值電壓。此時施加之電壓係直流電壓、交流電壓、脈衝電壓等，並未進行限定，但自防止開關元件蓄熱之觀點而言，利用脈衝電壓進行測定。閾值電壓設為電阻值自高電阻狀態向低電阻狀態急遽變化時之電壓值。斷開電流密度設為施加閾值電壓之1/2之電壓時流動之電流值(斷

開電流值)除以與電極的接觸面積而得之值。導通電流密度設為施加閾值電壓以上之電壓時流動之電流值(導通電流值)除以與電極的接觸面積而得之值。藉由將導通電流值除以斷開電流值而求出導通/斷開電流比。

【0113】

載子遷移率測定用之薄膜試樣係於Si/SiO₂基板上利用Ar濺鍍成膜厚度150 nm之電阻變化材料而製作成。對獲得之薄膜試樣，使用比電阻/霍耳測定系統(ResiTest8308，東陽技術公司製造)測定30°C中之載子遷移率。將結果示於表2。

【0114】

圖8表示將開關層之離子性 r_{σ} 及混成性 r_{π}^{-1} 繪圖而得之曲線圖。如圖8所示，實施例之開關層之離子性 r_{σ} 滿足0.05以上，混成性 r_{π}^{-1} 滿足2.0以下。

【0115】

如表1、2所示，實施例1~7之電阻變化材料之載子遷移率為 $2.6 \times 10^{-3} \text{ cm}^2/\text{Vs}$ 以下，斷開電流密度為 $2.55 \times 10^2 \text{ A/cm}^2$ 以下。又，導通/斷開電流比 x 之對數值 $\log_{10}x$ 為4.3~6.6。另一方面，比較例1之載子遷移率為 $5.1 \times 10^{-3} \text{ cm}^2/\text{Vs}$ ，較大，斷開電流密度為 $3.57 \times 10^2 \text{ A/cm}^2$ ，較大。又，導通/斷開電流比 x 之對數值 $\log_{10}x$ 為3.9，較小。

【0116】

表3表示對開關元件施加電壓時之載子活化能量變化，表4表示開關元件之絕對溫度與肖特基勢壘高度之關係。如表3所示，實施例2中，將對開關層施加0.15 V之施加電壓時之載子活化能量設為 $a(\text{eV})$ ，且將對開關層施加0.30 V之施加電壓時之載子活化能量設為 $b(\text{eV})$ 時，滿足 $a/b < 1$ 。

又，如表4所示，實施例2中，80℃中之肖特基勢壘高度 $\phi_{B80^{\circ}C}$ 為30℃中之肖特基勢壘高度 $\phi_{B30^{\circ}C}$ 之1.04倍。

[產業上之可利用性]

【0117】

本發明之電阻變化材料可較佳地用於能夠在電阻變化型、磁阻型、相變化型、鐵電型等記憶裝置使用之開關元件。

【符號說明】

【0118】

- 1:第1電極
- 2:第2電極
- 3:開關層
- 4:開關記憶層
- 10:開關元件
- 11:第1電極
- 12:第2電極
- 20:記憶元件
- 21:記憶元件
- 30:字元線
- 40:位元線
- 100:記憶裝置
- 101:記憶裝置
- 200:記憶裝置
- 201:記憶裝置

【發明申請專利範圍】

【請求項1】

一種電阻變化材料，其係含有Te者，

將施加閾值電壓之1/2之電壓時之電流密度設為斷開電流密度時，上述斷開電流密度為 3.1×10^2 A/cm²以下。

【請求項2】

如請求項1之電阻變化材料，其中進而將施加上述閾值電壓以上之電壓時之電流密度設為導通電流密度時，上述導通電流密度為 1×10^6 A/cm²以上。

【請求項3】

如請求項1或2之電阻變化材料，其中載子遷移率為 5×10^{-3} cm²/Vs以下。

【請求項4】

如請求項1或2之電阻變化材料，其中將施加上述閾值電壓以上之電壓時之電流密度設為導通電流密度時，藉由上述導通電流密度除以上述斷開電流密度而得之導通/斷開電流比為 1×10^4 以上。

【請求項5】

如請求項1或2之電阻變化材料，其中上述閾值電壓為0.5 V～10 V之範圍內。

【請求項6】

如請求項1或2之電阻變化材料，其以原子%計而含有0.1%～50%之Ge、40%～90%之Te。

【請求項7】

如請求項1或2之電阻變化材料，其以原子%計而含有1%～59%之Si + Al + Ga + Sn + Bi + Cu + Ag + Zn + Y + In + Ca + Mg。

【請求項8】

如請求項1或2之電阻變化材料，其以原子%計而含有0%～未達5%之Sb。

【請求項9】

如請求項1或2之電阻變化材料，其實質上不含有Sb、Se及As。

【請求項10】

如請求項1或2之電阻變化材料，其中含氧量未達1原子%。

【請求項11】

如請求項1或2之電阻變化材料，其係薄膜。

【請求項12】

一種開關元件用材料，其包含如請求項1或2之電阻變化材料。

【請求項13】

一種開關層，其包含如請求項1或2之電阻變化材料。

【請求項14】

一種開關元件，其具備：

如請求項13之開關層；及

第1電極，其配置於上述開關層上。

【請求項15】

一種開關元件，其具備：

開關層；

第1電極，其配置於上述開關層上；及

第2電極，其配置於隔著上述開關層而與上述第1電極對向之位置；

上述開關層包含電阻變化材料，該電阻變化材料含有Te，且將施加閾值電壓之1/2之電壓時之電流密度設為斷開電流密度時，上述斷開電流密度為 3.1×10^2 A/cm²以下。

【請求項16】

如請求項15之開關元件，其中上述第1電極配置於上述開關層之外周面，且

於上述開關層之內周面配置有上述第2電極。

【請求項17】

如請求項15或16之開關元件，其中上述第1電極及上述第2電極係選自鎢、鈦、銅、鉑、氮化鎢及氮化鈦中之至少一種。

【請求項18】

如請求項15或16之開關元件，其中上述開關層之離子性 r_{σ}' 及混成性 r_{π}^{-1} 滿足以下值：

$$r_{\sigma}' \geq 0.05$$

$$r_{\pi}^{-1} \leq 2.0。$$

【請求項19】

如請求項15或16之開關元件，其中將對上述開關層施加0.15 V之施加電壓時之載子活化能量設為a，且將對上述開關層施加0.30 V之施加電壓時之載子活化能量設為b時，滿足 $a/b < 1$ 。

【請求項20】

一種記憶裝置，其具備如請求項15或16之開關元件。

【請求項21】

一種記憶裝置，其具備：

如請求項15或16之開關元件；及

記憶元件。

【請求項22】

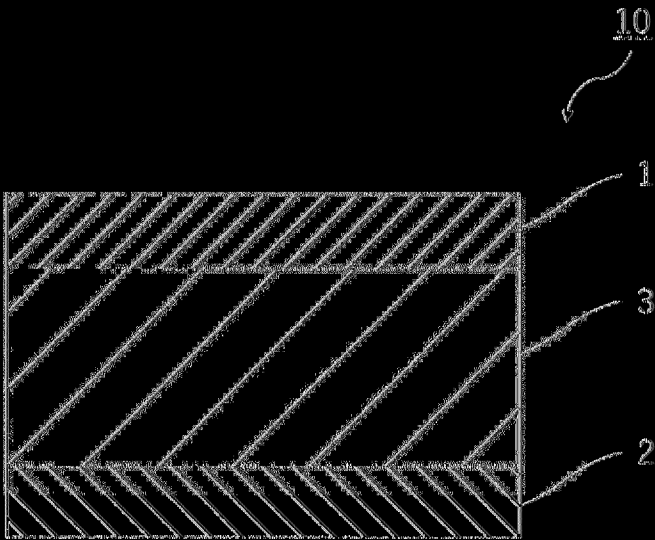
一種記憶裝置，其係具備開關元件與記憶元件積層而成之積層體者，

上述開關元件具備開關層、及配置於上述開關層上之第1電極，

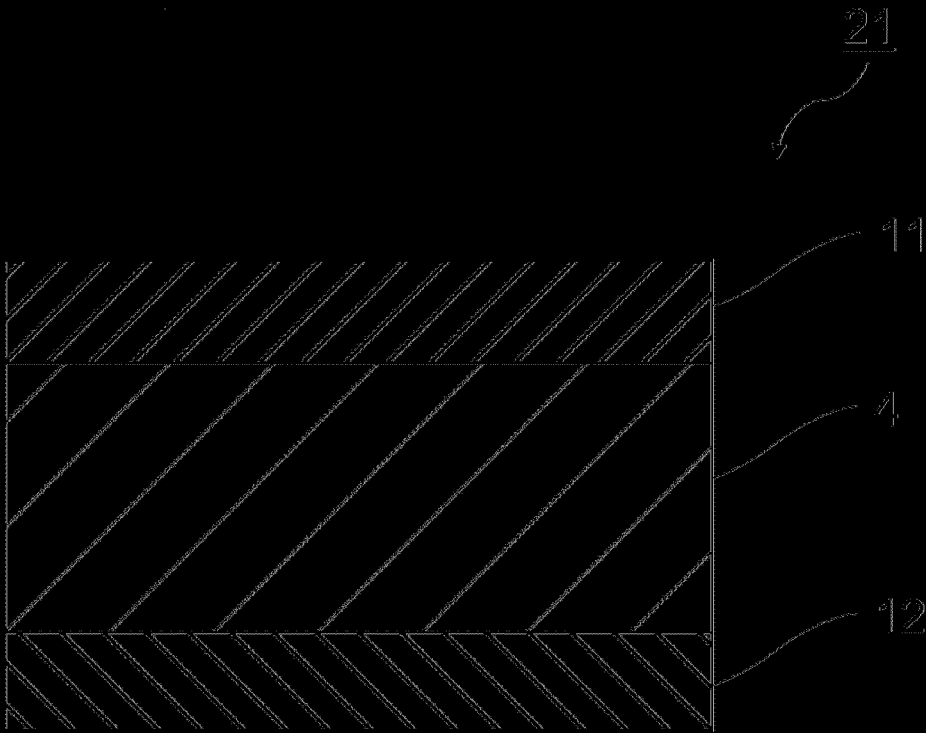
上述開關層包含電阻變化材料，該電阻變化材料於將施加閾值電壓之1/2之電壓時之電流密度設為斷開電流密度時，上述斷開電流密度為 $3.1 \times 10^2 \text{ A/cm}^2$ 以下，

上述記憶元件係電阻變化記憶元件、磁阻記憶元件、相變化記憶元件及鐵電記憶元件中之任一種。

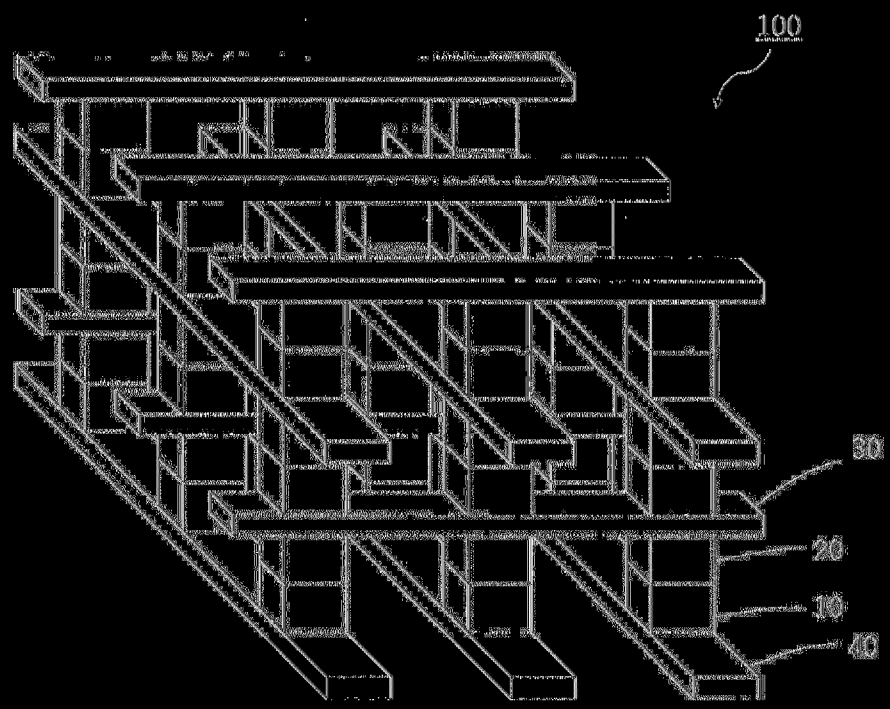
|(發明圖式)|



|(圖1)|



|(圖2)|



|(图3)|

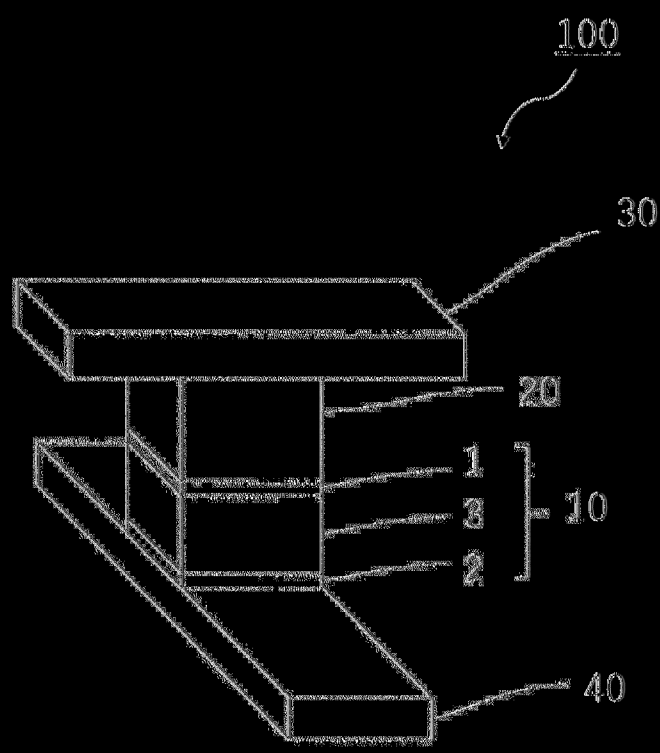
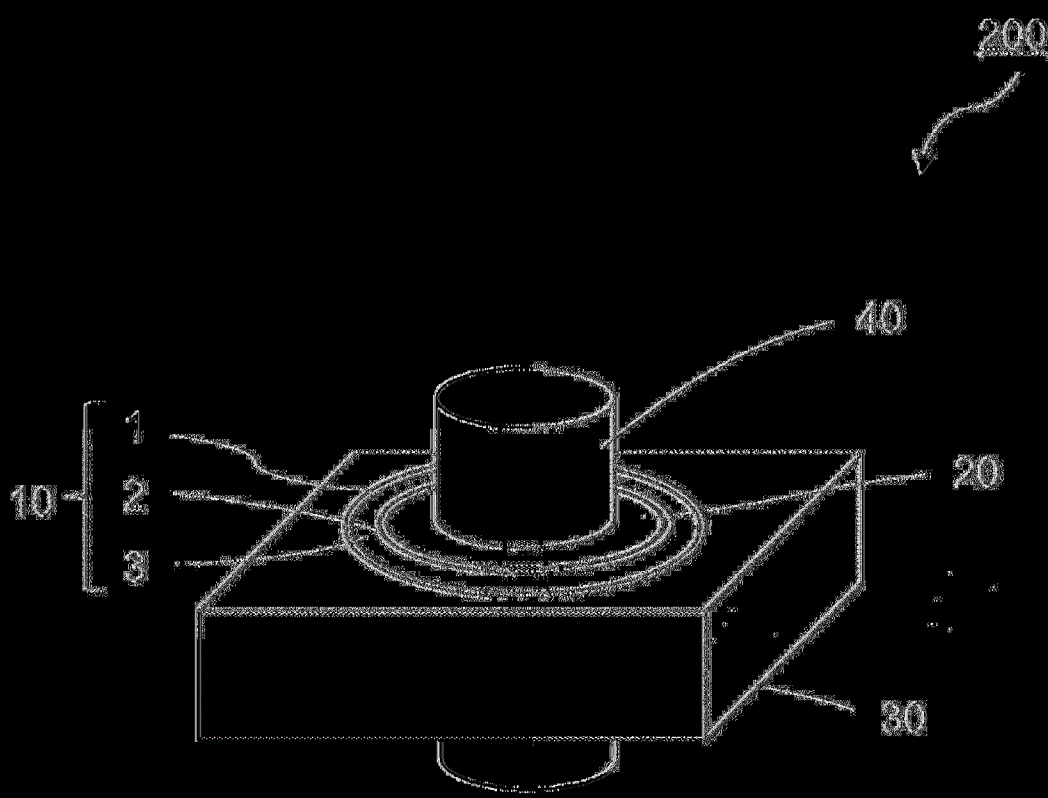
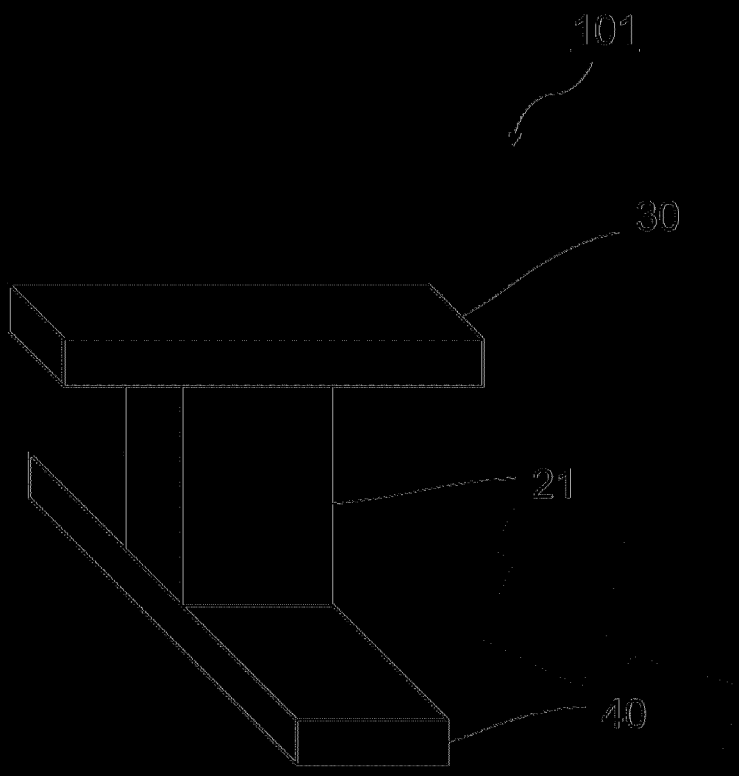


图4



[(FIG)5]



[(FIG)6]

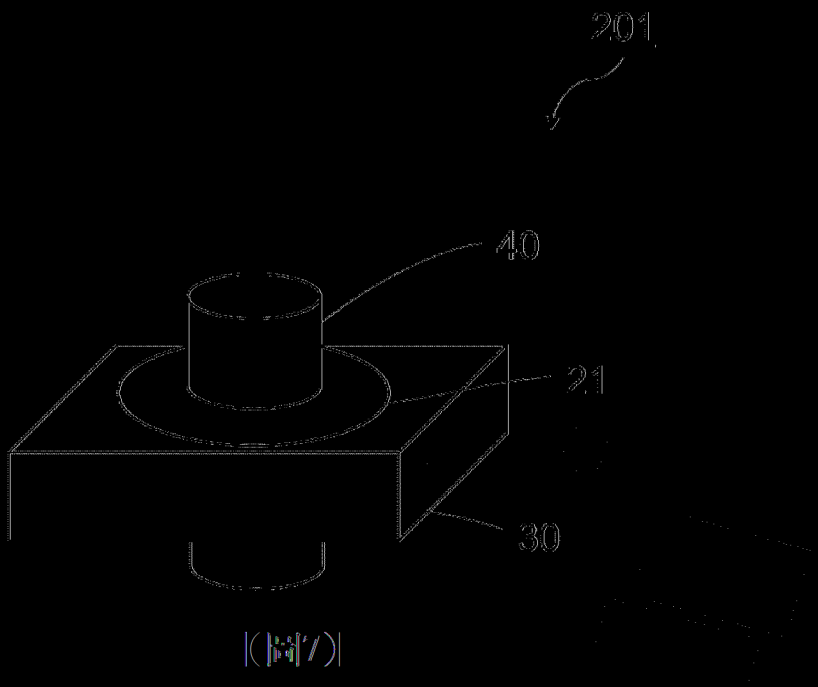


圖7

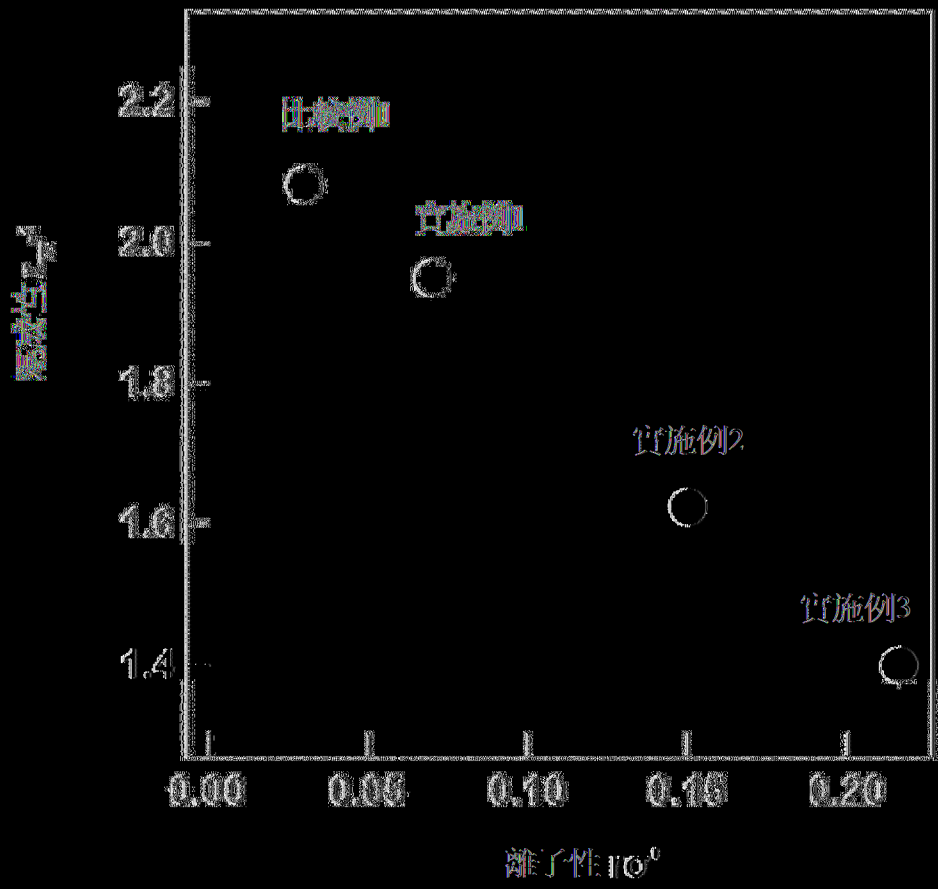


圖8