



(12)发明专利

(10)授权公告号 CN 106537509 B

(45)授权公告日 2019.02.26

(21)申请号 201580039628.5

(22)申请日 2015.07.23

(65)同一申请的已公布的文献号
申请公布号 CN 106537509 A

(43)申请公布日 2017.03.22

(30)优先权数据
14/338,996 2014.07.23 US

(85)PCT国际申请进入国家阶段日
2017.01.19

(86)PCT国际申请的申请数据
PCT/IB2015/055594 2015.07.23

(87)PCT国际申请的公布数据
W02016/012976 EN 2016.01.28

(73)专利权人 纳姆实验有限责任公司
地址 德国德累斯顿

(72)发明人 斯特凡·费迪南德·米勒

(74)专利代理机构 北京康信知识产权代理有限公司 11240
代理人 梁丽超 刘冀

(51)Int.Cl.
G11C 11/22(2006.01)

(56)对比文件
US 2005054166 A1,2005.03.10,
US 2005117419 A1,2005.06.02,
US 6760246 B1,2004.07.06,
US 2004057274 A1,2004.03.25,
US 6122191 A,2000.09.19,
CN 101120416 A,2008.02.06,
WO 0169602 A2,2001.09.20,

审查员 王永贵

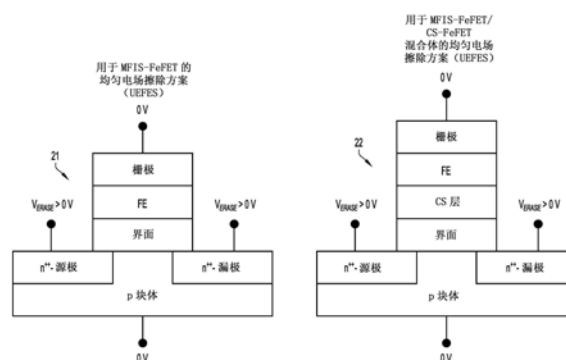
权利要求书2页 说明书12页 附图13页

(54)发明名称

擦除FeFET存储器电路的方法

(57)摘要

描述了一种用于擦除包括多个存储器单元的铁电场效应晶体管(FeFET)存储器电路的技术,该存储器单元包括FeFET。每个FeFET包括栅极堆叠、源极、漏极、沟道和块体衬底区域,其中栅极堆叠包括栅极和设置在栅极与沟道之间的铁电层。根据沟道类型,向至少一个FeFET存储器单元的源极和漏极区施加正或负电压。在向FeFET存储器单元的源极和漏极区施加正电压期间,栅极和块体衬底区域保持在接地状态,以致使至少一个FeFET存储器单元的擦除。此外,描述了具有邻近栅极堆叠内的铁电层设置的电荷存储层的FeFET。



1. 一种用于擦除包括多个铁电场效应晶体管FeFET存储器单元的FeFET存储器电路的方法,每个FeFET包括栅极堆叠、源极、漏极、沟道和块体衬底区域,其中所述栅极堆叠包括栅极和设置在所述栅极与所述沟道之间的铁电层,所述方法包括:

向所述多个FeFET存储器单元中的至少一个FeFET存储器单元的源极区和漏极区分别施加第一电压和第二电压;以及

在向所述至少一个FeFET存储器单元的所述源极区和所述漏极区施加所述第一电压和所述第二电压期间,向所述至少一个FeFET存储器单元的栅极和块体衬底区域分别施加第三电压和第四电压,以致使所述至少一个FeFET存储器单元的擦除,其中所述第三电压为接地状态或电压极性与所述第一电压和所述第二电压相反的电压中的一个,并且其中所述第四电压为接地状态或电压极性与所述第一电压和所述第二电压相同且绝对值低于所述第一电压和所述第二电压的电压中的一个。

2. 根据权利要求1所述的方法,其中所述第一电压和所述第二电压被配置成在所述沟道和所述栅极之间产生基本上均匀的电场,以便产生所述至少一个FeFET存储器单元的所述铁电层的极化的基本上均匀的变化。

3. 根据权利要求1所述的方法,其中施加所述第一电压、所述第二电压、所述第三电压和所述第四电压以操作基本上接近穿通区域或者在所述穿通区域中的所述至少一个FeFET存储器单元,以便产生所述至少一个FeFET存储器单元的所述铁电层的极化的基本上均匀的变化。

4. 根据权利要求1所述的方法,其中所述沟道包括n沟道或p掺杂区域,并且所述第一电压和所述第二电压为正。

5. 根据权利要求1所述的方法,其中所述沟道包括p沟道或n掺杂区域,并且所述第一电压和所述第二电压为负。

6. 根据权利要求1所述的方法,还包括选择一个或多个FeFET存储器单元,从而使用所述第一电压、所述第二电压、所述第三电压和所述第四电压的组合基于单独的存储器单元、存储器单元字或存储器单元块进行擦除。

7. 根据权利要求6所述的方法,其中选择包括使用栅极选择、源极选择和漏极选择的组合来选择所述一个或多个FeFET存储器单元从而进行擦除,同时向被选择进行擦除的FeFET存储器单元的所述栅极和所述块体衬底区域分别施加所述第三电压和所述第四电压,其中被选择进行擦除的FeFET存储器单元的对应源极和漏极保持在对应的第一电压和第二电压。

8. 根据权利要求6所述的方法,还包括通过向未被选择进行擦除并且与被选择进行擦除的那些FeFET存储器单元相邻的那些FeFET存储器单元的相应栅极、源极和漏极施加一个或多个禁止电压,来禁止所述相邻的FeFET存储器单元的擦除。

9. 根据权利要求1所述的方法,其中所述至少一个FeFET存储器单元包括短沟道。

10. 根据权利要求1所述的方法,其中所述至少一个FeFET存储器单元包括沟道,所述沟道包括延伸注入物和晕圈注入物中的一个或多个。

11. 根据权利要求1所述的方法,其中所述至少一个FeFET存储器单元包括长沟道,并且所述长沟道包括对应浓度的阱注入物。

12. 根据权利要求1所述的方法,其中所述至少一个FeFET存储器单元的所述栅极堆叠

包括与所述栅极堆叠中的所述铁电层相邻的电荷存储层。

13. 根据权利要求8所述的方法,还包括通过改变所述铁电层的剩磁来调整阈值电压 V_T 。

14. 根据权利要求8所述的方法,还包括通过改变存储在电荷俘获层或浮栅层中的电荷以及所述铁电层的剩磁或反铁电层的无剩磁来调整阈值电压 V_T 。

15. 根据权利要求8所述的方法,还包括通过改变浮栅层的多数载流子的分布和所述铁电层的剩磁来调整阈值电压 V_T 。

16. 根据权利要求1所述的方法,其中所述至少一个FeFET存储器单元的所述栅极堆叠在所述铁电层和所述沟道之间的所述栅极堆叠中缺少具有足够的导电性以产生跨越所述铁电层的基本上均匀的电场的中间导电层。

擦除FeFET存储器电路的方法

背景技术

[0001] 铁电场效应晶体管 (FeFET) 已经被预想并且仍然被作为超低功率非易失性存储器件来研究。然而,迄今为止最突出的非易失性晶体管架构仍然由作为基于电荷存储 (CS) 的晶体管的子组的FLASH器件代表。在这点上,基于CS的晶体管和FLASH器件可以被认为是相同“类型”的器件。当与这些FLASH器件相比时,FeFET仅需要一小部分写电压,并且可以在纳秒的方案下切换。写入操作可以意指分别将存储器单元编程为二进制“0”或“关闭”状态,或者将存储器单元编程(擦除)到二进制“1”或“打开”状态。在FeFET和基于电荷存储的晶体管(FLASH器件)之间的写电压的差异源自用于存储二进制数据的根本不同的基础物理机制。

[0002] 为了表示二进制状态,FLASH器件将电荷载流子(例如,电子)注入到电荷存储层(例如,浮栅或俘获层)中,借此改变存储晶体管的阈值电压。由于电荷载流子注入机制(例如,热载流子注入(HCI)或Fowler-Nordheim隧穿(FN)仅在一定程度上是有效的(即,所有可用电子中只有一小部分达到隧穿进入电荷存储层中的概率),这些器件的写速度分别限于HCI和FN的微秒和毫秒范围。此外,为了提供适当的数据保持,隧道氧化物不能任意地缩小(即变得更薄),这又导致这些器件的升高的操作电压。

[0003] 然而,FeFET仅由当在晶体管的栅极和源极/漏极/块体(bulk)区之间存在电位差时产生的电场进行写入。因此,FeFET不依赖于电荷存储来表示二进制状态。由于跨越存在于FeFET中的铁电材料的电场,原子切换至两个稳定位置或极化状态(偶极子)之一。如果这种铁电材料被结合到晶体管栅堆叠中,则伴随原子位移的永久偶极子改变晶体管的阈值电压。对于FeFET而言,电场的大小以及施加电场的持续时间都比基于CS的晶体管低。例如,FeFET的电场(E场)可以从 ~ 0.1 千伏/厘米(kV/cm)变化到 ~ 1 兆伏/厘米(MV/cm),而基于CS的晶体管的E场为约 ~ 10 MV/cm的量级。类似地,用于FeFET的写入操作的持续时间可以从100皮秒(ps)变化到100纳秒(ns),而基于CS的晶体管的写持续时间在1微秒(μ s)到1毫秒(ms)的量级。

[0004] 虽然基于CS和铁电晶体管的基本物理机制是相当不同的,但关于单晶体管(1T)方法的存储器架构是类似的。正如在基于CS的晶体管中,已经提出了用于FeFET的NAND、NOR和AND架构。因此,FeFET受到已知存在于FLASH存储器的“干扰”问题的影响。未被选择用于编程的单元仅通过共用相同的信号线(例如,字线和位线)而经受电场效应,从而引入关于给定存储器单元的二进制状态的不确定性。其次,通过写入单元,被寻址的单元的电场可以“泄漏”到相邻单元。

[0005] 例如,在基于电荷存储的晶体管中,与正被编程的单元相邻的单元可能遭受不希望的电荷存储。类似地,在铁电晶体管中,与待编程的单元相邻的那些单元可能受到极化变化的影响或者被极化变化“干扰”。对于基于CS的晶体管和铁电晶体管这两者,干扰效应来源于未选择的单元暴露于不期望的电场的事实(该电场在对选定单元编程时发生)。关于FeFET和基于CS的晶体管这两者,存在避免二进制状态的“干扰”的方法。在基于FLASH的器件中,可采用禁止方案(例如,用于NANDFLASH的全局或局部自升压(self-boost)编程禁止方案)以减少任何干扰问题。FeFET阵列可以使用提供已知优点的 $V_{DD}/2$ 或 $V_{DD}/3$ 方案,或适应

已知对基于CS的晶体管有效的禁止方案。

发明内容

[0006] 本文描述了关于应用于短沟道FeFET器件(例如,具有10-50纳米(nm)沟道长度的器件)的操作方案的技术,其使得能够随机存取存储器阵列中的FeFET。此外,短沟道FeFET技术通过作为FeFET和电荷存储器件的混合体的器件(例如,CS-FeFET)的方式来组合,这改善了传统的基于电荷的晶体管的可扩展性和功耗。根据给定晶体管的整体掺杂方案,通过延伸注入物(extension implants)或晕圈注入物(halo implants)以及在一定程度上较长沟道器件的方式,提高了操作方案的有效性。

[0007] 通过使用均匀电场擦除方案(UEFES)(UEFES可应用于n沟道(p块体/阱)铁电晶体管以及p沟道(n块体/阱)铁电晶体管这两者),本文描述的技术提供优于现有技术的FeFET操作方案的几个优点。这包括通过利用铁电效应将UEFES应用于纯铁电晶体管以及混合晶体管两者。文献中已知的纯铁电晶体管可以包括诸如金属铁电半导体(MFS)-FeFET、金属铁电绝缘体半导体(MFIS)-FeFET或金属铁电金属绝缘体半导体(MFMIS)-FeFET的非限制性示例器件。此外,在本文所述的发明构思的范围内,术语“编程”和“擦除”是指改变铁电晶体管的极化,使得实现相应的低或高阈值电压状态。UEFES基于跨越栅极堆叠的电场分布。为了将UEFES延伸到更长的沟道器件,可以通过注入物(例如,延伸、晕圈、沟道或阱注入物)来调整块体。

[0008] 传统的非易失性铁电存储器器件采用与晶体管耦合的电容器。例如,许多铁电存储器被设计为单晶体管单电容器(1T1C)配置或2T2C配置。在这些器件中,电容器包括其间设置有铁电体的金属层,并且与金属氧化物半导体(MOS)存取晶体管组合形成存储器单元(例如,等同于一个二进制数据位)。金属层由于它们的本质,固有地在其表面上分布电荷,因此在金属层之间产生均匀的电场,以实现FE极性的均匀变化。因此,传统的基于电容器的铁电体器件不遭受跨越铁电体的任何电场不均匀性。

[0009] 为了改变FeFET(其将铁电体结合到栅极堆叠中)中的铁电体的极性,必须在晶体管的沟道与栅极之间施加基本上均匀的电场。对于短沟道器件,如果FeFET的沟道长度足够短,则UEFES能够改变铁电体的极化状态。作为示例,用于n沟道FeFET的UEFES向源极区和漏极区施加正电压,同时将栅极和块体保持接地。对于短沟道器件,这些施加的电压产生足以改变铁电材料的极化状态的均匀电场。此外,相对于现有技术的FeFET,这种新的效果是不能预期的,因为现有的研究已经涉及长沟道型器件。

[0010] 此外,一般来说,UEFES不能与应用于基于电荷存储的晶体管的类似方案进行比较。例如,使用例如工作在正的源极和漏极电压以从电荷存储层提取电荷载流子的传统的基于非易失性电荷存储的晶体管将独立于存储器件的沟道长度而工作。这些传统概念不依赖于均匀电场分布,而是至少依赖于一些不均匀性来启动电荷载流子的提取。关于本文所述的发明构思,情况不是这样,因为依赖于栅极堆叠内部的基本上均匀的电场分布。均匀的电场分布可以通过短沟道器件或者显示栅极堆叠的适当纵横比的器件实现,而不改变所使用的晶体管的掺杂方案。随着沟道长度增加,通过阱掺杂浓度或几何形状的改变或通过额外掺杂(诸如延伸、晕圈或沟道注入物)来调整掺杂方案。

[0011] 本文描述的操作技术依赖于栅极堆叠内部的均匀电场分布。对于短沟道器件或更

具体地对于示出栅极堆叠的适当纵横比(即,10nm至50nm的沟道长度和在5nm至50nm的范围内的相应绝缘体厚度(例如,铁电体+界面层厚度))的器件,可以实现栅极堆叠内的均匀电场分布。此外,可以针对具有被配置为使沟道延伸的延伸、晕圈、沟道或阱注入物的器件实现UEFES,并且其中所有变体不包括传统器件方式的铁电电容器。通过使用UEFES,可以以真实的随机存取方式操作FeFET单元阵列,即每个位或单元可独立地被写入而不需要字或块擦除。

[0012] CS-FeFET混合体使用具有大的自发极化的FeFET器件中固有的寄生电荷存储。在这个意义上,如本文所使用的铁电体的定义通常将包括示出某种类型/形式的自发极化的材料。因此,本文所述的发明概念规定但不限于两种不同的CS-FeFET表示:1)使用铁电材料/层的CS-FeFET,以及2)使用反铁电材料/层的CS-FeFET。此外,本领域技术人员可以应用示出自发极化的任何材料系统,以便实现如上所述的CS-FeFET。

[0013] 作为非限制性示例材料系统,铁电体可以包括氧化铪(HfO_2)或二氧化铪,其可以根据制造工艺条件呈现不同的极化行为和不同量的自发极化。基于铁电体的定制材料特性,可以实现高持久力的FeFET器件或基于电荷存储的CS-FeFET器件。CS-FeFET利用由铁电体的自发极化引起的隧道氧化物中的场增强效应。因此,结合铁电体的电荷存储装置的操作电压可以减小到使得铁电体能够切换极化的值。除了所得到的减小的功耗之外,隧道氧化物可以由铁电极化的电荷补偿引起的固有电荷保持而进一步缩小。这两种效应可以使得基于电荷存储的器件的单元尺寸以及整体系统开销的进一步减小变得简单。

[0014] 上述和本发明的进一步的特征和优点将在考虑本发明特定实施例的以下定义、描述和描述附图时显而易见,其中各个附图中相同的附图标记用于表示相同的部件。虽然这些描述进入本发明的具体细节,但是应该理解的是,可以并且确实存在变体,并且这些变体对于本领域技术人员基于本文的描述是显而易见的。

附图说明

[0015] 图1示出以MFIS型FeFET为例但不限于MFIS型FeFET的现有技术的存储器擦除方案的示例。

[0016] 图2示出根据本文所述的本发明构思的示例实现的用于n沟道晶体管的均匀电场擦除方案(UEFES)。

[0017] 图3A和3B示出用于包括FeFET的AND阵列架构的现有技术存储器擦除方案的示例。

[0018] 图4A示出根据本文所述的发明构思的示例实现的用于n沟道FeFET阵列的UEFES。

[0019] 图4B示出根据本文所述的发明构思的示例实现的用于阵列的n沟道FeFET的低功率擦除和编程的UEFES。

[0020] 图5示出根据本文描述的本发明构思的示例实现的当将UEFES从短沟道器件延伸到长沟道器件时n沟道MFS器件的静电电位。

[0021] 图6示出根据本文所述的发明构思的示例实现的UEFES的注入物变体。

[0022] 图7A(现有技术)和图7B示出根据本文所述的发明构思的示例实现的由于短沟道器件或具有适当栅极堆叠纵横比的器件中的均匀场分布而启用的编程禁止方案。

[0023] 图8A示出根据所述的本发明构思的示例实现的具有铁电(FE)层的CS-FeFET、具有反铁电(AFE)层的CS-FeFET和关于大剩余极化和小剩余极化的MFIS器件之间的差异。

[0024] 图8B是示出根据本文所述的本发明构思的示例实现的针对反铁电电荷-电压特性的电荷对电压的曲线图。

[0025] 图9示出根据本文所述的本发明构思的示例实现的当基于铁电膜厚度和处理条件将剩余极化定制为较低值时的示例模拟数据。

[0026] 图10示出可以采用本文所述的发明构思的可能的FeFET架构的示例。

具体实施方式

[0027] 本文描述了一种用于擦除包括多个FeFET存储器单元的铁电场效应晶体管(FeFET)存储器电路的新技术,每个FeFET包括栅极堆叠、源极、漏极、沟道和块体衬底区域,其中栅极堆叠包括栅极和设置在栅极和沟道之间的铁电层。根据本文所述的发明构思,擦除操作将n沟道或p沟道FeFET的阈值电压分别改变为更正或更负的值。此外,描述了具有在栅极堆叠内与铁电层相邻地设置的电荷存储层的新型FeFET。

[0028] 对于n沟道FeFET,将正电压施加到至少一个FeFET存储器单元的源极区和漏极区,而在向该FeFET存储器单元的源极区和漏极区施加正电压期间,将栅极区和块体衬底区域保持在接地状态,以引起至少一个FeFET存储器单元的擦除。

[0029] 相反,对于p沟道FeFET,将负电压施加到源极区和漏极区,而在向该FeFET存储器单元的源极区和漏极区施加负电压期间,将栅极区和块体衬底区保持在接地状态,以引起至少一个FeFET存储器单元的擦除。

[0030] 在用于n沟道FeFET或p沟道FeFET的另一示例中,第一电压可以被施加到源极区,并且第二电压可以被施加到漏极区,其中第一电压和第二电压中的每一个是相同的极性(即,第一电压和第二电压都为正或者第一电压和第二电压都为负)。第一电压和第二电压可以彼此相等或彼此不同,以便实现期望的FeFET操作。此外或者代替将栅极和块体保持为接地的是,可以分别向栅极区和块体区施加第三电压和第四电压。第三电压相对于第一电压和第二电压具有相反的极性。第四电压具有与第一电压和第二电压相同的极性,但是在幅度上小于或少于第一电压和第二电压。换句话说,施加到块体的第四电压具有与施加到源极或漏极的电压相同的极性但幅度比该电压小的量值。不管给定的FeFET是n沟道(p掺杂)还是p沟道(n掺杂)FeFET,这都是合理的。

[0031] 如本文和权利要求书中所使用的,在认识到当n沟道器件在临近穿通(near punch through)下操作时沟道可能会被积压或不存在的条件下,术语“n沟道”和“p掺杂”可以互换使用。因为沟道可能不再存在,所以器件在技术上不再是n沟道器件,并且保留p掺杂区域。这同样适用于本文可互换使用的术语“p沟道”和“n掺杂”。

[0032] 在这点上,第一电压和第二电压对于n沟道器件可以是正的,对于p沟道器件可以是负的。相应地,第三电压对于n沟道器件可以是负的,对于p沟道器件可以是正的,并且第四电压对于n沟道器件可以是正的,对于p沟道器件可以是负的。在一个实施例中,施加到源极区和漏极区的第一电压和第二电压以及施加到栅极区和块体区的第三电压和第四电压或接地可以改变,以便实现FeFET的临近穿通操作。本领域技术人员将理解,如结合其余附图所描述的,可以将第一、第二电压、第三电压和第四电压施加到相应的位线、源极线、字线和块体区。

[0033] 首先参考图1,示出使用分别由附图标记11和12表示的一对FeFET的现有技术的存

储器n沟道FeFET擦除方案的示例。图1的左侧示出用于FeFET 11的现有技术负栅极擦除方案,而右侧示出用于FeFET 12的现有技术的正块体擦除方案。如本文所使用的,术语“擦除”是指在n沟道FeFET中设置高 V_T 状态的动作,“块体”是指可形成用于一个或多个端子的衬底或阱的材料。擦除FeFET的常用方式是向栅极端子施加负电压(例如, $V_{Erase}<0$ 伏),同时保持其它端子(例如,源极、漏极和块体)接地(例如,零伏),如对于FeFET 11所示。然而,这种技术需要在芯片上产生负电压,例如以便获得 $V_{Erase}<0$ 伏,这对于标准逻辑设计是不常见的。应当理解,通过给定的阵列架构,设置或写入二进制状态或擦除可能需要高或低的 V_T 状态。

[0034] 为了实现从栅极到块体的相同负电位差,可以在保持栅极接地(例如,零伏特)的同时向块体施加正电压(例如, $V_{Erase}>0$ 伏特),如对于FeFET 12所示。该技术源自NOR-FLASH或NAND-FLASH存储器中的传统擦除方案。然而,应强调的是,对于例如n沟道NAND-FLASH的擦除操作将阈值电压转换为更多的负值,其被反转为FeFET擦除。这来源于这两个概念的根本不同的基础物理学。根据存储器产品的要求,源极区和漏极区可以保持浮动或与块体相同的擦除电压。然而,对于传统的FLASH架构,这些技术限于擦除整个块体区而没有擦除单独的FeFET/存储器单元以用于真正随机存取所需的粒度。

[0035] 转向图2,根据本文所述的技术示出用于不同FeFET架构的均匀电场擦除方案(UEFES)。例如,UEFES方案可以应用于MFIS-FeFET器件21,金属铁电金属绝缘体半导体(MFMIS)或新设计的电荷存储FeFET(CS-FeFET)器件22。与用于n沟道FeFET(例如,如图1所示)的传统擦除操作相比,正擦除电压(例如, $V_{Erase}>0$ 伏)被施加到FeFET的源极区和漏极区,同时保持栅极和块体接地,如在图2中所见。从源极/沟道/漏极到栅极的电场分布在铁电(FE)膜上是均匀的,使得整个铁电膜被转换到两个稳定的铁电位置之一(例如,指示二进制状态的两个极化中的一个)。

[0036] 虽然图2中所示的示例涉及向源极区和漏极区施加相同的电压,如上所述,更一般地,可以将第一电压和第二电压分别施加到MFIS-FeFET 21或CS-FeFET 22的源极区和漏极区。第一电压和第二电压是相同的电压或不同的电压。例如,第一擦除电压(V_{Erase1})可以被施加到源极,第二擦除电压(V_{Erase2})可以被施加到漏极区。 V_{Erase1} 和 V_{Erase2} 可以均是相对于 V_{Erase} 或者是 V_{Erase} 的变化(例如, $2V_{Erase}/3$)。在一些实施例中,可以期望向栅极施加第三电压,例如,负电压(或与施加到源极和漏极的电压极性相反的电压),并且向块体施加第四电压,例如,正电压(或相对于施加到源极和漏极的电压极性相反且绝对值较小的电压),而不是保持栅极和块体接地。当负电压在主机芯片上可用时,该实施例改善在某些条件下的FeFET操作。

[0037] 如上所述,施加到MFIS-FeFET 21或CS-FeFET 22的源极区和漏极区的第一电压和第二电压可以是负的。例如, $-V_{Erase}$ 可以被施加到源极,并且 $-V_{Erase}$ 的负电压化(例如, $-2V_{Erase}/3$)的可以被施加到漏极区,或者反之亦然。在一些实施例中,可能期望向栅极施加第三电压,例如,正电压(或与施加到源极和漏极的电压极性相反的电压),以及向块体施加第四电压,例如,负电压(或相对于施加到漏极的电压极性相同并且绝对值较小的电压),而不是保持栅极和块体接地。

[0038] 在所描述的示例中,晶体管将以这种方式耗尽,使得器件在近似场效应晶体管的穿通状态操作或以场效应晶体管的穿通状态操作。临近穿通操作(例如,其中源极和漏极耗尽区合并)导致沟道中的限定的耗尽载流子浓度,这使得沟道和栅极金属之间的均匀电场

成为可能。均匀电场将使栅极和沟道之间的铁电体反转其极化状态。可以通过源极/沟道/漏极区中的特定掺杂浓度、界面的厚度变化或通过所设计的FeFET堆叠的几何形状(例如,参见图6)获得的效果,来进一步改善电场分布的均匀性。作为示例,源极区和漏极区的更强的下方扩散导致在擦除期间更均匀的电场分布。此外,在保持沟道长度恒定的同时增加铁电膜厚度导致较大的栅极堆叠纵横比。该较大的栅极纵横比也导致更均匀的电场分布。

[0039] 如果与正常晶体管规格相比并未提供源极/沟道/漏极区中的特定掺杂浓度,则UEFES由于其特定的电场穿透(例如参见图5)而限于短沟道器件。例如,以用于n沟道FeFET的UEFES为例,将正电压施加到源极区或漏极区。即使已知基于n沟道电荷存储的器件有时也利用正的源极和漏极电压,它们实际上将阈值电压改变为更多的负值。这是由于与FeFET相比的基于CS的器件的基本不同的基础物理学。这些器件的二进制状态被编码在阈值电压偏移中,该阈值电压偏移起源于在浮栅(floating gate)或电荷俘获层内的电子存储。因此,利用施加到这些现有技术闪存器件中的源极区或漏极区的正电压的擦除操作基于从电荷存储层的电荷提取,并且由于上述原因而不依赖于沟道长度或均匀的场分布。

[0040] 对于这些现有技术闪存器件中的浮栅操作,具有非均匀电场分布变得有利,使得在源极和栅极之间或漏极和栅极之间的电场变高,以便促进电荷提取期间的FN隧穿。相反,本文所述的技术提供了通过减小沟道长度/改善栅极堆叠纵横比或通过调整特定掺杂浓度(例如,对于较长沟道的器件)而获得的近似均匀的电场分布。这将在下文中结合针对MFIS和MFIS器件的图6和针对图8A中的CS-FeFET器件进一步描述。

[0041] 此外,对于MFIS器件,从源极区和漏极区到浮栅的电容耦合可以增强这些类型的FeFET器件的擦除性质(与例如对于较旧的1.5T FLASH单元采取的方法相比较)。当将UEFES转移到CS-FeFET器件(参见图8A)时,该技术类似于基于电荷存储的器件的现有技术操作原理。因此,其然后反映从源极和漏极侧的电荷提取,而不是由于跨越栅极堆叠的均匀电场导致的极化反转。然而,由于已知存在于FE材料中的铁电体的自发极化,穿过隧道氧化物的场增强得到改善。

[0042] 参考图3A和图3B,示出了应用于AND阵列n沟道FeFET存储架构的多个示例现有技术擦除方案。图3A和图3B中所示的阵列包括代表四位存储器并且可以是大得多的存储阵列的子集的 2×2 阵列。图3A中所示的存储阵列包括阵列31、32和33,并且描绘了负栅极电压擦除方案,而图3B中所示的存储阵列包括阵列35、36和37,并且描绘正块体电压擦除方案。使用公知的字线(WL)、位线(BL)和源极线(SL)来设置和擦除存储阵列。字线耦合到相应的FeFET栅极,位线耦合到相应的FeFET漏极,并且源极线耦合到相应的FeFET源极,如各图所示。

[0043] 图3A中所示的负栅极擦除方案可用于通过将所有块的字线置于负电压同时保持其它端子接地而擦除整个数据块,例如,如对于存储阵列33所示。被选择用于擦除的位被围绕在图3A和图3B中的虚线框中。如本文中和权利要求书中所使用的“块”是存储器单元的 $M \times N$ 阵列,例如,其中N表示存储器单元阵列中的列数,M表示存储器单元阵列中的行数。M和N可以彼此相等或者是任何大于或等于1的整数。

[0044] 具有10nm厚度的铁电体和1nm厚度的界面层的FeFET的擦除电压(V_E)可以设置为约5V(对于负栅极擦除为 $-V_E$,在栅极处导致-5V)。一般来说,擦除电压 V_E 和编程电压 V_P 取决于在铁电层/界面层和半导体(电容器的串联连接)之间划分的电压,并且被选择成使得克

服铁电体的矫顽场 (coercive field)。根据实验, 取决于所使用的铁电材料, 认为矫顽场在 0.1MV/cm 至 3MV/cm 的范围内。对于示例铁电体, 即铁电二氧化铪 (ferroelectric hafnia), 最常见的观察值是 1MV/cm 。本领域技术人员可以根据栅极堆叠几何形状来调整操作电压, 使得将跨越铁电层实现 1MV/cm 的电场。

[0045] 负栅极擦除方案还可以应用于逐字擦除, 即, 如果所有其它字线保持在 0V , 则可以选择性地擦除完整的字线, 例如, 如对于存储阵列32所示。基本上, 如在本文和权利要求中使用的“字”实质上是 N 个存储器单元的 $1 \times N$ 阵列, 即, 共用相同字线的一定数量的存储器单元。

[0046] 仅选择一个位进行擦除需要在未选择的字、位线和源极线上使用禁止信号。为了避免对相邻单元的意外干扰, 可以应用公知的 $V_{\text{DD}}/3$ 方案。这导致在与被擦除的单元相邻的单元上的最小寄生电压降。在该示例中和对于 $V_{\text{DD}}/3$ 方案, 未选择的源极线和位线被设置为 $-2V_{\text{E}}/3$ ($V_{\text{E}} > 0\text{V}$), 未选择的字线被设置为 $-2V_{\text{E}}/3$, 而块体保持接地, 如存储阵列31所示。

[0047] 本领域技术人员从图3A中可以看出, $V_{\text{DD}}/3$ 禁止方案存在一个主要缺点: 将 $V_{\text{DD}}/3$ 方案应用于擦除操作意味着 n 型 FeFET 的源极区和漏极区必须用负电压 ($-2V_{\text{E}}/3$) 偏置, 其明确地导致从块体到源极和漏极的寄生电流流动。由于该电流流动对于所有被禁止的单元发生, 所以功耗增加并且可能不可接受地大。结果, 对于负栅极擦除方案, 仅字或块擦除方案是可行的。

[0048] 对于图3B所示的正块体擦除方案, 对于负栅极擦除的上述描述保持不变, 除了根本不可能进行擦除禁止之外, 因为与正被擦除的单元共用相同字线的单元不能被禁止擦除。因此, 这些单元将意外地改变其状态, 这使得不能进行正块体擦除方案的单独的位擦除 (例如, 下面描述的存储阵列35)。

[0049] 图3B中所示的正块体擦除方案可用于通过将块体设置在正电压 ($V_{\text{E}} > 0\text{V}$) 同时将字线保持接地 (例如, 关于存储阵列37所示) 来擦除整个数据块。正块体擦除方案也可应用于逐字擦除, 即, 当所有其它字线保持在正电压上时, 一个完整的字线可被选择性地擦除, 例如, 如对于存储阵列36所示。然而, 当仅擦除一个位时 (例如, 如关于存储阵列35所示), 在不对与在相同字线上的期望位相邻的位 (例如, 如关于存储阵列36所示) 也进行擦除的情况下不能实现擦除。换句话说, 由于用于存储阵列35和36的源极线和位线是浮动的, 因此不能选择单独的位进行擦除, 使得如果尝试擦除阵列35中的一个位, 则还要不可避免地擦除相邻位 (从而形成字擦除), 如阵列36中所示。

[0050] 现在转到图4A, 在根据本文所描述的技术的阵列操作的上下文中描述了均匀电场擦除方案 (UEFES)。如在先前的示例中, 选择AND阵列作为UEFES的示例。UEFES的原理也可以应用于其它架构 (例如, 基于NOR的架构)。

[0051] 图4A中所示的阵列包括代表4位存储器并且可以是大得多的存储阵列的子集的 2×2 阵列的 FeFET 。图4A中所示的存储阵列包括阵列41、42和43, 并且描绘UEFES的操作。在该示例中, 如在其它 2×2 阵列示例中, 可以使用UEFES执行字和块擦除。然而, 通过本文提供的UEFES技术, 可以擦除一个单独的位 (一个单独的 FeFET), 而没有上述缺点。也就是说, $V_{\text{DD}}/3$ 方案可提供必要的禁止电压, 而不会导致从源极/漏极到块体的寄生电流或改变相邻单元的状态。因此, UEFES启用单位擦除, 其与标准 $V_{\text{DD}}/3$ 编程方案一起实现真实的随机存取操作。

[0052] 图4A中所示的UEFES可用于通过将所有位线和源极线置于各种示例正电压同时保

持字线接地,来擦除整个数据块,例如,如关于存储阵列43所示。参考存储阵列43,擦除电压为正(即, $V_E > 0V$)。为了执行块擦除,将位线设置为擦除电压($BL = V_E$),源极线也设置为擦除电压($SL = V_E$),而字线和块体被设置为零伏($WL = 0V$)。

[0053] 如上所述,被选择以进行擦除的位被包围在虚线框中。UEFES可以应用于逐字擦除,即,如果所有其它字线保持在期望的正电压,则可以选择性地仅擦除一个完整的字线,例如,如关于存储阵列42所示。参考存储阵列42,擦除电压为正(即, $V_E > 0V$)。为了执行字线擦除(例如, N 个存储器单元的 $1 \times N$ 阵列),将位线设定为擦除电压($BL = V_E$),将源极线也设定为擦除电压($SL = V_E$),而擦除字线和块体被设置为零伏($WL = 0V$)。为了禁止编程或泄漏到相邻字线,相邻字线被设置为如图所示的擦除电压($WL = V_E$)。

[0054] 此外,借助于本文所描述的技术,可以实现选择要被擦除的一个单独的位,而在相邻位线和源极线上没有寄生电流流动,并且不改变相邻单元的状态。为了在擦除字线页中的单独的存储器单元时消除对相邻单元的干扰,例如,使用 $V_{DD}/3$ 技术将禁止信号施加到相邻位线和源极线。在该示例中, $V_{DD}/3$ 方案被设置为 $V_E/3$,其中擦除电压是正电压($V_E > 0V$)。参考存储阵列41,为了执行单个单元的逐位擦除,将选定的单元位线设置为擦除电压($BL = V_E$),并且禁止相邻位线($BL = V_E$),选定的单元源极线也被设置为擦除电压($SL = V_E$),并且相邻的源极线被禁止($SL = V_E/3$),而擦除字线和块体被设置为零伏特($WL = 0V$)。为了禁止编程或泄漏到相邻字线,相邻字线被设置为 $V_{DD}/3$ 电压($WL = 2V_E/3$),如图所示。

[0055] 用于存储阵列41的单个位UEFES类似于结合图2描述的擦除。例如,施加到关于待擦除位的源极区和漏极区的第一电压和第二电压被设置为正电压(即, $SL = BL = V_E$),而第三电压和第四电压被施加到栅极区和块体区(例如,零伏)。应当理解,在一些实施例中,第三电压可以被设置为负电压,并且第四电压被设置为正电压并且绝对值小于 V_E 。虽然在图4A的示例中,待擦除单元的位线和源极线均被设置为相同的擦除电压(V_E),更一般地,可以是相同或不同电压的第一擦除电压和第二擦除电压可以分别施加到位线和源极线以实现擦除。

[0056] 在图4B中,描述了基于UEFES的另一种操作方案。例如,通过从 $V_{DD}/3$ 改变为 $V_{DD}/2$ 方案,可以消除额外的禁止电压,并且从而降低阵列的总功耗(例如,由于禁止信号总是需要对相邻信号线充电,这导致显著的功耗,特别是当存储器块很大和/或被永久写入时)。图4B描绘用于低功率UEFES逐位擦除的存储阵列45、用于低功率逐字编程的存储阵列46和铁电磁滞回线图47。图47,其通过垂直轴上的极化强度以及水平轴上的电场强度,描绘了 $V_{DD}/2$ 方案相对于本领域技术人员可识别的正 V_E 的相对低功率的优点。

[0057] 低功率UEFES位擦除的先决条件是铁电材料的磁滞形状足够接近矩形,使得由非选定单元经历的 $V_E/2$ 干扰不改变二进制状态,例如,参见图47。通过逐字编程实现用于编程操作但也能避免禁止信号的最高级(最精细)粒度。因此,将编程电压(即,用于 n 沟道FeFET的 $V_P > 0$ 或用于 p 沟道的 $V_P < 0V$)施加到选定的字线,并且选定的位线和源极线保持接地。非选定字线可以保持接地($0V$)或浮动(F)。因此,属于选定的字线的单元都被编程(例如,对于 n 沟道FeFET, $V_P > 0V$,并且因此,所有单元之后都处于低 V_T 状态)。此外,可以通过将 $V_P/2$ 施加到未选择的位线和源极线来使编程操作是位选择性的。然而,这种操作会增加功耗。

[0058] 参考存储阵列45,为了执行单独的单元的低功率UEFES逐位擦除,选定的单元位线为擦除电压的一半($BL = V_E/2$),并且相邻位线被设置为 $0V$ 或保持浮动($BL = 0V/F$),选定的

单元源极线也设置为擦除电压的一半 ($SL = V_E/2$)，并且相邻源极线被设置为0V或保持浮动 ($SL = 0V/F$)。擦除字线用 $V_{DD}/2$ 电压 ($WL = -V_E/2$) 进行负偏置，而块体保持接地。相邻的字线设置为0V或保持浮动 ($WL = 0V/F$)，如图所示。应注意，如上所述，对于n沟道FeFET， $V_E > 0V$ 并且对于p沟道FeFET， $V_E < 0V$ ，并且未选择的信号线保持在0V或浮动 (F)，这消除了其它电压方案 (例如， $V_{DD}/3$) 将发生的充电到禁止电压的功耗。

[0059] 参考存储阵列46，为了执行阵列的低功率逐字编程，选定的字线设置为编程电压 ($WL = V_P$ ，其中 $V_P > 0$)。所有单元位线和源极线被设置为0V ($BL = SL = 0V$)。相邻的字线设置为0V或保持浮动 ($WL = 0V/F$)，并且块体被设置为 V_P ，如图所示。字线编程被描述为UEFES的一部分 (即，擦除方案)。其示范了如本领域技术人员将理解的如何用编程实现UEFES方案。

[0060] 图5示出当应用UEFES时的短沟道MFS器件51 (为简单起见忽略界面) 以及长沟道MFS器件53。如图5所示，铁电材料内的静电等电位线从较暗 ($> 0V$) 到较亮 (0V) 进行颜色编码，以示出FE中的静电电位梯度。描绘等电位线是为了便于说明，并且应当理解静电电位梯度或多或少是FE中的连续 (与离散相反的) 函数。作为示例，短沟道MFS 51可以具有例如10–50nm的沟道长度，而长沟道器件可以具有大于50nm (例如，在50–500nm的范围内) 的沟道长度。如图5所示，对于MFS51，源自源极和漏极的静电等电位线两者重叠，并且源极和漏极的耗尽区合并。与长沟道MFS 53相比，两种效应导致铁电膜内的更均匀的场分布。对于长沟道器件，等电位线不重叠，并且源极漏极耗尽区不合并。由于短沟道晶体管中的致密电场分布，可以通过施加正的源极和漏极电位同时保持栅极和块体接地来反转铁电材料的极化。

[0061] 例如，为了使UEFES在没有栅极堆叠的明显优化的情况下工作，10nm至50nm的沟道长度应当针对5nm至50nm的范围内的相应的绝缘体厚度 (例如，铁电体+界面) 工作。除了界面之外，栅极堆叠绝缘体包括至少部分地处于铁电状态的铁电材料，并且还包括作为主要成分的氧和由Hf、Zr和 (Hf, Zr) 组成的组中的任一个。相对于真空 (定义为一)，介电常数为约20至40。在铁电材料氧化物层内可以提供任何合适的添加剂，包括但不限于C、Si、Al、Ge、Sn、Sr、Pb、Mg、Ca、Sr、Ba、Ti、Zr (例如，提供Zr作为HfO₂层中的添加剂)、Ti中的任何一种或多种以及稀土元素 (例如Y、Gd、La等) 中的任何一种或多种。掺杂可以改变介电常数。

[0062] 关于n沟道FeFET的具有+5V源极/漏极擦除电压的这种膜的30nm沟道长度和10nm HK厚度，实验室实验已经证实了这种功能。根据纵横比 (即，栅极堆叠高度与栅极长度之比) 表示FeFET几何形状，该比率可以在0.1 (最坏情况5nm/50nm) 至5 (最佳情况50nm/10nm) 的范围内。可以考虑的折衷是：1) 增加高k膜厚度导致增加的操作电压 (例如，恒定的场缩放 (field scaling))，由此栅极堆叠图案化问题可能更严重，以及2) 将高k厚度减小到约5nm，这可能导致铁电功能性的损失。

[0063] 长通道MFS 53具有100–500纳米的沟道长度。如图5所示，MFS 53示出在铁电材料的中心没有电位降，因此对于第一近似，在FeFET的中间不存在电场。此外，源极和漏极空间电荷区域被良好地分离。因此，不可能通过例如正的源极/漏极电压 (n沟道FeFET) 来切换铁电材料。为了延长这些类型的器件中的源极/漏极区，可以采用相应浓度的延伸注入物。

[0064] 为了确保沟道和栅极之间的均匀电场，可以根据下文结合图6进一步描述的技术来对块体进行掺杂。也就是说，通过延伸、晕圈、沟道或衬底/阱注入物，可以针对短沟道器件优化UEFES，并且可以针对更长沟道的器件实现UEFES。如本文和权利要求书中所使用和描述的，“长沟道”器件具有大于50nm的沟道长度。

[0065] 现在反过来参考图6,UEFES可以通过注入物变化来优化,如关于FeFET 61(例如,MFIS-FeFET)所描绘。在该示例中,如图所示,在块体/源极、块体/漏极和块体界面层接合处的附近的块体中设置强的底部扩散/延伸(Ext)注入物。为了进一步优化FeFET61,添加晕圈注入物。选择根据物质的种类(例如砷)、能量(1-5kV)、剂量($1E14-5E15/cm^2$)和倾斜($0^\circ-20^\circ$)的注入规格,使得延伸将使得施主净浓度为约 $1E19-5E20cm^{-3}$ 。选择晕圈注入物质的种类(例如BF₂)、能量(10-30kV)、剂量($1E13-2E14/cm^2$)和倾斜($20^\circ-60^\circ$),使得可以避免寄生穿通。该技术假定存储晶体管是n沟道型。如果需要p型FeFET,则必须相应地调整规格。应当理解,掺杂区域和浓度的设计是本领域技术人员已知的。

[0066] 图7A示出用于FeFET(n沟道)单元阵列71的现有技术的编程禁止方案。阵列71具有两个区域/阱72和73,每个具有两个晶体管(垂直地位于阱中),其对每个单元使用单独的块体电压,例如 $2V_p/3$,以便禁止相邻单元进行寄生编程操作,其中 $V_p > 0V$ 。仅当相应的相邻单元列具有单个的阱,在其间设置有设计的隔离间隔时(例如,如附图标记74所示),可以实现该现有技术禁止方案。在该示例中,待编程晶体管被虚线框围绕,而所有其它相邻的晶体管将被禁止编程。因此,选定阱(具有待编程的位)具有被设定为0V的阱电压,而邻近的未选定阱(列)中的受禁止单元的阱被设定为 $2V_p/3$ 。

[0067] 由于设计约束,仅可以对于在其间具有足够间隔的晶体管实现单独的阱,例如,如附图标记74所示。因此,具有利用许多单独阱的架构的现有技术存储器阵列的密度受限于确保良好分离所需的表面积。因此,如本文和权利要求中所使用的“阱”是块体衬底的一部分,该块体衬底包括两个或更多个存储器单元,该存储器单元具有足够的间隔以与其它相邻存储单元隔离,使得可以将电压施加到阱衬底,而不基本上影响相邻存储器单元的操作。

[0068] 图7B描绘根据本文中描述为应用于存储器阵列75的本发明构思的编程禁止方案。假设阵列75包括如先前所定义的短沟道器件,可以仅通过向相邻单元的相应位线和源极线施加禁止电压(例如, $2V_p/3$)同时保持块体在0V来禁止寄生编程,如图所示。这种技术消除了对单独阱的需要,这又导致更高密度的存储器阵列,即,可以减少或消除在附图标记76处指示的间隙。换句话说,当与UEFES相比较时,该技术可比作反向禁止方案。而UEFES启用随机擦除操作,从而不寄生地改变/擦除相邻单元,即,旨在编程一个选定单元同时不改变或编程相邻单元/阱的状态的编程禁止方案。

[0069] 现在参考图8A和8B,引入了可以利用上述UEFES,即上面简要描述的电荷存储铁电场效应晶体管(CS-FeFET)的新器件概念,并且总体以附图标记81表示。CS-FeFET 81利用跨越界面氧化物的电场增强,该电场增强已经关于铁电材料的适度自发极化而发生。如果假设栅极堆叠无固定电荷,则电位移场可以由下面的等式1描述:

[0070] $D = \epsilon_0 E + P$ (等式1)

[0071] 其中D为电位移场, ϵ_0 为自由空间的介电常数,E是电场强度,并且P是极化。麦克斯韦方程表明,在栅极叠层中没有空间电荷的情况下,位移场D必须在栅极叠层两端是恒定的。因此, $D = \epsilon_0 \epsilon_{FE} E_{FE} + P = \epsilon_0 \epsilon_{OX} E_{OX}$,而 ϵ_{FE} 和 ϵ_{OX} 分别表示铁电材料和界面氧化物的相对介电常数,并且 E_{FE} 和 E_{OX} 表示铁电材料和界面两端的电场。从该等式可以看出,铁电材料和半导体之间的界面氧化物(而界面氧化物可以是浮栅(FG)/电荷存储(俘获)层和界面的串联连接)的电场通过铁电极化P而增强。例如,一旦CS-FeFET 81如左到右箭头所示转变到高VT状态(高阈值电压),则负电荷在电荷存储(FG/Trap)层(例如,SiN或SiON,但不限于这些)中被俘

获,如右图所示。因此,CS-FeFET将高极化铁电层与在铁电层下面(或上面)的FG/电荷存储层组合。

[0072] 由于由铁电体引起的场增强,写入电压(编程和擦除电压)可以减小到铁电体的切换电压。在该器件中,具有低矫顽场强和大自发极化的铁电体可能是有利的,以便降低操作电压,同时保持大的场增强。此外,由于铁电极化的屏蔽使得电荷载流子保持在存储层内部的这一事实,隧道氧化物可以积极地按比例缩小。在传统的电荷存储装置中,隧道氧化物必须保持一定的厚度,使得电子不随时间从电荷存储层漏出。然而,将铁电材料结合到栅极堆叠中提供了通过极化产生的附加内部场,该极化将电荷吸引到电荷存储层/铁电界面。因此,极化表示阻止电子泄漏的固有内部电压源。

[0073] 代替使用即使在向栅极施加0V时仍显示出剩余极化的铁电材料的是,铁电材料可以由如在CS-FeFET 82中和图8B所示的曲线图85中所示的反铁电(AFE)代替。作为示例,掺杂的HfO₂或ZrO₂或两者的混合物可以用于反铁电膜。在铁电材料氧化物层内可提供任何合适的添加剂,而限于C、Si、Al、Ge、Sn、Sr、Pb、Mg、Ca、Sr、Ba、Ti、Zr(例如,提供Zr作为HfO₂层中的添加剂)、Ti中的任何一种或多种以及稀土元素(例如Y、Gd等)中的任何一种或多种。因此,需要HfO₂中的掺杂剂物质种类的量必须高于用于诱发铁电性质的量。也就是说,根据掺杂剂种类,在5-15mol%的范围内(通常用0-5%产生铁电性质)。此外,ZrO₂可以示出反铁电性质,即使没有掺杂,并且当与HfO₂混合时,AFE性质在1:1至0:1固溶体(HfO₂:ZrO₂)的范围内体现。

[0074] 反铁电性质提供的优点是,自发极化的场增强效应仍然可以用于降低标准CS设备的操作电压。与将铁电材料与剩磁相结合的CS-FeFET相比,反铁电CS-FeFET不会将铁电阈值电压偏移叠加在基于电荷存储的阈值电压偏移上。这是非常有利的,因为由铁电剩余极化引起的VT偏移和由电荷存储引起的VT偏移彼此抵消。另一方面,AFE CS-FeFET失去了更好的保持的优点,因为在0V栅极电位,不再存在同样产生零内部场的净极化。术语“无剩磁”是指仅材料的自发极化。在大多数情况下,当在反铁电材料两端没有施加电场时,自发极化低于1 μ C/cm²。

[0075] 此外,如果架构(现在仅限于作为电荷存储介质的浮栅)与低极化铁电材料组合,则创建现有技术的MFMIS类FeFET 83。作为示例,所采用的材料系统使用HfO₂铁电材料,其中自发极化可以通过若干措施来定制,以便实现不同类型的器件。首先,已经发现不同的掺杂剂物质种类产生不同大小的剩余极化和矫顽场。此外,不同的铁电层厚度影响这些性质。在上电极沉积(后沉积退火和非后金属化退火)之前的热处理可以减少铁电极化。如果使用单层不能达到上述铁电材料参数,则通过使用多层堆叠,可以达到期望的性质。铁电材料的减小的极化值提供减少电荷注入(与CS-FeFET的目的相反)的降低的界面场应力,这对于FeFET的寿命是有利的。

[0076] 如图9所示,模拟结果表明,当自发和剩余极化由于铁电层厚度增加而减少时(如实验中所见),可以如前所述减小界面场应力。模拟示例(由附图标记91表示)示出了界面场如何根据铁电材料的极化值减小或增加。此外,器件的存储器窗口如从分析推导所预测的那样生长,例如,如附图标记92所示。因此,器件性质可以通过材料工程使用适当的处理条件(掺杂、层厚度/组合、热处理等)来定制。注意,图92中的每个曲线具有箭头以指示该曲线是否应相对于左或右垂直轴读取。

[0077] 图10示出本文描述的发明构思不限于平面晶体管,而是可以由本领域技术人员扩展到三维(3D)架构。类似FinFET(即,具有鳍状结构的FET)的多栅极晶体管架构可以结合所提出的层堆叠以产生3DFeFET、MFIS、MFMIS或CS-FeFET器件。此外,可以修改垂直NAND闪存器件架构以结合所述层,同样受益于本文所述的优点。

[0078] 例如,FE层和CS层可以插入到块体101上的FinFET、绝缘体上硅(SOI)102上的FinFET、垂直控制栅极(CG)FET 103、纳米线FET(具有FE或FE+CS壳)104A和104B或多单元设备105中。用于将本文描述的技术应用于FE或FE+CS基极配置106以实现示例变型的若干实现示出在107A、107B和107C,例如,如左到右箭头所指示。在关于基极106的这些示例中,示出了SiN电荷俘获层(例如氮化硅(SiN)),并且可以包括诸如氧化硅(SiO₂)或氧化铝(Al₂O₃)的其它层。

[0079] 已经描述了用于均匀电场擦除方案(UEFES)和电荷存储铁电存储器混合装置的新的和改进的技术的示例实施例,相信将鉴于本文所阐述的教导为本领域技术人员提出其它修改、变化和改变。这包括在本领域技术人员的这种建议下,通过改变掺杂方案和所施加电压的极性将UEFES从n沟道FeFET转移到p沟道FeFET。因此,应当理解,所有这些变体、修改和变化被认为落入由所附权利要求限定的本发明的范围内。尽管本文采用了特定术语,但是它们仅在一般和描述性意义上使用,而不是为了限制的目的。

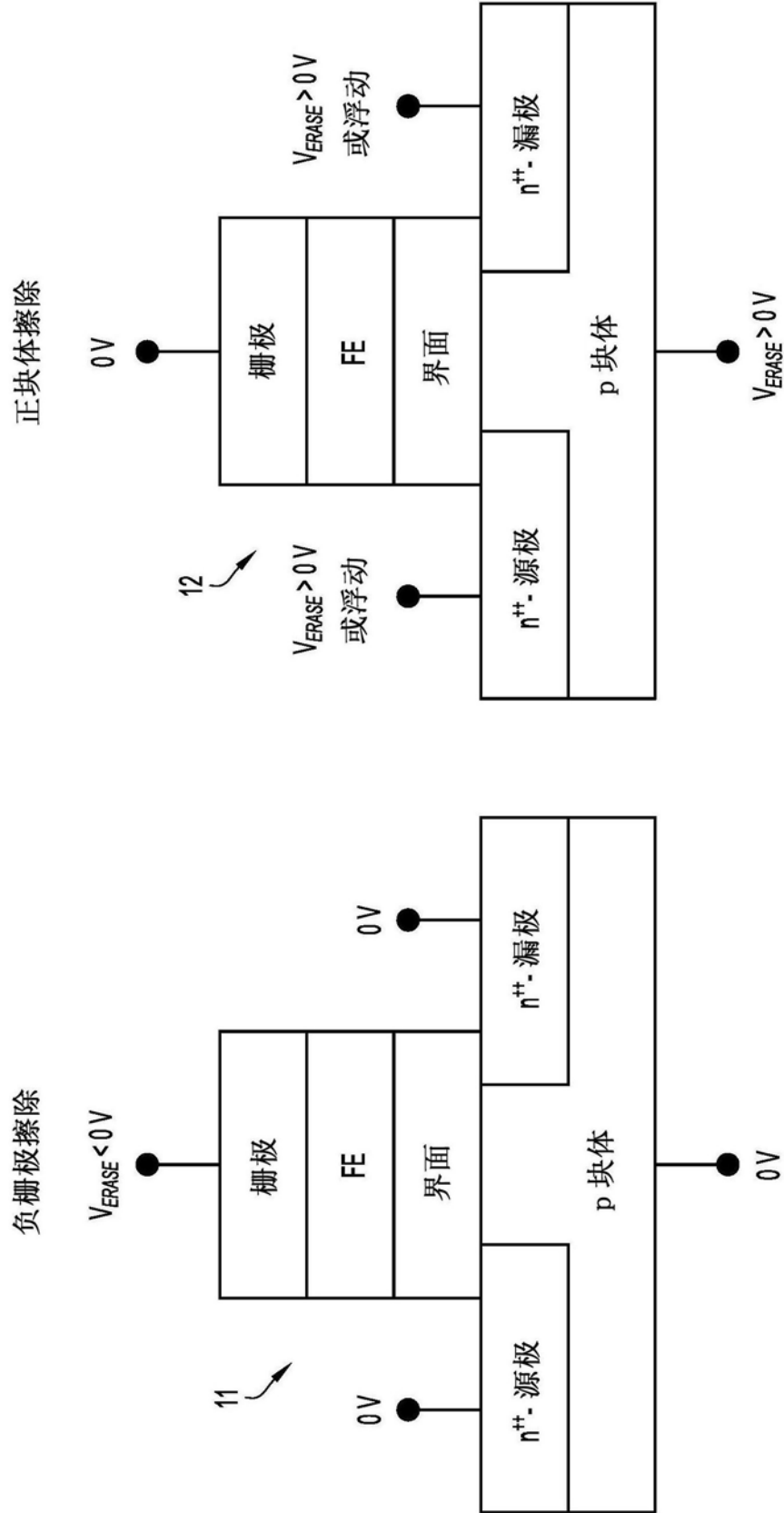


图1 (现有技术)

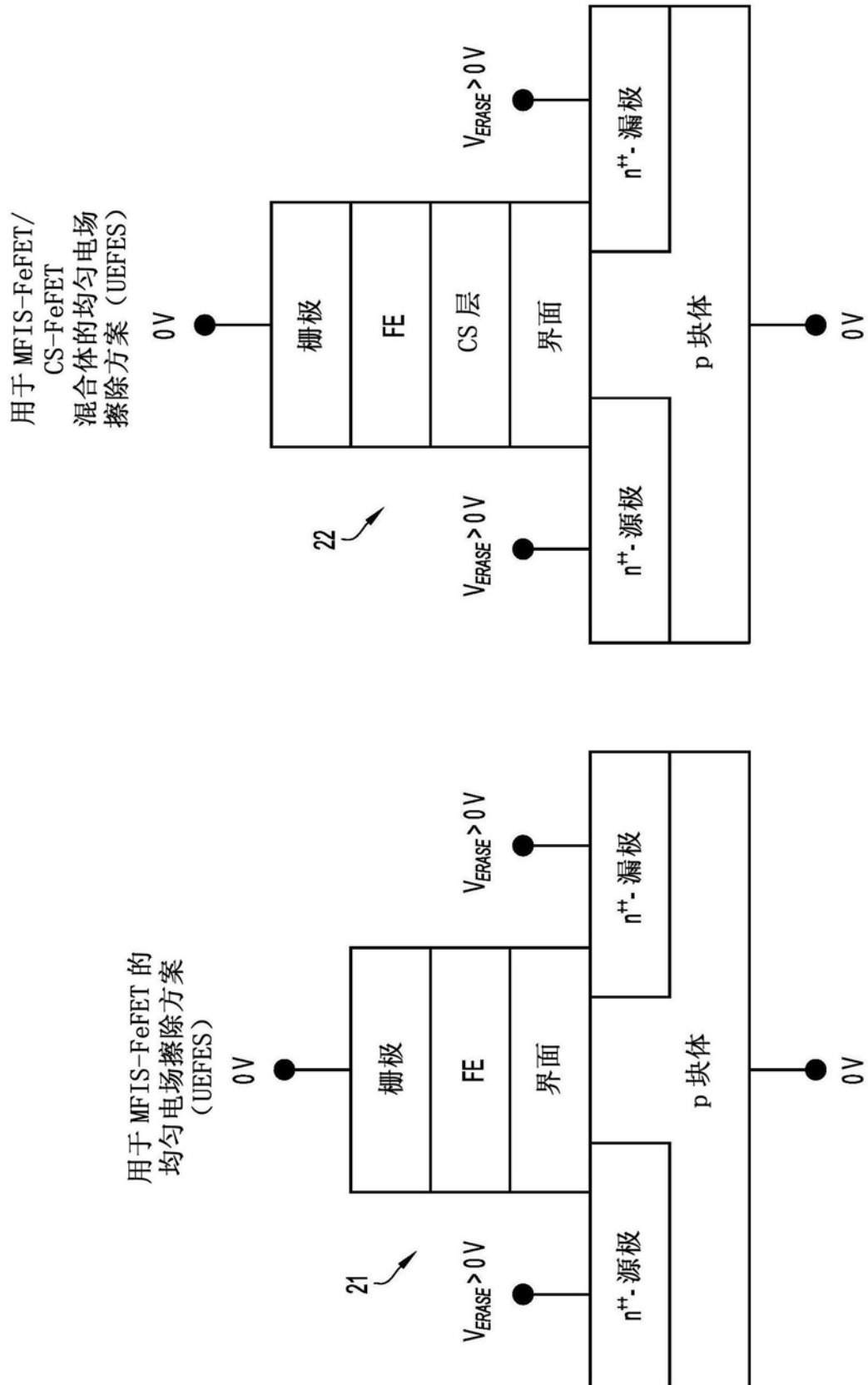


图2

用于 n 沟道 FeFET 的擦除

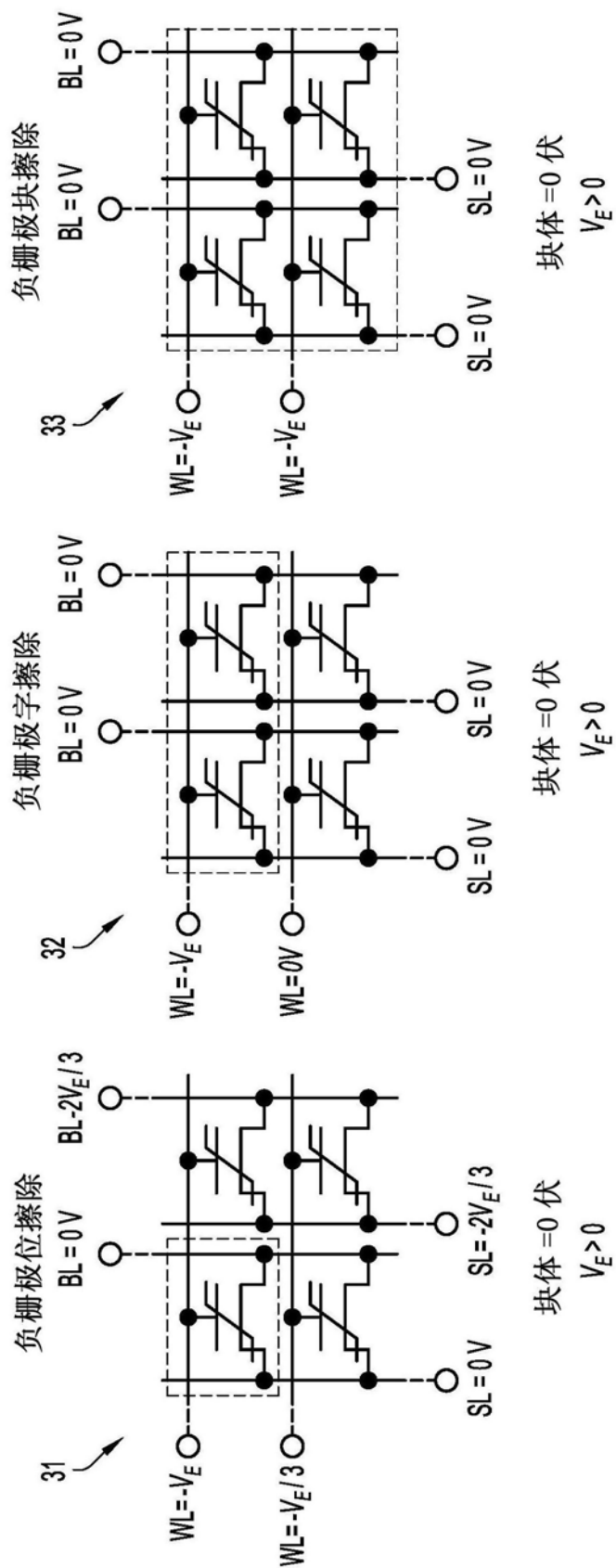


图3A (现有技术)

用于 n 沟道 FeFET 的擦除

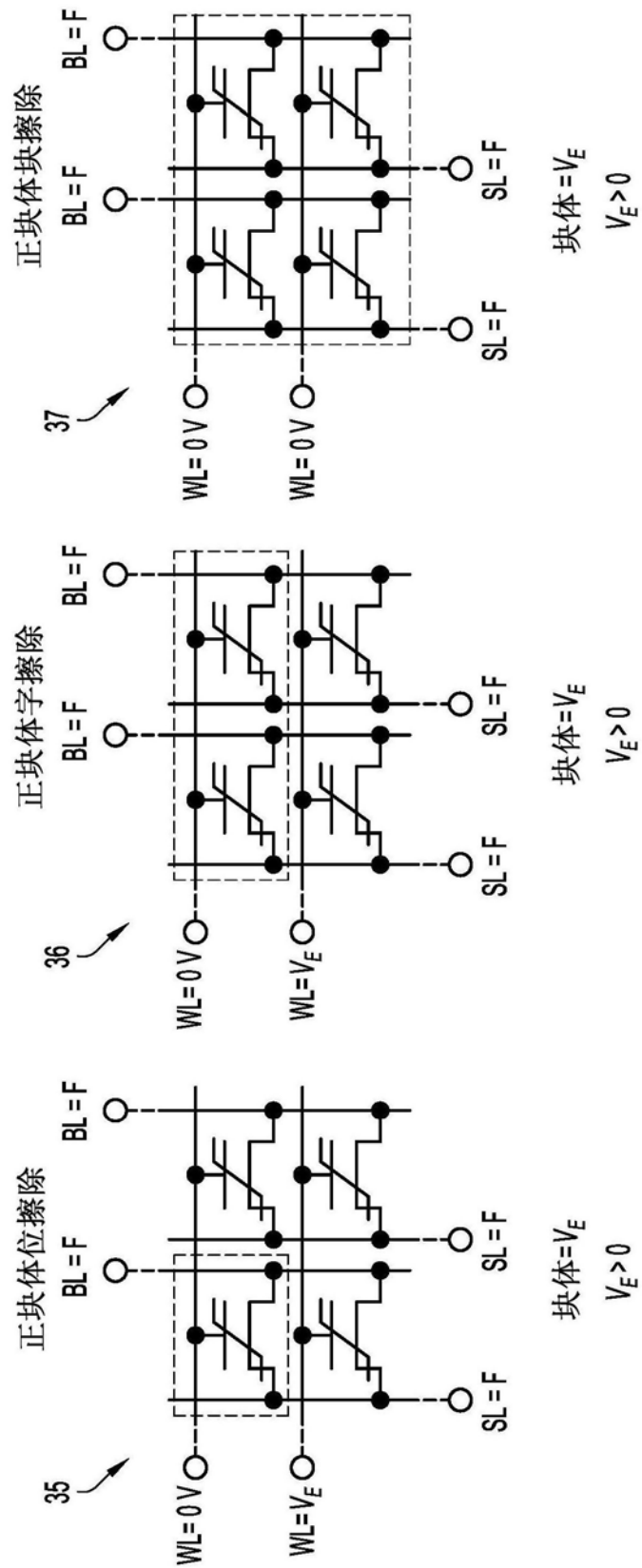


图3B(现有技术)

用于 n 沟道 FeFET 的擦除

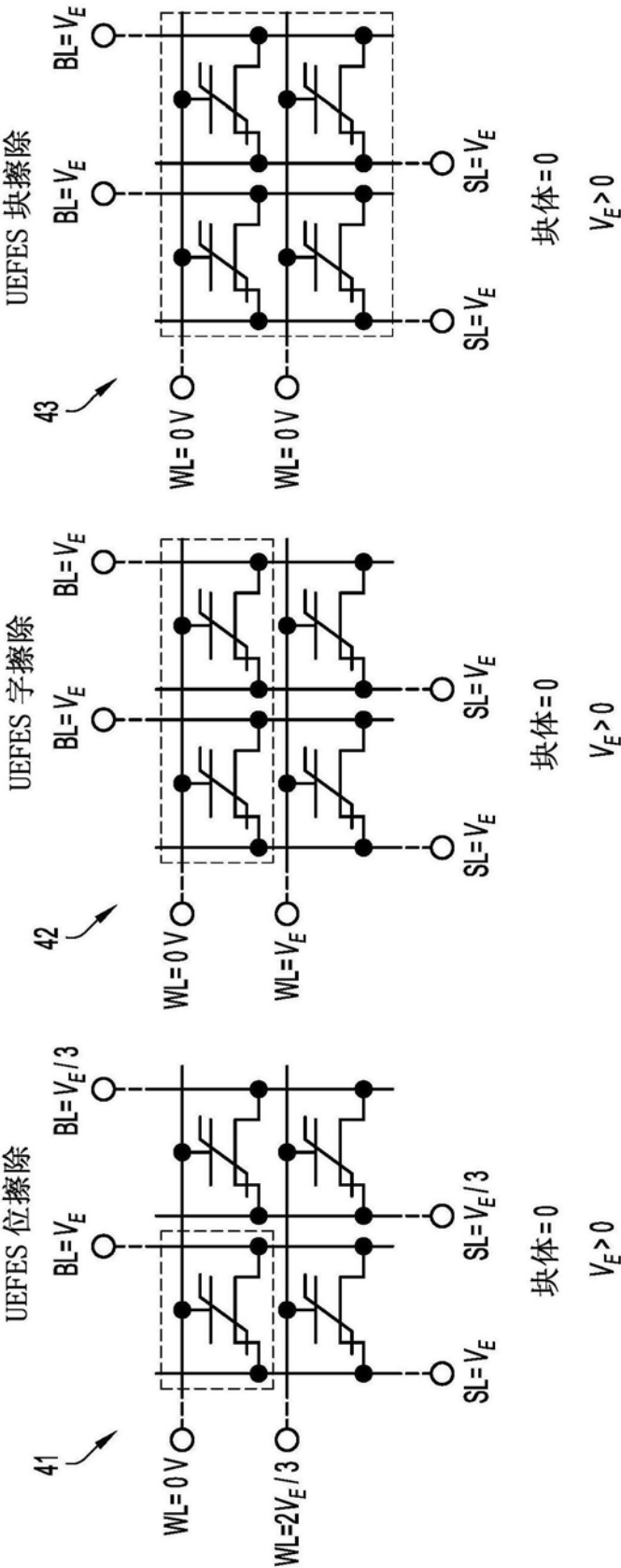


图4A

用于 n 沟道 FeFET 的低功率擦除

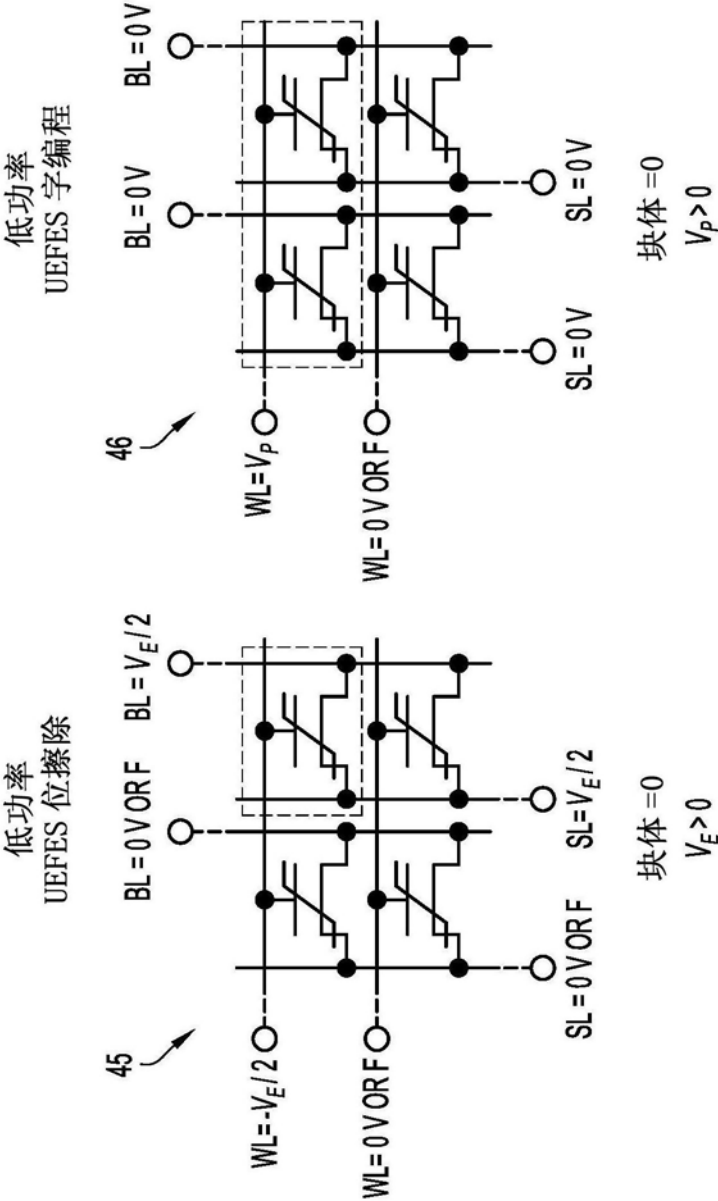


图4B

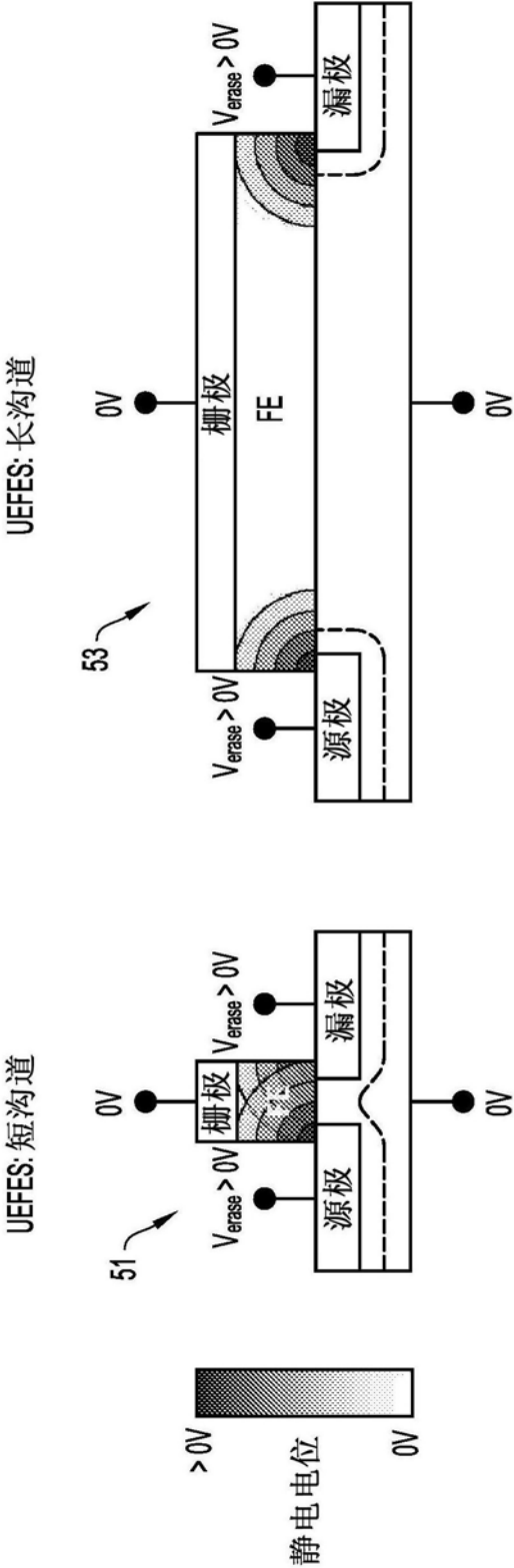


图5

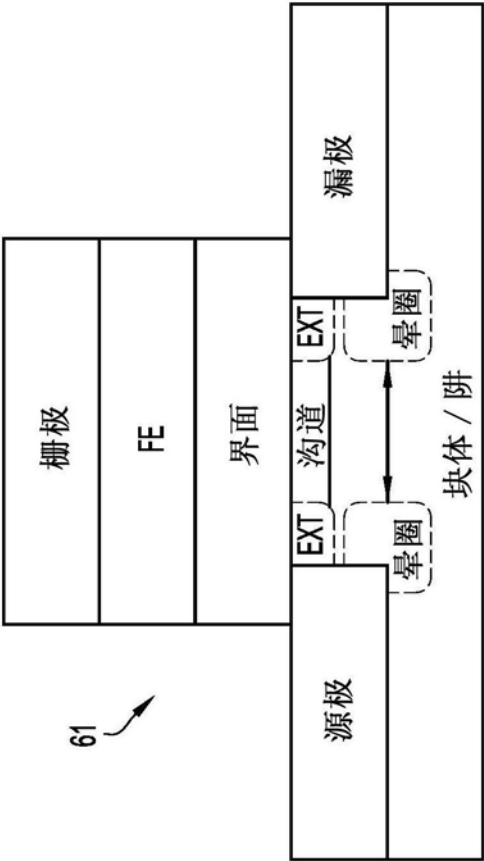


图6

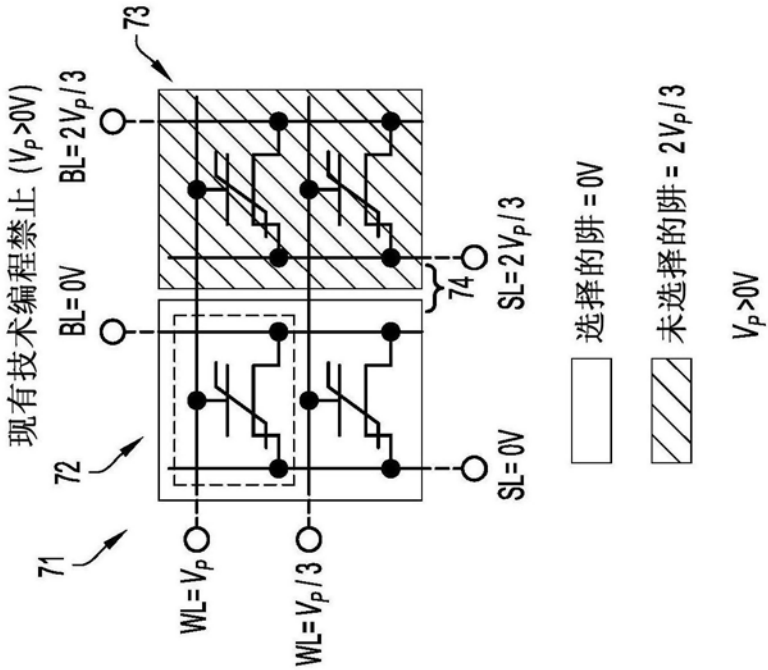


图7A(现有技术)

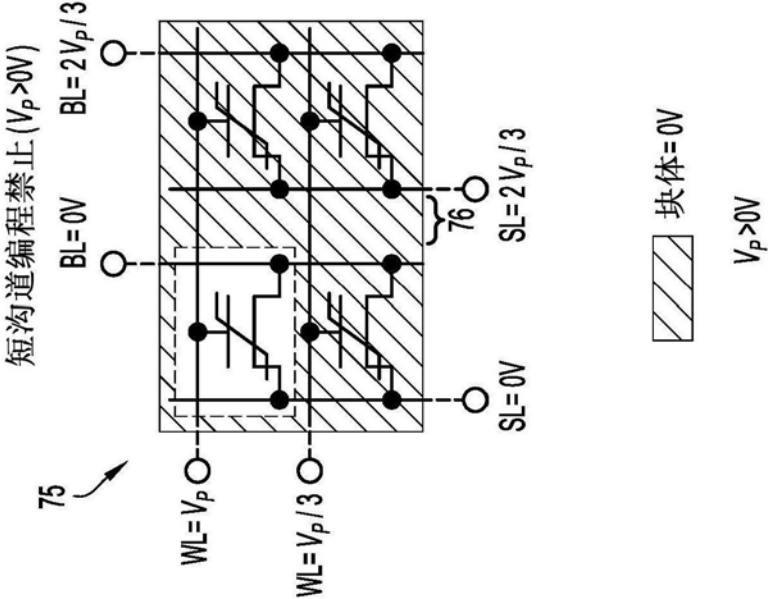


图7B

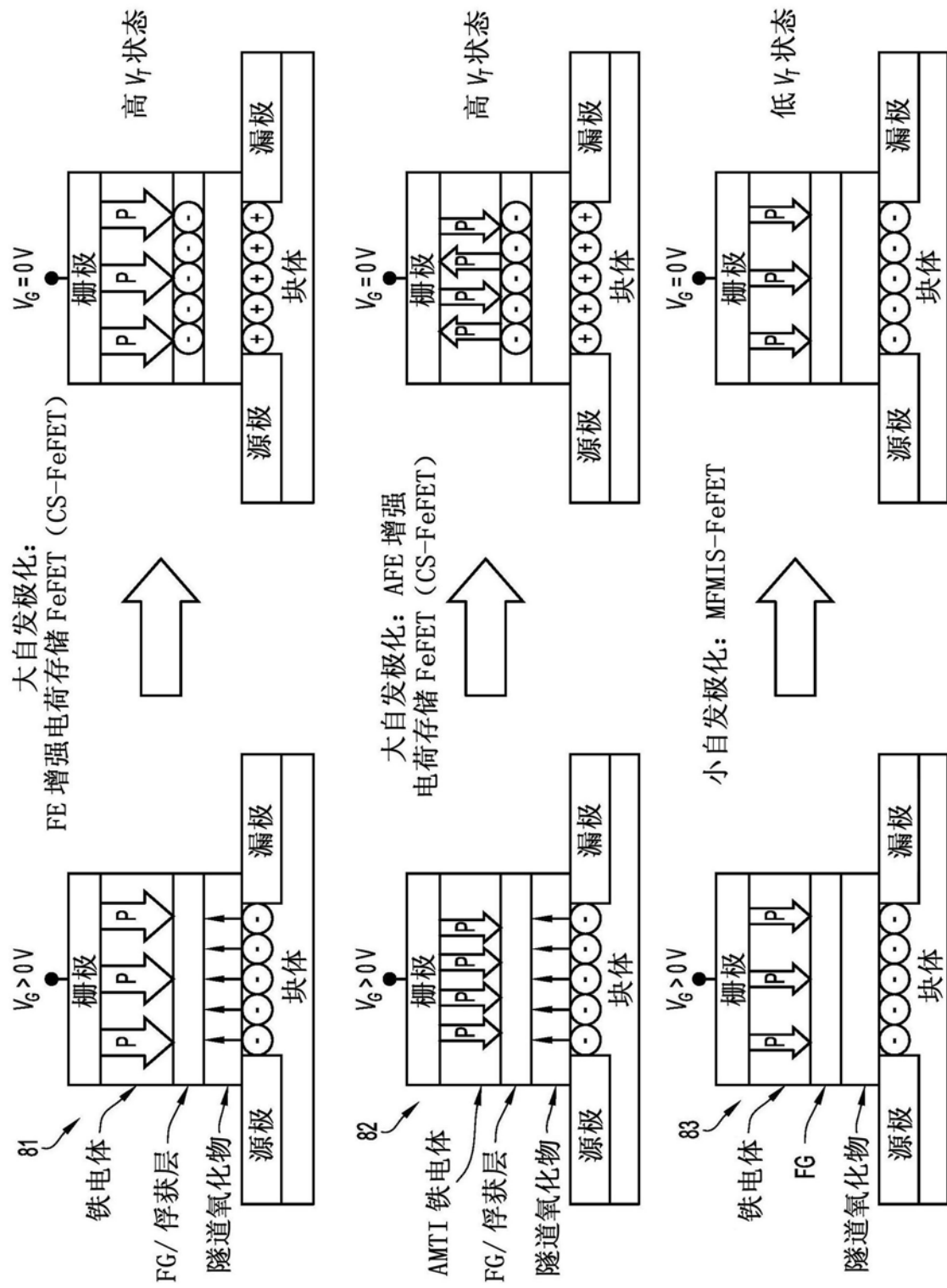


图8A

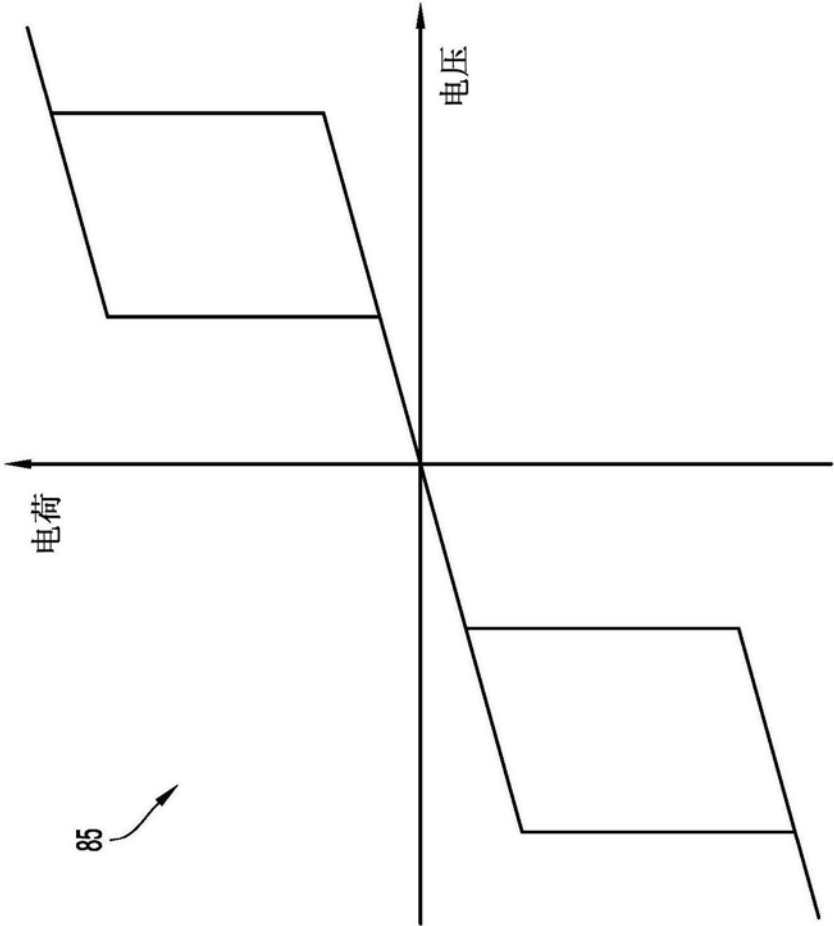


图8B

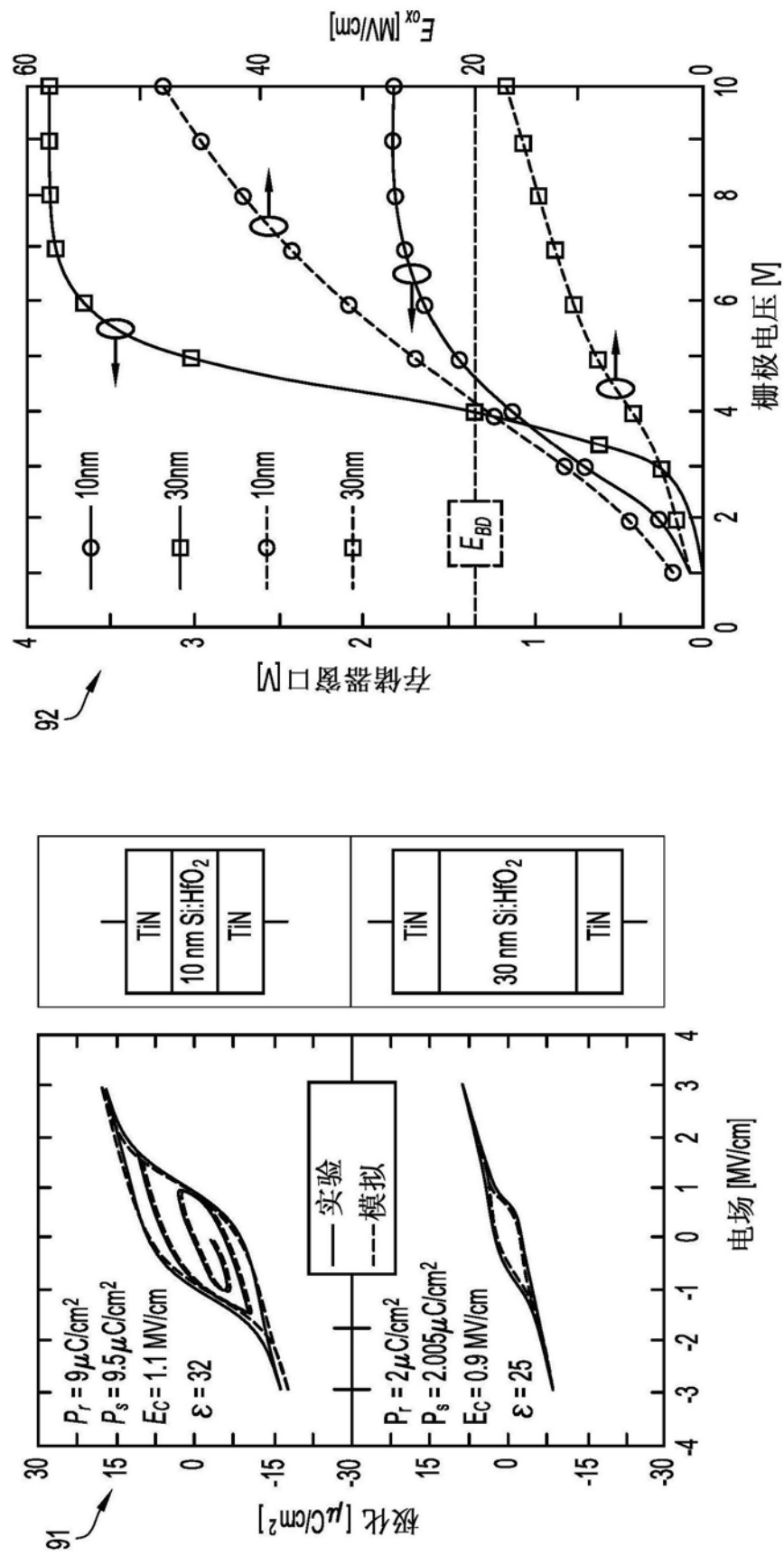


图9

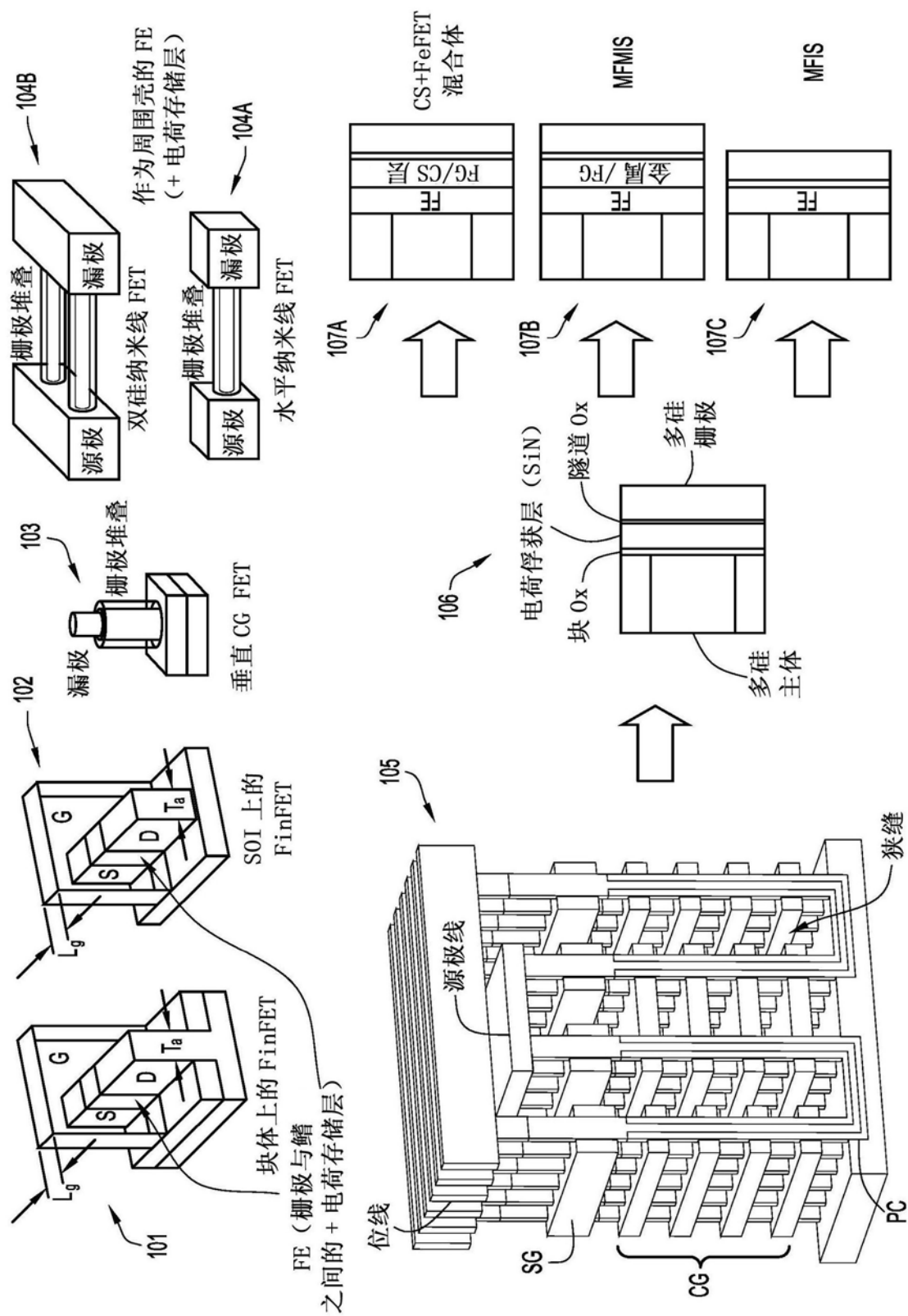


图10