

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 3 区分

【発行日】令和 1 年 5 月 30 日 (2019.5.30)

【公表番号】特表 2018-513651 (P2018-513651A)

【公表日】平成 30 年 5 月 24 日 (2018.5.24)

【年通号数】公開・登録公報 2018-019

【出願番号】特願 2017-555219 (P2017-555219)

【国際特許分類】

H 0 3 M 1/06 (2006.01)

H 0 3 M 1/12 (2006.01)

【F I】

H 0 3 M 1/06

H 0 3 M 1/12 A

【手続補正書】

【提出日】平成 31 年 4 月 17 日 (2019.4.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

アナログデジタルコンバータ (A D C) であって、
 閾値電圧を受信するように構成されるコンパレータと、
 前記コンパレータに結合され、入力電圧と基準電圧のセットとの一方を受信するように構成される、エレメンタリコンデンサのセットと、
 前記コンパレータに結合され、1 次電圧と 2 次電圧との一方を受信するように構成される、M 個のオフセットコンデンサのセットであって、M が整数であり、前記 1 次電圧と前記 2 次電圧との差が温度に伴って線形に変化する、前記 M 個のオフセットコンデンサのセットと、
を含む、A D C。

【請求項 2】

請求項 1 に記載の A D C であって、

前記基準電圧のセットが、正の基準電圧と負の基準電圧とを含む、A D C。

【請求項 3】

請求項 1 に記載の A D C であって、

前記 1 次電圧が温度の上昇に伴って線形に増大し、前記 2 次電圧が温度の低下に伴って線形に減少する、A D C。

【請求項 4】

請求項 1 に記載の A D C であって、

前記コンパレータが、

前記閾値電圧を受信するように構成される非反転端子と、

前記エレメンタリコンデンサのセットと前記 M 個のオフセットコンデンサのセットとに結合される反転端子と、

を含む、A D C。

【請求項 5】

請求項 1 に記載の A D C であって、

前記 A D C がトリム位相のセットにおいて動作するように構成され、前記トリム位相の

セットの各トリム位相がサンプリングモードと変換モードとを含み、前記トリム位相のセットが、

前記 A D C が第 1 のトリム位相において第 1 のデジタルコードを生成するように構成される、前記第 1 のトリム位相と、

前記 A D C が第 2 のトリム位相において第 2 のデジタルコードを生成するように構成される、前記第 2 のトリム位相と、

前記 A D C が第 3 のトリム位相において第 3 のデジタルコードを生成するように構成される、前記第 3 のトリム位相と、

前記 A D C が第 4 のトリム位相において第 4 のデジタルコードを生成するように構成される、前記第 4 のトリム位相と、

を含む、A D C。

【請求項 6】

請求項 5 に記載の A D C であって、

前記第 1 のトリム位相と前記第 2 のトリム位相とが第 1 の温度において生じ、前記第 3 のトリム位相と前記第 4 のトリム位相とが第 2 の温度において生じる、A D C。

【請求項 7】

請求項 5 に記載の A D C であって、

前記トリム位相のセットの各トリム位相において、

前記エレメンタリコンデンサのセットが前記サンプリングモードにおいて前記入力電圧に結合され、

前記エレメンタリコンデンサのセットが前記変換モードにおいて前記正の基準電圧と前記負の基準電圧との一方に結合される、A D C。

【請求項 8】

請求項 5 に記載の A D C であって、

前記第 1 のトリム位相において、前記 M 個のオフセットコンデンサのセットが、前記サンプリングモードと前記変換モードとの両方において前記 1 次電圧に結合される、A D C。

【請求項 9】

請求項 5 に記載の A D C であって、

前記第 2 のトリム位相において、前記 M 個のオフセットコンデンサのセットが、前記サンプリングモードにおいて前記 1 次電圧に、前記変換モードにおいて前記 2 次電圧に結合される、A D C。

【請求項 10】

請求項 9 に記載の A D C であって、

前記第 2 のトリム位相の後に、前記 M 個のオフセットコンデンサのセットに提供される前記 2 次電圧が、前記第 1 のデジタルコードが前記第 2 のデジタルコードに等しくなるように改変される、A D C。

【請求項 11】

請求項 5 に記載の A D C であって、

前記第 3 のトリム位相において、前記 M 個のオフセットコンデンサのセットが、前記サンプリングモードと前記変換モードとの両方において前記 1 次電圧に結合される、A D C。

【請求項 12】

請求項 5 に記載の A D C であって、

前記第 4 のトリム位相において、前記第 3 のデジタルコードが正である場合に、前記 M 個のオフセットコンデンサのセットが、前記サンプリングモードにおいて前記 2 次電圧に、前記変換モードにおいて前記 1 次電圧に結合され、前記第 3 のデジタルコードが負である場合に、前記 M 個のオフセットコンデンサのセットが、前記サンプリングモードにおいて前記 1 次電圧に、前記変換モードにおいて前記 2 次電圧に結合される、A D C。

【請求項 13】

請求項 12 に記載の A D C であって、

前記第 4 のトリム位相の後に、前記第 4 のデジタルコードが或る定義された値に等しくなるように、前記 M 個のオフセットコンデンサのセットの N 個のオフセットコンデンサが接地端子に結合され、N が整数である、A D C。

【請求項 14】

オフセットドリフトを補償する方法であって、

アナログデジタルコンバータ (A D C) をトリム位相のセットにおいて動作させることであって、前記トリム位相のセットの各トリム位相がサンプリングモードと変換モードとを含む、前記動作させることを含み、

各トリム位相が、

前記サンプリングモードで入力電圧を前記 A D C におけるエレメンタリコンデンサのセットに提供することと、

前記変換モードで基準電圧のセットを前記 A D C における前記エレメンタリコンデンサのセットに提供することと、

1 次電圧と 2 次電圧との一方を前記 A D C における M 個のオフセットコンデンサのセットに提供することであって、M が整数であり、前記 1 次電圧と前記 2 次電圧との差が温度に伴って線形に変化する、前記提供することと、

を更に含む、方法。

【請求項 15】

請求項 14 に記載の方法であって、

前記基準電圧のセットが正の基準電圧と負の基準電圧とを含み、

前記 1 次電圧が温度の上昇に伴って線形に増大し、前記 2 次電圧が温度の低下に伴って線形に減少する、方法。

【請求項 16】

請求項 14 に記載の方法であって、

前記トリム位相のセットが、第 1 の温度で生じる第 1 のトリム位相及び第 2 のトリム位相と、第 2 の温度で生じる第 3 のトリム位相及び第 4 のトリム位相とを更に含む、方法。

【請求項 17】

請求項 16 に記載の方法であって、

前記第 1 のトリム位相において第 1 のデジタルコードを生成することと、

前記第 2 のトリム位相において第 2 のデジタルコードを生成することと、

前記第 3 のトリム位相において第 3 のデジタルコードを生成することと、

前記第 4 のトリム位相において第 4 のデジタルコードを生成することと、

を更に含む、方法。

【請求項 18】

請求項 17 に記載の方法であって、

前記第 1 のトリム位相において、前記 M 個のオフセットコンデンサのセットを前記サンプリングモードと前記変換モードとの両方において前記 1 次電圧に結合することと、

前記第 2 のトリム位相において、前記 M 個のオフセットコンデンサのセットを前記サンプリングモードにおいて前記 1 次電圧に、前記変換モードにおいて前記 2 次電圧に結合することと、

前記第 1 のデジタルコードが前記第 2 のデジタルコードに等しくなるように、前記第 2 のトリム位相において、前記 M 個のオフセットコンデンサのセットに提供される前記 2 次電圧を改変することと、

を更に含む、方法。

【請求項 19】

請求項 17 に記載の方法であって、

前記第 3 のトリム位相において、前記サンプリングモードと前記変換モードとの両方において、前記 M 個のオフセットコンデンサのセットを前記 1 次電圧に結合することと、

前記第 3 のデジタルコードが正である場合に、前記第 4 のトリム位相において、前記 M

個のオフセットコンデンサのセットを前記サンプリングモードにおいて前記2次電圧に、
前記変換モードにおいて前記1次電圧に結合することと、

前記第3のデジタルコードが負である場合に、前記第4のトリム位相において、前記M
個のオフセットコンデンサのセットを前記サンプリングモードにおいて前記1次電圧に、
前記変換モードにおいて前記2次電圧に結合することと、

前記第4のデジタルコードが或る定義された値に等しくなるように、前記M個のコンデ
ンサのセットのN個のコンデンサを接地端子に結合することであって、Nが整数である、
前記結合することと、

を更に含む、方法。

【請求項20】

コンピューティングデバイスであって、

処理ユニットと、

前記処理ユニットに結合されるメモリモジュールと、

前記処理ユニットと前記メモリモジュールとに結合され、アナログデジタルコンバータ
(ADC)を含む論理ユニットであって、前記ADCが、

閾値電圧を受信するように構成されるコンパレータと、

前記コンパレータに結合され、入力電圧と基準電圧のセットとの一方を受信するように
構成される、エレメンタリコンデンサのセットと、

前記コンパレータに結合され、1次電圧と2次電圧との一方を受信するように構成され
るM個のオフセットコンデンサのセットであって、Mが整数であり、前記1次電圧と前記
2次電圧との差が温度に伴って線形に変化する、前記M個のオフセットコンデンサのセッ
トと、

を含む、前記論理ユニットと、

を含む、コンピューティングデバイス。