(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2021년07월15일
(11) 등록번호 10-2278218
(24) 등록일자 2021년07월12일

(51) 국제특허분류(Int. Cl.)
G11C 13/00 (2006.01) *G11C 14/00* (2006.01)
H03K 3/3562 (2006.01)
(52) CPC특허분류
G11C 13/0004 (2013.01)
G11C 14/0045 (2013.01)
(21) 출원번호 10-2020-0048476
(22) 출원일자 2020년04월22일
심사청구일자 2020년04월22일
(56) 선행기술조사문헌
B. Song 외, "Offset-Cancellation Sensing-Circuit-Based Nonvolatile Flip-Flop Operating in Near-Threshold ...," IEEE Transactions on Circuits and Systems-I: Regular Papers, vol. 66, no. 8, 2019. 08.
KR1020130042589 A
KR1020170100786 A

(73) 특허권자
인천대학교 산학협력단
인천광역시 연수구 아카데미로 119 (송도동)
(72) 발명자
나태희
서울특별시 구로구 신도림로 110, 신도림우성1차 아파트 101동 206호
(74) 대리인
김효성

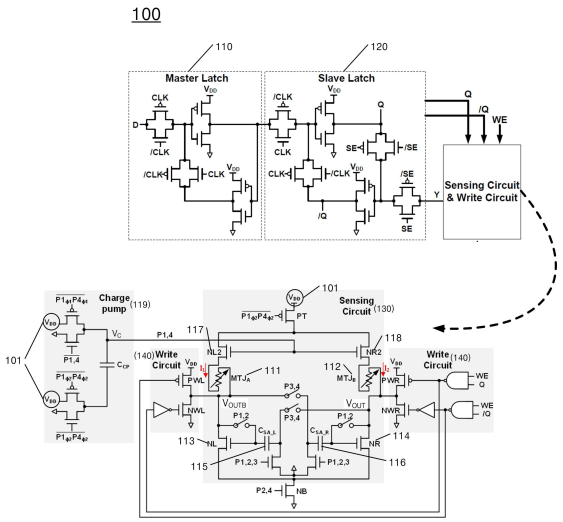
전체 청구항 수 : 총 3 항 심사관 : 신우열

(54) 발명의 명칭 **읽기 오류의 제거가 가능한 차지 펌프 기반의 비휘발성 플립플롭의 데이터 복원 모드에서의 동작 방법**

(57) 요 약

비휘발성 플립플롭의 데이터 복원 모드에서의 동작 방법이 개시된다. 본 발명은 비휘발성 플립플롭의 데이터 복원 모드의 오프셋 캔슬링 단계에서 제1 MTJ(Magnetic Tunnel Junction)와 제2 MTJ 간의 연결이 차단되도록 함으로써, 오프셋 제거의 효과를 극대화할 수 있다. 또한, 본 발명은 비휘발성 플립플롭의 데이터 복원 모드에서 MTJ의 저항 변화로 인한 읽기 오류를 최소화할 수 있다.

대 표 도 - 도4



(52) CPC특허분류
H03K 3/35625 (2013.01)

명 세 서

청구범위

청구항 1

마스터 래치(110), 상기 마스터 래치(110)에 연결되는 슬레이브 래치(120), 상기 슬레이브 래치(120)에 연결되는 센싱 회로(130) - 상기 센싱 회로(130)는 데이터의 저장을 위한 제1 MTJ(Magnetic Tunnel Junction)(111)와 제2 MTJ(112)를 포함함 - 및 데이터의 쓰기를 수행하는 데이터 쓰기 회로(140)로 구성된 비휘발성 플립플롭의 데이터 복원 모드에서의 동작 방법에 있어서,

전원(101)을 통해 상기 센싱 회로(130)에 제1 전압(V_{DD})을 인가하여 제1 NMOS(N채널 MOSFET)(113)와 제2 NMOS(114)의 게이트 전압을 상기 제1 전압(V_{DD})으로 변화시킴으로써, 제1 커패시터(115)와 제2 커패시터(116)를 제1 전압(V_{DD})으로 충전하는 프리차지(precharge) 단계;

상기 전원(101)을 오프시켜, 상기 전원(101)과 상기 센싱 회로(130) 간의 연결을 차단하고, 상기 제1 NMOS(113)와 상기 제2 NMOS(114)가 다이오드 연결 구성(diode-connected configuration)이 됨에 따라, 상기 제1 커패시터(115)와 상기 제2 커패시터(116)가 방전되어 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 충전 전압이 상기 제1 NMOS(113)와 상기 제2 NMOS(114)의 문턱 전압(V_{th})에 도달하도록 함으로써, 상기 문턱 전압(V_{th})의 미스매치로 인해 발생되는 오프셋(offset)을 제거하는 오프셋 캔슬링 단계;

제1 출력 전압(V_{OUTB})과 제2 출력 전압(V_{OUT})이 그라운드(GND)로 충전 - 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 충전 전압은 상기 문턱 전압(V_{th})으로 유지됨 - 되도록 하는 리-프리차지(Re-precharge) 단계; 및

상기 전원(101)을 통해 상기 센싱 회로(130)에 상기 제1 전압(V_{DD})을 다시 인가하고, 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 교차 결합(cross-coupled)으로 인한 포지티브 피드백(positive feedback)에 기반하여 변화하는 상기 제1 출력 전압(V_{OUTB})과 상기 제2 출력 전압(V_{OUT})의 차이를 기초로, 상기 제1 MTJ(111)와 상기 제2 MTJ(112)에 저장되어 있는 데이터를 복원하기 위한 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 저항 비교를 수행하는 비교 단계

를 포함하고,

상기 제1 MTJ(111)의 하단 전극(bottom electrode)에는 상기 전원(101)과 상기 제1 MTJ(111) 간의 연결/차단을 스위칭하기 위한 제1 보조 NMOS(117)가 연결되고, 상기 제2 MTJ(112)의 하단 전극에는 상기 전원(101)과 상기 제2 MTJ(112) 간의 연결/차단을 스위칭하기 위한 제2 보조 NMOS(118)가 연결되며,

상기 제1 MTJ(111)의 상단 전극(top electrode)은 상기 제1 출력 전압(V_{OUTB})이 출력되는 노드로서 상기 제1 NMOS(113)에 연결되고, 상기 제2 MTJ(112)의 상단 전극은 상기 제2 출력 전압(V_{OUT})이 출력되는 노드로서 상기 제2 NMOS(114)에 연결되며,

상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)에는 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 온/오프를 제어하기 위해, 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 제어 전압(V_C)을 인가하는 차지 펌프(Charge Pump)(119)가 연결되어 있고,

상기 오프셋 캔슬링 단계는

상기 차지 펌프(119)를 통해 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 인가되는 상기 제어 전압(Vc)의 크기를 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 보조 문턱 전압(V_{subth})보다 작게 조정하여 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)를 오프시킴으로써, 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 연결을 차단하는 비휘발성 플립플롭의 데이터 복원 모드에서의 동작 방법.

청구항 2

삭제

청구항 3

제1항에 있어서,

상기 비교 단계에서, 상기 제1 출력 전압(V_{OUTB})이 상기 제2 출력 전압(V_{OUT})보다 큰 것으로 확인됨에 따라, 상기 제1 MTJ(111)의 저항이 상기 제2 MTJ(112)의 저항보다 작은 것으로 확인되는 경우, 상기 제1 MTJ(111)와 상기 제2 MTJ(112)에 저장되어 있는 데이터로 '0'을 복원하고, 상기 비교 단계에서, 상기 제1 출력 전압(V_{OUTB})이 상기 제2 출력 전압(V_{OUT})보다 작은 것으로 확인됨에 따라, 상기 제1 MTJ(111)의 저항이 상기 제2 MTJ(112)의 저항보다 큰 것으로 확인되는 경우, 상기 제1 MTJ(111)와 상기 제2 MTJ(112)에 저장되어 있는 데이터로 '1'을 복원하는 데이터 복원 단계

를 더 포함하는 비휘발성 플립플롭의 데이터 복원 모드에서의 동작 방법.

청구항 4

제1항 또는 제3항 중 어느 한 항에 기재된 방법에 따른 동작을 수행하는 비휘발성 플립플롭.

발명의 설명

기 술 분 야

[0001] 본 발명은 읽기 오류의 제거가 가능한 차지 펌프 기반의 비휘발성 플립플롭의 데이터 복원 모드에서의 동작 방법에 대한 것이다.

배 경 기 술

[0002] 비휘발성 플립플롭은 전원 공급이 차단된 상태에서도 데이터를 보존할 수 있는 특징을 가지고 있으며, 이러한 비휘발성 플립플롭에는 데이터를 저장하기 위한 소자로 자기 터널 접합(Magnetic Tunnel Junction: MTJ)이 사용된다.

[0003] 비휘발성 플립플롭의 동작은 전원이 공급된 상태에서 데이터 쓰기 동작을 수행하는 동작 모드와 전원이 공급되지 않는 상태에서 데이터를 보존하는 슬립 모드 및 MTJ에 저장된 데이터를 읽어들이기 위한 데이터 복원 모드로 구분될 수 있다.

[0004] 선행기술문헌인 'Song, B., Choi, S., Kang, S. H., et al, "Offset-cancellation sensingcircuit-based nonvolatile flip-flop operating in near-threshold voltage region," IEEE Trans. Circuits Syst. I, Reg. Papers, 2019, 66, (8), pp.2693-2972.'에서는 도 1에 도시된 구조와 같은 비휘발성 플립플롭을 제시하고 있다.

[0005] 도 1을 참조하면, 상기 선행기술문헌에서 제시하고 있는 비휘발성 플립플롭(1)은 마스터 래치(10), 상기 마스터 래치(10)에 연결되는 슬레이브 래치(20), 상기 슬레이브 래치(20)에 연결되는 센싱 회로(30) 및 데이터의 쓰기를 수행하는 데이터 쓰기 회로(40)로 구성된다. 이때, 상기 센싱 회로(30)는 데이터의 저장을 위한 제1 MTJ(Magnetic Tunnel Junction)(11)와 제2 MTJ(12)를 포함하도록 구성된다.

[0006] 관련해서, 도 2에는 상기 선행기술문헌에서 제시하고 있는 비휘발성 플립플롭(1)의 데이터 복원 모드에서의 동작 과정이 도시되어 있다.

[0007] 이하에서는 도 2를 참조하여, 상기 선행기술문헌에서 제시하고 있는 비휘발성 플립플롭(1)의 데이터 복원 모드에서의 동작을 설명하기로 한다.

[0008] (a) 단계는 프리차지(precharge) 단계로, 전원을 통해 상기 센싱 회로(30)에 제1 전압(V_{DD})을 인가하여 제1 NMOS(13)와 제2 NMOS(14)의 게이트 전압을 상기 제1 전압(V_{DD})으로 변화시킴으로써, 제1 커패시터(15)와 제2 커패시터(16)를 제1 전압(V_{DD})으로 충전한다.

[0009] (b) 단계는 오프셋 캔슬링(offset-cancelling) 단계로, 상기 전원을 오프시켜 상기 전원과 상기 센싱 회로(30) 간의 연결을 차단한다. 이때, 상기 제1 NMOS(13)와 상기 제2 NMOS(14)는 다이오드 연결 구성(diode-connected

configuration)이 되고, 이에 따라, 상기 제1 커패시터(15)와 상기 제2 커패시터(16)가 방전되기 시작하여 상기 제1 커패시터(15)와 상기 제2 커패시터(16)의 충전 전압이 상기 제1 NMOS(13)와 상기 제2 NMOS(14)의 문턱 전압(V_{th})에 도달하게 된다. 이로 인해, 상기 제1 NMOS(13)와 상기 제2 NMOS(14)의 게이트에는 상기 문턱 전압(V_{th})만 남게 되기 때문에 상기 제1 NMOS(13)와 상기 제2 NMOS(14)의 전류를 결정하는 오버드라이브 전압이 상기 문턱 전압(V_{th})과 무관해진다. 즉, 상기 문턱 전압(V_{th})의 미스매치를 어느 정도 제거하는 효과가 있어서 오프셋에 약간의 내성이 생긴다

[0010] (c) 단계는 리-프리차지(Re-precharge) 단계로, 제1 출력 전압(V_{OUTB})과 제2 출력 전압(V_{OUT})이 그라운드(GND)로 충전된다. 이때, 상기 제1 커패시터(15)와 상기 제2 커패시터(16)의 충전 전압은 상기 문턱 전압(V_{th})으로 유지된다.

[0011] (d) 단계는 비교 단계로, 상기 제1 MTJ(11)와 상기 제2 MTJ(12)에 저장되어 있는 데이터를 복원하기 위해서, 상기 제1 MTJ(11)와 상기 제2 MTJ(12) 간의 저항 비교를 수행한다. 관련해서, (d) 단계에서는 상기 전원을 통해 상기 센싱 회로(30)에 상기 제1 전압(V_{DD})을 다시 인가한다. 이때, (d) 단계에서는 상기 제1 커패시터(15)와 상기 제2 커패시터(16)의 교차 결합(cross-coupled)으로 인해, 포지티브 피드백(positive feedback)이 발생하고, 이를 통해, 상기 제1 출력 전압(V_{OUTB})과 상기 제2 출력 전압(V_{OUT})이 변화한다. 이때, (d) 단계에서는 상기 제1 출력 전압(V_{OUTB})과 상기 제2 출력 전압(V_{OUT}) 간의 차이를 기초로 상기 제1 MTJ(11)와 상기 제2 MTJ(12) 간의 저항 비교를 수행하게 된다.

[0012] 만약, 상기 제1 MTJ(11)의 저항이 상기 제2 MTJ(12)보다 작다고 가정(데이터 '0'이 저장되어 있는 상황)하는 경우, 상기 제1 출력 전압(V_{OUTB})이 상기 제2 출력 전압(V_{OUT})보다 빠르게 증가하게 된다. 관련해서, 상기 제1 출력 전압(V_{OUTB})은 capacitive coupling에 의해 제2 NMOS(14)의 게이트에 전달된다. 따라서, 제2 NMOS(14)의 게이트 전압은 '상기 문턱 전압(V_{th}) + 상기 제1 출력 전압(V_{OUTB})'이 된다. 마찬가지로 제1 NMOS(13)의 게이트 전압은 '상기 문턱 전압(V_{th}) + 상기 제2 출력 전압(V_{OUT})'이 된다. 상기 제1 출력 전압(V_{OUTB})이 상기 제2 출력 전압(V_{OUT}) 보다 높기 때문에, 제2 NMOS(14)에 의해 상기 제2 출력 전압(V_{OUT})은 방전되어 감소하게 된다. 반면, 제1 NMOS(13)의 게이트 전압은 낮기 때문에 상기 제1 출력 전압(V_{OUTB})은 제1 NMOS(13)에 의해 증가하게 된다. 이러한 과정이 반복되어(positive feedback), 상기 제1 출력 전압(V_{OUTB})은 계속 증가, 상기 제2 출력 전압(V_{OUT})은 계속 감소하게 된다.

[0013] 상기 선행기술문헌에 제시된 비휘발성 플립플롭(1)은 오프셋 캔슬링 단계를 통해 문턱 전압(V_{th})의 미스매치로 인해 발생되는 오프셋을 제거할 수 있어, 낮은 전원을 통해서도 데이터를 복원할 수 있는 장점이 있다.

[0014] 하지만, 상기 선행기술문헌에 제시된 비휘발성 플립플롭(1)은 오프셋 캔슬링 단계에서 상기 제1 MTJ(11)와 상기 제2 MTJ(12)의 연결을 완전히 차단하지 못하기 때문에 오프셋 제거의 효과가 극대화되지 못하는 문제가 존재한다.

[0015] 따라서, 상기 선행기술문헌에 제시된 비휘발성 플립플롭(1)의 데이터 복원 모드의 동작을 구성하는 오프셋 캔슬링 단계에서 상기 제1 MTJ(11)와 상기 제2 MTJ(12) 간의 연결을 완전히 차단하여 오프셋 제거의 효과를 극대화할 수 있는 개선 방안에 대한 연구가 필요하다.

[0016] 또한, MTJ는 도 3에 도시된 그림과 같이, 상단 전극(top electrode)에서 하단 전극(bottom electrode)으로 전류가 흐르는 경우, 낮은 저항(R_L)을 갖게 되고, 하단 전극에서 상단 전극으로 전류가 흐르는 경우, 높은 저항(R_H)을 갖게 되는 특성을 가지고 있다.

[0017] 즉, MTJ는 전류가 흐르는 방향에 따라 저항이 가변되는 특성을 가지고 있다. 따라서, 데이터 쓰기 과정에서, MTJ에 인가되는 전류의 방향을 적절히 조정하여 MTJ의 저항을 낮은 저항(R_L) 또는 높은 저항(R_H)으로 변화시킴으로써, MTJ에 소정의 데이터를 저장할 수 있게 된다.

[0018] 관련해서, 앞서 도 2를 통해 설명한 데이터 복원 모드에서의 동작은 상기 제1 MTJ(11)와 상기 제2 MTJ(12)의 저항이 낮은 저항(R_L)인지 높은 저항(R_H)인지 판별하여 MTJ에 저장된 데이터가 어떤 데이터인지를 구별하는 과정이

라고 볼 수 있다.

[0019] 하지만, 선행기술문헌에서 제시하고 있는 종래의 비휘발성 플립플롭(1)은 도 1에 도시된 그림과 같이, 상기 제1 MTJ(11)와 상기 제2 MTJ(12)의 상단 전극이 각각 전원측 노드에 연결되어 있고, 하단 전극이 각각 상기 제1 출력 전압(V_{OUTB})과 상기 제2 출력 전압(V_{OUT})이 출력되는 노드에 연결되어 있어서, 데이터 복원 모드의 (d) 단계에서 도 2에 도시된 그림처럼, 상기 제1 MTJ(11)와 상기 제2 MTJ(12)에 붉은색 화살표 방향인 상단 전극에서 하단 전극으로 읽기 전류가 흐르게 되면, MTJ의 특성에 의해 상기 제1 MTJ(11)와 상기 제2 MTJ(12)의 저항이 낮은 저항(R_L)으로 변화될 수 있다.

[0020] 전술한 예시에서 상기 제1 MTJ(11)의 저항이 상기 제2 MTJ(12)보다 작다고 가정하였기 때문에, 상기 제1 MTJ(11)의 저항은 낮은 저항(R_L)으로, 상기 제2 MTJ(12)의 저항은 높은 저항(R_H)으로 구성되어 있는 상황이라고 볼 수 있다. 이로 인해, (d) 단계에서 상기 제1 MTJ(11)와 상기 제2 MTJ(12)에 붉은색 화살표 방향인 상단 전극에서 하단 전극으로 읽기 전류가 흐르게 되면, 상기 제1 MTJ(11)에 대해서는 문제가 없지만, 상기 제2 MTJ(12)에 대해서는 저항이 높은 저항(R_H)에서 낮은 저항(R_L)으로 변화되는 문제가 발생할 수 있다.

[0021] 특히, 상기 제2 출력 전압(V_{OUT})이 점점 감소하게 되기 때문에, 상기 전원을 통해 상기 센싱 회로(30)에 인가되는 상기 제1 전압(V_{DD})과 전위차로 인해, 상기 제2 MTJ(12)에 인가되는 읽기 전류가 점점 증가하게 되고, 이로 인해 상기 제2 MTJ(12)의 저항이 높은 저항(R_H)에서 낮은 저항(R_L)으로 쉽게 변하는 문제가 발생할 수 있다.

[0022] 데이터 복원 모드에서는 상기 제1 MTJ(11)와 상기 제2 MTJ(12) 간의 저항을 비교하여 MTJ에 어떤 데이터가 저장되어 있는지를 판별해야 하는데, 상기 제2 MTJ(12)의 저항이 높은 저항(R_H)에서 낮은 저항(R_L)으로 변화해 버리면, 상기 제1 MTJ(11)의 저항과 상기 제2 MTJ(12)의 저항 간의 차이가 없어져 버려서 데이터 읽기 실패가 발생할 가능성이 높아진다.

[0023] 따라서, 상기 선행기술문헌에 제시된 비휘발성 플립플롭(1)의 데이터 복원 모드에서 MTJ의 저항 변화로 인한 읽기 오류를 최소화할 수 있는 기술에 대한 연구가 필요하다.

선행기술문헌

비특허문헌

[0024] (비특허문헌 0001) Song, B., Choi, S., Kang, S. H., et al, "Offset-cancellation sensingcircuit-based nonvolatile flip-flop operating in near-threshold voltage region," IEEE Trans. Circuits Syst. I, Reg. Papers, 2019, 66, (8), pp.2693-2972.(2019년 8월 공개)

발명의 내용

해결하려는 과제

[0025] 본 발명은 비휘발성 플립플롭의 데이터 복원 모드의 오프셋 캔슬링 단계에서 제1 MTJ(Magnetic Tunnel Junction)와 제2 MTJ 간의 연결이 차단되도록 함으로써, 오프셋 제거의 효과가 극대화될 수 있도록 한다.

[0026] 또한, 본 발명은 비휘발성 플립플롭의 데이터 복원 모드에서 MTJ의 저항 변화로 인한 읽기 오류를 최소화할 수 있는 기술을 제시하고자 한다.

과제의 해결 수단

[0027] 본 발명의 일실시예에 따른 마스터 래치(110), 상기 마스터 래치(110)에 연결되는 슬레이브 래치(120), 상기 슬레이브 래치(120)에 연결되는 센싱 회로(130) - 상기 센싱 회로(130)는 데이터의 저장을 위한 제1 MTJ(Magnetic Tunnel Junction)(111)와 제2 MTJ(112)를 포함함 - 및 데이터의 쓰기를 수행하는 데이터 쓰기 회로(140)로 구성된 비휘발성 플립플롭의 데이터 복원 모드에서의 동작 방법은 전원(101)을 통해 상기 센싱 회로(130)에 제1 전압(V_{DD})을 인가하여 제1 NMOS(N채널 MOSFET)(113)와 제2 NMOS(114)의 게이트 전압을 상기 제1 전압(V_{DD})으로 변화시킴으로써, 제1 커패시터(115)와 제2 커패시터(116)를 제1 전압(V_{DD})으로 충전하는 프리차지(precharge)

단계, 상기 전원(101)을 오프시켜, 상기 전원(101)과 상기 센싱 회로(130) 간의 연결을 차단하고, 상기 제1 NMOS(113)와 상기 제2 NMOS(114)가 다이오드 연결 구성(diode-connected configuration)이 됨에 따라, 상기 제1 커패시터(115)와 상기 제2 커패시터(116)가 방전되어 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 충전 전압이 상기 제1 NMOS(113)와 상기 제2 NMOS(114)의 문턱 전압(V_{th})에 도달하도록 함으로써, 상기 문턱 전압(V_{th})의 미스매치로 인해 발생되는 오프셋(offset)을 제거하는 오프셋 캔슬링 단계, 제1 출력 전압(V_{OUTB})과 제2 출력 전압(V_{OUT})이 그라운드(GND)로 충전 - 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 충전 전압은 상기 문턱 전압(V_{th})으로 유지됨 - 되도록 하는 리-프리차지(Re-precharge) 단계 및 상기 전원(101)을 통해 상기 센싱 회로(130)에 상기 제1 전압(V_{DD})을 다시 인가하고, 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 교차 결합(cross-coupled)으로 인한 포지티브 피드백(positive feedback)에 기반하여 변화하는 상기 제1 출력 전압(V_{OUTB})과 상기 제2 출력 전압(V_{OUT})의 차이를 기초로, 상기 제1 MTJ(111)와 상기 제2 MTJ(112)에 저장되어 있는 데이터를 복원하기 위한 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 저항 비교를 수행하는 비교 단계를 포함하고, 상기 제1 MTJ(111)의 하단 전극(bottom electrode)에는 상기 전원(101)과 상기 제1 MTJ(111) 간의 연결/차단을 스위칭하기 위한 제1 보조 NMOS(117)가 연결되고, 상기 제2 MTJ(112)의 하단 전극에는 상기 전원(101)과 상기 제2 MTJ(112) 간의 연결/차단을 스위칭하기 위한 제2 보조 NMOS(118)가 연결되며, 상기 제1 MTJ(111)의 상단 전극(top electrode)은 상기 제1 출력 전압(V_{OUTB})이 출력되는 노드로서 상기 제1 NMOS(113)에 연결되고, 상기 제2 MTJ(112)의 상단 전극은 상기 제2 출력 전압(V_{OUT})이 출력되는 노드로서 상기 제2 NMOS(114)에 연결되며, 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)에는 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 온/오프를 제어하기 위해, 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 제어 전압(V_C)을 인가하는 차지 펌프(Charge Pump)(119)가 연결되어 있고, 상기 오프셋 캔슬링 단계는 상기 차지 펌프(119)를 통해 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 인가되는 상기 제어 전압(Vc)의 크기를 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 보조 문턱 전압(V_{subth})보다 작게 조정하여 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)를 오프시킴으로써, 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 연결을 차단한다.

발명의 효과

[0028] 본 발명은 비휘발성 플립플롭의 데이터 복원 모드의 오프셋 캔슬링 단계에서 제1 MTJ(Magnetic Tunnel Junction)와 제2 MTJ 간의 연결이 차단되도록 함으로써, 오프셋 제거의 효과를 극대화할 수 있다.

[0029] 또한, 본 발명은 비휘발성 플립플롭의 데이터 복원 모드에서 MTJ의 저항 변화로 인한 읽기 오류를 최소화할 수 있다.

도면의 간단한 설명

[0030] 도 1과 도 2는 선행기술문헌에 개시된 비휘발성 플립플롭의 구조와 동작을 설명하기 위한 도면이다.

도 3은 MTJ의 동작 특성을 설명하기 위한 도면이다.

도 4는 본 발명의 일실시예에 따른 비휘발성 플립플롭의 구조를 도시한 도면이다.

도 5는 본 발명의 일실시예에 따른 비휘발성 플립플롭의 동작 방법을 도시한 순서도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하에서는 본 발명에 따른 실시예들을 첨부된 도면을 참조하여 상세하게 설명하기로 한다. 이러한 설명은 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였으며, 다르게 정의되지 않는 한, 기술적이거나 과학적인 용어를 포함해서 본 명세서 상에서 사용되는 모든 용어들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 사람에 의해 일반적으로 이해되는 것과 동일한 의미를 가지고 있다.

[0032] 본 문서에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있다는 것을 의미한다. 또한, 본 발명의 다양한

실시예들에 있어서, 각 구성요소들, 기능 블록들 또는 수단들은 하나 또는 그 이상의 하부 구성요소로 구성될 수 있고, 각 구성요소들이 수행하는 전기, 전자, 기계적 기능들은 전자회로, 집적회로, ASIC(Application Specific Integrated Circuit) 등 공지된 다양한 소자들 또는 기계적 요소들로 구현될 수 있으며, 각각 별개로 구현되거나 2 이상이 하나로 통합되어 구현될 수도 있다.

[0033] 도 4는 본 발명의 일실시예에 따른 비휘발성 플립플롭의 구조를 도시한 도면이다.

[0034] 도 4를 참조하면, 본 발명에 따른 비휘발성 플립플롭(100)은 도 1에 도시된 선행기술문헌에서 제시하고 있는 비휘발성 플립플롭(1)과 같이, 마스터 래치(110), 상기 마스터 래치(110)에 연결되는 슬레이브 래치(120), 상기 슬레이브 래치(120)에 연결되는 센싱 회로(130)(상기 센싱 회로(130)는 데이터의 저장을 위한 제1 MTJ(Magnetic Tunnel Junction)(111)와 제2 MTJ(112)를 포함함) 및 데이터의 쓰기를 수행하는 데이터 쓰기 회로(140)로 구성된다.

[0035] 이때, 본 발명에 따른 비휘발성 플립플롭(100)은 도 1에 도시된 선행기술문헌에서 제시하고 있는 비휘발성 플립플롭(1)과 달리, 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 연결과 차단을 조정하기 위한 제1 보조 NMOS(117)와 제2 보조 NMOS(118)를 추가로 구비한다.

[0036] 이때, 상기 제1 MTJ(111)의 하단 전극(bottom electrode)에 상기 제1 보조 NMOS(117)가 연결되어, 전원(101)과 상기 제1 MTJ(111) 간의 연결/차단을 스위칭하게 되고, 상기 제2 MTJ(112)의 하단 전극에 상기 제2 보조 NMOS(118)가 연결되어, 상기 전원(101)과 상기 제2 MTJ(112) 간의 연결/차단을 스위칭하게 된다.

[0037] 그리고, 상기 제1 MTJ(111)의 상단 전극(top electrode)은 제1 출력 전압(V_{OUTB})이 출력되는 노드로서 제1 NMOS(113)에 연결되고, 상기 제2 MTJ(112)의 상단 전극은 제2 출력 전압(V_{OUT})이 출력되는 노드로서 상기 제2 NMOS(114)에 연결된다.

[0038] 즉, 본 발명에 따른 비휘발성 플립플롭(100)은 도 1에 도시된 선행기술문헌에서 제시하고 있는 비휘발성 플립플롭(1)과 달리, 상기 제1 MTJ(111)와 상기 제2 MTJ(112)의 하단 전극이 전원측 노드에 연결되고, 상단 전극이 부하측 노드에 연결되도록 구성된다. 다시 말해서, 본 발명에 따른 비휘발성 플립플롭(100)에서의 상기 제1 MTJ(111)와 상기 제2 MTJ(112)는 선행기술문헌에서 제시하고 있는 비휘발성 플립플롭(1)의 상기 제1 MTJ(11)와 상기 제2 MTJ(12)의 연결 방향과 반대 방향으로 연결된다.

[0039] 그리고, 본 발명에 따른 비휘발성 플립플롭(100)은 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 온/오프를 제어하기 위해, 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 제어 전압(V_C)을 인가하는 차지 펌프(Charge Pump)(119)가 추가로 연결된다.

[0040] 이때, 본 발명에 따른 비휘발성 플립플롭(100)은 데이터 복원 모드에서, 상기 차지 펌프(119)를 통해 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 인가되는 제어 전압(V_C)의 크기를 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 보조 문턱 전압(V_{subth})보다 높게 유지함으로써, 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 연결을 유지하다가, 오프셋 캔슬링 단계에서 선행기술문헌에서 제시하고 있는 비휘발성 플립플롭(1)과 달리, 상기 차지 펌프(119)를 통해 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 인가되는 제어 전압(V_C)의 크기를 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 보조 문턱 전압(V_{subth})보다 낮게 조정함으로써, 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 연결을 차단할 수 있다.

[0041] 이때, 본 발명에 따른 비휘발성 플립플롭(100)은 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 연결이 유지될 때, 상기 차지 펌프(119)를 통해서 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)에 인가되는 제어 전압(V_C)의 크기를 상기 센싱 회로(130)에 인가되는 제1 전압(V_{DD})보다 큰 값으로 유지함으로써, 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)에 의해 발생되는 보조 문턱 전압(V_{subth})의 미스매치를 방지할 수 있다.

[0042] 이렇게, 상기 차지 펌프(119)를 통해 출력되는 상기 제어 전압(V_C)의 크기가 상기 센싱 회로(130)에 인가되는 상기 제1 전압(V_{DD})보다 큰 값으로 유지되도록 하기 위해, 상기 차지 펌프(119)는 상기 전원(101)과 연결됨으로써 상기 전원(101)을 통해 입력 전압을 인가받도록 구성될 수 있다.

[0043] 이와 관련해서, 상기 전원(101)을 통해 상기 제1 전압(V_{DD})이 상기 차지 펌프(119)에 인가되면, 첫 번째 단계(phase)에서는 상기 차지 펌프(119)의 상단 터미널을 통해 상기 제1 전압(V_{DD})이 공급됨으로써, 충전 커패시터

(C_{CP})가 상기 제1 전압(V_{DD})으로 충전되고, 두 번째 단계에서는 상기 차지 펌프(119)의 하단 터미널을 통해 상기 제1 전압(V_{DD})이 공급됨으로써, 용량성 결합(capacitive coupling)이 발생하게 되고, 이로 인해, 상기 차지 펌프(119)를 통해서 출력되는 제어 전압(V_C)은 상기 제1 전압(V_{DD}) 보다 큰 값을 갖게 된다.

[0044] 이하에서는, 도 5를 참조하여 본 발명의 일실시예에 따른 비휘발성 플립플롭(100)의 동작 방법을 설명하기로 한다.

[0045] 단계(S510)은 프리차지(precharge) 단계로, 전원(101)을 통해 상기 센싱 회로(130)에 제1 전압(V_{DD})을 인가하여 제1 NMOS(113)와 제2 NMOS(114)의 게이트 전압을 상기 제1 전압(V_{DD})으로 변화시킴으로써, 제1 커패시터(115)와 제2 커패시터(116)를 제1 전압(V_{DD})으로 충전한다.

[0046] 이때, 단계(S510)에서는 상기 전원(101)을 통해 상기 차지 펌프(119)에 상기 제1 전압(V_{DD})을 입력 전압으로 인가하여, 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 인가되는 상기 제어 전압(Vc)의 크기를 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 상기 보조 문턱 전압(V_{subth})보다 크게 조정함으로써, 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)를 온시켜, 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 연결을 유지할 수 있다.

[0047] 단계(S520)은 오프셋 캔슬링 단계로, 상기 전원(101)을 오프시켜, 상기 전원(101)과 상기 센싱 회로(130) 간의 연결을 차단하고, 상기 제1 NMOS(113)와 상기 제2 NMOS(114)가 다이오드 연결 구성(diode-connected configuration)이 됨에 따라, 상기 제1 커패시터(115)와 상기 제2 커패시터(116)가 방전되어 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 충전 전압이 상기 제1 NMOS(113)와 상기 제2 NMOS(114)의 문턱 전압(V_{th})에 도달하도록 함으로써, 상기 문턱 전압(V_{th})의 미스매치로 인해 발생되는 오프셋을 제거한다.

[0048] 이때, 단계(S520)에서는 상기 차지 펌프(119)를 통해 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 인가되는 상기 제어 전압(Vc)의 크기를 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 보조 문턱 전압(V_{subth})보다 작게 조정하여 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)를 오프시킴으로써, 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 연결을 차단한다.

[0049] 이때, 본 발명의 일실시예에 따르면, 단계(S520)에서는 상기 전원(101)의 오프를 통해 상기 차지 펌프(119)에 인가되는 전압 입력을 차단하여, 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 인가되는 상기 제어 전압(Vc)의 크기를 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 상기 보조 문턱 전압(V_{subth})보다 작게 조정함으로써, 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)를 오프시켜, 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 연결을 차단할 수 있다.

[0050] 단계(S530)은 리-프리차지(Re-precharge) 단계로, 제1 출력 전압(V_{OUTB})과 제2 출력 전압(V_{OUT})이 그라운드(GND)로 충전되도록 한다.(이때, 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 충전 전압은 상기 문턱 전압(V_{th})으로 유지됨)

[0051] 단계(S540)은 비교 단계로, 상기 전원(101)을 통해 상기 센싱 회로(130)에 상기 제1 전압(V_{DD})을 다시 인가하고, 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 교차 결합(cross-coupled)으로 인한 포지티브 피드백(positive feedback)에 기반하여 변화하는 상기 제1 출력 전압(V_{OUTB})과 상기 제2 출력 전압(V_{OUT})의 차이를 기초로, 상기 제1 MTJ(111)와 상기 제2 MTJ(112)에 저장되어 있는 데이터를 복원하기 위한 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 저항 비교를 수행한다.

[0052] 이때, 본 발명의 일실시예에 따르면, 비휘발성 플립플롭(100)의 동작 방법은 단계(S540)에서, 상기 제1 출력 전압(V_{OUTB})이 상기 제2 출력 전압(V_{OUT})보다 큰 것으로 확인됨에 따라, 상기 제1 MTJ(111)의 저항이 상기 제2 MTJ(112)의 저항보다 작은 것으로 확인되는 경우, 상기 제1 MTJ(111)와 상기 제2 MTJ(112)에 저장되어 있는 데이터로 '0'을 복원하고, 단계(S540)에서, 상기 제1 출력 전압(V_{OUTB})이 상기 제2 출력 전압(V_{OUT})보다 작은 것으로 확인됨에 따라, 상기 제1 MTJ(111)의 저항이 상기 제2 MTJ(112)의 저항보다 큰 것으로 확인되는 경우, 상기 제1 MTJ(111)와 상기 제2 MTJ(112)에 저장되어 있는 데이터로 '1'을 복원하는 데이터 복원 단계를 더 포함할 수 있다.

[0053] 본 발명에 따른 비휘발성 플립플롭(100)는 앞서 설명한 바와 같이, 상기 제1 MTJ(111)와 상기 제2 MTJ(112)의 하단 전극이 전원측 노드에 연결되고, 상단 전극이 부하측 노드에 연결되도록 구성되어 있다. 이로 인해, 본 발명에 따른 비휘발성 플립플롭(100)은 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 저항 비교를 수행하는 과정에서 상기 제1 MTJ(111)와 상기 제2 MTJ(112)에 저항 변화가 발생하지 않도록 동작할 수 있고, 이는 데이터 복원에 따른 오류 발생 가능성을 최소화하는 요소로 작용한다.

[0054] 관련해서, 상기 제1 MTJ(111)의 저항이 상기 제2 MTJ(112)의 저항보다 작은 상황을 가정해서, 단계(S540)의 비교 단계를 설명하면 다음과 같다.

[0055] 우선, 상기 제1 MTJ(111)의 저항이 상기 제2 MTJ(112)의 저항보다 작은 상황을 가정하였기 때문에, 상기 제1 MTJ(111)는 낮은 저항(R_L)으로 설정되어 있고, 상기 제2 MTJ(112)는 높은 저항(R_H)으로 설정되어 있다.

[0056] 단계(S540)에서 상기 제1 전압(V_{DD})이 상기 센싱 회로(130)에 인가되면, 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 교차 결합으로 인한 포지티브 피드백에 의해, 상기 제1 출력 전압(V_{OUTB})은 계속 증가하게 되고, 상기 제2 출력 전압(V_{OUT})은 계속 감소하게 된다. 그리고, 상기 제1 MTJ(111)와 상기 제2 MTJ(112)에는 하단 전극에서 상단 전극 방향으로, 붉은색으로 표시한 읽기 전류 I_1과 읽기 전류 I_2가 각각 흐르게 된다.

[0057] MTJ의 특성상 MTJ의 하단 전극에서 상단 전극 방향으로 전류가 흐르는 경우, MTJ의 저항은 높은 저항(R_H)으로 변하게 된다.

[0058] 관련해서, 상기 제1 MTJ(111)의 저항은 낮은 저항(R_L)을 가지고 있는 상황이라서, 상기 제1 MTJ(111)에서 읽기 전류 I_1이 하단 전극에서 상단 전극 방향으로 흐르게 되면, 상기 제1 MTJ(111)의 저항은 그 특성으로 인해 높은 저항(R_H)으로 변화될 위험이 있을 것이다. 하지만, 상기 제1 출력 전압(V_{OUTB})은 계속 증가하기 때문에 상기 제1 MTJ(111)의 양단의 전위차는 감소하게 되고, 이로 인해, 상기 제1 MTJ(111)에 흐르는 읽기 전류 I_1의 크기는 매우 작아질 것이다. 그래서, 상기 읽기 전류 I_1이 상기 제1 MTJ(111)에 미치는 영향이 미미하여 상기 제1 MTJ(111)의 저항은 낮은 저항(R_L)에서 높은 저항(R_H)으로 변화하지 않게 된다.

[0059] 그리고, 상기 제2 MTJ(112)에 대해서는 상기 제2 출력 전압(V_{OUT})이 감소하게 됨에 따라 상기 제2 MTJ(112)의 양단의 전위차가 증가하게 되고, 이로 인해, 상기 제2 MTJ(112)의 하단 전극에서 상단 전극 방향으로 흐르는 읽기 전류 I_2는 큰 값을 가질 수 있다. 하지만, 상기 제2 MTJ(112)는 이미 높은 저항(R_H)을 가지고 있는 상황이라서, 하단 전극에서 상단 전극 방향으로 읽기 전류 I_2가 흐르더라도 상기 제2 MTJ(112)의 저항은 계속 높은 저항(R_H)을 유지하게 된다.

[0060] 결국, 본 발명에 따른 비휘발성 플립플롭(100)은 상기 제1 MTJ(111)와 상기 제2 MTJ(112)의 연결을 선행기술문헌에서 제시하고 있는 비휘발성 플립플롭(1)에서의 MTJ의 연결 방향과 반대 방향으로 구성함으로써, 데이터 복원 과정에서 상기 제1 MTJ(111)와 상기 제2 MTJ(112)의 저항 변화로 인한 읽기 오류의 발생 가능성을 현저히 낮출 수 있다.

[0061] 본 발명에 따른 비휘발성 플립플롭(100)은 상기 프리차지 단계, 상기 오프셋 캔슬링 단계, 상기 리-프리차지 단계 및 상기 비교 단계를 구분하기 위한 논리 신호를 출력할 수 있는 논리 신호 출력부와 해당 논리 신호를 기반으로, 각 단계를 구분할 수 있는 단계 구분부의 구성을 더 포함할 수 있다.

[0062] 관련해서, 상기 논리 신호 출력부는 상기 프리차지 단계, 상기 오프셋 캔슬링 단계, 상기 리-프리차지 단계 및 상기 비교 단계에 대응되는 소정의 논리 소자로 구성될 수 있고, 이때, 상기 논리 신호 출력부는 비휘발성 플립플롭(100)이 각 단계에 진입하였을 때, 대응되는 단계에 따른 논리 소자를 통해 '1'의 논리 값을 출력하도록 구성될 수 있다.

[0063] 이때, 상기 단계 구분부는 상기 프리차지 단계, 상기 오프셋 캔슬링 단계, 상기 리-프리차지 단계 및 상기 비교 단계에 대응되는 논리 소자 중 '1'의 논리 값이 출력되는 논리 소자가 무엇인지 확인함으로써, 비휘발성 플립플롭(100)이 현재 어느 단계에 진입하였는지를 구분할 수 있다.

[0064] 이때, 본 발명에 따른 비휘발성 플립플롭(100)은 상기 단계 구분부를 통해 상기 프리차지 단계, 상기 오프셋 캔슬링 단계, 상기 리-프리차지 단계 및 상기 비교 단계를 구분해서, 상기 프리차지 단계 및 상기 비교 단계에서

는 상기 제1 MTJ(111)와 상기 제2 MTJ(112)가 서로 연결되도록 상기 차지 펌프(119)를 통해 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 제어 전압(V_C)을 상기 보조 문턱 전압(V_{subth})보다 큰 값으로 인가할 수 있고, 상기 오프셋 캔슬링 단계에서는 상기 제1 MTJ(111)와 상기 제2 MTJ(112)가 서로 차단되도록 상기 차지 펌프(119)를 통해 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)의 게이트에 인가되는 제어 전압(V_C)을 상기 보조 문턱 전압(V_{subth})보다 낮은 값으로 조정할 수 있다.

[0065] 본 발명의 일실시예에 따르면, 상기 제1 보조 NMOS(117)와 상기 제2 보조 NMOS(118)는 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 연결과 차단을 조정하기 위한 다양한 스위칭 소자들(예컨대, PMOS, BJT 등)로 대체될 수 있다.

[0066] 이상과 같이 본 발명에서는 구체적인 구성 요소 등과 같은 특정 사항들과 한정된 실시예 및 도면에 의해 설명되었으나 이는 본 발명의 보다 전반적인 이해를 돕기 위해서 제공된 것일 뿐, 본 발명은 상기의 실시예에 한정되는 것은 아니며, 본 발명이 속하는 분야에서 통상적인 지식을 가진 자라면 이러한 기재로부터 다양한 수정 및 변형이 가능하다.

[0067] 따라서, 본 발명의 사상은 설명된 실시예에 국한되어 정해져서는 아니되며, 후술하는 특허청구범위뿐 아니라 이 특허청구범위와 균등하거나 등가적 변형이 있는 모든 것들은 본 발명 사상의 범주에 속한다고 할 것이다.

부호의 설명

[0068] 100: 비휘발성 플립플롭

110: 마스터 래치 120: 슬레이브 래치

130: 센싱 회로 140: 데이터 쓰기 회로

101: 전원

111: 제1 MTJ 112: 제2 MTJ

113: 제1 NMOS 114: 제2 NMOS

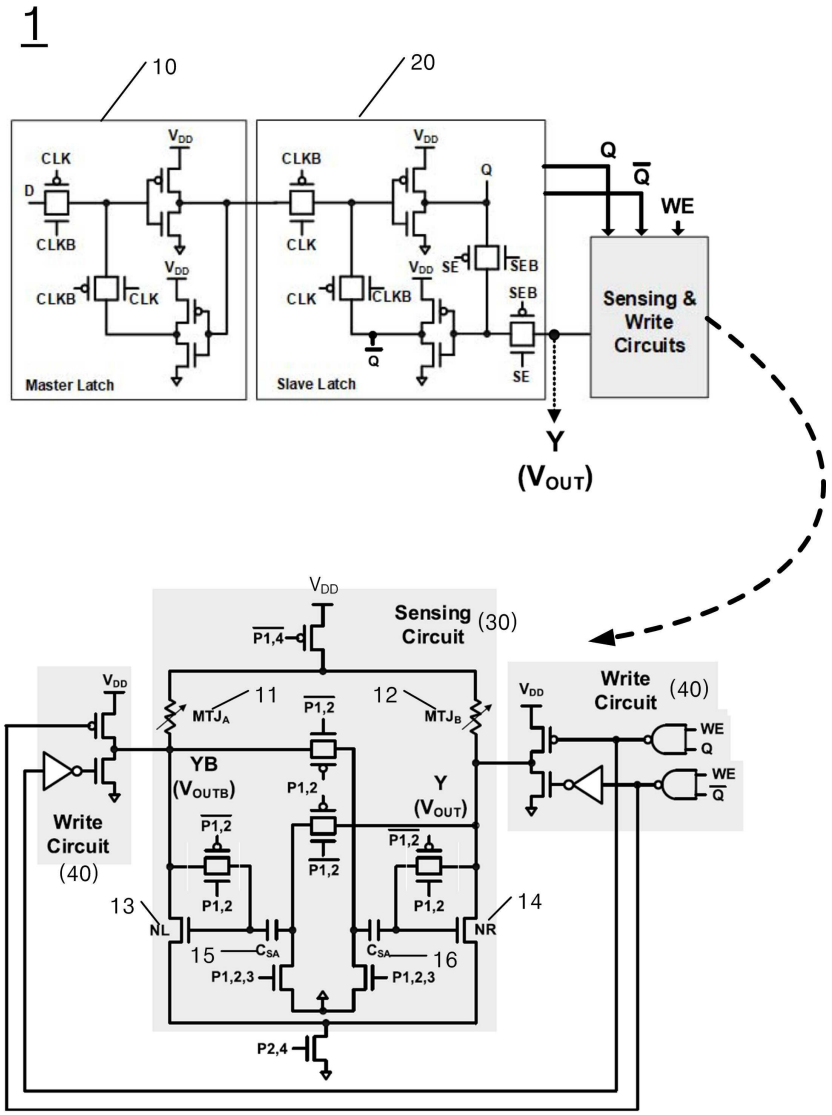
115: 제1 커패시터 116: 제2 커패시터

117: 제1 보조 NMOS 118: 제2 보조 NMOS

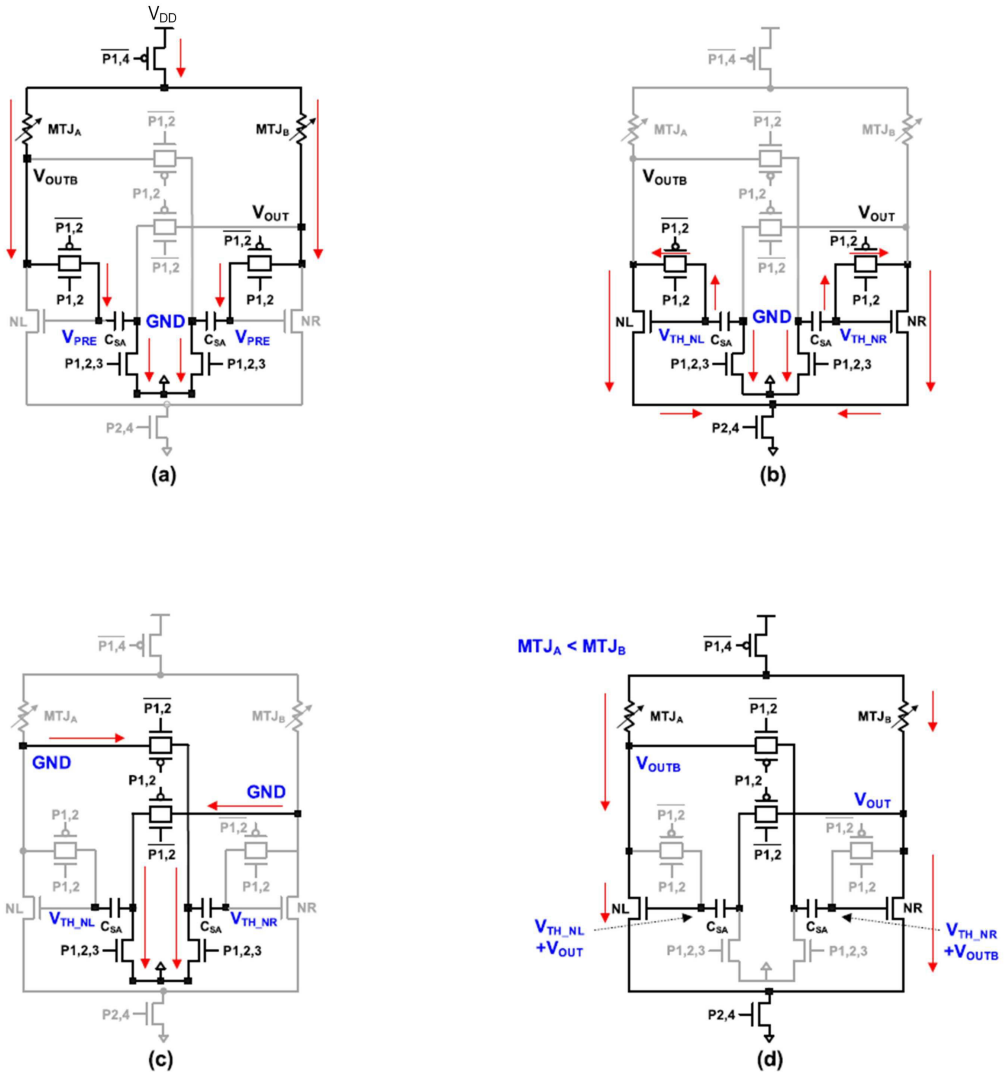
119: 차지 펌프

도면

도면1


1
10
20
CLK
D
CLKB
CLKB
CLK
Master Latch
CLKB
CLK
CLK
CLKB
Q
SE
SEB
SEB
SE
Slave Latch
Q
Q
WE
Sensing & Write Circuits
Y
(VOUT)
VDD
Sensing Circuit (30)
P1,4
11
12
MTJA
MTJB
P1,2
YB
(VOUTB)
Y
(VOUT)
Write Circuit (40)
13
14
NL
NR
15
16
CSA
P1,2,3
P2,4
Write Circuit (40)
WE
Q
WE
Q

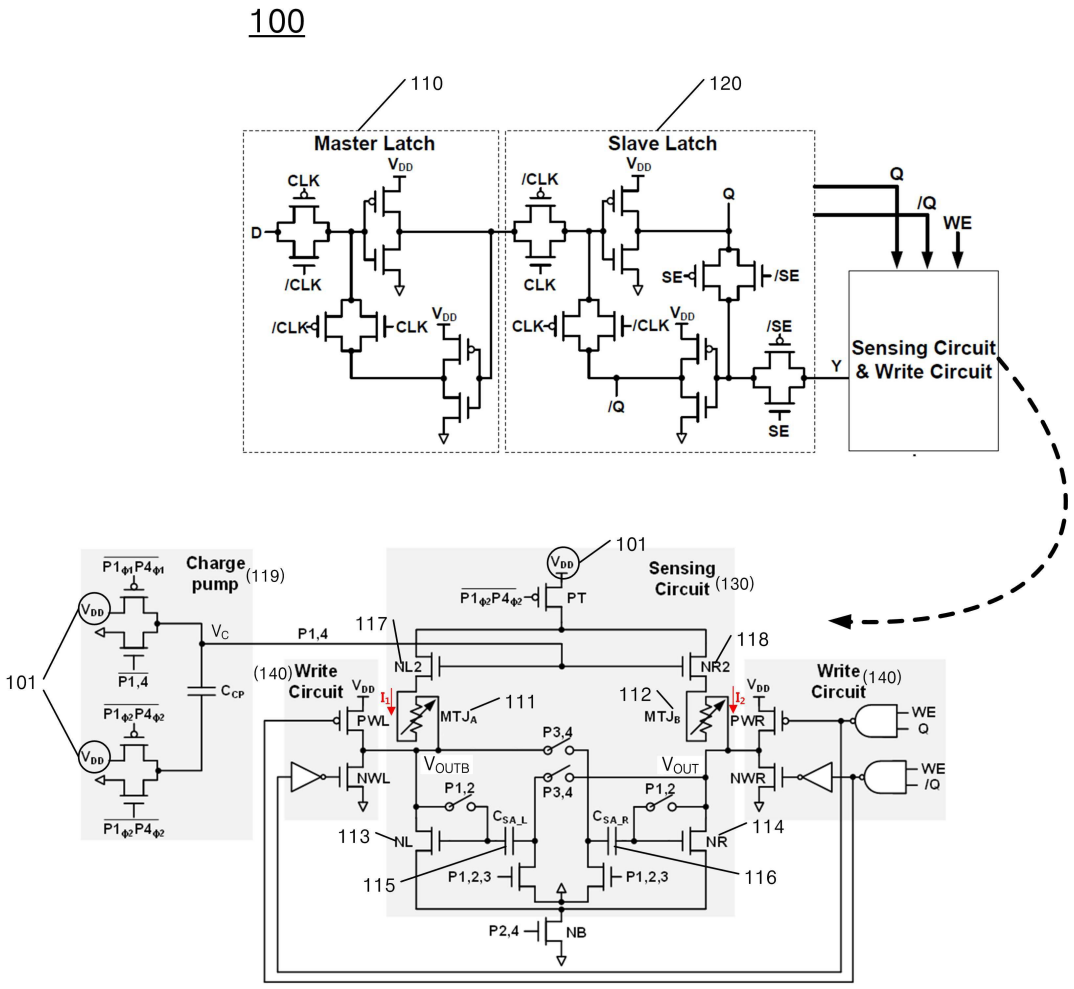
도면2


VDD
P1,4
MTJA
MTJB
VOUTB
VOUT
P1,2
GND
NL
NR
VPRE
CSA
P1,2,3
P2,4
(a)
VTH_NL
VTH_NR
(b)
(c)
MTJA < MTJB
+VOUT
+VOUTB
(d)

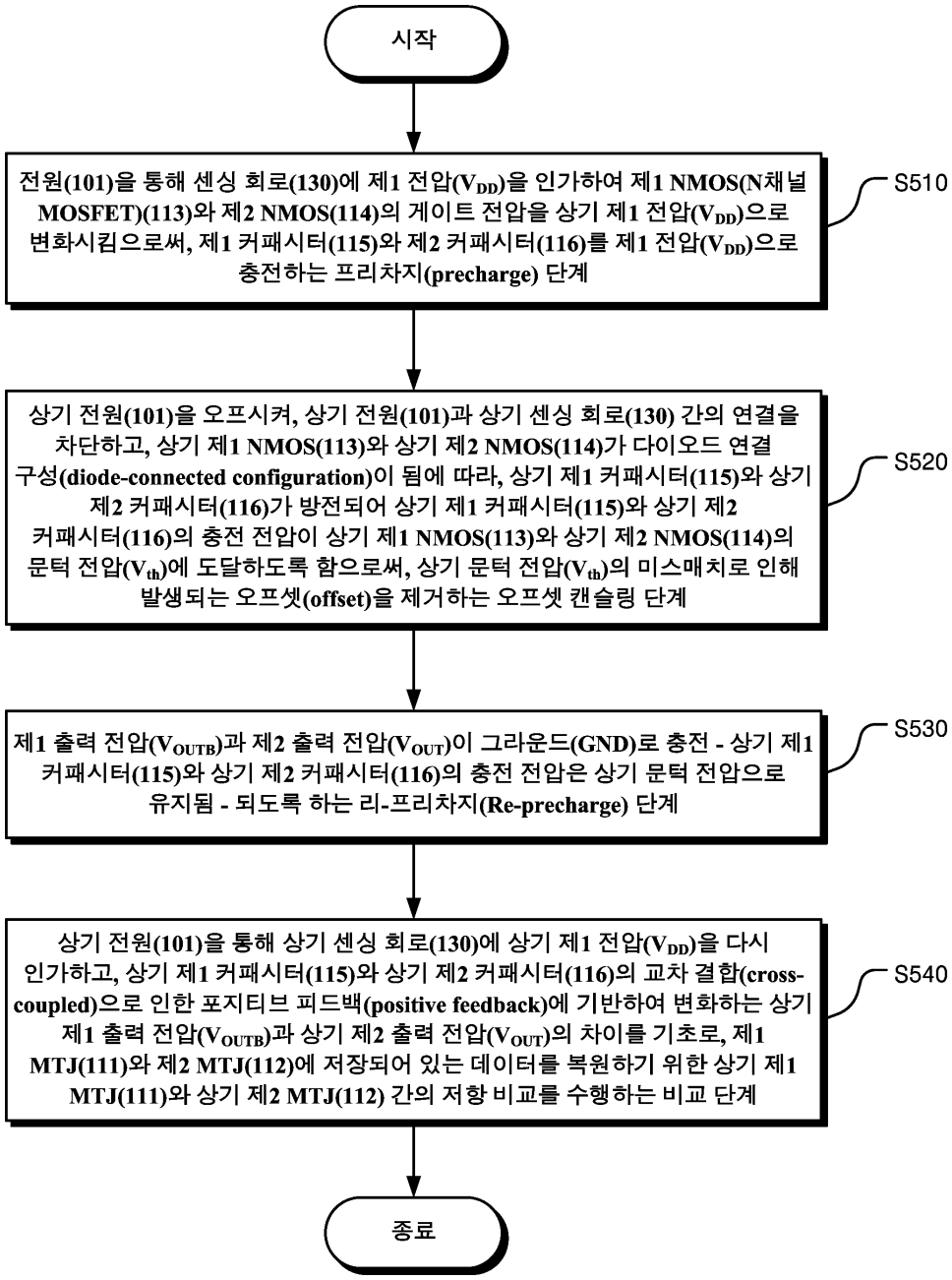
도면3


상단 전극
전류
->RL
MTJ
전류
->RH
하단 전극

도면4


100
110
120
Master Latch
Slave Latch
CLK
/CLK
D
Q
/Q
WE
SE
/SE
Y
Sensing Circuit & Write Circuit
Charge pump (119)
101
Sensing Circuit (130)
PT
P1,4
117
118
NL2
NR2
(140) Write Circuit
Write (140) Circuit
PWL
PWR
NWL
NWR
MTJA
MTJB
111
112
VOUTB
VOUT
P3,4
P1,2
CSA_L
CSA_R
113
114
NL
NR
115
116
P1,2,3
P2,4
NB
WE
Q
/Q

도면5


시작
전원(101)을 통해 센싱 회로(130)에 제1 전압(V_{DD})을 인가하여 제1 NMOS(N채널 MOSFET)(113)와 제2 NMOS(114)의 게이트 전압을 상기 제1 전압(V_{DD})으로 변화시킴으로써, 제1 커패시터(115)와 제2 커패시터(116)를 제1 전압(V_{DD})으로 충전하는 프리차지(precharge) 단계
S510
상기 전원(101)을 오프시켜, 상기 전원(101)과 상기 센싱 회로(130) 간의 연결을 차단하고, 상기 제1 NMOS(113)와 상기 제2 NMOS(114)가 다이오드 연결 구성(diode-connected configuration)이 됨에 따라, 상기 제1 커패시터(115)와 상기 제2 커패시터(116)가 방전되어 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 충전 전압이 상기 제1 NMOS(113)와 상기 제2 NMOS(114)의 문턱 전압(V_{th})에 도달하도록 함으로써, 상기 문턱 전압(V_{th})의 미스매치로 인해 발생되는 오프셋(offset)을 제거하는 오프셋 캔슬링 단계
S520
제1 출력 전압(V_{OUTB})과 제2 출력 전압(V_{OUT})이 그라운드(GND)로 충전 - 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 충전 전압은 상기 문턱 전압으로 유지됨 - 되도록 하는 리-프리차지(Re-precharge) 단계
S530
상기 전원(101)을 통해 상기 센싱 회로(130)에 상기 제1 전압(V_{DD})을 다시 인가하고, 상기 제1 커패시터(115)와 상기 제2 커패시터(116)의 교차 결합(cross-coupled)으로 인한 포지티브 피드백(positive feedback)에 기반하여 변화하는 상기 제1 출력 전압(V_{OUTB})과 상기 제2 출력 전압(V_{OUT})의 차이를 기초로, 제1 MTJ(111)와 제2 MTJ(112)에 저장되어 있는 데이터를 복원하기 위한 상기 제1 MTJ(111)와 상기 제2 MTJ(112) 간의 저항 비교를 수행하는 비교 단계
S540
종료