

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年6月22日(22.06.2017)



(10) 国際公開番号

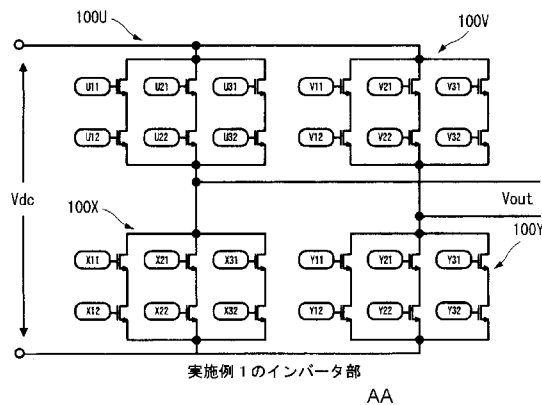
WO 2017/104337 A1

- (51) 国際特許分類:
H02M 7/48 (2007.01)
- (21) 国際出願番号: PCT/JP2016/083891
- (22) 国際出願日: 2016年11月16日(16.11.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-245400 2015年12月16日(16.12.2015) JP
- (71) 出願人: 株式会社明電舎(MEIDENSHA CORPORATION) [JP/JP]; 〒1416029 東京都品川区大崎2丁目1番1号 Tokyo (JP).
- (72) 発明者: 近藤 泰裕(KONDO, Yasuhiro); 〒1416029 東京都品川区大崎2丁目1番1号 株式会社明電舎内 Tokyo (JP).
- (74) 代理人: 小林 博通, 外(KOBAYASHI, Hiromichi et al.); 〒1040044 東京都中央区明石町1番29号 抜済会ビル S H I G A 内外国特許事務所内 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: RESONANT LOAD POWER CONVERSION DEVICE AND TIME DIVISION OPERATION METHOD FOR RESONANT LOAD POWER CONVERSION DEVICE

(54) 発明の名称: 共振負荷用電力変換装置および共振負荷用電力変換装置の時分割運転方法

[図1]



AA Inverter unit of Embodiment 1

(57) Abstract: Provided is a resonant load power conversion device in which the switching frequency of each switching element can be reduced, and the number of main circuit conductors can be reduced. This resonant load power conversion device is equipped with: a single-phase inverter, the DC input side (Vdc) of which is connected to a DC voltage source and the output side (Vout) of which is connected to a resonant load, and which outputs a rectangular voltage at a resonant frequency; switch group circuits 100U, 100X, 100V, 100Y, which are connected respectively to upper and lower arms on the input side and the output side of the single-phase inverter, and each of which has N (N being an integer of 2 or more) series bodies having two switching elements and connected in parallel, with the switching elements being connected to each other by main circuit conductors; and a control unit, which controls the switching of the switching elements (U11-U32, V11-V32, X11-X32, Y11-Y32) of the switch group circuits 100U, 100X, 100V, 100Y in a time-division manner.

(57) 要約:

[続葉有]

WO 2017/104337 A1



各スイッチング素子のスイッチング周波数を下げ、主回路導体の数を低減することができる共振負荷用電力変換装置を提供する。直流入力側(Vdc)が直流電圧源に、出力側(Vout)が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備え、単相インバータの入力側、出力側の各上、下アームに各々接続され、2個のスイッチング素子の直列体をN個(Nは2以上の整数)並列にスイッチング素子間を主回路導体で接続したスイッチ群回路100U, 100X, 100V, 100Yと、前記スイッチ群回路100U, 100X, 100V, 100Yの各スイッチング素子(U11~U32, V11~V32, X11~X32, Y11~Y32)を時分割でスイッチング制御する制御部と、を備えた。

明 細 書

発明の名称：

共振負荷用電力変換装置および共振負荷用電力変換装置の時分割運転方法

技術分野

[0001] 本発明は、例えば誘導加熱回路などの共振負荷に矩形波電圧を供給する負荷共振電力変換装置に関する。

背景技術

[0002] 図 7 は、共振負荷に接続された負荷共振電力変換装置（交直変換装置）の回路構成を示している。図 7 において、交直変換装置 10 は、入力側が直流電圧源 11 に接続され、出力側が誘導加熱回路などの共振負荷 12 に接続された単相インバータを備えている。この単相インバータの各スイッチング素子を ON、OFF 制御することにより、共振周波数で矩形波電圧を共振負荷 12 に出力する。

[0003] この交直変換装置 10 は、共振負荷 12 が誘導加熱回路である場合は、誘導加熱用負荷共振交直変換装置（誘導加熱用共振型インバータ）として構成される。

[0004] この誘導加熱用負荷共振交直変換装置は、単相インバータの各スイッチング素子を ON、OFF 制御して生成した交流を、コイルとキャパシタによる LC 共振回路に流し、それによって生成される交番磁界を被加熱体（電気伝導体）に与えて渦電流を流し、これによって発生するジュール熱によって内部から加熱させる方式となっている。

[0005] 負荷共振電力変換装置（例えば図 7 の交直変換装置 10）の出力側に接続される共振負荷としての誘導加熱回路は、周波数が高いほど、電流浸透深さが減少する性質が従来から知られている。

[0006] 電縫管接合（継目を電気抵抗溶接で接合し、管を形成する）においては、表面焼き入れによって行われるため、誘導加熱に用いる負荷共振交直変換装置には、周波数が高い電圧を出力できることが要求される。

[0007] 一方で、誘導加熱に用いる負荷共振交直変換装置のスイッチング素子には、駆動周波数に上限があるため、スイッチング素子の駆動周波数よりも高い電圧周波数に対応ができないことが問題となる。

[0008] この問題を解決する先行技術としては、例えば特許文献 1 に記載の共振負荷インバータシステムが提案されている。この特許文献 1 の図 3 および明細書の段落番号「0007」～「0009」に記載のとおり、単相インバータを n セクションに分割（単相インバータを N 並列接続）することで、スイッチング素子は $1/N$ の周期で駆動できるようになる。したがって、所望する共振周波数に対して、スイッチング素子の駆動周波数を並列数に反比例した周波数まで下げることができる。

[0009] また、特許文献 1 の共振負荷インバータシステムの変形例として、例えば図 8 に示すように単相インバータの 1 アームあたりのスイッチング素子（例えば IGBT）を N 並列に構成することが考えられる。

[0010] 図 8 は、負荷共振交直変換装置、例えば図 7 の交直変換装置 10 に用いられる装置を表し、直流リンク電圧入力部 V_{dc} と、矩形波電圧出力部 V_{out} と、1 アームあたり N 並列（ここでは 3 並列）のスイッチング素子（ U_{11} , U_{21} , U_{31} と V_{11} , V_{21} , V_{31} と X_{11} , X_{21} , X_{31} と Y_{11} , Y_{21} , Y_{31} ）を接続した単相インバータとを備えている。

[0011] 図 8 のように、1 アームあたりのスイッチング素子の並列数 N を増やすことにより、特許文献 1 の共振負荷インバータシステムと同様に 1 スwitchング素子あたりのスイッチング周波数を減らすことができる。

[0012] 図 8 の各スイッチング素子は、図 9 のゲート指令信号生成パターンに沿って ON, OFF 制御される。

[0013] 図 9 のゲート指令信号生成パターンは、

単相インバータの出力電圧指令（ V_{out_ref} ）の ON, OFF をトリガとするクロックと、

6 クロックを 1 周期とし、1 クロックは ON 信号を出力し、5 クロックは OFF 信号を出力するスイッチング素子 U_{11} , Y_{11} 用ゲート指令信号 U

1 1 _gate/Y 1 1 _gateと、前記ゲート指令信号U 1 1 _gate/Y 1 1 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X 1 1, V 1 1用ゲート指令信号X 1 1 _gate/V 1 1 _gateと、前記ゲート指令信号X 1 1 _gate/V 1 1 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U 2 1, Y 2 1用ゲート指令信号U 2 1 _gate/Y 2 1 _gateと、前記ゲート指令信号U 2 1 _gate/Y 2 1 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X 2 1, V 2 1用ゲート指令信号X 2 1 _gate/V 2 1 _gateと、前記ゲート指令信号X 2 1 _gate/V 2 1 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U 3 1, Y 3 1用ゲート指令信号U 3 1 _gate/Y 3 1 _gateと、前記ゲート指令信号U 3 1 _gate/Y 3 1 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X 3 1, V 3 1用ゲート指令信号X 3 1 _gate/V 3 1 _gateとから構成される。

[0014] 図8の各スイッチング素子は、前記作成された各ゲート指令信号U 1 1 _gate/Y 1 1 _gate…X 3 1 _gate/V 3 1 _gateによって図10(a)から(f)に示されるパターン(1)～(6)の繰り返しによりON, OFF制御される。

[0015] 図9のゲート指令信号生成パターンで図8の各スイッチング素子を駆動したときの出力電流の関係を図10に示す。

[0016] 図10(a)～(f)は図9のパターン(1)～(6)に各々対応しており、ゲート指令のON信号によってON制御されたスイッチング素子には「ON」を図示し、当該ON制御されたスイッチング素子および負荷を介して流れる出力電流I_{out}の経路を矢印で示している。

[0017] 図9、図10によれば、(1)～(6)のパターンで順次スイッチングす

ることで、1素子あたりのスイッチング周波数（駆動周波数）の周波数指令が $1/3$ （ $1/N$ ）となることがわかる。

先行技術文献

特許文献

[0018] 特許文献1：特表2004-510400号公報

発明の概要

[0019] 上記のように、特許文献1のシステムおよび図10に示す回路構成では、スイッチング周期を $1/N$ とすることができる。しかし、図9のゲート指令信号生成パターンに示すように各ゲート指令信号 $U_{11_gate}/Y_{11_gate} \dots X_{31_gate}/V_{31_gate}$ のパルス幅は1クロック分のため、スイッチング素子のターンオン上昇時間やターンオフ下降時間による素子特性に基づく最小のパルス幅によって、出力周波数の上限が決まってしまう。

[0020] また、特許文献1のシステムに示す回路構成では単相インバータ間のスイッチング素子を接続する主回路導体が、この他に図10に示す回路構成では単相インバータ内のスイッチング素子間を接続する主回路導体が、それぞれ並列数 N に比例して必要となる。さらに、特許文献1および図10に示す回路構成では、スイッチング素子数と同数の主回路導体が直流リンク電圧入力部 V_{dc} と上、下アームそれぞれのスイッチング素子の直流入力側端子との間、および矩形波電圧出力部 V_{out} と上、下アームそれぞれのスイッチング素子の出力側端子との間に各々必要（並列数 $N \times 4$ アーム分 $=4N$ 個の主回路導体が必要）となり、並列数 N に比例した主回路導体の費用が掛かることや主回路導体の設置スペースが大きくなってしまいう課題を有する。

[0021] また、スイッチング素子数に比例してスイッチング素子の配置が拡大し、主回路導体の経路長の差が大きくなることで主回路導体の経路長によるインピーダンスのばらつきも大きくなる。その結果、主回路導体を流れる電流のゼロクロス点の位置ずれが生じて、各スイッチング素子に接続される図示省略のスナバ回路に流れる電流が増えて損失が増大することや、スナバ電流の増大でスイッチング素子の破壊が起こるという課題があった。

[0022] また、1つのスイッチング素子あたりのスイッチング周波数の更なる低減が望まれている。

[0023] 本発明は上記課題を解決するものであり、その目的は、各スイッチング素子のスイッチング周波数を下げ、直流リンク電圧入力部 V_{dc} と上、下アームそれぞれのスイッチング素子の直流入力側端子との間、および矩形波電圧出力部 V_{out} と上、下アームそれぞれのスイッチング素子の出力側端子との間の主回路導体の数を低減することができる共振負荷用電力変換装置およびその時分割運転方法を提供することにある。

[0024] 上記課題を解決するための請求項1に記載の共振負荷用電力変換装置は、直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置であって、

前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、 M 個（ M は2以上の整数）のスイッチング素子の直列体を N 個（ N は2以上の整数）並列にそれぞれの直列体間を主回路導体で接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を $1 / (M \times N)$ に時分割でスイッチング制御する制御部とを備え、

前記単相インバータの一方の相の上アームのスイッチ群回路は、 U_{11} および U_{12} の2個のスイッチング素子が直列接続された第1の直列体と U_{21} および U_{22} の2個のスイッチング素子が直列接続された第2の直列体と U_{31} および U_{32} の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、 X_{11} および X_{12} の2個のスイッチング素子が直列接続された第1の直列体と X_{21} および X_{22} の2個のスイッチング素子が直列接続された第2の直列体と X_{31} および X_{32} の2個のスイッチング素子が直列接続された第3の直列

体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、V11およびV12の2個のスイッチング素子が直列接続された第1の直列体とV21およびV22の2個のスイッチング素子が直列接続された第2の直列体とV31およびV32の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、Y11およびY12の2個のスイッチング素子が直列接続された第1の直列体とY21およびY22の2個のスイッチング素子が直列接続された第2の直列体とY31およびY32の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記制御部は、

前記単相インバータの出力電圧指令のON、OFFをトリガとするクロックと、

2×2 (=直列数M) $\times 3$ (=並列数N) クロックを1周期とし、 2×3 (=並列数N) $\times 1$ (=直列数M-1) + 1 クロックの期間ON信号を出力し、 $\{2 \times 2$ (=直列数M) $\times 3$ (=並列数N) $\} - \{2 \times 3$ (=並列数N) $\times 1$ (=直列数M-1) + 1 $\}$ クロックの期間OFF信号を出力するスイッチング素子U11、Y11用ゲート指令信号と、

前記スイッチング素子U11、Y11用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X11、V11用ゲート指令信号と、

前記スイッチング素子X11、V11用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期

間およびOFF期間を有するスイッチング素子U21、Y21用ゲート指令信号と、

前記スイッチング素子U21、Y21用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X21、V21用ゲート指令信号と、

前記スイッチング素子X21、V21用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U31、Y31用ゲート指令信号と、

前記スイッチング素子U31、Y31用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X31、V31用ゲート指令信号と、

前記スイッチング素子X31、V31用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U12、Y12用ゲート指令信号と、

前記スイッチング素子U12、Y12用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X12、V12用ゲート指令信号と、

前記スイッチング素子X12、V12用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U22、Y22用ゲート指令信号と、

前記スイッチング素子U22、Y22用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期

間およびOFF期間を有するスイッチング素子X22、V22用ゲート指令信号と、

前記スイッチング素子X22、V22用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U32、Y32用ゲート指令信号と、

前記スイッチング素子U32、Y32用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X32、V32用ゲート指令信号と、

を作成するゲート指令作成部を備え、

前記作成された各ゲート指令信号によって前記各スイッチング素子をON、OFF制御することを特徴としている。

[0025] また、請求項4に記載の共振負荷用電力変換装置の時分割運転方法は、直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置の時分割運転方法であって、

前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、M個（Mは2以上の整数）のスイッチング素子の直列体をN個（Nは2以上の整数）並列にそれぞれの直列体間を主回路導体で接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を $1 / (M \times N)$ に時分割でスイッチング制御する制御部とを備え、

前記単相インバータの一方の相の上アームのスイッチ群回路は、U11およびU12の2個のスイッチング素子が直列接続された第1の直列体とU21およびU22の2個のスイッチング素子が直列接続された第2の直列体とU31およびU32の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列

に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、 X_{11} および X_{12} の2個のスイッチング素子が直列接続された第1の直列体と X_{21} および X_{22} の2個のスイッチング素子が直列接続された第2の直列体と X_{31} および X_{32} の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、 V_{11} および V_{12} の2個のスイッチング素子が直列接続された第1の直列体と V_{21} および V_{22} の2個のスイッチング素子が直列接続された第2の直列体と V_{31} および V_{32} の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、 Y_{11} および Y_{12} の2個のスイッチング素子が直列接続された第1の直列体と Y_{21} および Y_{22} の2個のスイッチング素子が直列接続された第2の直列体と Y_{31} および Y_{32} の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成されており、

前記制御部が、

前記単相インバータの出力電圧指令のON、OFFをトリガとするクロックと、

2×2 (=直列数M) $\times 3$ (=並列数N) クロックを1周期とし、 2×3 (=並列数N) $\times 1$ (=直列数M-1) + 1 クロックの期間ON信号を出力し、 $\{2 \times 2$ (=直列数M) $\times 3$ (=並列数N) $\} - \{2 \times 3$ (=並列数N) $\times 1$ (=直列数M-1) + 1 $\}$ クロックの期間OFF信号を出力するスイッチング素子 U_{11} 、 Y_{11} 用ゲート指令信号と、

前記スイッチング素子 U_{11} 、 Y_{11} 用ゲート指令信号に対して1クロック

ク遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X11、V11用ゲート指令信号と、

前記スイッチング素子X11、V11用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U21、Y21用ゲート指令信号と、

前記スイッチング素子U21、Y21用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X21、V21用ゲート指令信号と、

前記スイッチング素子X21、V21用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U31、Y31用ゲート指令信号と、

前記スイッチング素子U31、Y31用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X31、V31用ゲート指令信号と、

前記スイッチング素子X31、V31用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U12、Y12用ゲート指令信号と、

前記スイッチング素子U12、Y12用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X12、V12用ゲート指令信号と、

前記スイッチング素子X12、V12用ゲート指令信号に対して1クロック

ク遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U22、Y22用ゲート指令信号と、

前記スイッチング素子U22、Y22用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X22、V22用ゲート指令信号と、

前記スイッチング素子X22、V22用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U32、Y32用ゲート指令信号と、

前記スイッチング素子U32、Y32用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X32、V32用ゲート指令信号と、

を作成するゲート指令作成ステップを備え、

前記作成された各ゲート指令信号によって前記各スイッチング素子をON、OFF制御することを特徴としている。

[0026] また、請求項2に記載の共振負荷用電力変換装置は、直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置であって、

前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、M個（Mは2以上の整数）のスイッチング素子の直列体をN個（Nは2以上の整数）並列にそれぞれの直列体間を主回路導体で接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を $1 / (M \times N)$ に時分割でスイッチング制御する制御部とを備え、

前記各スイッチ群回路のN個の直列体は各々モジュールで構成され、各直

列体のM個のスイッチング素子同士はモジュール内部で接続されていることを特徴としている。

[0027] また、請求項5に記載の共振負荷用電力変換装置の時分割運転方法は、直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備え、前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、M個（Mは2以上の整数）のスイッチング素子の直列体をN個（Nは2以上の整数）並列にそれぞれの直列体間を主回路導体で接続して構成されたスイッチ群回路を備えた共振負荷用電力変換装置の時分割運転方法であって、

前記各スイッチ群回路のN個の直列体は各々モジュールで構成され、各直列体のM個のスイッチング素子同士はモジュール内部で接続されており、

制御部が、前記単相インバータの前記スイッチ群回路の各スイッチング素子を $1 / (M \times N)$ に時分割でスイッチング制御する制御ステップを備えたことを特徴としている。

[0028] また、請求項3に記載の共振負荷用電力変換装置は、直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置であって、

前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、m個（mは2以上の整数）のスイッチング素子の直列体をn個（nは2以上の整数）並列にそれぞれの直列体間を主回路導体で接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を $1 / (m \times n)$ に時分割でスイッチング制御する制御部とを備え、

前記単相インバータの一方の相の上アームのスイッチ群回路は、 $U_{11} \sim U_{1m}$ のm個のスイッチング素子が直列接続された第1の直列体と、 $\dots U_{n1} \sim U_{nm}$ のm個のスイッチング素子が直列接続された第nの直列体とを有し、前記第1の直列体から第nの直列体までのn個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、 $X_{11} \sim X_{1m}$ の m 個のスイッチング素子が直列接続された第1の直列体と、 $\dots X_{n1} \sim X_{nm}$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第1の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、 $V_{11} \sim V_{1m}$ の m 個のスイッチング素子が直列接続された第1の直列体と、 $\dots V_{n1} \sim V_{nm}$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第1の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、 $Y_{11} \sim Y_{1m}$ の m 個のスイッチング素子が直列接続された第1の直列体と、 $\dots Y_{n1} \sim Y_{nm}$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第1の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記制御部は、

前記単相インバータの出力電圧指令のON、OFFをトリガとするクロックと、

$2 \times$ 直列数 $M \times$ 並列数 N クロック (M 、 N は2以上の整数)を1周期とし、 $2 \times$ 並列数 $N \times$ (直列数 $M - 1$) + 1クロックの期間ON信号を出力し、 $\{2 \times$ 直列数 $M \times$ 並列数 $N\} - \{2 \times$ 並列数 $N \times$ (直列数 $M - 1$) + 1}クロックの期間OFF信号を出力するスイッチング素子 U_{11} 、 Y_{11} 用ゲート指令信号 U_{11_gate}/Y_{11_gate} と、

前記ゲート指令信号 U_{11_gate}/Y_{11_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{11} 、 V_{11} 用ゲート指令信号 X_{11_gate}/V_{11_gate} と、

前記ゲート指令信号 X_{11_gate}/V_{11_gate} よりも1クロック遅延し、

当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U21, Y21用ゲート指令信号U21_gate/Y21_gateと、

前記ゲート指令信号U21_gate/Y21_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X21, V21用ゲート指令信号X21_gate/V21_gateと、

・
・
・

ゲート指令信号X(n-1)_gate/V(n-1)_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子Un1, Yn1用ゲート指令信号Un1_gate/Yn1_gateと、

前記ゲート指令信号Un1_gate/Yn1_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子Xn1, Vn1用ゲート指令信号Xn1_gate/Vn1_gateと、

前記ゲート指令信号Xn1_gate/Vn1_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U12, Y12用ゲート指令信号U12_gate/Y12_gateと、

前記ゲート指令信号U12_gate/Y12_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X12, V12用ゲート指令信号X12_gate/V12_gateと、

前記ゲート指令信号X12_gate/V12_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期

間を有するスイッチング素子 U_{22} , Y_{22} 用ゲート指令信号 U_{22_gate}/Y_{22_gate} と、

前記ゲート指令信号 U_{22_gate}/Y_{22_gate} よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X_{22} , V_{22} 用ゲート指令信号 X_{22_gate}/V_{22_gate} と、

・
・
・

ゲート指令信号 $X_{(n-1)2_gate}/V_{(n-1)2_gate}$ よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U_{n2} , Y_{n2} 用ゲート指令信号 U_{n2_gate}/Y_{n2_gate} と、

前記ゲート指令信号 U_{n2_gate}/Y_{n2_gate} よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X_{n2} , V_{n2} 用ゲート指令信号 X_{n2_gate}/V_{n2_gate} と、

・
・
・

ゲート指令信号 $X_{(n-1)m_gate}/V_{(n-1)m_gate}$ よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U_{nm} , Y_{nm} 用ゲート指令信号 U_{nm_gate}/Y_{nm_gate} と、

前記ゲート指令信号 U_{nm_gate}/Y_{nm_gate} よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X_{nm} , V_{nm} 用ゲート指令信号 X_{nm_gate}/V_{nm_gate} と、

を作成するゲート指令作成部を備え、

前記作成された各ゲート指令信号によって前記各スイッチング素子をON、OFF制御することを特徴としている。

[0029] また、請求項6に記載の共振負荷用電力変換装置の時分割運転方法は、直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備え、前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、 m 個（ m は2以上の整数）のスイッチング素子の直列体を n 個（ n は2以上の整数）並列にそれぞれの直列体間を主回路導体で接続して構成されたスイッチ群回路を備えた共振負荷用電力変換装置の時分割運転方法であって、

制御部が、前記単相インバータの前記スイッチ群回路の各スイッチング素子を $1/(m \times n)$ に時分割でスイッチング制御する制御ステップを備え

前記単相インバータの一方の相の上アームのスイッチ群回路は、 $U11 \sim U1m$ の m 個のスイッチング素子が直列接続された第1の直列体と、 $\dots U n1 \sim U nm$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第1の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、 $X11 \sim X1m$ の m 個のスイッチング素子が直列接続された第1の直列体と、 $\dots X n1 \sim X nm$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第1の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、 $V11 \sim V1m$ の m 個のスイッチング素子が直列接続された第1の直列体と、 $\dots V n1 \sim V nm$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第1の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、 $Y11 \sim$

Y 1 m の m 個のスイッチング素子が直列接続された第 1 の直列体と、 $\dots$ Y n 1 ~ Y n m の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第 1 の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記制御ステップは、

ゲート指令作成部が、前記単相インバータの出力電圧指令の ON、OFF をトリガとするクロックと、

$2 \times$ 直列数 M $\times$ 並列数 N クロック (M、N は 2 以上の整数) を 1 周期とし、 $2 \times$ 並列数 N $\times$ (直列数 M - 1) + 1 クロックの期間 ON 信号を出力し、 $\{2 \times$ 直列数 M $\times$ 並列数 N $\} - \{2 \times$ 並列数 N $\times$ (直列数 M - 1) + 1 $\}$ クロックの期間 OFF 信号を出力するスイッチング素子 U 1 1、Y 1 1 用ゲート指令信号 U 1 1_gate / Y 1 1_gate と、

前記ゲート指令信号 U 1 1_gate / Y 1 1_gate よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X 1 1、V 1 1 用ゲート指令信号 X 1 1_gate / V 1 1_gate と、

前記ゲート指令信号 X 1 1_gate / V 1 1_gate よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U 2 1、Y 2 1 用ゲート指令信号 U 2 1_gate / Y 2 1_gate と、

前記ゲート指令信号 U 2 1_gate / Y 2 1_gate よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X 2 1、V 2 1 用ゲート指令信号 X 2 1_gate / V 2 1_gate と、

・
・
・

ゲート指令信号 X (n - 1) 1_gate / V (n - 1) 1_gate よりも 1 クロ

ック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 U_{n1} 、 Y_{n1} 用ゲート指令信号 U_{n1_gate}/Y_{n1_gate} と、

前記ゲート指令信号 U_{n1_gate}/Y_{n1_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{n1} 、 V_{n1} 用ゲート指令信号 X_{n1_gate}/V_{n1_gate} と、

前記ゲート指令信号 X_{n1_gate}/V_{n1_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 U_{12} 、 Y_{12} 用ゲート指令信号 U_{12_gate}/Y_{12_gate} と、

前記ゲート指令信号 U_{12_gate}/Y_{12_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{12} 、 V_{12} 用ゲート指令信号 X_{12_gate}/V_{12_gate} と、

前記ゲート指令信号 X_{12_gate}/V_{12_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 U_{22} 、 Y_{22} 用ゲート指令信号 U_{22_gate}/Y_{22_gate} と、

前記ゲート指令信号 U_{22_gate}/Y_{22_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{22} 、 V_{22} 用ゲート指令信号 X_{22_gate}/V_{22_gate} と、

・
・
・

ゲート指令信号 $X_{(n-1)2_gate}/V_{(n-1)2_gate}$ よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間お

よびOFF期間を有するスイッチング素子 U_{n2} , Y_{n2} 用ゲート指令信号 U_{n2_gate}/Y_{n2_gate} と、

前記ゲート指令信号 U_{n2_gate}/Y_{n2_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{n2} , V_{n2} 用ゲート指令信号 X_{n2_gate}/V_{n2_gate} と、

・
・
・

ゲート指令信号 $X_{(n-1)m_gate}/V_{(n-1)m_gate}$ よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 U_{nm} , Y_{nm} 用ゲート指令信号 U_{nm_gate}/Y_{nm_gate} と、

前記ゲート指令信号 U_{nm_gate}/Y_{nm_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{nm} , V_{nm} 用ゲート指令信号 X_{nm_gate}/V_{nm_gate} と、

を作成するゲート指令作成ステップを備え、

前記作成された各ゲート指令信号によって前記各スイッチング素子をON、OFF制御することを特徴としている。

(1) 請求項1～6に記載の発明によれば、各スイッチング素子のスイッチング周波数をM直列×N並列の数に反比例した周波数まで下げることができる。

[0030] また、単相インバータの直流リンク電圧入力部 V_{dc} と上、下アームそれぞれのスイッチング素子の直流入力側端子との間、および矩形波電圧出力部 V_{out} と上、下アームそれぞれのスイッチング素子の出力側端子との間に接続されている主回路導体の数は $M \times N$ よりも少なくすることができる。これによって、装置の低廉化を図ることができ、また、主回路導体の設置スベ

ースを小さくすることができる。

[0031] スイッチ群回路は、スイッチング素子をM直列N並列接続した構成となっているため、スイッチング素子の配置は従来に比べて拡大せず、主回路導体の経路長のばらつきに基づくインピーダンスのばらつきを低減することができる。

(2) 請求項1、3、4、6に記載の発明によれば、ゲート指令作成部によって作成されたゲート指令信号によって、各スイッチング素子がON又はOFFに制御される期間が複数のクロックによって連続しているため、素子特性で決まる最小のパルス幅の制限による出力周波数の制限を回避することができる。

図面の簡単な説明

[0032] [図1]本発明の実施例1による単相インバータの構成図。

[図2]本発明の実施例1によるゲート指令信号生成パターンの一例を示す信号波形図。

[図3]図2のゲート指令信号生成パターン(1)～(6)における、ON制御されるスイッチング素子の様子および出力電流経路を示す説明図。

[図4]図2のゲート指令信号生成パターン(7)～(12)における、ON制御されるスイッチング素子の様子および出力電流経路を示す説明図。

[図5]本発明の実施例2による単相インバータの構成図。

[図6]本発明の実施例2によるゲート指令信号生成パターンの一例を示す信号波形図。

[図7]本発明が適用される共振負荷用電力変換装置の構成図。

[図8]特許文献1の共振負荷インバータシステムの変形例となるインバータ部の回路構成図。

[図9]図8のインバータ部の各スイッチング素子を制御するためのゲート指令信号生成パターンの一例を示す信号波形図。

[図10]図9のゲート指令信号生成パターン(1)～(6)における、ON制御されるスイッチング素子の様子および出力電流経路を示す説明図。

発明を実施するための形態

[0033] 以下、図面を参照しながら本発明の実施の形態を説明するが、本発明は下記の実施形態例に限定されるものではない。

実施例 1

[0034] 図 1 は本実施例 1 による単相インバータ部の構成を表し、例えば図 7 の交直変換装置 10（共振負荷用電力変換装置）に適用される単相インバータを示している。

[0035] 図 1 の単相インバータの直流入力部は直流リンク電圧入力部 V_{dc} に接続され、各アームは M 直列 N 並列（ $M = 2$ 以上の整数、 $N = 2$ 以上の整数；図 1 の例では 2 直列 3 並列）のスイッチング素子（例えば IGBT）を備えたスイッチ群回路 100U、100V、100X、100Y が各々接続され、スイッチ群回路 100U および 100X の共通接続点とスイッチ群回路 100V および 100Y の共通接続点の間には、矩形波の出力電圧 V_{out} が出力されるように構成されている。

[0036] 単相インバータの一方の相の上アームのスイッチ群回路 100U は、U1 および U12 の 2 個のスイッチング素子が直列接続された第 1 の直列体と U21 および U22 の 2 個のスイッチング素子が直列接続された第 2 の直列体と U31 および U32 の 2 個のスイッチング素子が直列接続された第 3 の直列体とを有し、前記第 1 の直列体から第 3 の直列体までの 3 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成されている。

[0037] 前記単相インバータの一方の相の下アームのスイッチ群回路 100X は、X11 および X12 の 2 個のスイッチング素子が直列接続された第 1 の直列体と X21 および X22 の 2 個のスイッチング素子が直列接続された第 2 の直列体と X31 および X32 の 2 個のスイッチング素子が直列接続された第 3 の直列体とを有し、前記第 1 の直列体から第 3 の直列体までの 3 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成されている。

[0038] 前記単相インバータの他方の相の上アームのスイッチ群回路 100V は、

V 1 1 および V 1 2 の 2 個のスイッチング素子が直列接続された第 1 の直列体と V 2 1 および V 2 2 の 2 個のスイッチング素子が直列接続された第 2 の直列体と V 3 1 および V 3 2 の 2 個のスイッチング素子が直列接続された第 3 の直列体とを有し、前記第 1 の直列体から第 3 の直列体までの 3 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成されている。

[0039] 前記単相インバータの他方の相の下アームのスイッチ群回路 1 0 0 Y は、Y 1 1 および Y 1 2 の 2 個のスイッチング素子が直列接続された第 1 の直列体と Y 2 1 および Y 2 2 の 2 個のスイッチング素子が直列接続された第 2 の直列体と Y 3 1 および Y 3 2 の 2 個のスイッチング素子が直列接続された第 3 の直列体とを有し、前記第 1 の直列体から第 3 の直列体までの 3 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成されている。

[0040] 前記の各直列体は 2 i n 1 構造のモジュールで構成され、各直列体の 2 つのスイッチング素子同士はモジュール内部で接続されている。

[0041] 上記のように図 1 の単相インバータによれば、スイッチ群回路のスイッチング素子が直並列接続であるため、直流リンク電圧入力部 V d c と上、下アームそれぞれのスイッチング素子の直流入力側端子との間、および矩形波電圧出力部 V o u t と上、下アームそれぞれのスイッチング素子の出力側端子との間に接続される主回路導体数をスイッチング素子数 (M×N) よりも少なくすることができる。そして、スイッチング素子が直並列接続であるため、スイッチング素子数 (M×N) に比例して主回路導体の配設スペースが拡大されることはなく、主回路導体の経路長のばらつきに基づくインピーダンスのばらつきを低減できる。

[0042] 図 1 の単相インバータを制御する制御部は、図 2 のゲート指令信号生成パターンに示すクロックおよびゲート指令信号を作成するゲート指令作成部を備えており、該作成されたゲート指令信号によって各スイッチング素子が O N , O F F 制御される。

[0043] 図2のゲート指令信号生成パターンは、図1に示す直列数 $M=2$ 、並列数 $N=3$ の場合に、単相インバータの出力電圧指令 (V_{out_ref}) のON, OFFをトリガとするクロックを用い、 $2 * M * N = 12$ クロックで1周期とし、ON信号を $2 * N * (M - 1) + 1 = 7$ クロック、OFF信号を ($2 * M * N$) - $\{2 * N * (M - 1) + 1\} = 5$ クロックとした信号生成パターンを示している。

[0044] したがって、図2のゲート指令信号生成パターンは、

単相インバータの出力電圧指令 (V_{out_ref}) のON, OFFをトリガとするクロックと、

$12 (2 \times (\text{直列数} M) \times (\text{並列数} N))$ クロックを1周期とし、 $7 (2 \times (\text{並列数} N) \times (\text{直列数} M - 1) + 1)$ クロックはON信号を出力し、 $5 \{2 \times (\text{直列数} M) \times (\text{並列数} N) - (2 \times (\text{並列数} N) \times (\text{直列数} M - 1) + 1)\}$ クロックはOFF信号を出力するスイッチング素子U11, Y11用ゲート指令信号U11_gate/Y11_gateと、

前記ゲート指令信号U11_gate/Y11_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X11, V11用ゲート指令信号X11_gate/V11_gateと、

前記ゲート指令信号X11_gate/V11_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U21, Y21用ゲート指令信号U21_gate/Y21_gateと、

前記ゲート指令信号U21_gate/Y21_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X21, V21用ゲート指令信号X21_gate/V21_gateと、

前記ゲート指令信号X21_gate/V21_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期

間を有するスイッチング素子U 3 1, Y 3 1用ゲート指令信号U 3 1 _gate/
Y 3 1 _gateと、

前記ゲート指令信号U 3 1 _gate/Y 3 1 _gateよりも1クロック遅延し、
当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期
間を有するスイッチング素子X 3 1, V 3 1用ゲート指令信号X 3 1 _gate/
V 3 1 _gateと、

前記ゲート指令信号X 3 1 _gate/V 3 1 _gateよりも1クロック遅延し、
当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期
間を有するスイッチング素子U 1 2, Y 1 2用ゲート指令信号U 1 2 _gate/
Y 1 2 _gateと、

前記ゲート指令信号U 1 2 _gate/Y 1 2 _gateよりも1クロック遅延し、
当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期
間を有するスイッチング素子X 1 2, V 1 2用ゲート指令信号X 1 2 _gate/
V 1 2 _gateと、

前記ゲート指令信号X 1 2 _gate/V 1 2 _gateよりも1クロック遅延し、
当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期
間を有するスイッチング素子U 2 2, Y 2 2用ゲート指令信号U 2 2 _gate/
Y 2 2 _gateと、

前記ゲート指令信号U 2 2 _gate/Y 2 2 _gateよりも1クロック遅延し、
当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期
間を有するスイッチング素子X 2 2, V 2 2用ゲート指令信号X 2 2 _gate/
V 2 2 _gateと、

前記ゲート指令信号X 2 2 _gate/V 2 2 _gateよりも1クロック遅延し、
当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期
間を有するスイッチング素子U 3 2, Y 3 2用ゲート指令信号U 3 2 _gate/
Y 3 2 _gateと、

前記ゲート指令信号U 3 2 _gate/Y 3 2 _gateよりも1クロック遅延し、
当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期

間を有するスイッチング素子X 3 2, V 3 2用ゲート指令信号X 3 2 _gate/
V 3 2 _gateとから構成される。

[0045] 図1の各スイッチング素子は、前記作成された図2の各ゲート指令信号U
1 1 _gate/Y 1 1 _gate…X 3 2 _gate/V 3 2 _gateによって、図示パター
ン(1)～(12)の繰り返しによりON, OFF制御される。

[0046] 図2のゲート指令信号生成パターンで図1におけるスイッチ群回路の各ス
イッチング素子をON, OFF制御したときの出力電流の関係を図3、図4
に示す。

[0047] 図3(a)～(f)は図2のパターン(1)～(6)に各々対応し、図4
(a)～(f)は図2のパターン(7)～(12)に各々対応しており、ゲ
ート指令のON信号によってON制御されたスイッチング素子には「ON」
を図示し、当該ON制御されたスイッチング素子および負荷を介して流れる
出力電流I_{out}の経路を矢印で示している。

[0048] 尚図3、図4の負荷は、誘導加熱装置などの共振負荷を示している。

[0049] 図3(a)のパターン(1)では、スイッチング素子U 1 1, Y 1 1, U
1 2, Y 1 2, X 1 2, V 1 2, U 2 2, Y 2 2, X 2 2, V 2 2, U 3 2
, Y 3 2, X 3 2, V 3 2がON制御され、スイッチング素子X 1 1, V 1
1, U 2 1, Y 2 1, X 2 1, V 2 1, U 3 1, Y 3 1, X 3 1, V 3 1が
OFF制御される。これによって電流は、スイッチング素子U 1 1→U 1 2
→負荷→スイッチング素子Y 1 1→Y 1 2の経路で流れる。

[0050] 図3(b)のパターン(2)では、スイッチング素子U 1 1, Y 1 1, X
1 1, V 1 1, X 1 2, V 1 2, U 2 2, Y 2 2, X 2 2, V 2 2, U 3 2
, Y 3 2, X 3 2, V 3 2がON制御され、スイッチング素子U 1 2, Y 1
2, U 2 1, Y 2 1, X 2 1, V 2 1, U 3 1, Y 3 1, X 3 1, V 3 1が
OFF制御される。これによって電流は、スイッチング素子V 1 1→V 1 2
→負荷→スイッチング素子X 1 1→X 1 2の経路で流れる。

[0051] 図3(c)のパターン(3)では、スイッチング素子U 1 1, Y 1 1, X
1 1, V 1 1, U 2 1, Y 2 1, U 2 2, Y 2 2, X 2 2, V 2 2, U 3 2

、Y 3 2、X 3 2、V 3 2がON制御され、スイッチング素子U 1 2、Y 1 2、X 1 2、V 1 2、X 2 1、V 2 1、U 3 1、Y 3 1、X 3 1、V 3 1がOFF制御される。これによって電流は、スイッチング素子U 2 1→U 2 2→負荷→スイッチング素子Y 2 1→Y 2 2の経路で流れる。

[0052] 図3 (d) のパターン (4) では、スイッチング素子U 1 1、Y 1 1、X 1 1、V 1 1、U 2 1、Y 2 1、X 2 1、V 2 1、X 2 2、V 2 2、U 3 2、Y 3 2、X 3 2、V 3 2がON制御され、スイッチング素子U 1 2、Y 1 2、X 1 2、V 1 2、U 2 2、Y 2 2、U 3 1、Y 3 1、X 3 1、V 3 1がOFF制御される。これによって電流は、スイッチング素子V 2 1→V 2 2→負荷→スイッチング素子X 2 1→X 2 2の経路で流れる。

[0053] 図3 (e) のパターン (5) では、スイッチング素子U 1 1、Y 1 1、X 1 1、V 1 1、U 2 1、Y 2 1、X 2 1、V 2 1、U 3 1、Y 3 1、U 3 2、Y 3 2、X 3 2、V 3 2がON制御され、スイッチング素子U 1 2、Y 1 2、X 1 2、V 1 2、U 2 2、Y 2 2、X 2 2、V 2 2、X 3 1、V 3 1がOFF制御される。これによって電流は、スイッチング素子U 3 1→U 3 2→負荷→スイッチング素子Y 3 1→Y 3 2の経路で流れる。

[0054] 図3 (f) のパターン (6) では、スイッチング素子U 1 1、Y 1 1、X 1 1、V 1 1、U 2 1、Y 2 1、X 2 1、V 2 1、U 3 1、Y 3 1、X 3 1、V 3 1、X 3 2、V 3 2がON制御され、スイッチング素子U 1 2、Y 1 2、X 1 2、V 1 2、U 2 2、Y 2 2、X 2 2、V 2 2、U 3 2、Y 3 2がOFF制御される。これによって電流は、スイッチング素子V 3 1→V 3 2→負荷→スイッチング素子X 3 1→X 3 2の経路で流れる。

[0055] 図4 (a) のパターン (7) では、スイッチング素子U 1 1、Y 1 1、U 1 2、Y 1 2、X 1 1、V 1 1、U 2 1、Y 2 1、X 2 1、V 2 1、U 3 1、Y 3 1、X 3 1、V 3 1がON制御され、スイッチング素子X 1 2、V 1 2、U 2 2、Y 2 2、X 2 2、V 2 2、U 3 2、Y 3 2、X 3 2、V 3 2がOFF制御される。これによって電流は、スイッチング素子U 1 1→U 1 2→負荷→スイッチング素子Y 1 1→Y 1 2の経路で流れる。

- [0056] 図4 (b) のパターン (8) では、スイッチング素子U 1 2, Y 1 2, X 1 1, V 1 1, X 1 2, V 1 2, U 2 1, Y 2 1, X 2 1, V 2 1, U 3 1, Y 3 1, X 3 1, V 3 1がON制御され、スイッチング素子U 1 1, Y 1 1, U 2 2, Y 2 2, X 2 2, V 2 2, U 3 2, Y 3 2, X 3 2, V 3 2がOFF制御される。これによって電流は、スイッチング素子V 1 1→V 1 2→負荷→スイッチング素子X 1 1→X 1 2の経路で流れる。
- [0057] 図4 (c) のパターン (9) では、スイッチング素子U 1 2, Y 1 2, X 1 2, V 1 2, U 2 1, Y 2 1, U 2 2, Y 2 2, X 2 1, V 2 1, U 3 1, Y 3 1, X 3 1, V 3 1がON制御され、スイッチング素子U 1 1, Y 1 1, X 1 1, V 1 1, X 2 2, V 2 2, U 3 2, Y 3 2, X 3 2, V 3 2がOFF制御される。これによって電流は、スイッチング素子U 2 1→U 2 2→負荷→スイッチング素子Y 2 1→Y 2 2の経路で流れる。
- [0058] 図4 (d) のパターン (10) では、スイッチング素子U 1 2, Y 1 2, X 1 2, V 1 2, U 2 2, Y 2 2, X 2 1, V 2 1, X 2 2, V 2 2, U 3 1, Y 3 1, X 3 1, V 3 1がON制御され、スイッチング素子U 1 1, Y 1 1, X 1 1, V 1 1, U 2 1, Y 2 1, U 3 2, Y 3 2, X 3 2, V 3 2がOFF制御される。これによって電流は、スイッチング素子V 2 1→V 2 2→負荷→スイッチング素子X 2 1→X 2 2の経路で流れる。
- [0059] 図4 (e) のパターン (11) では、スイッチング素子U 1 2, Y 1 2, X 1 2, V 1 2, U 2 2, Y 2 2, X 2 2, V 2 2, U 3 1, Y 3 1, U 3 2, Y 3 2, X 3 1, V 3 1がON制御され、スイッチング素子U 1 1, Y 1 1, X 1 1, V 1 1, U 2 1, Y 2 1, X 2 1, V 2 1, X 3 2, V 3 2がOFF制御される。これによって電流は、スイッチング素子U 3 1→U 3 2→負荷→スイッチング素子Y 3 1→Y 3 2の経路で流れる。
- [0060] 図4 (f) のパターン (12) では、スイッチング素子U 1 2, Y 1 2, X 1 2, V 1 2, U 2 2, Y 2 2, X 2 2, V 2 2, U 3 2, Y 3 2, X 3 1, V 3 1, X 3 2, V 3 2がON制御され、スイッチング素子U 1 1, Y 1 1, X 1 1, V 1 1, U 2 1, Y 2 1, X 2 1, V 2 1, U 3 1, Y 3 1

がOFF制御される。これによって電流は、スイッチング素子 $V_{31} \rightarrow V_{32} \rightarrow$ 負荷 $\rightarrow$ スイッチング素子 $X_{31} \rightarrow X_{32}$ の経路で流れる。

[0061] 上記図3、図4に示す(1)～(12)のパターンで各スイッチング素子を順次スイッチング(ON, OFF制御)する(すなわち、時分割運転すること)ことで、1つのスイッチング素子の駆動周波数を直並列数の積($M \times N$)に反比例した周波数 $1 / (M \times N)$ 、すなわち $1 / 6$ まで下げることができる。また、スイッチング素子がON又はOFFしている期間が複数のクロックによって連続しているため、素子特性で決まる最小パルス幅の制限による出力周波数の制限を回避できる(交直変換装置の出力周波数が、スイッチング素子の素子特性で制限を受けることがない)。

[0062] また、スイッチ群回路のスイッチング素子が直並列接続であるため、直流リンク電圧入力部 V_{dc} と上、下アームそれぞれのスイッチング素子の直流入力側端子との間、および矩形波電圧出力部 V_{out} と上、下アームそれぞれのスイッチング素子の出力側端子との間の主回路導体数をスイッチング素子数($M \times N$)よりも少なくすることができる。そして、スイッチング素子が直並列接続であるため、スイッチング素子数($M \times N$)に比例して主回路導体の配設スペースが拡大されることはなく、主回路導体の経路長のばらつきに基づくインピーダンスのばらつきを低減できる。

[0063] 尚、単相インバータの各アームのスイッチ群回路のスイッチング素子の直列数 M は2に限らず3以上であってもよく、また並列数 N は3に限らず2又は4以上であってもよい。単相インバータのスイッチング素子の駆動周波数は、直並列数の積($M \times N$)に反比例してスイッチング周波数を更に減らすことができる。

実施例 2

[0064] 図5は、本実施例2による単相インバータ部の構成を表し、例えば図7の交直変換装置10(共振負荷用電力変換装置)に適用される単相インバータを示している。

[0065] 図5の単相インバータの直流入力部は直流リンク電圧入力部 V_{dc} に接続

され、各アームはM直列N並列（M＝2以上の整数、N＝2以上の整数；図5の例では直列数Mが3以上、並列数Nが3以上）のスイッチング素子（例えばIGBT）を備えたスイッチ群回路200U、200V、200X、200Yが各々接続され、スイッチ群回路200Uおよび200Xの共通接続点とスイッチ群回路200Vおよび200Yの共通接続点の間には、矩形波の出力電圧 V_{out} が出力されるように構成されている。

[0066] 単相インバータの一方の相の上アームのスイッチ群回路200Uは、 U_{11} 、 $U_{12} \dots U_{1m}$ のm個のスイッチング素子が直列接続された第1の直列体と、 U_{21} 、 $U_{22} \dots U_{2m}$ のm個のスイッチング素子が直列接続された第2の直列体と、 U_{n1} 、 $U_{n2} \dots U_{nm}$ のm個のスイッチング素子が直列接続された第nの直列体とを有し、前記第1の直列体から第nの直列体までのn個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成されている。

[0067] 前記単相インバータの一方の相の下アームのスイッチ群回路200Xは、 X_{11} 、 $X_{12} \dots X_{1m}$ のm個のスイッチング素子が直列接続された第1の直列体と、 X_{21} 、 $X_{22} \dots X_{2m}$ のm個のスイッチング素子が直列接続された第2の直列体と、 X_{n1} 、 $X_{n2} \dots X_{nm}$ のm個のスイッチング素子が直列接続された第nの直列体とを有し、前記第1の直列体から第nの直列体までのn個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成されている。

[0068] 前記単相インバータの他方の相の上アームのスイッチ群回路200Vは、 V_{11} 、 $V_{12} \dots V_{1m}$ のm個のスイッチング素子が直列接続された第1の直列体と、 V_{21} 、 $V_{22} \dots V_{2m}$ のm個のスイッチング素子が直列接続された第2の直列体と、 V_{n1} 、 $V_{n2} \dots V_{nm}$ のm個のスイッチング素子が直列接続された第nの直列体とを有し、前記第1の直列体から第nの直列体までのn個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成されている。

[0069] 前記単相インバータの他方の相の下アームのスイッチ群回路200Yは、

Y_{11} 、 $Y_{12} \dots Y_{1m}$ の m 個のスイッチング素子が直列接続された第1の直列体と、 Y_{21} 、 $Y_{22} \dots Y_{2m}$ の m 個のスイッチング素子が直列接続された第2の直列体と、 Y_{n1} 、 $Y_{n2} \dots Y_{nm}$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第1の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成されている。

[0070] 前記の各直列体は、 m 個のスイッチング素子の直列体を1つのモジュールで構成したものであり、直列体の m 個のスイッチング素子同士はモジュール内部で接続されている。

[0071] 上記のように図5の単相インバータによれば、スイッチ群回路のスイッチング素子が直並列接続であるため、直流リンク電圧入力部 V_{dc} と上、下アームそれぞれのスイッチング素子の直流入力側端子との間、および矩形波電圧出力部 V_{out} と上、下アームそれぞれのスイッチング素子の出力側端子との間に接続される主回路導体数をスイッチング素子数($M \times N$)よりも少なくすることができる。そして、スイッチング素子が直並列接続であるため、スイッチング素子数($M \times N$)に比例して主回路導体の配設スペースが拡大されることはなく、主回路導体の経路長のばらつきに基づくインピーダンスのばらつきを低減できる。

[0072] 図5の単相インバータを制御する制御部は、例えば図6のゲート指令信号生成パターンに示すクロックおよびゲート指令信号を作成するゲート指令作成部を備えており、該作成されたゲート指令信号によって各スイッチング素子がON、OFF制御される。

[0073] 図6のゲート指令信号生成パターンは、図5の単相インバータの各アームのスイッチ群回路の直列数 $M=3$ 、並列数 $N=6$ の場合を想定しており、1周期を $2 * M * N = 36$ クロック、ON信号を $2 * N * (M - 1) + 1 = 25$ クロック、OFF信号を $(2 * M * N) - \{2 * N * (M - 1) + 1\} = 11$ クロックとした信号生成パターンを示している。

[0074] 尚図6では、スイッチング素子 U_{31} 、 Y_{31} 用ゲート指令信号 U_{31_ga}

te/Y 3 1 _gate…スイッチング素子X (n-1) 1, V (n-1) 1用ゲート指令信号X (n-1) 1 _gate/V (n-1) 1 _gateと、

スイッチング素子U 3 2, Y 3 2用ゲート指令信号U 3 2 _gate/Y 3 2 _gate…スイッチング素子X (n-1) 2, V (n-1) 2用ゲート指令信号X (n-1) 2 _gate/V (n-1) 2 _gateと、

スイッチング素子U 1 m, Y 1 m用ゲート指令信号U 1 m _gate/Y 1 m _gate…スイッチング素子X (n-1) m, V (n-1) m用ゲート指令信号X (n-1) m _gate/V (n-1) m _gateとは、

図示省略している。

[0075] したがって図6のゲート指令信号生成パターンは、

単相インバータの出力電圧指令 (Vout_ref) のON, OFFをトリガとするクロックと、

36 (2×(直列数M)×(並列数N))クロックを1周期とし、25 (2×(並列数N)×(直列数M-1)+1)クロックはON信号を出力し、11{(2×(直列数M)×(並列数N))-(2×(並列数N)×(直列数M-1)+1)}クロックはOFF信号を出力するスイッチング素子U 1 1, Y 1 1用ゲート指令信号U 1 1 _gate/Y 1 1 _gateと、

前記ゲート指令信号U 1 1 _gate/Y 1 1 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X 1 1, V 1 1用ゲート指令信号X 1 1 _gate/V 1 1 _gateと、

前記ゲート指令信号X 1 1 _gate/V 1 1 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U 2 1, Y 2 1用ゲート指令信号U 2 1 _gate/Y 2 1 _gateと、

前記ゲート指令信号U 2 1 _gate/Y 2 1 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X 2 1, V 2 1用ゲート指令信号X 2 1 _gate/

V 2 1 _gateと、

・
・
・

ゲート指令信号X (n-1) 1_gate/V (n-1) 1_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U n 1, Y n 1用ゲート指令信号U n 1 _gate/Y n 1 _gateと、

前記ゲート指令信号U n 1 _gate/Y n 1 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X n 1, V n 1用ゲート指令信号X n 1 _gate/V n 1 _gateと、

前記ゲート指令信号X n 1 _gate/V n 1 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U 1 2, Y 1 2用ゲート指令信号U 1 2 _gate/Y 1 2 _gateと、

前記ゲート指令信号U 1 2 _gate/Y 1 2 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X 1 2, V 1 2用ゲート指令信号X 1 2 _gate/V 1 2 _gateと、

前記ゲート指令信号X 1 2 _gate/V 1 2 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U 2 2, Y 2 2用ゲート指令信号U 2 2 _gate/Y 2 2 _gateと、

前記ゲート指令信号U 2 2 _gate/Y 2 2 _gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X 2 2, V 2 2用ゲート指令信号X 2 2 _gate/V 2 2 _gateと、

・
・
・

ゲート指令信号 $X(n-1)_2_gate/V(n-1)_2_gate$ よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U_{n2} , Y_{n2} 用ゲート指令信号 U_{n2_gate}/Y_{n2_gate} と、

前記ゲート指令信号 U_{n2_gate}/Y_{n2_gate} よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X_{n2} , V_{n2} 用ゲート指令信号 X_{n2_gate}/V_{n2_gate} と、

・
・
・

ゲート指令信号 $X(n-1)_m_gate/V(n-1)_m_gate$ よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U_{nm} , Y_{nm} 用ゲート指令信号 U_{nm_gate}/Y_{nm_gate} と、

前記ゲート指令信号 U_{nm_gate}/Y_{nm_gate} よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X_{nm} , V_{nm} 用ゲート指令信号 X_{nm_gate}/V_{nm_gate} と、から構成される。

[0076] 図 5 の単相インバータにおける各アームのスイッチ群回路の直列数 M を 3、並列数 N を 6 とした場合の各スイッチング素子は、前記作成された図 6 の各ゲート指令信号 $U_{11_gate}/Y_{11_gate} \cdots X_{nm_gate}/V_{nm_gate}$ によって、1 周期 ($2 * M * N$ クロック) 内のパターンの繰り返しにより ON, OFF 制御される。

[0077] 図 6 に示すパターンにより各スイッチング素子を順次スイッチング (ON

，OFF制御）する（すなわち、時分割運転する）ことで、1つのスイッチング素子の駆動周波数を、直並列数の積（ $M \times N$ ）に反比例した周波数 $1 / (M \times N)$ 、すなわち $1 / 18$ まで下げることができる。

[0078] また、スイッチング素子がON又はOFFしている期間が複数のクロックによって連続しているため、素子特性で決まる最小パルス幅の制限による出力周波数の制限を回避できる（交直変換装置の出力周波数が、スイッチング素子の素子特性で制限を受けることがない）。

[0079] また、スイッチ群回路のスイッチング素子が直並列接続であるため、直流リンク電圧入力部 V_{dc} と上、下アームそれぞれのスイッチング素子の直流入力側端子との間、および矩形波電圧出力部 V_{out} と上、下アームそれぞれのスイッチング素子の出力側端子との間の主回路導体数をスイッチング素子数（ $M \times N$ ）よりも少なくすることができる。そして、スイッチング素子が直並列接続であるため、スイッチング素子数（ $M \times N$ ）に比例して主回路導体の配設スペースが拡大されることはなく、主回路導体の経路長のばらつきに基づくインピーダンスのばらつきを低減できる。

請求の範囲

[請求項1]

直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置であって、

前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、 M 個（ M は2以上の整数）のスイッチング素子の直列体を N 個（ N は2以上の整数）並列にそれぞれの直列体間を主回路導体で接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を $1 / (M \times N)$ に時分割でスイッチング制御する制御部とを備え、

前記単相インバータの一方の相の上アームのスイッチ群回路は、 U_{11} および U_{12} の2個のスイッチング素子が直列接続された第1の直列体と U_{21} および U_{22} の2個のスイッチング素子が直列接続された第2の直列体と U_{31} および U_{32} の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、 X_{11} および X_{12} の2個のスイッチング素子が直列接続された第1の直列体と X_{21} および X_{22} の2個のスイッチング素子が直列接続された第2の直列体と X_{31} および X_{32} の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、 V_{11} および V_{12} の2個のスイッチング素子が直列接続された第1の直列体と V_{21} および V_{22} の2個のスイッチング素子が直列接続された第2の直列体と V_{31} および V_{32} の2個のスイッチング素子が

直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、Y 1 1 および Y 1 2 の2個のスイッチング素子が直列接続された第1の直列体と Y 2 1 および Y 2 2 の2個のスイッチング素子が直列接続された第2の直列体と Y 3 1 および Y 3 2 の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記制御部は、

前記単相インバータの出力電圧指令のON、OFFをトリガとするクロックと、

2×2 (=直列数M) $\times 3$ (=並列数N) クロックを1周期とし、 2×3 (=並列数N) $\times 1$ (=直列数M-1) + 1 クロックの期間ON信号を出力し、 $\{2 \times 2$ (=直列数M) $\times 3$ (=並列数N) $\} - \{2 \times 3$ (=並列数N) $\times 1$ (=直列数M-1) + 1 $\}$ クロックの期間OFF信号を出力するスイッチング素子U 1 1、Y 1 1 用ゲート指令信号と、

前記スイッチング素子U 1 1、Y 1 1 用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X 1 1、V 1 1 用ゲート指令信号と、

前記スイッチング素子X 1 1、V 1 1 用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U 2 1、Y 2 1 用ゲート指令信号と、

前記スイッチング素子U 2 1、Y 2 1 用ゲート指令信号に対して1

クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X21、V21用ゲート指令信号と、

前記スイッチング素子X21、V21用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U31、Y31用ゲート指令信号と、

前記スイッチング素子U31、Y31用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X31、V31用ゲート指令信号と、

前記スイッチング素子X31、V31用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U12、Y12用ゲート指令信号と、

前記スイッチング素子U12、Y12用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X12、V12用ゲート指令信号と、

前記スイッチング素子X12、V12用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U22、Y22用ゲート指令信号と、

前記スイッチング素子U22、Y22用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X22、V22用ゲート指令信号と、

前記スイッチング素子X22、V22用ゲート指令信号に対して1

クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U32、Y32用ゲート指令信号と、

前記スイッチング素子U32、Y32用ゲート指令信号に対して1クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X32、V32用ゲート指令信号と、

を作成するゲート指令作成部を備え、

前記作成された各ゲート指令信号によって前記各スイッチング素子をON、OFF制御する共振負荷用電力変換装置。

[請求項2]

直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置であって、

前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、M個（Mは2以上の整数）のスイッチング素子の直列体をN個（Nは2以上の整数）並列にそれぞれの直列体間を主回路導体で接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を $1/(M \times N)$ に時分割でスイッチング制御する制御部とを備え、

前記各スイッチ群回路のN個の直列体は各々モジュールで構成され、各直列体のM個のスイッチング素子同士はモジュール内部で接続されている共振負荷用電力変換装置。

[請求項3]

直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置であって、

前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、m個（mは2以上の整数）のスイッチング素子の直列体をn個（nは2以上の整数）並列にそれぞれの直列体

間を主回路導体で接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を $1 / (m \times n)$ に時分割でスイッチング制御する制御部とを備え、

前記単相インバータの一方の相の上アームのスイッチ群回路は、 $U_{11} \sim U_{1m}$ の m 個のスイッチング素子が直列接続された第 1 の直列体と、 $\dots U_{n1} \sim U_{nm}$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第 1 の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、 $X_{11} \sim X_{1m}$ の m 個のスイッチング素子が直列接続された第 1 の直列体と、 $\dots X_{n1} \sim X_{nm}$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第 1 の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、 $V_{11} \sim V_{1m}$ の m 個のスイッチング素子が直列接続された第 1 の直列体と、 $\dots V_{n1} \sim V_{nm}$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第 1 の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、 $Y_{11} \sim Y_{1m}$ の m 個のスイッチング素子が直列接続された第 1 の直列体と、 $\dots Y_{n1} \sim Y_{nm}$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第 1 の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記制御部は、

前記単相インバータの出力電圧指令のON、OFFをトリガとするクロックと、

$2 \times$ 直列数 $M \times$ 並列数 N クロック (M 、 N は 2 以上の整数) を 1 周期とし、 $2 \times$ 並列数 $N \times$ (直列数 $M - 1$) + 1 クロックの期間 ON 信号を出力し、 $\{2 \times$ 直列数 $M \times$ 並列数 $N\} - \{2 \times$ 並列数 $N \times$ (直列数 $M - 1$) + 1} クロックの期間 OFF 信号を出力するスイッチング素子 U_{11} 、 Y_{11} 用ゲート指令信号 U_{11_gate}/Y_{11_gate} と、

前記ゲート指令信号 U_{11_gate}/Y_{11_gate} よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X_{11} 、 V_{11} 用ゲート指令信号 X_{11_gate}/V_{11_gate} と、

前記ゲート指令信号 X_{11_gate}/V_{11_gate} よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U_{21} 、 Y_{21} 用ゲート指令信号 U_{21_gate}/Y_{21_gate} と、

前記ゲート指令信号 U_{21_gate}/Y_{21_gate} よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X_{21} 、 V_{21} 用ゲート指令信号 X_{21_gate}/V_{21_gate} と、

・
・
・

ゲート指令信号 $X_{(n-1)1_gate}/V_{(n-1)1_gate}$ よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U_{n1} 、 Y_{n1} 用ゲート指令信号 U_{n1_gate}/Y_{n1_gate} と、

前記ゲート指令信号 U_{n1_gate}/Y_{n1_gate} よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間お

よびOFF期間を有するスイッチング素子 X_{n1} 、 V_{n1} 用ゲート指令信号 X_{n1_gate}/V_{n1_gate} と、

前記ゲート指令信号 X_{n1_gate}/V_{n1_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 U_{12} 、 Y_{12} 用ゲート指令信号 U_{12_gate}/Y_{12_gate} と、

前記ゲート指令信号 U_{12_gate}/Y_{12_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{12} 、 V_{12} 用ゲート指令信号 X_{12_gate}/V_{12_gate} と、

前記ゲート指令信号 X_{12_gate}/V_{12_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 U_{22} 、 Y_{22} 用ゲート指令信号 U_{22_gate}/Y_{22_gate} と、

前記ゲート指令信号 U_{22_gate}/Y_{22_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{22} 、 V_{22} 用ゲート指令信号 X_{22_gate}/V_{22_gate} と、

・
・
・

ゲート指令信号 $X_{(n-1)2_gate}/V_{(n-1)2_gate}$ よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 U_{n2} 、 Y_{n2} 用ゲート指令信号 U_{n2_gate}/Y_{n2_gate} と、

前記ゲート指令信号 U_{n2_gate}/Y_{n2_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{n2} 、 V_{n2} 用ゲート指

令信号 X_{n2_gate}/V_{n2_gate} と、

・
・
・

ゲート指令信号 $X_{(n-1)m_gate}/V_{(n-1)m_gate}$ よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 U_{nm} , Y_{nm} 用ゲート指令信号 U_{nm_gate}/Y_{nm_gate} と、

前記ゲート指令信号 U_{nm_gate}/Y_{nm_gate} よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X_{nm} , V_{nm} 用ゲート指令信号 X_{nm_gate}/V_{nm_gate} と、

を作成するゲート指令作成部を備え、

前記作成された各ゲート指令信号によって前記各スイッチング素子を ON、OFF 制御する共振負荷用電力変換装置。

[請求項4]

直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備えた共振負荷用電力変換装置の時分割運転方法であって、

前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、M 個 (M は 2 以上の整数) のスイッチング素子の直列体を N 個 (N は 2 以上の整数) 並列にそれぞれの直列体間を主回路導体で接続して構成されたスイッチ群回路と、

前記単相インバータの前記スイッチ群回路の各スイッチング素子を $1/(M \times N)$ に時分割でスイッチング制御する制御部とを備え、

前記単相インバータの一方の相の上アームのスイッチ群回路は、 U_{11} および U_{12} の 2 個のスイッチング素子が直列接続された第 1 の直列体と U_{21} および U_{22} の 2 個のスイッチング素子が直列接続された第 2 の直列体と U_{31} および U_{32} の 2 個のスイッチング素子が

直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、 X_{11} および X_{12} の2個のスイッチング素子が直列接続された第1の直列体と X_{21} および X_{22} の2個のスイッチング素子が直列接続された第2の直列体と X_{31} および X_{32} の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、 V_{11} および V_{12} の2個のスイッチング素子が直列接続された第1の直列体と V_{21} および V_{22} の2個のスイッチング素子が直列接続された第2の直列体と V_{31} および V_{32} の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、 Y_{11} および Y_{12} の2個のスイッチング素子が直列接続された第1の直列体と Y_{21} および Y_{22} の2個のスイッチング素子が直列接続された第2の直列体と Y_{31} および Y_{32} の2個のスイッチング素子が直列接続された第3の直列体とを有し、前記第1の直列体から第3の直列体までの3個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成されており、

前記制御部が、

前記単相インバータの出力電圧指令のON、OFFをトリガとするクロックと、

2×2 (=直列数M) $\times 3$ (=並列数N) クロックを1周期とし、

2×3 (=並列数 N) $\times 1$ (=直列数 $M - 1$) + 1 クロックの期間 O_N 信号を出力し、 $\{2 \times 2$ (=直列数 M) $\times 3$ (=並列数 N) $\} - \{2 \times 3$ (=並列数 N) $\times 1$ (=直列数 $M - 1$) + 1 $\}$ クロックの期間 O_{FF} 信号を出力するスイッチング素子 U_{11} 、 Y_{11} 用ゲート指令信号と、

前記スイッチング素子 U_{11} 、 Y_{11} 用ゲート指令信号に対して 1 クロック遅延し、当該ゲート指令信号の O_N 期間および O_{FF} 期間と同一の O_N 期間および O_{FF} 期間を有するスイッチング素子 X_{11} 、 V_{11} 用ゲート指令信号と、

前記スイッチング素子 X_{11} 、 V_{11} 用ゲート指令信号に対して 1 クロック遅延し、当該ゲート指令信号の O_N 期間および O_{FF} 期間と同一の O_N 期間および O_{FF} 期間を有するスイッチング素子 U_{21} 、 Y_{21} 用ゲート指令信号と、

前記スイッチング素子 U_{21} 、 Y_{21} 用ゲート指令信号に対して 1 クロック遅延し、当該ゲート指令信号の O_N 期間および O_{FF} 期間と同一の O_N 期間および O_{FF} 期間を有するスイッチング素子 X_{21} 、 V_{21} 用ゲート指令信号と、

前記スイッチング素子 X_{21} 、 V_{21} 用ゲート指令信号に対して 1 クロック遅延し、当該ゲート指令信号の O_N 期間および O_{FF} 期間と同一の O_N 期間および O_{FF} 期間を有するスイッチング素子 U_{31} 、 Y_{31} 用ゲート指令信号と、

前記スイッチング素子 U_{31} 、 Y_{31} 用ゲート指令信号に対して 1 クロック遅延し、当該ゲート指令信号の O_N 期間および O_{FF} 期間と同一の O_N 期間および O_{FF} 期間を有するスイッチング素子 X_{31} 、 V_{31} 用ゲート指令信号と、

前記スイッチング素子 X_{31} 、 V_{31} 用ゲート指令信号に対して 1 クロック遅延し、当該ゲート指令信号の O_N 期間および O_{FF} 期間と同一の O_N 期間および O_{FF} 期間を有するスイッチング素子 U_{12} 、

Y 1 2 用ゲート指令信号と、

前記スイッチング素子U 1 2、Y 1 2 用ゲート指令信号に対して1
クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と
同一のON期間およびOFF期間を有するスイッチング素子X 1 2、
V 1 2 用ゲート指令信号と、

前記スイッチング素子X 1 2、V 1 2 用ゲート指令信号に対して1
クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と
同一のON期間およびOFF期間を有するスイッチング素子U 2 2、
Y 2 2 用ゲート指令信号と、

前記スイッチング素子U 2 2、Y 2 2 用ゲート指令信号に対して1
クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と
同一のON期間およびOFF期間を有するスイッチング素子X 2 2、
V 2 2 用ゲート指令信号と、

前記スイッチング素子X 2 2、V 2 2 用ゲート指令信号に対して1
クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と
同一のON期間およびOFF期間を有するスイッチング素子U 3 2、
Y 3 2 用ゲート指令信号と、

前記スイッチング素子U 3 2、Y 3 2 用ゲート指令信号に対して1
クロック遅延し、当該ゲート指令信号のON期間およびOFF期間と
同一のON期間およびOFF期間を有するスイッチング素子X 3 2、
V 3 2 用ゲート指令信号と、

を作成するゲート指令作成ステップを備え、

前記作成された各ゲート指令信号によって前記各スイッチング素子
をON、OFF制御する共振負荷用電力変換装置の時分割運転方法。

[請求項5]

直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共
振周波数で矩形波電圧を出力する単相インバータを備え、前記単相イ
ンバータの一方の相の上、下アームおよび他方の相の上、下アームに
各々接続され、M個（Mは2以上の整数）のスイッチング素子の直列

体をN個（Nは2以上の整数）並列にそれぞれの直列体間を主回路導体で接続して構成されたスイッチ群回路を備えた共振負荷用電力変換装置の時分割運転方法であって、

前記各スイッチ群回路のN個の直列体は各々モジュールで構成され、各直列体のM個のスイッチング素子同士はモジュール内部で接続されており、

制御部が、前記単相インバータの前記スイッチ群回路の各スイッチング素子を1／（M×N）に時分割でスイッチング制御する制御ステップを備えた共振負荷用電力変換装置の時分割運転方法。

[請求項6]

直流入力側が直流電圧源に、出力側が共振負荷に各々接続され、共振周波数で矩形波電圧を出力する単相インバータを備え、前記単相インバータの一方の相の上、下アームおよび他方の相の上、下アームに各々接続され、m個（mは2以上の整数）のスイッチング素子の直列体をn個（nは2以上の整数）並列にそれぞれの直列体間を主回路導体で接続して構成されたスイッチ群回路を備えた共振負荷用電力変換装置の時分割運転方法であって、

制御部が、前記単相インバータの前記スイッチ群回路の各スイッチング素子を1／（m×n）に時分割でスイッチング制御する制御ステップを備え

前記単相インバータの一方の相の上アームのスイッチ群回路は、 $U_{11} \sim U_{1m}$ のm個のスイッチング素子が直列接続された第1の直列体と、 $\dots U_{n1} \sim U_{nm}$ のm個のスイッチング素子が直列接続された第nの直列体とを有し、前記第1の直列体から第nの直列体までのn個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの一方の相の下アームのスイッチ群回路は、 $X_{11} \sim X_{1m}$ のm個のスイッチング素子が直列接続された第1の直列体と、 $\dots X_{n1} \sim X_{nm}$ のm個のスイッチング素子が直列接続された

第 n の直列体とを有し、前記第 1 の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の上アームのスイッチ群回路は、 $V_{11} \sim V_{1m}$ の m 個のスイッチング素子が直列接続された第 1 の直列体と、 $\dots V_{n1} \sim V_{nm}$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第 1 の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記単相インバータの他方の相の下アームのスイッチ群回路は、 $Y_{11} \sim Y_{1m}$ の m 個のスイッチング素子が直列接続された第 1 の直列体と、 $\dots Y_{n1} \sim Y_{nm}$ の m 個のスイッチング素子が直列接続された第 n の直列体とを有し、前記第 1 の直列体から第 n の直列体までの n 個の直列体を並列に、且つそれぞれの直列体間を主回路導体で接続して構成され、

前記制御ステップは、

ゲート指令作成部が、前記単相インバータの出力電圧指令の ON、OFF をトリガとするクロックと、

$2 \times$ 直列数 $M \times$ 並列数 N クロック (M 、 N は 2 以上の整数) を 1 周期とし、 $2 \times$ 並列数 $N \times$ (直列数 $M - 1$) + 1 クロックの期間 ON 信号を出力し、 $\{2 \times$ 直列数 $M \times$ 並列数 $N\} - \{2 \times$ 並列数 $N \times$ (直列数 $M - 1$) + 1} クロックの期間 OFF 信号を出力するスイッチング素子 U_{11} 、 Y_{11} 用ゲート指令信号 U_{11_gate}/Y_{11_gate} と、

前記ゲート指令信号 U_{11_gate}/Y_{11_gate} よりも 1 クロック遅延し、当該指令信号の ON 期間および OFF 期間と同一の ON 期間および OFF 期間を有するスイッチング素子 X_{11} 、 V_{11} 用ゲート指令信号 X_{11_gate}/V_{11_gate} と、

前記ゲート指令信号 X_{11_gate}/V_{11_gate} よりも 1 クロック遅

延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U21, Y21用ゲート指令信号U21_gate/Y21_gateと、

前記ゲート指令信号U21_gate/Y21_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X21, V21用ゲート指令信号X21_gate/V21_gateと、

・
・
・

ゲート指令信号X(n-1)_1_gate/V(n-1)_1_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子Un1, Yn1用ゲート指令信号Un1_gate/Yn1_gateと、

前記ゲート指令信号Un1_gate/Yn1_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子Xn1, Vn1用ゲート指令信号Xn1_gate/Vn1_gateと、

前記ゲート指令信号Xn1_gate/Vn1_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子U12, Y12用ゲート指令信号U12_gate/Y12_gateと、

前記ゲート指令信号U12_gate/Y12_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子X12, V12用ゲート指令信号X12_gate/V12_gateと、

前記ゲート指令信号X12_gate/V12_gateよりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間お

よびOFF期間を有するスイッチング素子 U_{22} , Y_{22} 用ゲート指令信号 U_{22_gate}/Y_{22_gate} と、

前記ゲート指令信号 U_{22_gate}/Y_{22_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{22} , V_{22} 用ゲート指令信号 X_{22_gate}/V_{22_gate} と、

・
・
・

ゲート指令信号 $X_{(n-1)2_gate}/V_{(n-1)2_gate}$ よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 U_{n2} , Y_{n2} 用ゲート指令信号 U_{n2_gate}/Y_{n2_gate} と、

前記ゲート指令信号 U_{n2_gate}/Y_{n2_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{n2} , V_{n2} 用ゲート指令信号 X_{n2_gate}/V_{n2_gate} と、

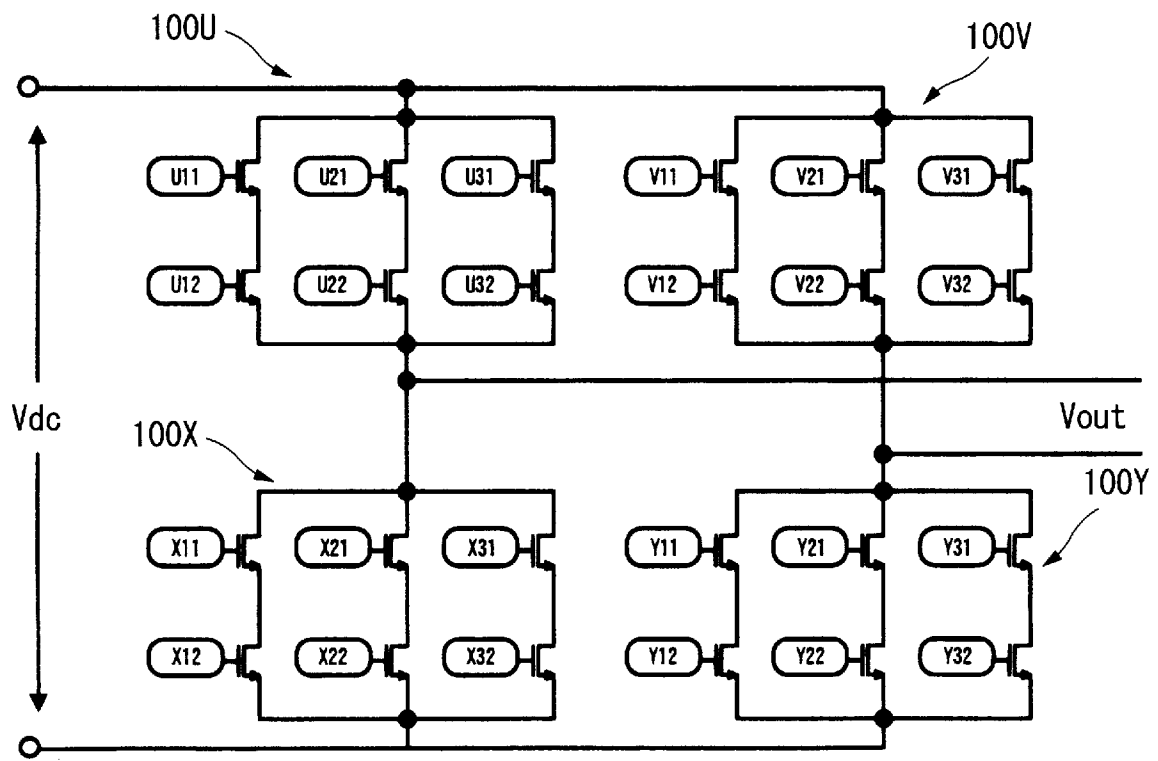
・
・
・

ゲート指令信号 $X_{(n-1)m_gate}/V_{(n-1)m_gate}$ よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 U_{nm} , Y_{nm} 用ゲート指令信号 U_{nm_gate}/Y_{nm_gate} と、

前記ゲート指令信号 U_{nm_gate}/Y_{nm_gate} よりも1クロック遅延し、当該指令信号のON期間およびOFF期間と同一のON期間およびOFF期間を有するスイッチング素子 X_{nm} , V_{nm} 用ゲート指令信号 X_{nm_gate}/V_{nm_gate} と、

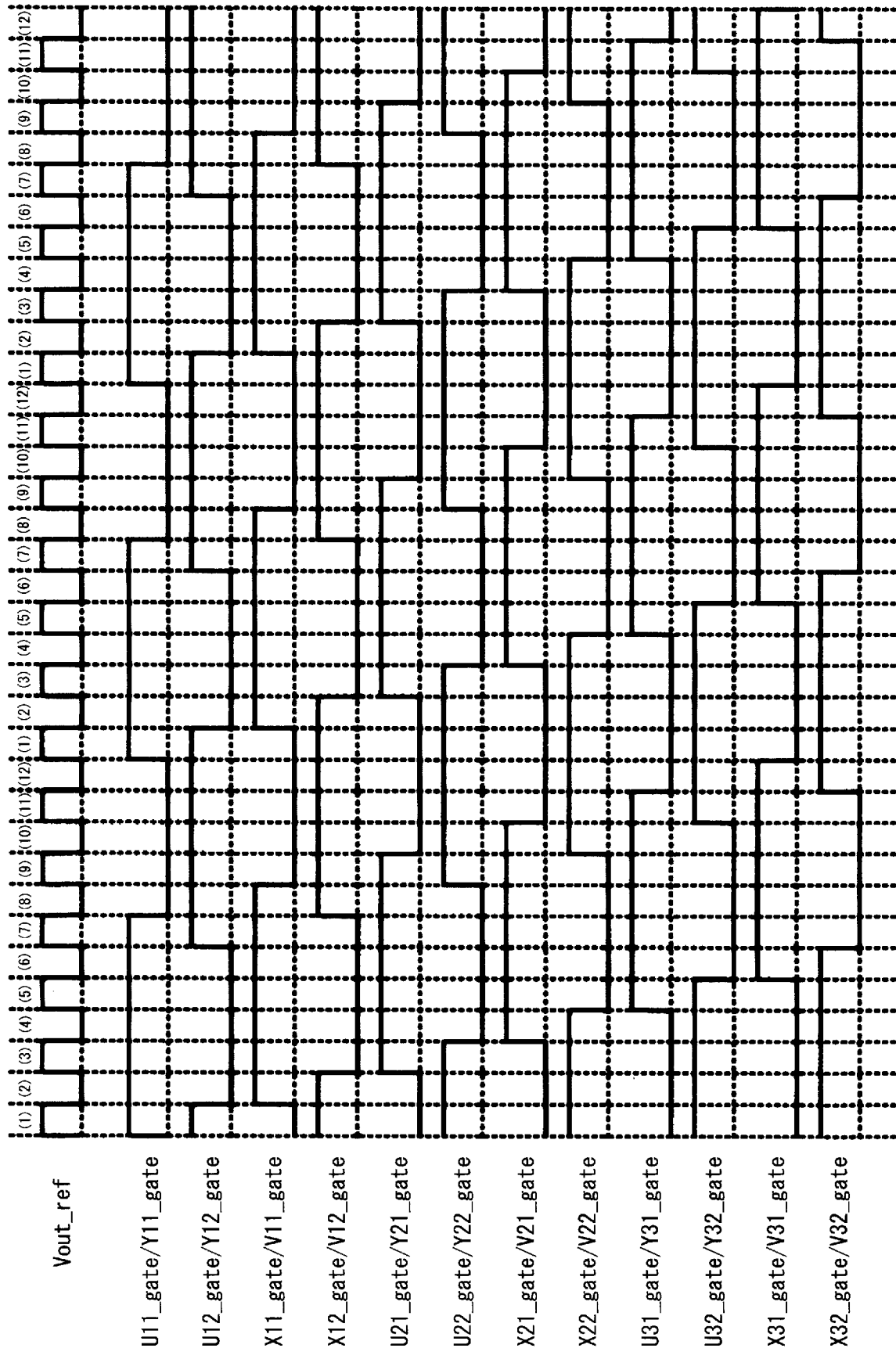
を作成するゲート指令作成ステップを備え、
前記作成された各ゲート指令信号によって前記各スイッチング素子をON、OFF制御する共振負荷用電力変換装置の時分割運転方法。

[図1]



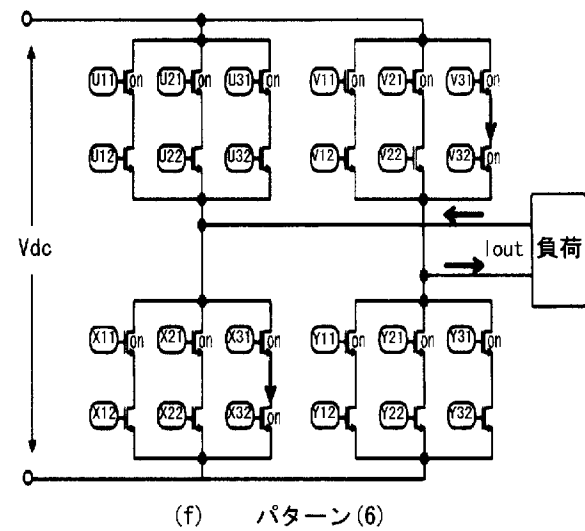
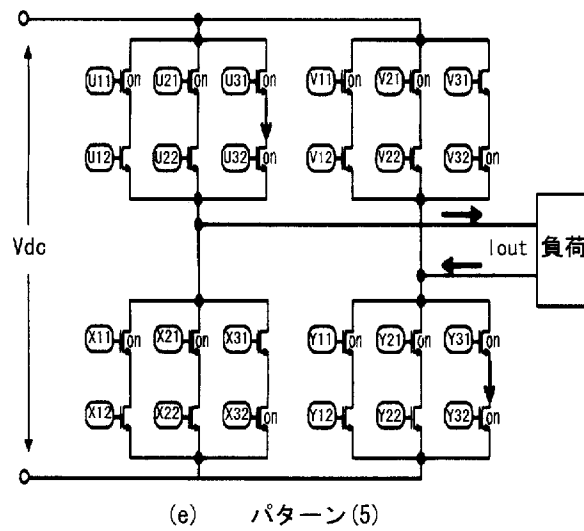
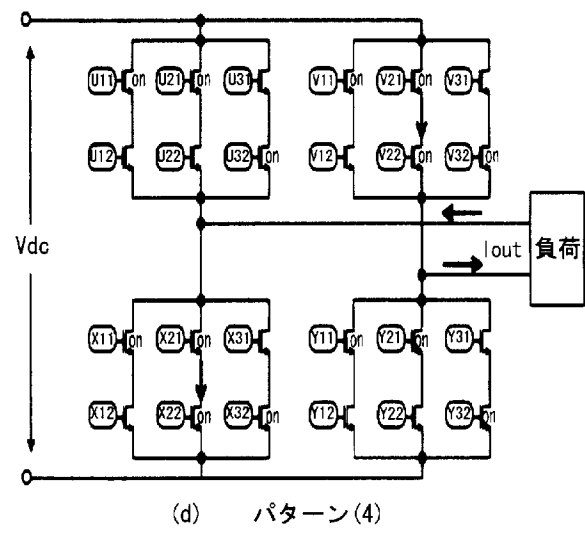
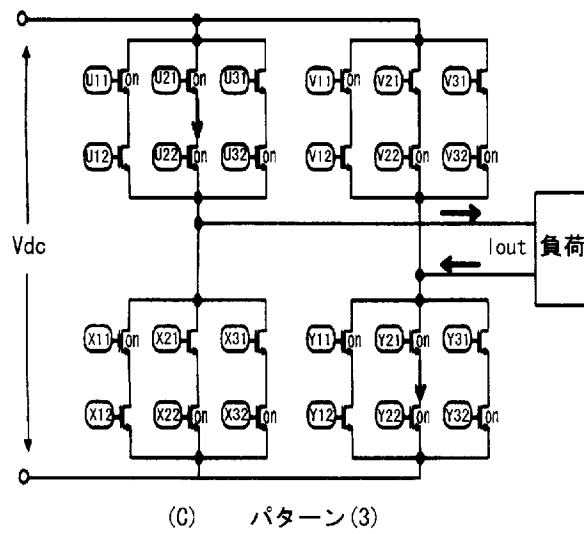
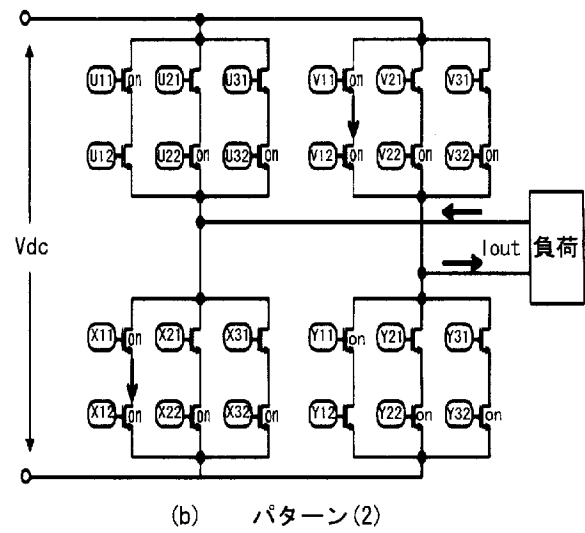
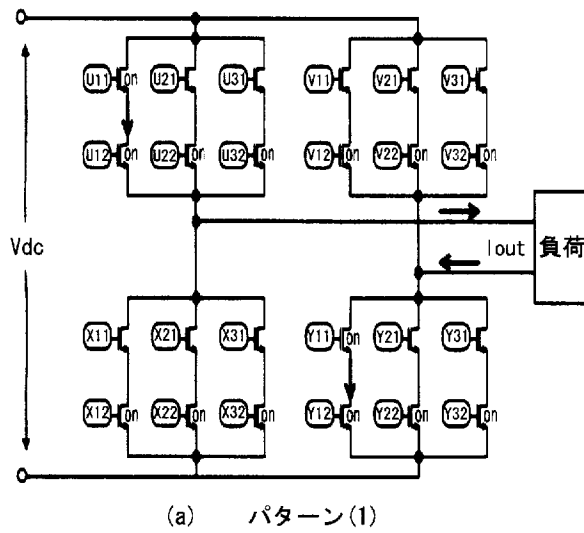
実施例1のインバータ部

[図2]



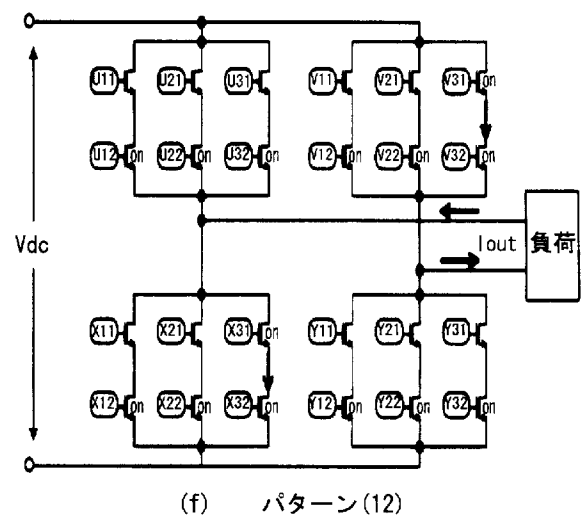
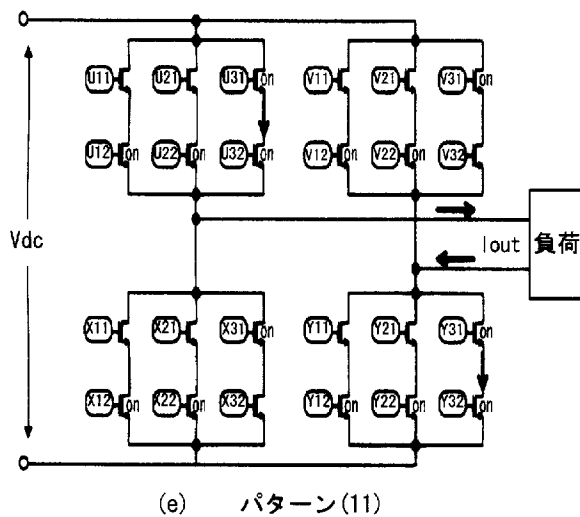
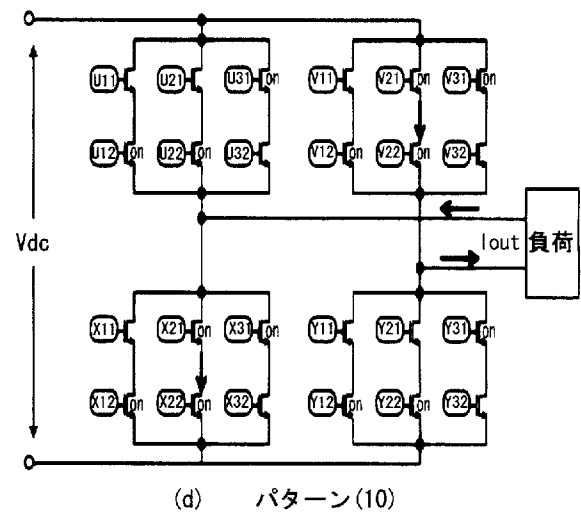
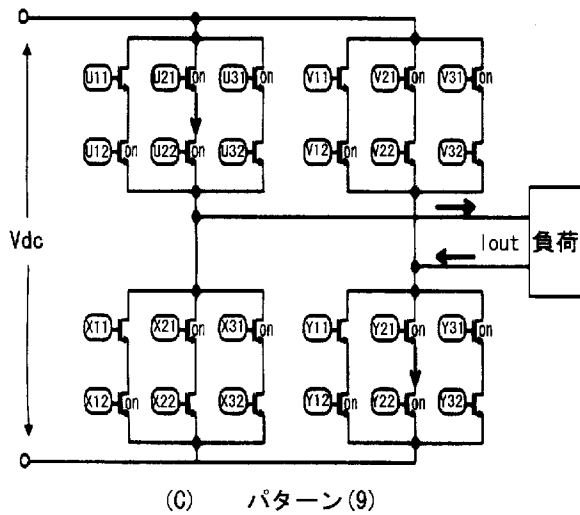
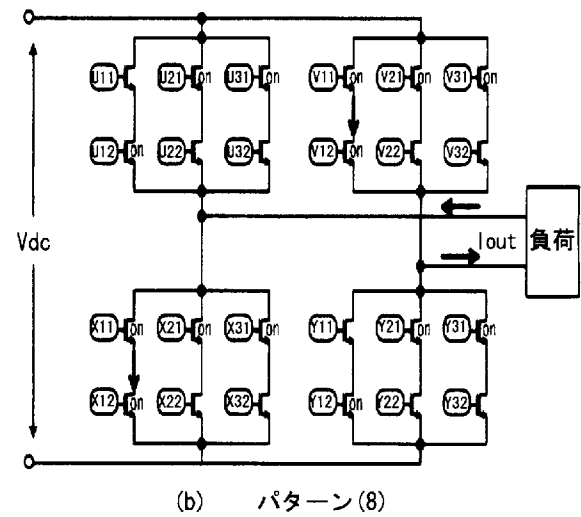
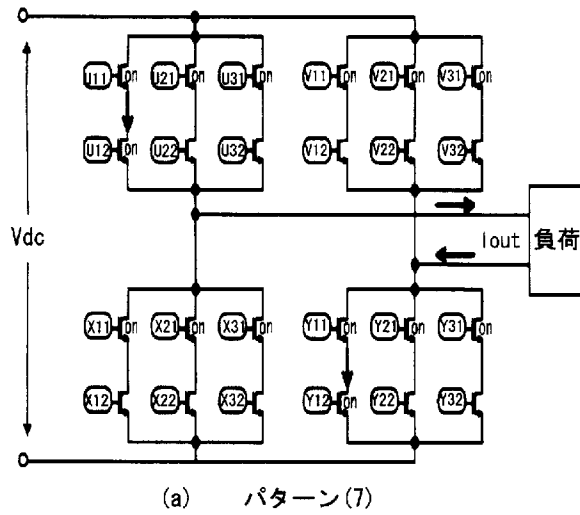
実施例 1 のゲート指令信号生成パターン

[図3]



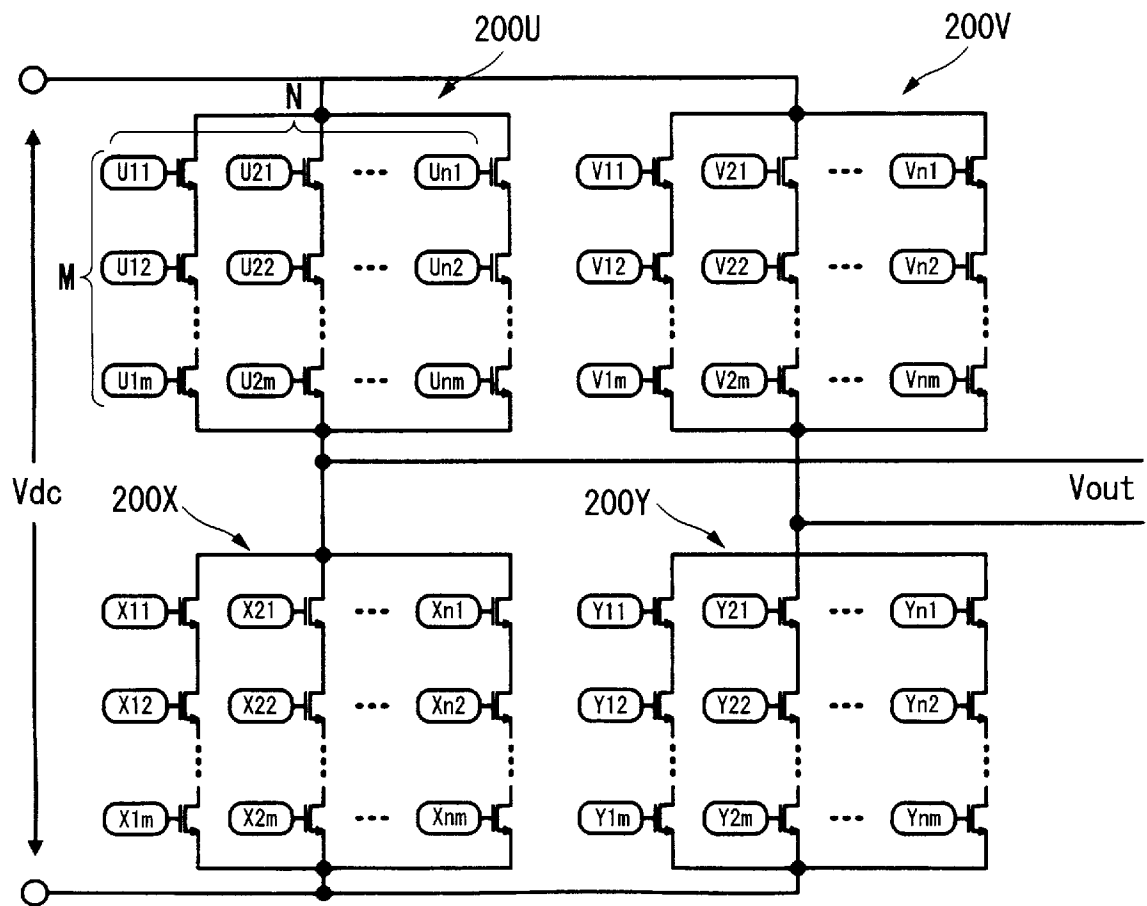
実施例1のゲート指令信号生成パターン(1)~(6)に対する出力電流

[図4]



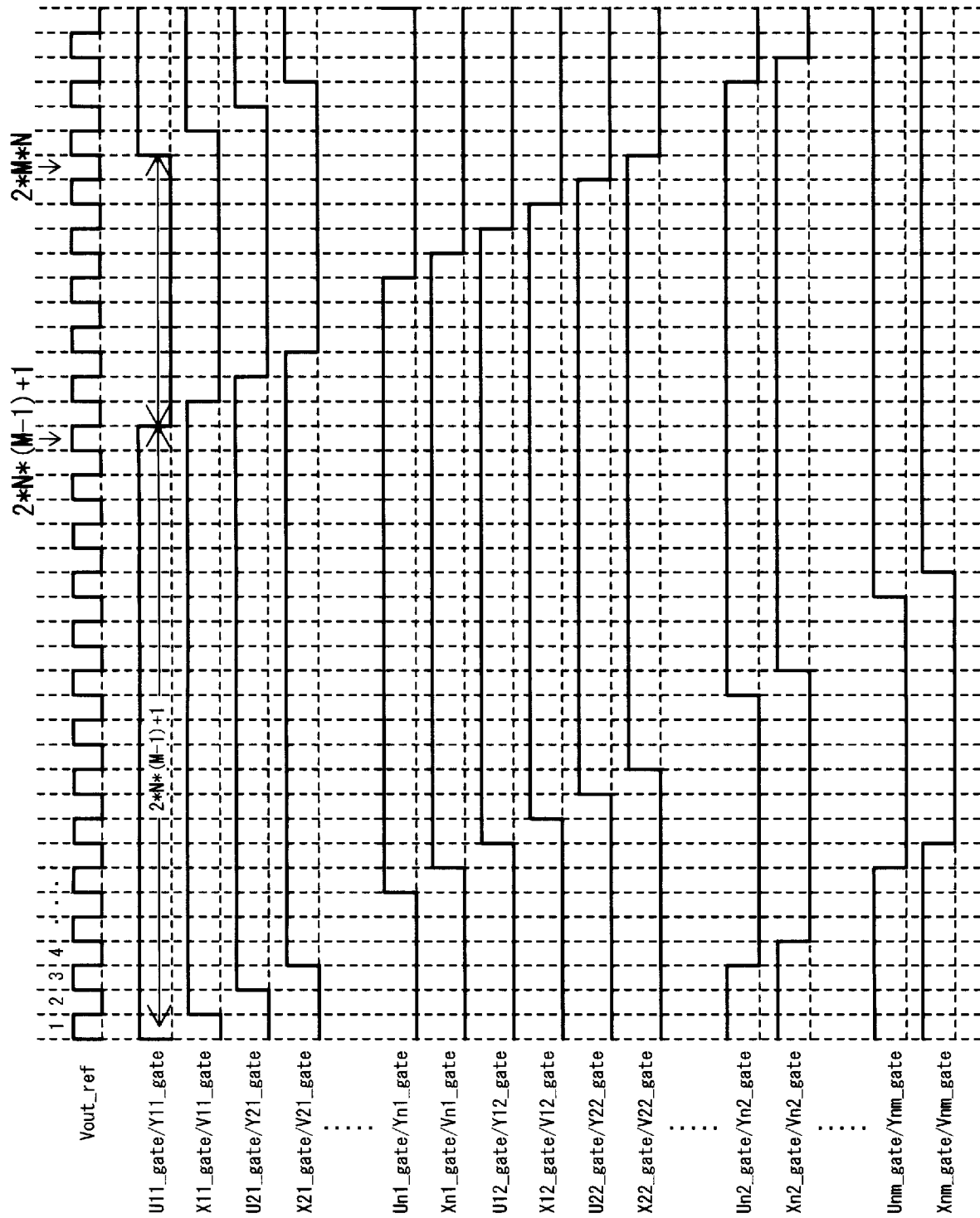
実施例 1 のゲート指令信号生成パターン (7) ~ (12) に対する出力電流

[図5]



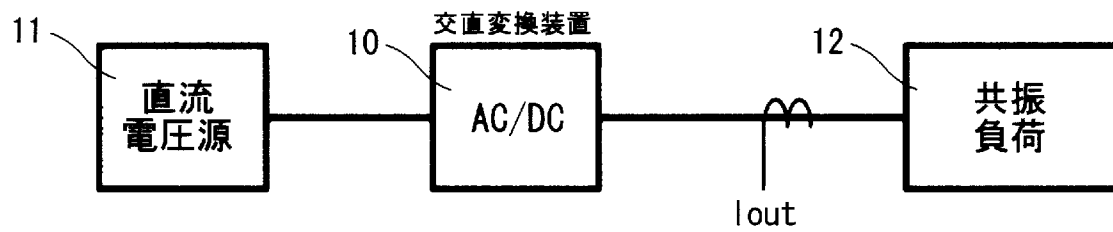
実施例2のインバータ部

[図6]



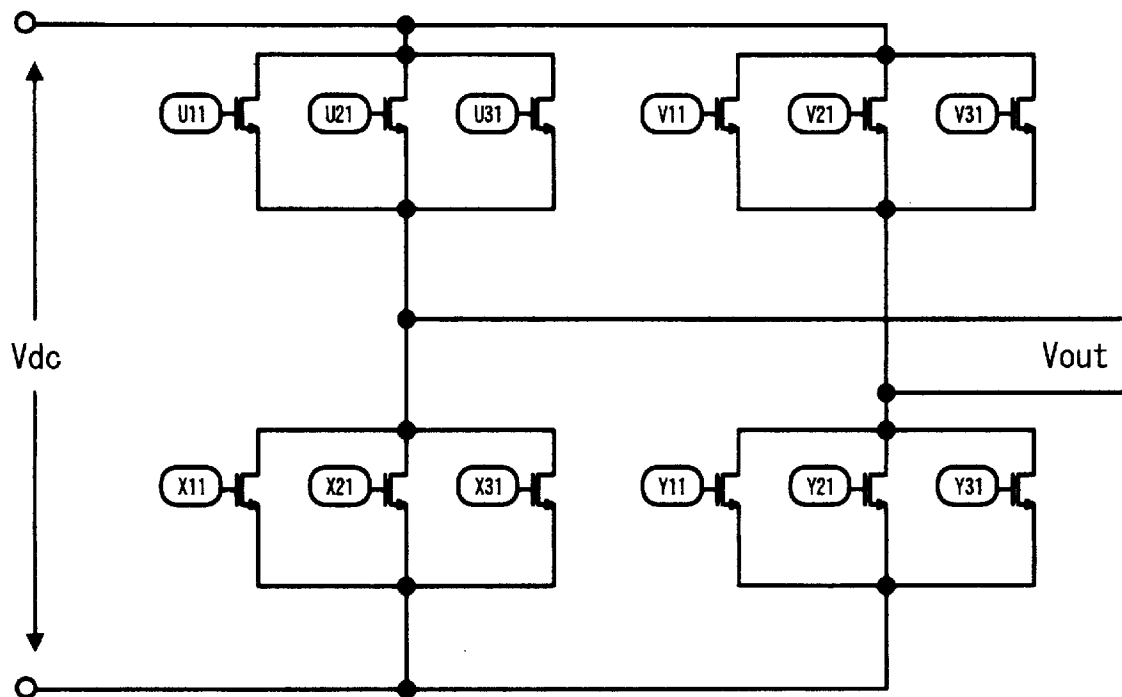
実施例 2 のゲート指令信号生成パターン

[図7]



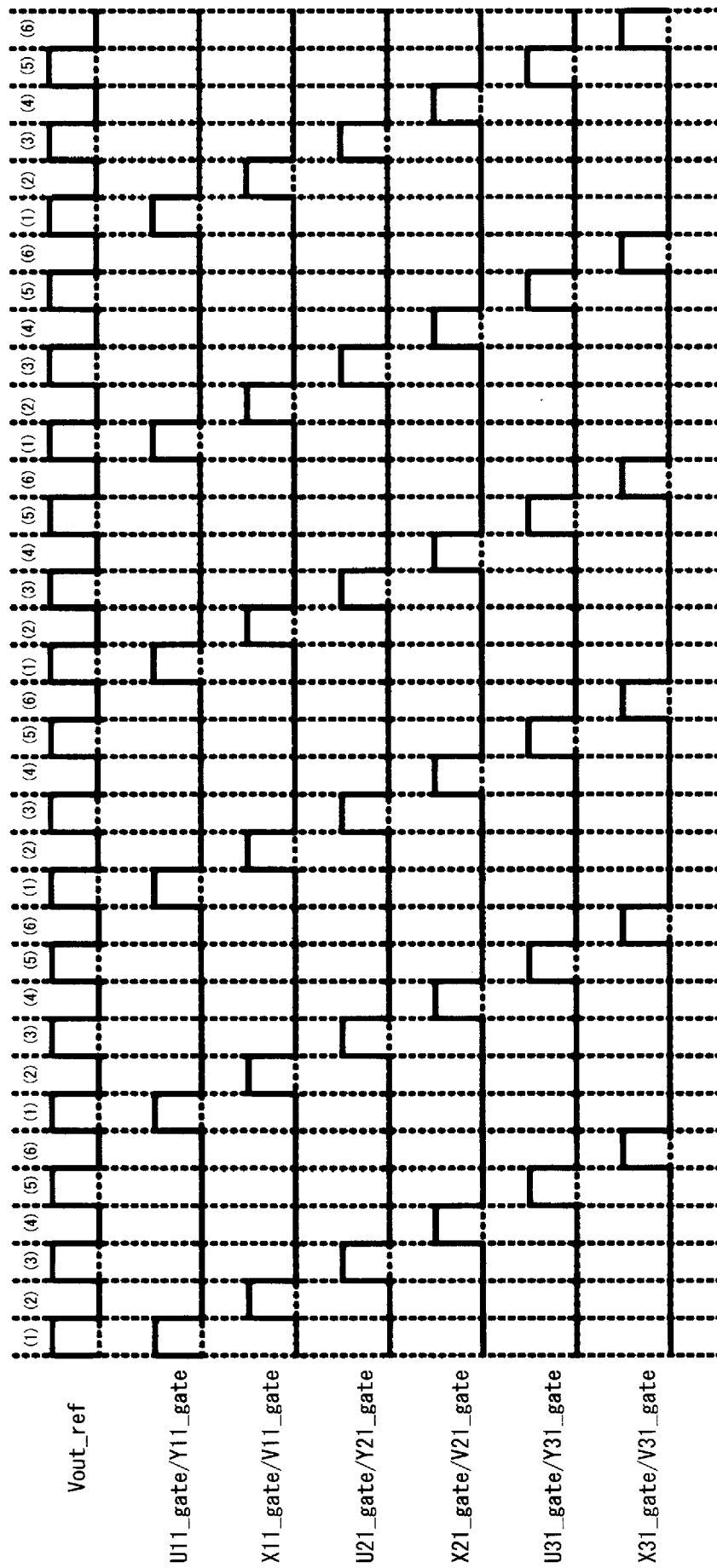
共振負荷に接続された交直変換装置の回路構成

[図8]



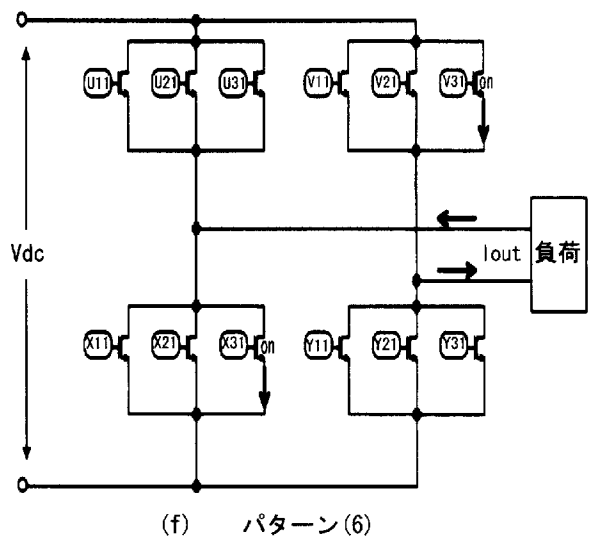
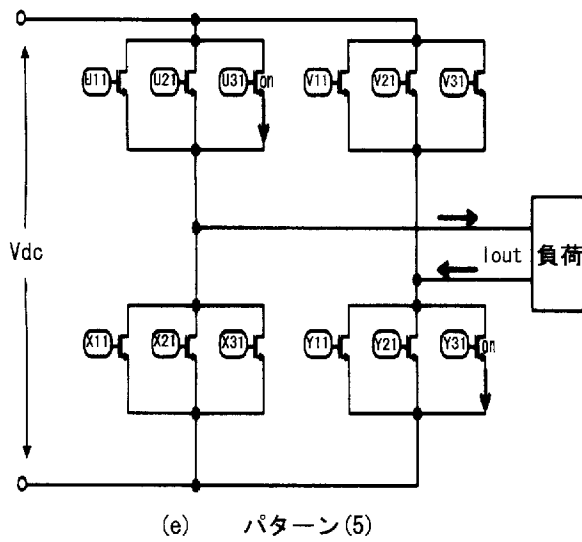
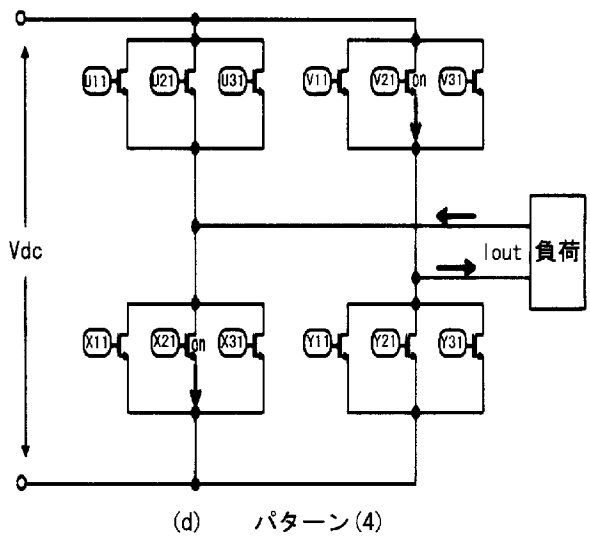
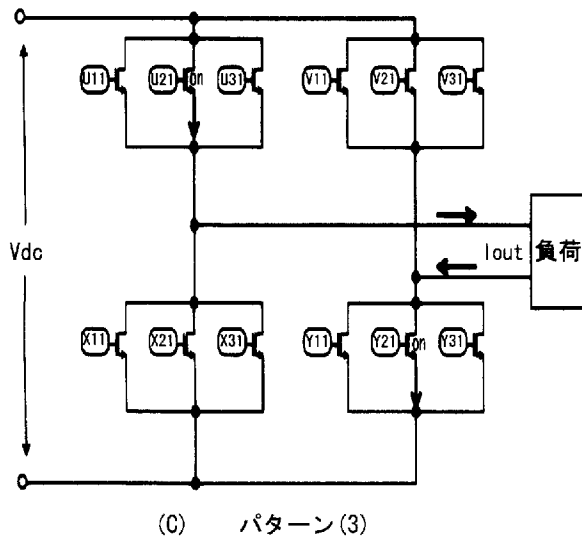
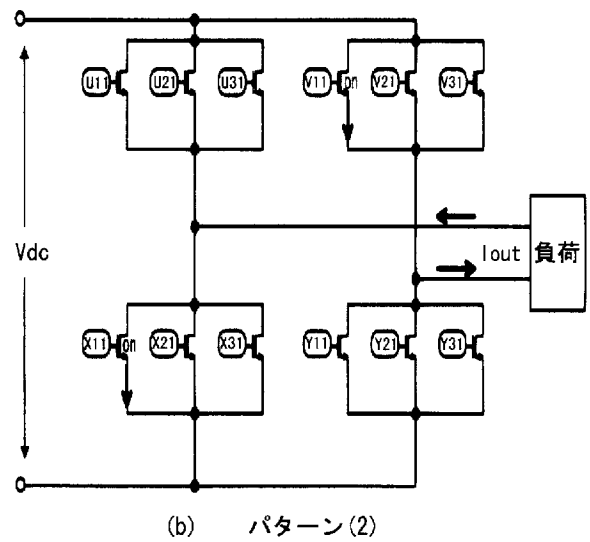
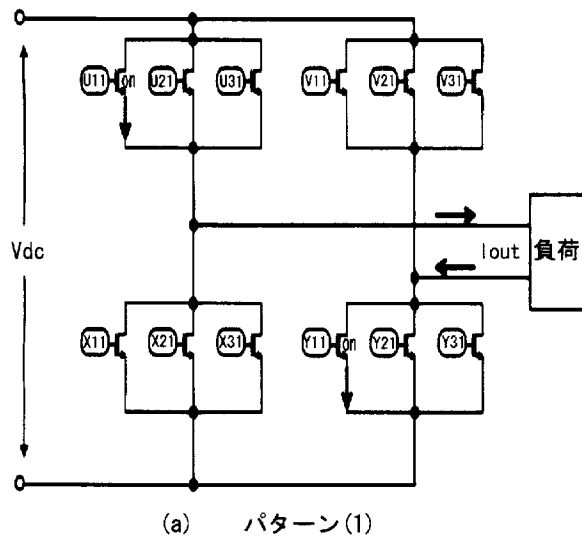
先行技術の変形例となるインバータ部の回路(3並列の構成例)

[図9]



先行技術の変形例となるゲート指令信号生成パターン

[図10]



先行技術の変形例となるゲート指令信号生成パターン(1)～(6)に対する出力電流

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/083891

A. CLASSIFICATION OF SUBJECT MATTER

H02M7/48 (2007.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M7/48

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 58-75481 A (Meidensha Corp.), 07 May 1983 (07.05.1983), entire text (Family: none)	1-6
A	JP 55-8278 A (Meidensha Corp.), 21 January 1980 (21.01.1980), entire text (Family: none)	1-6
A	JP 05-83947 A (Hitachi, Ltd.), 02 April 1993 (02.04.1993), entire text (Family: none)	1-6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
15 December 2016 (15.12.16)

Date of mailing of the international search report
27 December 2016 (27.12.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/083891

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-243660 A (Toshiba Corp.), 11 September 1998 (11.09.1998), entire text (Family: none)	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H02M7/48(2007.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H02M7/48

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 58-75481 A（株式会社明電舎）1983.05.07, 全文（ファミリーなし）	1-6
A	JP 55-8278 A（株式会社明電舎）1980.01.21, 全文（ファミリーなし）	1-6
A	JP 05-83947 A（株式会社日立製作所）1993.04.02, 全文（ファミリーなし）	1-6
A	JP 10-243660 A（株式会社東芝）1998.09.11, 全文（ファミリーなし）	1-6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの	「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」 口頭による開示、使用、展示等に言及する文献	「&」 同一パテントファミリー文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日

15.12.2016

国際調査報告の発送日

27.12.2016

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小原 正信

5G

3803

電話番号 03-3581-1101 内線 3526