(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [6]
H03K 19/00

(45) 공고일자 2002년06월28일
(11) 등록번호 10-0326654
(24) 등록일자 2002년02월19일

(21) 출원번호 10-1994-0036240
(22) 출원일자 1994년12월23일

(65) 공개번호 특1995-0022130
(43) 공개일자 1995년07월26일

(30) 우선권주장 93-327156 1993년12월24일 일본(JP)

(73) 특허권자 가와사키 마이크로 엘렉트로닉스 가부시키가이샤
일본국 지바켄 지바시 미하마구 나카세 1초메 3반치

(72) 발명자 고바야시겐이치로
일본국도쿄도지요다구우치사이와이쵸2쵸메2반3고가와사끼세이데쯔가부시끼가이샤내
게이다히사야
일본국도쿄도지요다구우치사이와이쵸2쵸메2반3고가와사끼세이데쯔가부시끼가이샤내

(74) 대리인 강일우
최정연
홍기천
조정숙

심사관 : 권호영

(54) 다중전압시스템용출력버퍼회로,입력버퍼회로및양방향버퍼회로

요약

그의 백 게이트가 패드에 접속된 제 2 의 P-채널 트랜지스터와, 그의 백 게이트가 패드에 접속되며 패드와 제 2 의 P-채널 트랜지스터의 게이트 사이에 놓이는 제 3 의 P-채널 트랜지스터와, 제 1 의 N-채널 트랜지스터 및 그의 게이트가 전원에 접속된 제 5 의 N-채널 트랜지스터를 포함하여 구성됨으로써, 출력 버퍼회로와, 입력 버퍼회로 및 양방향 버퍼회로가 어떠한 부가적인 제조공정을 필요로 하지 않고 만들어질 수 있으며, 단순히 단일의 전원만이 결합되고, 전원전압보다 높은 전압이 공통의 버스에 인가될 수 있는 양방향 버퍼회로.

대표도
도 1

명세서

도면의 간단한 설명

제 1 도는 본 발명에 따른 양방향 버퍼회로의 제 1 실시예를 나타내는 회로도;

제 2 도는 제 1 도와 유사한 회로도로서, " H" (하이)레벨 (3V) 신호가 패드에 출력된 때의 각 소자의 상태를 나타낸다;

제 3 도는 제 1 도와 유사한 회로도로서, " L" (로우) 레벨 (OV) 신호가 패드에 출력된 때의 각 소자의 상태를 나타낸다;

제 4 도는 제 1 도와 유사한 회로도로서, 고 임피던스가 출력 버퍼회로로부터 패드로 출력되고, " H" (하이) 레벨 (5V) 신호가 외부회로로부터 패드에 인가된 상태를 나타낸다;

제 5 도는 제 1 도와 유사한 회로도로서, 고 임피던스가 출릭 버퍼회로로부터 패드로 출력되고, " L" (로우) 레벨 (OV) 신호가 외부회로로부터 패드에 인가된 상태를 나타낸다;

제 6 도는 본 발명에 따른 양방향 버퍼회로의 제 2 실시예를 나타내는 회로도;

제 7 도는 본 발명에 따른 양방향 버퍼회로의 제 3 실시예를 나타내는 회로도;

제 8 도는 출력 버퍼회로의 부분적이 변형이 이루어진 제 7 도의 제 3 실시예와 유사한 회로도;

제 9 도는 한 기판에서 공통의 버스에 상호 접속된 3V 작동식 장치와 5V 작동식 장치가 공존하는 것을 전형적으로 나타낸다;

제 10 도는 제 9 도내의 원으로 둘러싸인 종래기술의 양방향 버퍼회로를 나타내는 회로도; 및

제 11 도는 종래기술에서 채택된 공지의 수단을 전형적으로 나타낸다.

< 도면의 주요부분에 대한 부호의 설명 >

10 : 외부버스 11 : 패드

12 : P - 채널 트랜지스터 12a : 기생 다이오드

13, 14 : N - 채널 트랜지스터 100 : 출력 버퍼회로

101 : 제 1 의 P - 채널 트랜지스터

102 : 제 2의 P - 채널 트랜지스터 102a : 기생 다이오드

103 : 제 1 의 N - 채널 트랜지스터

104 : 제 2 의 N - 채널 트랜지스터 105 : 제 1 인버터

106 : 제 3 의 N - 채널 트랜지스터

107 : 제 4 의 N - 채널 트랜지스터

108 : 제 3 의 P - 채널 트랜지스터 109 : 제 2 인버터

121 : 제 1 인버터의 출력단자

122 : 제 2 인버터의 출력단자

123 : 제 2 인버터의 입력단자 200 : 입력 버퍼회로

201 : 인버터 202 : P-채널 트랜지스터

203 : N-채널 트랜지스터

204 : 제 5 의 N-채널 트랜지스터 206 : 제 3 인버터

207 : 인버터

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 다수개의 공급전압을 포함하는 전원과 함께 작동하거나 또는 작동중의 단속에 견딜 수 있도록 설계된 기판상에 집적회로가 장착되는 경우에서와 같이, 다수개의 공급전압이 공존하는 조건하에서 동작할 수 있는 반도체 집적회로에 관한 것이다.

회로기판을 설계함에 있어서, 최근에 어떤 장치들을 작동하기 위해서는 5V 의 전압을 공급하면서도 어떤 부분에 대하여는 예를 들면 공급전압을 3V로 감소하는 기술을 채택하려는 경향이 있다. 대부분의 경우에 있어서, 그 이유는 전체 전력소비의 감소를 실현하려는 시도 또는 특정 장치에 대한 정격 공급전압이 5V 보다 낮은 사양에 근거한 것이다. 별개의 동작에 대하여 상호간에 상이한 공급전압이 공존하는 그와 같은 환경하에서는, 5V 장치로부터 그보다 낮은 전압의 장치 또는 동일한 버스에 접속되고 상호간에 상이한 전압으로 작동되는 장치로 신호가 공급될 때, 5V 장치로부터 저전압 장치로 전류가 흐르지 않는다는 문제점이 발생한다. 그와 같은 원하지 않는 전류는 전력소비의 증가와, 장치의 래치업 및, 특히 5V 의 전압에 기인한, 최근에 소형화되는 고밀도 장치내의 트랜지스터의 파괴등을 포함하는 상당한 문제점을 발생할 수 있다.

제 9 도는 3V로 작동되는 장치와 5V로 작동되는 장치가 공통의 버스에 접속되면서 한 기판에 공존하는 것을 전형적으로 나타내며, 제 10 도는 제 9 도의 원내에 들어있는 공지의 종래 양방향 버퍼회로의 모식적인 회로도이다.

제 9 도에서 나타낸 바와 같이 3V 장치 및 5V 장치가 공통의 버스에 접속될 때, 제 10 도의 회로내에 다음과 같은 (1) 내지 (3)의 문제점이 발생하게 된다.

(1) 외부버스(10)로부터 패드(11)를 통하여 5V 가 입력됨에 따라, 최종 출력단계에서의 P-채널 트랜지스터(12)에 대한 기생 다이오드(12a)가 전류경로를 형성하도록 턴온되며, 그에 의하여 큰 누설전류가 그를 통하여 흐르게 된다.

(2) 3V는 단순히 P-채널 트랜지스터(12)의 게이트로 인가되므로, 이 트랜지스터(12)는 완전히 턴오프되지 않고 따라서 약한 온 상태에 놓이게 되며, 따라서 전류경로(2)가 마찬가지로 그의 내부에 형성된다.

(3) 5V 전압은 최종 출력단계내의 N-채널 트랜지스터(13)와 초기 입력단계에서의 N-채널 트랜지스터(14)의 양자에 인가되므로, 높은 전계가 형성되어 게이트 산화막의(내전압(withstand voltage), 열 캐리어 등에 대한 몇가지 문제점들이 결국 발생하게 되며, 그에 의하여 N-채널 트랜지스터(13) 및 (14)가 파괴될 수 있다.

제 11 도는 전형적으로는 상술한 바와 같은 문제점들을 해결하기 위하여 고안된 종래의 수단을 나타낸다. 본 도면에 있어서는, 단순히 그의 출력 버퍼회로만을 포함한다.

기판상의 버스(10)에 관하여 공급전압이 5V일 때 누설전류를 방지할 목적으로, 최종출력단계로 5V가 인가된다. 또한, 최종 출력단계내의 트랜지스터의 산화막만이 두껍게 제조되어 이 트랜지스터는 5V가 최종 출력단계에서 입력되더라도 손상을 입지 않을 수 있다. 그러한 대비책에 부가하여, 3V 신호를 5V 신호를 변환하기 위한 레벨 시프트회로가 결합되어 3V 시스템 회로내의 3V 신호는 5V 신호로 변환되며, 이는 최종출력단계의 P-채널 트랜지스터의 게이트로 공급되고, 최종 출력단계내의 P-채널 트랜지스터의 턴오프를 달성하게 된다.

상술한 수단의 곁과로서, 3V 작동되는 장치와 5V 작동되는 장치의 양자가 공통의 버스(10)에 접속가능하도록 하는 개선된 회로시스템이 고안된다.

그러나, 제 11 도에서 나타낸 바와 같은 수단을 유효하게 하려면, 더 두꺼운 산화막을 부분적으로만 형성하는 것을 포함하여 몇몇 처리단계가 증가되는 것을 피할 수 없으며, 칩의 제조에 대해 더 긴 시간이 요구되므로 제조단가의 상승이 일어날 수밖에 없다.

더욱이, 3V 및 5V 의 2 시스템의 전압을 장치들에 공급할 필요가 있게 되고, 결과적으로 기판상의 배선의 부가적인 복잡성을 유발하게 되고 칩상에 필요한 핀의 수를 증가시키는 단점이 있게 된다.

일본국 특공평 4(1992년)-290008 호에 있어서는, 단일 풀업 트랜지스터와; 출력 단자와; 소정치의 공급전압을 공급하기 위하여 그와 출력단자의 사이에 상기 풀업 트랜지스터가 놓여지는 전압원과; 풀업 트랜지스터의 게이트 전극과 출력단자의 사이에 접속되며 제 1 기준전위점에 접속된 게이트 전극을 가지는 제어 트랜지스터와, 버스 게이트와; 버스 게이트를 통하여 풀업 트랜지스터의 게이트 전극에 결합된 전구동 회로, 및 소정의 값의 상술한 공급전압 보다 상당히 높은 전압을 출력단자에 선택적으로 인가하는 수단을 포함하여 구성되는 칩외 구동회로가 개시되어 있다.

그러나, 이러한 공지의 구동회로는 풀업 트랜지스터의 기판(백 게이트)이 제어 트랜지스터를 경유하여 전원으로부터 바이어스되므로, 백 게이트 저항이 높아지고 따라서 래치업 문제가 발생하기 쉽다는 몇가지 단점을 마찬가지로 가지고 있다.

또한, 부분적인 회로기판이 그이 전원을 차단하지 않은 채로 메인 시스템의 코넥터에 삽입 및/또는 추출될 때, 코넥터의 단속에 의거하여 출력 버퍼회로에 전압이 공급되지 않고 패드에 전압이 인가될 수 있다. 또한 이러한 작동중의 단속의 경우에, 제 10 도에서 나타낸 바와 같은 전류경로(1)(2)들이 종래기술에서와 같은 출력버퍼회로내에 발생된다. 따라서 신뢰성에 문제가 있게 된다.

보다 상세하게는, 최종 단계 트랜지스터(12)에 3V 전원이 0 V로 차단되는 조건하에서 코넥터 핀을 통하여 패드(11)로 "H" 가 입력될 때, 제 10 도에서 나타낸 바와 같이 트랜지스터(12)내로 전류(1)(2)가 흐르고 기생 다이오드(12a) 및 트랜지스터(12)가 턴온된다.

따라서, 본 발명의 목적은 단순히 단일전원이 결함되고 공통적인 버스로 단일전원보다 높은 전압의 인가가 허용되는, 어떠한 부가적인 처리단계가 필요없이 동작될 수 있는 출력 버퍼회로, 입력 버퍼회로 및 양방향 버퍼회로를 제공함에 있다.

본 발명의 다른 목적은 높은 AC 속도에서 작동 가능한 출력 버퍼회로를 제공함에 있다.

본 발명의 또 다른 목적은 래치 문제의 발생에 대하여 우수한 저항을 가지는 출력 버퍼회로를 제공함에 있다.

본 발명의 또 다른 목적은 부분적인 회로기판이 메인 시스템의 코넥터에 삽입 및/또는 추출될 때 전류경로(1)(2)를 방지할 수 있는, 작동중의 단속에 대하여 견뎌낼 수 있는 출력 버퍼회로를 제공함에 있다.

상술한 목적을 달성하기 위하여, 신호가 외부 회로로 반송되어 통하게 되는 패드로 신호를 출력하기 위한 본 발명의 출력 버퍼회로는:

전원과 패드의 사이에 직렬로 접속되며, 제 1 신호는 전원에 인접하여 배치된 제 1 풀업 트랜지스터의 게이트로 입력되고, 패드에 인접하여 배치된 제 2 풀업 트랜지스터의 백 게이트는 상기 패드에 접속되는 제 1 및 제 2 풀업 트렌지스터; 및

제 2 풀업 트랜지스터의 게이트를 풀업하기 위한 게이트 풀업 트랜지스터를 포함하여 구성된다.

본 발명의 출력 버퍼회로에 있어서, 패드는 부분회로기판을 메인시스템으로 삽입 및/또는 추출하기 위하여 코넥터에 접속될 수 있다.

상술한 목적을 달성하기 위하여, 신호가 외부회로로 반송되어 통하게 되는 패드로 " H" (하이) 레벨, " L" (로우) 레벨 또는 고 임피던스를 출력하기 위한 본 발명의 출력 버퍼회로는:

(1-1) 제 1 P-채널 트랜지스터의 백게이트는 전원에 접속되고 그의 게이트는 제 1 신호가 입력되는 제 1 신호 입력단자로 접속되며, 제 1 신호는 패드로 " H" 레벨을 출력할 때는 " L" 레벨로 전환되거나 또는 패드로 " L" 레벨이나 고 임피던스를 출력할 때는 " H" 레벨로 전환되며, 제 2 의 P-채널 트랜지스터의 백 게이트는 패드로 접속되는, 전원과 패드 사이에서의 제 1 의 P-채널 트랜지스터와 제 2 의 P-채널 트랜지스터의 순서로 된 일련의 직렬 접속과;

(1-2) 제 1 의 N-채널 트랜지스터의 게이트는 전원 또는 제 1 신호 입력단자에 접속되고, 제 2 의 N-채널 트랜지스터의 게이트는 제 2 신호가 입력되는 제 2 신호 입력단자로 접속되며, 제 2 신호는 패드로 " H" 레벨 또는 고 임피던스를 출력할 때는 " L" 레벨로 전환되거나 또는 패드로 " L" 레벨을 출력할 때는 " H" 레벨로 전환되는, 패드와 접지 사이에서의 제 1 의 N-채널 트랜지스터와 제 2 의 N-채널 트랜지스터의 순서로 된 일련의 직렬 접속과;

(1-3) 제 3 의 N-채널 트랜지스터의 게이트는 인에이블 신호가 입력되는 인에이를 신호 입력단자에 접속되고, 인에이블 신호는 패드로 " H" 레벨 또는 " L" 레벨을 출력할 때는 " H" 레벨로 전환되거나 또는 패드로 고임피던스를 출력할 때는 " L" 레벨로 전환되며, 제 4 의 N-채널 트랜지스터의 게이트는 전원 또는 제 3 신호가 입력되는 제 3 신호 입력단자로 접속되며, 제 3 신호는 제 2 신호에 관하여 반전논리를 가지는, 제 1 신호 입력단자과 제 2 의 P-채널 트랜지스터의 게이트 사이에서의 제 3 의 N-채널 트랜지스터와 제 4 의 N-채널 트랜지스터의 순서로 된 일련의 직렬 접속과;

(1-4) 제 3 의 P-채널 트랜지스터의 백게이트는 패드에 접속되고 그의 게이트는 전원 또는 제 3 신호 입력단자로 접속되는, 패드와 제 2 의 P-채널 트랜지스터의 일련의 직렬 접속을 포함하여 구성된다.

상술한 목적을 달성하기 위해서는 또한, 신호가 외부회로로 또는 그로부터 반송되는 패드를 통하여 내부회로에 외부회로로부터의 " H" 레벨 또는 " L" 레벨을 받아들이는 본 발명의 입력버퍼회로는:

(2-1) 인버터와;

(2-2) 그의 게이트가 전원에 접속된 인버터의 입력단자와 패드의 사이에 놓인 제 5 의 N-채널 트랜지스터; 및

(2-3) 패드에 " H" 레벨을 입력할 때 인버터의 단자전위를 전원의 전위까지 상승하는 피이드백 회로를 포함하여 구성된다.

또한 본 발명의 양방향 버퍼회로는 상기 요소(1-1) 내지(1-4)로 구성되는 출력 버퍼회로와 상기 요소(2-1) 내지(2-3)로 구성되는 입력 버퍼회로를 포함하여 구성되며, 출력 및 입력버퍼회로들은 동일 패드에 접속된다.

본 발명의 버퍼회로에 있어서는, 각 트랜지스터의 게이트와 전원 또는 접지 사이의 상호접속이 저항기와 같은 임피던스 소자를 통하여 직접 또는 간접적으로 될 수 있다.

본 발명의 출력버퍼회로에 있어서는, 상술한 문제점(1) 내지(3)에 관하여 다음의 수단들이 채택된다.

먼저, 기생 다이오드의 턴온에 관한 문제점(1)은(1-1)에서 기술한 바와같은 패드에 그의 백게이트가 접속된 제 2 의 P-채널 트랜지스터를 마련함으로써 해결된다.

최종 출력단계에서의 P-채널 트랜지스터가 완전히 턴오프되지 못하는 것에 관한 다음 문제(2)에 대하여는, 제 2 의 P-채널 트랜지스터의 게이트를 풀업하기 위한 풀업트랜지스터로서 기능하도록 제 3 의 P-채널 트랜지스터가 마련됨으로써, 패드에 인가된 5V 가 제 3 의 P-채널 트랜지스터를 통하여 제 2 의 P-채널 트랜지스터의 게이트로 더욱 인가됨으로써, 완전히 턴오프 되도록 한다.

또한, N-채널 트랜지스터로 5V 와 같은 높은 전압의 인가에 근거하여 높은 전계가 유도되는 문제점(3)에 관하여는, (1-2)에서 기술한 바와 같은 제 1의 N-채널 트랜지스터를 마련하는 것이, 인가된 고전압을 제 1 의 N-채널 트랜지스터와 제 2 의 N-채널 트랜지스터로 분산하는데 효과적이며, 그에 의하여 하나의 N-채널 트랜지스터의 한계전압을 초과하는 어떠한 높은 전계의 발생을 방지하게 된다.

또한, 본 발명의 입력버퍼회로에서는, 문제점(3)을 해결하기 위하여 다음의 수단이 채택된다.

(2-2)에서 기술된 제 5 의 N-채널 트랜지스터가 부가적으로 마련되었기 때문에, 고전압이 제 5 의 N-채널 트랜지스터 및 (2-1)에서 기술된 인버터로 분산되며, 따라서 그의 한계전압을 초과하는 높은 전계의 발생이 방지된다. 부가적으로,(2-3)에서 기술된 피이드백 회로는 인버터의 입력전압을 일반치로 상승시키도록 하며 이는 인버터의 적절한 작동을 보장한다.

또한, 신호가 그를 통하여 외부회로로 또는 외부회로로부터 반송되는 패드로 " H" 레벨, " L" 레벨 또는 고임피던스를 출력하기 위한 출력 버퍼회로는:

제 1 신호가 전원에 인접하여 배치된 출입 트랜지스터의 게이트로 입력되고, 패드에 인접하여 배치된 풀업 트랜지스터의 백게이트는 패드에 접속되는, 전원과 패드사이에서 상호간에 직렬로 접속된 다수개의 풀업 트랜지스터와;

제 2 신호가 접지와 인접하여 배치된 풀다운 트랜지스터의 게이트로 입력되는, 패드와 접지사이에서 상호간에 직렬로 접속된 다수개의 풀다운 트랜지스터와;

인에이블 신호가 인에이블 트랜지스터의 게이트로 입력되고, 제 2 신호에 관한 반전논리를 가지는 제 3 신호가 제어 트랜지스터의 게이트로 입력되는, 다수개의 풀업 트랜지스터의 게이트 사이에서 상호간에 직렬로 접속된 인에이블 트랜지스터와 제어 트랜지스터; 및

제어 트랜지스터와 패드의 사이에 배치된 게이트 풀업 트랜지스터로 구성된다.

또한, 제 3 신호는 게이트 풀업 트랜지스터의 게이트로 입력된다.

또한, 게이트 풀업 트랜지스터의 게이트는 전원에 접속된다.

또한, 패드에 인접하여 놓인 풀다운 트랜지스터의 게이트는 전원에 접속된다. 또한, 제 1 신호는 패드에 인접하여 놓인 풀다운 트랜지스터의 게이트로 입력된다.

또한, 다수개의 풀다운 트랜지스터의 상호접합은 다수개의 풀다운 트랜지스터의 상호접합에 접속된다.

또한, 전원에 인접하여 배치된 풀업 트랜지스터의 백 게이트는 그에 접속된다.

따라서, 본 발명에 따르면, 제조단계의 어떠한 변화 또는 부가가 필요없이 생산될 수 있는 출력 버퍼회로, 입력 버퍼회로 및 양방향 버퍼 회로에 있어서의 개선이 있게 되며, 여기에는 단순히 단일전원이 필요하며 제 10 도와 관련하여 언급된 모든 문제점 (1) 내지 (3)이 완전히 해결된다. 또한, 전원이 차단되고 신호핀만이 접속된 조건하에서 "H"가 패드(11)로 입력될 때인 작동중의 단속의 경우에, 어떠한 전류도 트랜지스터(101)및(102)에 흐르지 않게 된다. 왜냐하면, 트랜지스터(102)의 백 게이트는 "온" 상태인 트랜지스터(108)에 의하여 패드(11)에 접속되어 있으며 따라서 기생 다이오드(12a)는 정방향이 아니고 턴온되지 않기 때문이다. 또한, 트랜지스터(102)의 게이트는 트랜지스터(108)에 의하여 패드(11)의 전위로 충전되고 따라서 트랜지스터(102)는 완전히 "오프" 상태로 만들어진다.

다시 말해서, 작동중의 단속의 경우는 다중 전압 시스템의 극단적인 경우(내부전압 = OV, 외부전압 = 5V)로 간주될 수 있다.

이들 및 기타의 목적, 특징 및 본 발명의 장점은 첨부된 도면과 이하의 기술을 참조함으로써 보다 명백해진다.

(실시예)

이하, 첨부된 도면을 참조하여 바람직한 실시예를 설명하며, 도면전체를 통하여 유사한 구성요소에는 유사한 부호를 부여하였다.

제 1 도는 본 발명에 따른 양방향 버퍼회로를 나타내는 제 1 실시예의 회로도이다.

제 1 도의 양방향 버퍼회로를 구성하는 출력 버퍼회로(100)는 패드(11)로 "H" 레벨, "L" 레벨 또는 고임피던스를 출력하도록 기능한다. 출력 버퍼회로(100)에는, 3V 전원(Vdd)과 패드(11)의 사이에 순서대로 제 1 의 P-채널 트랜지스터(101)와 제 2 의 P-채널 트랜지스터(102)의 연속적인 직렬접속이 있으며, 여기에서 제 1 의 P-채널 트랜지스터(101)의 백 게이트는 전원(Vdd)에 접속되는 한편, 제 2 의 P-채널 트랜지스터(102)의 백 게이트는 패드(11)에 접속된다. 또한 출력 버퍼회로(100)에는, 패드(11)와 접지(GND)의 사이에 순서대로 제 1의 N-채널 트랜지스터(103) 및 제 2 의 N-채널 트랜지스터(104)의 연속적인 직렬접속이 있다.

제 1 의 P-채널 트랜지스터(101)는 제 1 인버터(105)의 출력단자에 접속되며, 신호(D1)가 제 1 인버터(105)로 입력된다. 본 실시예에 있어서, 제 1 인버터(105)의 출력단자, 즉 제 1 의 P-채널 트랜지스터(101)의 게이트 단자는 본 발명내의 제 1 신호 입력단자에 해당되며, 따라서 신호(D1)는 본 발명에서 정의된 제 1 신호의 논리를 반전함으로써 얻어진 것이다.

제 2 의 P-채널 트랜지스터(102)의 게이트는 제 2 의 P-채널 트랜지스터(102)의 게이트와 제 1 인버터(105)의 출력단자(121) 사이에 직렬로 접속된 제3 의 N-채널 트랜지스터(106) 및 제 4 의 N-채널 트랜지스터(107)를 통하여 제 1 인버터(105)의 출력단자(121)에 접속된다. 또한 백 게이트가 패드(11)에 접속되는 제 3 의 P-채널 트랜지스터(108)는 패드(11)와 제 2 의 P-채널 트랜지스터(102)의 게이트 사이에 접속된다. 인에이블 신호(EN)는 제 3 의 N-채널 트랜지스터(106)의 게이트로 입력된다. 본 실시예에 있어서는, 제 3 의 N-채널 트랜지스터(106)의 게이트 단자는 인에이블 신호 입력단자에 해당한다.

제 4 의 N-채널 트랜지스터(107)의 게이트 및 제 3 의 P-채널 트랜지스터(108)의 게이트 양자는 제 2 인버터(109)의 입력단자(123)에 접속된다. 신호(D2)는 제 2 인버터(109)로 입력된다.

제 1 의 N-채널 트랜지스터(103)의 게이트는 전원(Vdd)에 접속되며, 반면에 제 2 의 N-채널 트랜지스터(104)의 게이트는 제 2 인버터(109)의 출력단자(122)에 접속된다. 본 실시예에 있어서, 제 2 인버터(109)의 출력단자(122), 즉, 제 2 의 N-채널 트랜지스터(104)의 출력단자는 본 발명내에서 규정된 제 2 신호 입력단자에 해당하며; 제 2 인버터(109)의 입력단자(123), 즉 제 4 의 N-채널 트랜지스터(107)및 제 3 의 P-채널 트랜지스터(108)의 각 게이트 단자는 본 발명에서 규정한 제 3 신호 입력단자에 해당한다. 따라서 신호(D2)는 본 발명에서 규정된 제 3 신호에 해당하며, 제 2 인버터(109)내에서 제 3 신호를 반전함으로써 얻어진 신호는 본 발명에서 규정된 제 2 신호에 해당한다.

제 1 도의 양방향 버퍼회로를 구성하는 입력 버퍼회로(200)는 전원 Vdd과 접지 GND 사이에 직렬로 접속된 한 쌍의 P-채널 트랜지스터(202)및 N-채널트랜지스터(203)와, 그의 게이트가 전원 Vdd 에 접속된 인버터(201)의 입력단자와 패드(11) 사이에 놓이는 제 5 의 N-채널 트랜지스터(204)와, 그의 게이트가 인버터(201)의 출력단자에 접속된 인버터(201)의 입력단자와 전원 Vdd 의 사이에 놓이는 피드백 P-채널 트랜지스터(205) 및 그의 입력단자가 인버터(201)의 출력단자에 접속된 제 3 인버터(206)를 포함하여 구성된다.

제 2 도는 제 1 도에 유사한 회로도로서, "H" 레벨(3V)신호가 패드(11)로 출력된 때의 각 소자의 상태를 나타낸다.

패드(11)에 "H" 레벨을 입력함에 있어서, 신호 D1 과 D2 는 "H" 레벨로 전환되고, 인에이블 신호 EN 는 "H" 레벨로 유지된다.

인에이블 신호가 "H" 레벨에 유지되어 있는 상태에서 신호 D1 및 D2 가 "H" 레벨로 전환된 때는 제 1 의 P-채널 트랜지스터(101)의 게이트에 "L" 레벨이 인가되며, 따라서 제 1 의 P-채널 트랜지스터(101)는 턴온되며, 제 2 의 P-채널 트랜지스터(102)의 기생다이오드(102a)는 벌크 충전되어 패드(11)를 "H" 레벨로 전환하기 시작한다.

제 3 N-채널 트랜지스터(106)와 제 4 의 N-채널 트랜지스터(107)의 양자가 턴온되므로, 제 2 의 F-채널 트랜지스터(102)도 그 후에 마찬가지로 턴온되고, 그에 의하여 'H" 레벨이 제 1 의 P-채널 트랜지스터(101)및 제 2 의 P-채널 트랜지스터(102)로 출력된다. 동시에 "L" 레벨이 제 2 의 N-채널 트랜지스터(104)의 게이트로 입력되어 그것을 턴오프하게 된다.

이러한 동작의 단계에 있어서, "H" 레벨은 마찬가지로 입력 버퍼회로(200)에 입력되며, 제 5 의 N-채널 트랜지스터(204)의 게이트로 전원 Vdd 의 3V가 인가됨에 의하여, 인버터(201)의 입력단자는 예를 들면 Vth = 0.8V 인 문턱전압 Vth 만큼 전원전압보다 낮은 전압(Vdd-Vth)을 받아들이게 된다. 결과적으로 인버터(201)의 출력단자에서의 전위가 낮아지고 따라서 P-채널 트랜지스터(205)를 턴온하게 되며, 따라서 소스전압 Vdd = 3V 가 P-채널 트랜지스터(205)를 거쳐 인버터(201)의 입력단자로 인가된다. 결과적으로, 인버터(201)의 입력단자는 완전히 "L" 레벨로 변환되고, 이 신호는 제 3 인버터(206)를 경유하여 인가되며, 이는 신호 D3을 "H" 레벨로 전환하게 된다. 상기한 동작은 패드(11)의 "H" 레벨출력에 응답하여 입력버퍼회로(200)내에서 수행되지만, 통상적으로 신호 D3 는 출력 버퍼회로(100)의 신호를 패드(11)로 출력하는 때에 사용되지는 않는다.

상술한 바와 같이, 본 실시예의 양방향 버퍼회로는 패드(11)로 "H" 레벨신호를 출력할 때에 어떠한 문제도 발생하지 않고 만족스러운 동작을 수행한다.

제 3 도는 제 1 도와 유사한 회로도로서, "L" 레벨(OV) 신호가 패드(11)로 출력될 때의 각 소자의 상태를 나타낸다.

"L" 레벨을 패드(11)로 출력함에 있어서는, 신호 D 및 D2 가 "L" 레벨로 변환된다. 반면에 인에이를 신호 EN는 이때도 마찬가지로 "H" 레벨로 유지되고 있다.

인에이블 신호 EN 가 "H" 레벨로 유지된 상태에서 신호 D1 및 D2 의 양자가 "L" 레벨로 전환된 때에는, 제 2 의 N-채널 트랜지스터(104)가 턴온된다. 제 1 의 N-채널 트랜지스터(103)는 이때에 온상태에 있기 때문에, 패드(11)및 접지 GND 는 제 1 및 제 2 의 N-채널 트랜지스터(103) 및 (104)를 경유하여 상호간에 접속되며, 그에 의하여 "L" 레벨(OV)이 패드(11)로 출력된다.

이러한 동작단계에서, "H" 레벨은 제 1 의 P-채널 트랜지스터(101)의 게이트로 인가되어 그를 턴오프하게 되며, 그에 의하여 제 2 의 P-채널 트랜지스터(102)의 게이트 전위는 패드(11)로 접속되고, 그 전위는 OV로 변환되어 제 2의 P-채널 트랜지스터(102)가 마찬가지로 턴오프된다.

동시에, "L" 레벨이 입력버퍼회로(200)내의 인버터(201)의 입력단자로 인가되고, 그에 의하여 인버터(201)의 출력단자를 "H" 레벨로 전환하고 제 3 인버터의 출력신호 D3을 "L" 레벨로 변환한다.

따라서, 본 실시예의 양방향 버퍼회로는 패드(11)로 "L" 레벨 신호를 출력할 때에 어떠한 문제도 발생하지 않고 만족스러운 동작을 수행한다.

제 4 도는 제 1 도와 유사한 회로도로서, 고 임피던스가 출력 버퍼회로(100)로부터 패드(11)로 출력되고 "H" 레벨(5V)이 외부회로로부터 패드(11)로 인가될 때의 각 소자의 상태를 나타낸다.

이러한 동작상태에서, "L" 레벨은 인에이블 신호 EN으로서 입력되고, 반면에 "L" 레벨과 "H" 레벨이 각각 신호 D1 및 D2로서 입력된다.

이 때, "H" 레벨이 제 1 의 P-채널 트랜지스터(101)의 게이트로 인가되고, 그에 의하여 턴오프된다. 그와 동시에, 신호 D2 의 3V 가 제 3 의 P-채널 트랜지스터(108)의 게이트로 인가되는 반면, 패드(11)의 5V 는 그의 백게이트로 인가되며, 따라서 제 10 도에서 참조부호(2) 번으로 나타낸 전류가 제 3 의 P-채널 트랜지스터(108)내로 흘러 들어가고 제 2 의 P-채널 트랜지스터(102)의 게이트로 5V 가 인가되도록 한다. 결국 제 2 의 P-채널 트랜지스터(102)는 완전히 오프 상태로 있게 된다. 이러한 동작시에, 제 4 의 P-채널 트랜지스터(101)는 신호 D2 가 그의 게이트로 "H" 레벨(3V)로 인가됨에 따라 온상태에 있게 되지만, 그 자신이 N-채널 트랜지스터이므로, 제 3 의 N-채널 트랜지스터(106) 및 제 4 의 P-채널 트랜지스터(107)의 접합에서의 전위가 예를 들면 2.2 V로 되고, 따라서 내전압을 초과하는 높은 전계도 제 4 의 P-채널 트랜지스터(107)내에서 발생하지 않는다. 제 3 의 P-채널 트랜지스터(106)의 소스와 드레인 사이의 전위차는 0.8 V로서 낮게 억제된다.

"L" 레벨은 제 2 의 P-채널 트랜지스터(104)의 게이트로 동시에 인가되므로, 이 트랜지스터(104)는 턴오프되고 패드(11)로 인가된 5V 는 제 1 의 N-채널 트랜지스터(103)와 제 2 의 P-채널 트랜지스터(104)로 나누어지고, 따라서 내전압을 초과하는 어떠한 높은 전계도 제 1 의 N-채널 트랜지스터(103) 또는 제 2 의 P-채널 트랜지스터(104)의 어느 쪽에도 발생되지 않는다.

패드(11)로 인가된 5V 의 전압은 3V가 트랜지스터(204)의 게이트로 인가된 상태에서 제 5 의 P-채널 트랜지스터(204)로 인가되고, 따라서 2.2V 가 인버터(201)의 입력단자로 입력된다. 결과적으로, 단순히 2.8V가 제 5 의 P-채널트랜지스터(204)의 소스와 드레인의 사이에 인가되며, 따라서 내전압을 초과하는 어떠한 높은 전계도 그의 내부에서 발생되지는 않는다.

따라서, 상술한 바와 같이, 3V 가 피드백 P-채널 트랜지스터(205)를 통하여 인버터(201)의 입력단자로 인가되고, 인버터(201)의 출력이 "L" 레벨로 전환되는 반면 제 3 인버터(206)의 출력신호 D3 는 "H" 레벨로 전환되며, 그와 같이 하여 얻어진 "H" 레벨 신호 D3 가 내부로 공급된다.

상술한 바와 같이, 높은 임피던스가 이와 같은 방식으로 출력 버퍼회로(100)로부터 출력되고 5V 가 외부회로로부터 패드(11)로 인가될 때, 제 10 도와 관련된 상술한 문제점 (1) 내지(3)의 어떤 것도 발생하지는 않게 되며, 따라서 패드(11)로 인가된 5V "H" 레벨신호가 3V "H" 레벨로 변환되고 내부로 공급된다.

제 5 도는 제 1 도에 유사한 회로로서, 고임피던스가 출력 버퍼회로(100)로부터 패드(11)로 출력되고 " L" 레벨(OV)이 외부회로로부터 패드(11)로 인가될 때의 각 소자의 상태를 나타낸다.

이 경우에, 각 트랜지스터는 제 5 도에서 나타낸 바와 같은 방식으로 동작하고, 패드(11)에 인가된 " L" 레벨신호(OV)는 제 10 도와 관련하여 기술된 문제점 (1) 내지 (3)의 어느 것도 발생하지 않고서도 내부에 공급된다.

따라서, 제 1 도에서 나타낸 실시예에 의하면, 단순히 단일의 3V 전원이 결합되고 5V 의 외부전압의 인가가 허용되는 것만으로 처리공정내에 어떠한 변형 또는 부가가 필요 없이 개선된 양방향 버퍼회로가 실현될 수 있다.

본 실시예에 있어서, 그의 소스 전극이 전원 Vdd에 접속된 전원공급측 풀업트랜지스터로서 기능하는 제 1 의 P-채널 트랜지스터(101)의 백게이트(기판)가 직접 전원 Vdd에 접속되며, 제 2 의 P-채널 트랜지스터(102)는 제 1 의 P-채널 트랜지스터(101)와 패드(11)의 사이에 존재하게 되며, 따라서 래치업 문제의 발생을 방지할 수 있다.

제 6 도는 본 발명의 양방향 버퍼회로를 나타내는 제 2 실시예의 회로도이다. 제 1 도에서 나타낸 상술한 제 1 실시예와 다른 부분만을 이하에서 기술한다.

제 2 실시예의 제 1 의 N-패및 트랜지스터(103)는 제 1 인버터(105)의 출력단자(121)(제 1 신호 입력단자)에 접속된다. 제 4 의 N-채널 트랜지스터(107)의 게이트는 제 2 인버터(109)의 입력단자(123)로 접속되며, 제 3 의 P-채널 트랜지스터(108)의 게이트가 전원 Vdd에 접속된다. 그러할 제 1 의 N-채널 트랜지스터(103)와 제 3 의 P-채널 트랜지스터(108)의 각 게이트의 접속은 제 1도 또는 제 6 도에서 각각 나타낸 바와 같이 변화될 수 있다.

제 2 실시예의 입력버퍼회로(200)의 피이드백 P-채널 트랜지스터(205)의 게이트는 인버터(207)의 출력단자에 접속되고, 인버터(207)의 입력단자는 인버터(201)의 인력단자에 접속된다. 이러한 방식으로, 인버터(201)의 입력단자 전위를 2.2V로부터 3V로 상승시키기 위한 피드백 회로가 상술한 실시예에 한정되지 않고서도 다양한 변형형태로 형성될 수 있다.

제 7 도는 본 발명의 양방향 버퍼회로를 나타내는 제 3 실시예의 회로도이다. 이하의 기술은 제 1 도에서 나타낸 상술한 제 1 실시예와의 차이점만을 설명한다.

제 7 도의 제 3 실시예에 있어서, 제 1 의 P-채널 트랜지스터(101)와 제 2 의 P-채널 트랜지스터(102)의 접합(110)은 제 1 의 N-채널 트랜지스터(103) 및 제 2 의 N-채널 트랜지스터(104)의 접합(111)에 접속된다.

제 8 도는 출력 버퍼회로에 있어 부분적인 변형이 이루어진 제 7 도의 제 3 실시예와 유사한 회로도이다.

2 개의 접합(110) 및 (111)의 상호접속에 기인하여, 제 2 의 P-채널 트랜지스터(102)및 제 1 의 N-채널 트랜지스터(103)는 제 8 도에서 나타낸 바와같이 상호간에 병렬로 접속된다. 제 1 및 제 2 의 실시예의 양자에 있어서, 레벨 전환시에 기생 다이오드를 턴온함으로써 패드(11)에 접속된 외부부하를 빠르게 구동하는 것도 마찬가지로 가능하다. 또한, 제 2 의 P-채널 트랜지스터(102)및 제 1 의 N-채널 트랜지스터(103)가 병렬접속된 제 3 실시예에 있어서, 패드(11)의 신호가 " L" 레벨로부터 " H" 레벨로 또는 " H" 레벨로부터 " L" 레벨로 변화할 때, 제 1 및 제 2 실시예와 비교하여 더 큰 전류가 흐르도록 하는 것도 허용되며, 이는 외부부하가 더 높은 속도로 구동할 수 있도록 한다.

비록 상술한 실시예의 각각은 출력 버퍼회로(100)와 입력 버퍼회로(200)의 양자를 포함하는 양방향 버퍼회로를 나타내었으나, 단순히 출력 버퍼회로(100) 또는 입력 버퍼회로(200) 만으로 구성하는 것도 가능하다.

본 발명에서 완전히 기술된 내용으로부터, 여기에서 기술된 바와 같은 본 발명의 요지 및 범위를 벗어나지 않고서 많은 변화 및 변경이 가능함은 당업자에게 있어 명백하다.

(57) 청구의 범위

청구항 1.

신호가 외부회로로 전달되어 통하는 패드로 신호를 출력하기 위한 출력버퍼회로로서:

상기 전원과 상기 패드의 사이에 직렬로 접속되며, 제 1 신호는 상기 전원에 인접하여 배치된 제 1 의 풀업 트랜지스터의 게이트로 입력되고, 상기 패드에 인접하여 배치된 제 2 의 풀업 트랜지스터 백 게이트는 상기 패드에 접속되는 제 1 및 제 2 의 풀업 트랜지스터; 및

상기 제 2 의 풀업 트랜지스터의 게이트를 풀업하기 위한 게이트 풀업 트랜지스터를 포함하여 구성되는 출력 버퍼회로.

청구항 2.

제 1 항에 있어서, 상기 패드는 전원 공급을 차단하지 않고서 단락될 수 있는 코넥터에 접속되는 출력 버퍼회로.

청구항 3.

신호가 외부회로로 반송되어 통하게 되는 패드로 " H" (하이) 레벨, " L" (로우) 레벨 또는 고 임피던스를 출력하기 위한 출력 버퍼회로로서:

제 1 의 P-채널 트랜지스터의 백게이트는 전원에 접속되고 그의 게이트는 제 1 신호가 입력되는 제 1 신호 입력단자로 접속되며, 제 1 신호는 패드로 " H" 레벨을 출력할 때는 " L" 레벨로 전환되거나 또는 패드로 " L" 레벨이나 고임피던스를 출력할 때는 " H" 레벨로 전환되며, 제 2 의 P-채널 트랜지스터의 백게이트는 패드로 접속되는, 전원과 패드 사이에서의 제 1 의 P-채널 트랜지스터와 제 2 의 P-채널 트랜지스터의 순서로 된 일련의 직렬 접속과;

제 1 의 N-채널 트랜지스터의 게이트는 전원 또는 제 1 신호 입력단자에 접속되고, 제 2 의 N-채널 트랜지스터의 게이트는 제 2 신호가 입력되는 제 2 신호 입력단자로 접속되며, 제 2 신호는 패드로 " H" 레벨 또는 고 임피던스를 출력할 때는 " L" 레벨로 전환되거나 또는 패드로 " L" 레벨을 출력할 때는 " H" 레벨로 전환되는, 패드와 접지 사이에서의 제 1 의 N-채널 트랜지스터와 제 2 의 N-채널 트랜지스터의 순서로 된 일련의 직렬 접속과;

제 3 의 N-채널 트랜지스터의 게이트는 인에이블 신호가 입력되는 인에이블 신호 입력단자에 접속되고, 인에이블 신호는 패드로 " H" 레벨 또는 " L" 레벨을 출력할 때는 " H" 레벨로 전환되거나 또는 패드로 고임피던스를 출력할 때는 " L" 레벨로 전환되며, 제 4 의 N-채널 트랜지스터의 게이트는 전원 또는 제 3 신호가 입력되는 제 3 신호 입력단자로 접속되며, 제 3 신호는 제 2 신호에 관하여 반전논리를 가지는, 제 1 신호 입력단자과 제 2 P-채널 트랜지스터의 게이트 사이에서의 제 3 의 N-채널 트랜지스터와 제 4 의 N-채널 트랜지스터의 순서로 된 일련의 직렬 접속과;

제 3 의 P-채널 트랜지스터의 백게이트는 패드에 접속되고 그의 게이트는 전원 또는 제 3 신호 입력단자로 접속되는, 패드와 제 2 의 P-채널 트랜지스터의 일련의 직렬 접속을 포함하여 구성되는 출력버퍼회로.

청구항 4.

제 3 항에 있어서, 상기 트랜지스터의 게이트는 임피던스 소자를 통하여 상기 전원 또는 접지에 접속되는 출력 버퍼회로.

청구항 5.

제 3 항에 있어서, 상기 제 1 의 P-채널 트랜지스터 및 상기 제 2의 P-채널 트랜지스터의 접합은 상기 제 1 의 N-채널 트랜지스터 및 상기 제 2의 N-채널 트랜지스터의 접합에 접속되며, 그에 의하여 상기 제 2 의 P-채널 트랜지스터 및 상기 제 1 의 N-채널 트랜지스터는 상호간에 병렬로 접속되는 출력버퍼회로.

청구항 6.

신호가 외부회로로 또는 그로부터 반송되는 패드를 통하여 내부회로에 외부회로로부터의 " H" 레벨 또는 " L" 레벨을 받아들이는 입력 버퍼회로로서:

인버터와;

그의 게이트가 전원에 접속된 인버터의 입력단자와 패드의 사이에 놓인 제 5 의 N-채널 트랜지스터; 및

패드에 " H" 레벨을 입력할 때 인버터의 단자전위를 전원의 전위까지 상승하는 피이드백 회로를 포함하여 구성되는 입력 버퍼회로.

청구항 7.

제 6 항에 있어서, 상기 트랜지스터의 게이트는 임피던스 소자를 통하여 상기 전원 또는 접지로 접속되는 입력 버퍼회로.

청구항 8.

제 6 항에 있어서, 상기 피드백 회로는 상기 전원과 상기 인버터의 입력단자 사이에 놓인 피드백 P-채널 트랜지스터를 포함하는 입력 버퍼회로.

청구항 9.

제 8 항에 있어서, 상기 피드백 P-채널 트랜지스터의 게이트는 상기 인버터의 출력단자에 접속되는 입력 버퍼회로.

청구항 10.

제 8 항에 있어서, 상기 피드백 P-채널 트랜지스터의 게이트는 상기 인버터와 독립적인 인버터의 출력단자에 접속되며, 상기 후자의 인버터의 입력단자는 상기 전자의 인버터의 입력단자에 접속되는 입력 버퍼회로.

청구항 11.

제 3 항에서 정의된 상기 출력 버퍼회로 및 제 6 항에서 정의된 상기 입력 버퍼회로를 포함하는 양방향 버퍼회로로서, 상기 출력 버퍼회로 및 상기 입력버퍼회로의 양자는 동일한 패드에 접속되는 양방향 버퍼회로.

청구항 12.

신호가 그를 통하여 외부회로로 또는 외부회로로부터 반송되는 패드로 " H" 레벨, " L" 레벨 또는 고임피던스를 출력하기 위한 출력 버퍼회로로서:

제 1 신호가 전원에 인접하여 배치된 풀업 트랜지스터의 게이트로 입력되고, 패드에 인접하여 배치된 풀업 트랜지스터의 백게이트는 패드에 접속되는, 전원과 패드사이에서 상호간에 직렬로 접속된 다수개의 풀업 트랜지스터와;

제 2 신호가 접지와 인접하여 배치된 풀다운 트랜지스터의 게이트로 입력되는, 패드와 접지사이에서 상호간에 직렬로 접속된 다수개의 풀다운 트랜지스터와;

인에이블 신호가 인에이블 트랜지스터의 게이트로 입력되고, 제 2 신호에 관한 반전논리를 가지는 제 3 신호가 제어 트랜지스터의 게이트로 입력되는, 다수개의 풀업 트랜지스터의 게이트 사이에서 상호간에 직렬로 접속된 인에이블 트랜지스터와 제어 트랜지스터; 및

제어 트랜지스터와 패드의 사이에 배치된 게이트 풀업 트렌지스터를 포함하여 구성되는 출력 버퍼회로.

청구항 13.

제 12 항에 있어서, 상기 제 3 신호는 상기 게이트 풀업 트랜지스터의 게이트로 입력되는 출력 버퍼회로.

청구항 14.

제 12 항에 있어서, 상기 게이트 풀업 트랜지스터의 게이트는 상기 전원에 접속되는 출력 버퍼회로.

청구항 15.

제 12 항에 있어서, 상기 패드에 인접하여 놓인 상기 풀다운 트랜지스터의 게이트는 상기 전원에 접속되는 출력 버퍼회로.

청구항 16.

제 12 항에 있어서, 상기 제 1 신호는 상기 패드에 인접하여 놓인 상기 풀다운 트랜지스터의 게이트로 입력되는 출력 버퍼회로.

청구항 17.

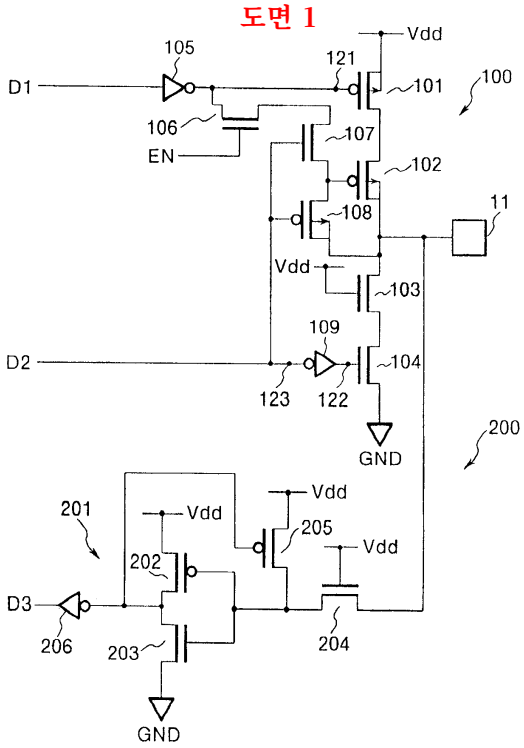
제 12 항에 있어서, 상기 다수개의 풀다운 트랜지스터의 상호접합은 상기 다수개의 풀다운 트랜지스터의 상호접합에 접속되는 출력 버퍼회로.

청구항 18.

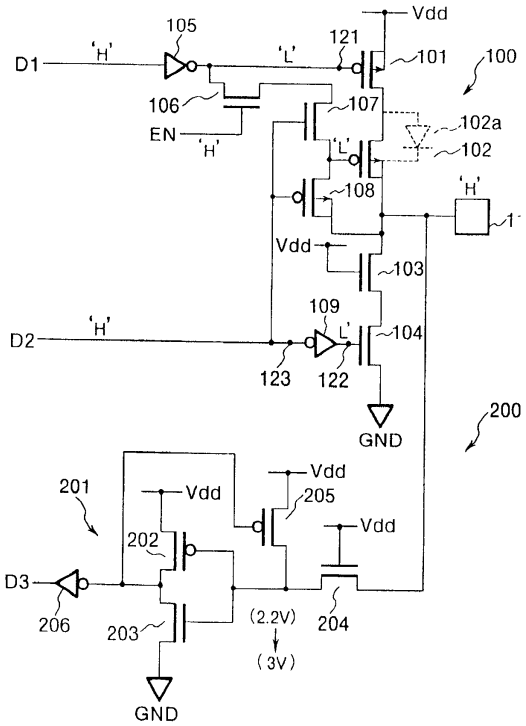
제 12 항에 있어서, 상기 전원에 인접하여 배치된 상기 풀업 트랜지스터의 백 게이트가 접속되는 출력 버퍼회로.

도면

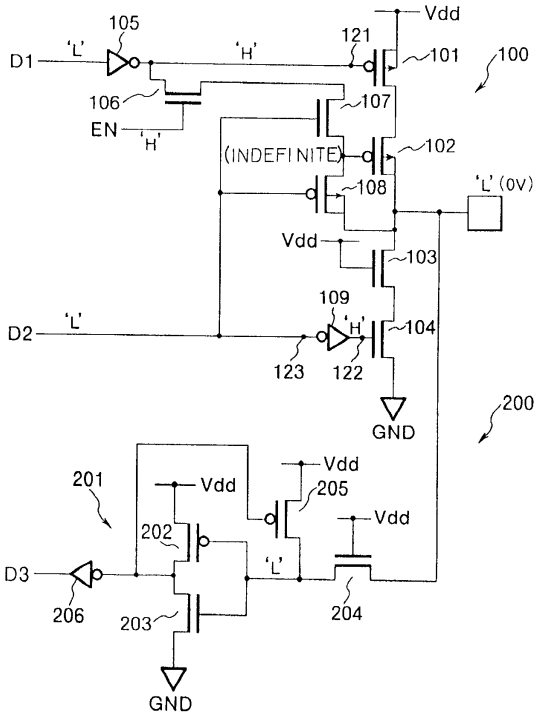
도면 1


Vdd
105
121
D1
101
100
106
107
EN
102
11
108
Vdd
103
109
D2
104
123
122
GND
200
201
Vdd
Vdd
205
Vdd
202
D3
206
203
204
GND

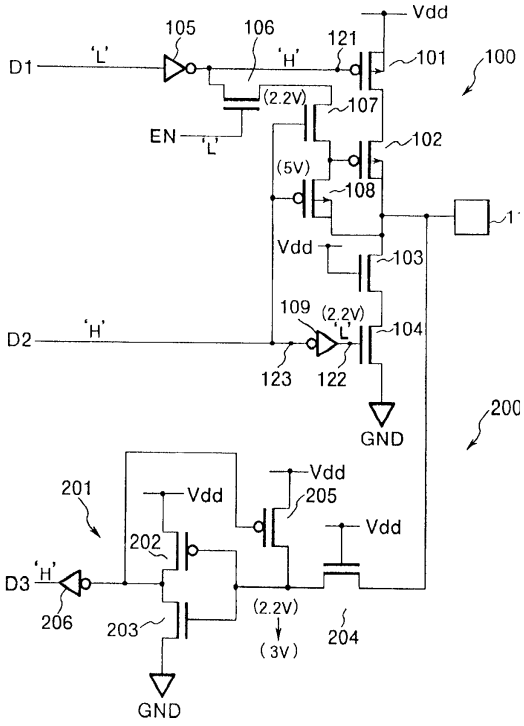
도면 2


Vdd
105
121
D1
'H'
'L'
101
100
106
107
102a
EN
'H'
'L'
102
108
'H'
Vdd
103
109
D2
'H'
'L'
104
123
122
GND
200
201
Vdd
Vdd
205
202
Vdd
D3
206
203
(2.2V)
204
(3V)
GND

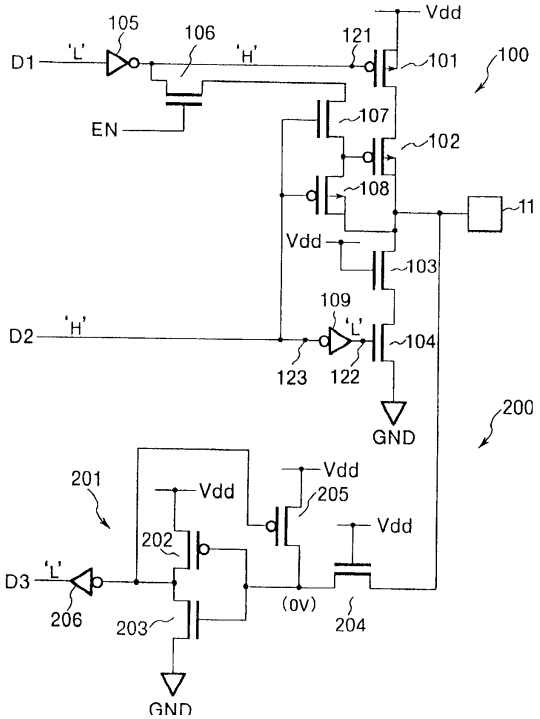
도면 3


Vdd
105
121
D1
'L'
'H'
101
100
106
107
EN
'H'
(INDEFINITE)
102
108
'L' (0V)
Vdd
103
109
D2
'L'
'H'
104
123
122
GND
200
201
Vdd
Vdd
205
202
Vdd
'L'
D3
206
203
204
GND

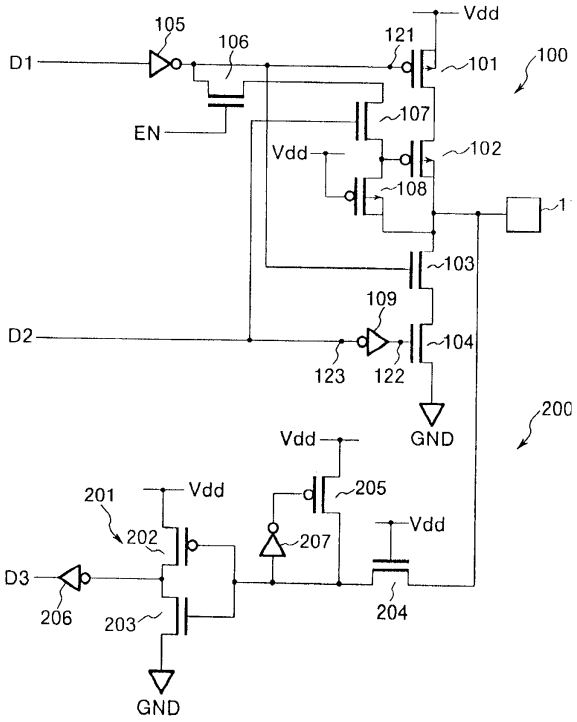
도면 4


Vdd
105
106
121
D1
'L'
'H'
101
100
(2.2V)
107
EN
'L'
102
(5V)
108
Vdd
103
109
(2.2V)
'L'
104
D2
'H'
123
122
GND
200
201
Vdd
205
Vdd
202
D3
'H'
206
203
(2.2V)
(3V)
204
GND

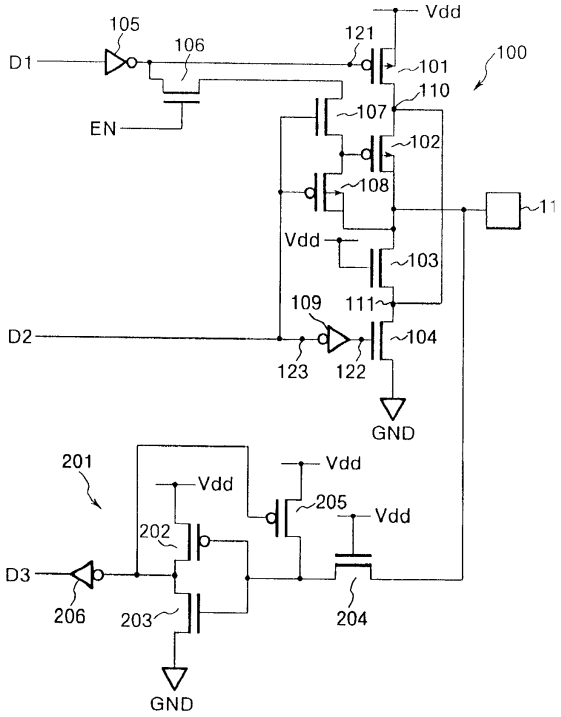
도면 5


Vdd
105
106
121
D1
'L'
'H'
101
100
EN
107
102
108
11
Vdd
103
109
D2
'H'
'L'
104
123
122
GND
200
201
Vdd
205
Vdd
202
D3
'L'
206
203
(0V)
204
GND

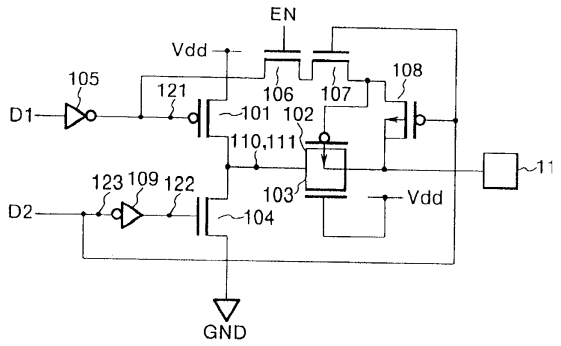
도면 6


Vdd
105
106
121
D1
101
100
EN
107
Vdd
102
108
1
103
109
D2
104
123
122
GND
200
Vdd
205
201
Vdd
202
207
Vdd
D3
206
203
204
GND

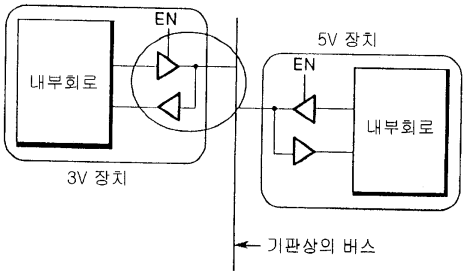
도면 7


Vdd
105
121
D1
106
101
100
110
EN
107
102
108
11
Vdd
103
109
111
D2
104
123
122
GND
201
Vdd
Vdd
205
Vdd
202
D3
206
203
204
GND

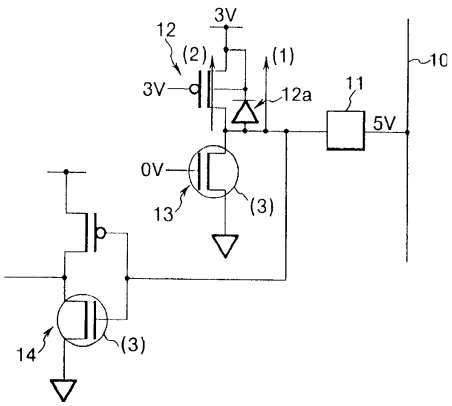
도면 8


EN
Vdd
105
121
106
107
108
D1
101
102
110,111
11
123
109
122
103
Vdd
D2
104
GND

도면 9



도면 10



도면 11

