

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4945809号
(P4945809)

(45) 発行日 平成24年6月6日(2012.6.6)

(24) 登録日 平成24年3月16日(2012.3.16)

(51) Int.Cl.		F I		
G06F 21/24	(2006.01)	G06F 21/24	166D	
G06K 19/073	(2006.01)	G06K 19/00	P	
G06F 3/08	(2006.01)	G06F 3/08	C	

請求項の数 13 (全 16 頁)

(21) 出願番号	特願2008-316633 (P2008-316633)	(73) 特許権者	000197366
(22) 出願日	平成20年12月12日 (2008.12.12)		NECアクセステクニカ株式会社
(65) 公開番号	特開2010-140297 (P2010-140297A)		静岡県掛川市下俣800番地
(43) 公開日	平成22年6月24日 (2010.6.24)	(74) 代理人	100086759
審査請求日	平成22年1月14日 (2010.1.14)		弁理士 渡辺 喜平
		(74) 代理人	100109128
			弁理士 岡野 功
		(74) 代理人	100154184
			弁理士 生富 成一
		(72) 発明者	山口 隆
			静岡県掛川市下俣800番地 NECア クセステクニカ株式会社内
		審査官	和田 財太

最終頁に続く

(54) 【発明の名称】 多段型メモリ装置、メモリ装置、記憶方法及び記憶処理用プログラム

(57) 【特許請求の範囲】

【請求項1】

情報を入力する電気機器又は情報処理装置と接続するための接続手段、
前記接続手段と接続されたインターフェース、
前記インターフェースと接続され、入力した情報を分解し、また、分解された情報を結
合する分解・結合部、
前記分解・結合部と接続され、前記分解された情報の一部を記憶する主記憶部、及び、
前記分解・結合部と接続され、前記分解された情報の残部を入力する一又は二以上の補
助接続手段
を有する主記憶装置と、
前記補助接続手段と接続される補助記憶装置用接続手段、及び、
前記補助記憶装置用接続手段と接続され、前記分解された情報の残部を記憶する補助記
憶部
を有し、前記主記憶装置に対して取り外し可能に接続される一又は二以上の補助記憶装
置と
を備え、
前記補助記憶装置が前記主記憶装置と接続されていないとき、前記分解・結合部が、前
記入力した情報に対して所定の暗号処理を行うことを特徴とする多段型メモリ装置。

【請求項2】

前記分解・結合部が、前記入力した情報の奇数ビットを前記主記憶部に記憶させ、前記入

力した情報の偶数ビットを前記補助記憶部に記憶させる、あるいは、前記入力した情報の偶数ビットを前記主記憶部に記憶させ、前記入力した情報の奇数ビットを前記補助記憶部に記憶させることを特徴とする請求項 1 に記載の多段型メモリ装置。

【請求項 3】

情報を出力する電気機器又は情報処理装置と接続するための接続手段と、
前記接続手段と接続されたインターフェースと、
前記インターフェースと接続され、入力した情報を分解し、また、分解された情報を結合する分解・結合部と、
前記分解・結合部と接続され、前記分解された情報の一部を記憶する主記憶部と、
前記分解・結合部と接続され、前記分解された情報の残部を記憶する外部の記憶部と接続するための一又は二以上の補助接続手段と
を備え、

前記外部の記憶部が前記補助接続手段と接続されていないとき、前記分解・結合部が、前記入力した情報に対して所定の暗号処理を行うことを特徴とするメモリ装置。

【請求項 4】

前記分解・結合部が、前記入力した情報の奇数ビットを前記主記憶部に記憶させ、前記入力した情報の偶数ビットを前記補助記憶部に記憶させる、あるいは、前記入力した情報の偶数ビットを前記主記憶部に記憶させ、前記入力した情報の奇数ビットを前記補助記憶部に記憶させることを特徴とする請求項 3 に記載のメモリ装置。

【請求項 5】

前記外部の記憶部が、携帯端末に設けられた記憶部であることを特徴とする請求項 3 又は 4 に記載のメモリ装置。

【請求項 6】

主記憶装置と、この主記憶装置に対して取り外し可能に接続される一又は二以上の補助記憶装置とを用いて、電気機器又は情報処理装置からの情報を記憶する記憶方法であって、

前記主記憶装置の分解・結合部が、入力した前記情報を分解し、
前記主記憶装置の主記憶部が、前記分解された情報の一部を記憶し、
前記補助記憶装置の補助記憶部が、前記分解された情報の残部を記憶し、
また、前記分解・結合部が、前記分解され記憶された情報の一部と前記分解され記憶された情報の残部とを結合し、

前記補助記憶装置が前記主記憶装置と接続されていないとき、前記分解・結合部が、前記入力した情報に対して所定の暗号処理を行うことを特徴とする記憶方法。

【請求項 7】

前記分解・結合部が、前記入力した情報の奇数ビットを前記主記憶部に記憶させ、前記入力した情報の偶数ビットを前記補助記憶部に記憶させる、あるいは、前記入力した情報の偶数ビットを前記主記憶部に記憶させ、前記入力した情報の奇数ビットを前記補助記憶部に記憶させることを特徴とする請求項 6 に記載の記憶方法。

【請求項 8】

メモリ装置と、このメモリ装置に対して取り外し可能に接続される一又は二以上の外部の記憶部とを用いて、電気機器又は情報処理装置からの情報を記憶する記憶方法であって、

前記メモリ装置の分解・結合部が、入力した前記情報を分解し、
前記メモリ装置の主記憶部が、前記分解された情報の一部を記憶し、
前記外部の記憶部が、前記分解された情報の残部を記憶し、
また、前記分解・結合部が、前記分解され記憶された情報の一部と前記分解され記憶された情報の残部とを結合し、

前記外部の記憶部が前記補助接続手段と接続されていないとき、前記分解・結合部が、前記入力した情報に対して所定の暗号処理を行うことを特徴とする記憶方法。

【請求項 9】

10

20

30

40

50

前記分解・結合部が、前記入力した情報の奇数ビットを前記主記憶部に記憶させ、前記入力した情報の偶数ビットを前記補助記憶部に記憶させる、あるいは、前記入力した情報の偶数ビットを前記主記憶部に記憶させ、前記入力した情報の奇数ビットを前記補助記憶部に記憶させることを特徴とする請求項 8 に記載の記憶方法。

【請求項 10】

電気機器又は情報処理装置から入力した情報を分解する処理、及び、分解された前記情報を結合させる処理を、主記憶装置の分解・結合部に実行させる記憶処理用プログラムであって、

入力した前記情報を分解する処理と、

前記分解された情報の一部を前記主記憶装置の主記憶部に記憶させる処理と、

前記分解された情報の残部を、前記主記憶装置に対して取り外し可能に接続される一又は二以上の補助記憶装置の補助記憶部に、記憶させる処理と、

前記分解され記憶された情報の一部と前記分解され記憶された情報の残部とを結合させる処理と、

前記補助記憶装置が前記主記憶装置と接続されていないとき、前記入力した情報に対して所定の暗号処理を行う処理と

を前記主記憶装置の前記分解・結合部に実行させる

ことを特徴とする記憶処理用プログラム。

10

【請求項 11】

前記分解・結合部が、前記入力した情報の奇数ビットを前記主記憶部に記憶させ、前記入力した情報の偶数ビットを前記補助記憶部に記憶させる、あるいは、前記入力した情報の偶数ビットを前記主記憶部に記憶させ、前記入力した情報の奇数ビットを前記補助記憶部に記憶させることを特徴とする請求項 10 に記載の記憶処理用プログラム。

20

【請求項 12】

電気機器又は情報処理装置から入力した情報を分解する処理、及び、分解された前記情報を結合させる処理を、メモリ装置の分解・結合部に実行させる記憶処理用プログラムであって、

入力した前記情報を分解する処理と、

前記分解された情報の一部を前記メモリ装置の主記憶部に記憶させる処理と、

前記分解された情報の残部を、前記メモリ装置に対して取り外し可能に接続される一又は二以上の外部の記憶部に、記憶させる処理と、

前記分解され記憶された情報の一部と前記分解され記憶された情報の残部とを結合させる処理と、

前記外部の記憶部が前記補助接続手段と接続されていないとき、前記入力した情報に対して所定の暗号処理を行う処理と

を前記メモリ装置の前記分解・結合部に実行させる

ことを特徴とする記憶処理用プログラム。

30

【請求項 13】

前記分解・結合部が、前記入力した情報の奇数ビットを前記主記憶部に記憶させ、前記入力した情報の偶数ビットを前記補助記憶部に記憶させる、あるいは、前記入力した情報の偶数ビットを前記主記憶部に記憶させ、前記入力した情報の奇数ビットを前記補助記憶部に記憶させることを特徴とする請求項 12 に記載の記憶処理用プログラム。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、多段型メモリ装置、メモリ装置、記憶方法及び記憶処理用プログラムに関する。

【背景技術】

【0002】

50

従来、データ持ち運び用のメモリ装置として、USBメモリやメモリカードなどが広く普及している。

USBメモリ(ユニバーサルメモリ)は、Universal Serial Bus(USB)を用いてデータの読み書きを行う補助記憶装置のうち、USBコネクタがケーブルを介さず直接本体についているタイプのものである。また、メモリカードは、薄型でカードのような外見の補助記憶装置であり、フラッシュメモリや超小型のハードディスクを内蔵し、インターフェースなどを備えている。

次に、一般的なメモリ装置について、図面を参照して説明する。

【0003】

(従来例)

図6は、従来例にかかるメモリ装置の概略ブロック図を示している。

図6において、メモリ装置101は、主コネクタ2、インターフェース3、暗号部107及び記憶部105などを備えている。

また、このメモリ装置101は、コンピュータ9と接続され、コンピュータ9から出力された情報を記憶する。

【0004】

主コネクタ2は、情報を入出力するコンピュータ9と接続するための接続手段である。なお、主コネクタ2が接続される機器は、コンピュータ9に限定されるものではなく、たとえば、主コネクタ2は、情報を出力する電気機器又は情報処理装置と接続されてもよい。

また、インターフェース3は、主コネクタ2及び暗号部107と接続されている。

【0005】

暗号部107は、コンピュータ9から入力した情報に対して所定の暗号処理を行う。すなわち、暗号部107は、コンピュータ9から入力した情報を暗号化し、記憶部105に記憶させたり、あるいは、記憶部105から入力した情報を復号化し、コンピュータ9に出力する。また、暗号部107は、パスワードロック処理の施された情報に対しては、パスワード情報をも記憶し、そのパスワードが入力された場合のみ、記憶していた情報を出力する。なお、このようなパスワードロック処理も、上記の所定の暗号処理に含まれるものとする。

また、記憶部105は、一般的に、フラッシュメモリである。

【0006】

ところで、上記構成のメモリ装置101は、記憶している情報に対して、暗号化やパスワードロック等の処理が施されているとしても、情報の全てが一つの記憶部105内に納められている。そのため、盗まれたり紛失した場合、メモリ装置101を入手した悪意のある第三者に解読されて、情報漏洩する危険が常に存在していた。

このような危険性を回避するために、様々な技術が開発されている。

【0007】

例えば、特許文献1には、データ入力手段と、入力されたデータを複数のデータに分割するデータ分割手段と、分割された複数のデータを、可搬性記憶媒体を含む複数の記憶媒体に分離して記録するデータ記録手段と、を備えていることを特徴とするデータ処理装置の技術が開示されている。

【0008】

また、特許文献2には、所定の位置に配置された、鍵データが記憶された記憶装置と通信を行い、当該鍵データを読み出す記憶装置インターフェイス手段と、送信対象のデータファイルを分割し複数の分割データファイルを生成するファイル分割手段と、生成された複数の分割データファイルに対して、鍵データを用いて選択的に暗号化する暗号化手段と、選択的に暗号化された複数の分割データファイルを送信する送信手段とを有するデータ送信装置の技術が開示されている。

【0009】

さらに、特許文献3には、分割数を含むバックアップコマンドを受けつけた場合に、秘

10

20

30

40

50

密鍵を所定の分割数で分割しさらに適当な方式により暗号化して分割暗号化データを作成して、パソコン側に返答する機能、および復元コマンドとともに一揃いの分割暗号化データを与えられた場合に、元の秘密鍵を復元する機能を備えたICカードの技術が開示されている。

【0010】

【特許文献1】特開2001-027969号公報

【特許文献2】特開2002-344442号公報

【特許文献3】特開2004-023138号公報

【発明の開示】

【発明が解決しようとする課題】

10

【0011】

しかしながら、特許文献1の技術は、分割された複数のデータを、可搬性記憶媒体を含む複数の記憶媒体に分離して記録しているものの、たとえば、一つの記憶媒体が盗まれたり紛失した場合、その一つの記憶媒体に記録されていたデータが復元され、情報が漏洩するといった問題があった。

【0012】

また、特許文献2の技術は、生成された複数の分割データファイルに対して、鍵データを用いて選択的に暗号化しているものの、暗号が解読されると、解読された分割データファイルの情報が漏洩するといった問題があった。

【0013】

20

さらに、特許文献3の技術は、秘密鍵を分割し暗号化しさらに分散して記録させているものの、たとえば、盗まれたり紛失した一つのICカードから、一つの分割されたデータが復元される危険性があるといった問題があった。

【0014】

また、メモリ装置においては、通常、単純で簡単な操作によって使用可能であることも要望されている。さらに、秘密にする必要のない情報に対しては、通常の操作を行うことができ、かつ、秘密にしたい情報に対しては、単純で簡単な操作によって、情報漏洩の阻止性能を高めることができるといった、使い勝手を向上させることも要望されている。

【0015】

本発明は、以上のような問題を解決するために提案されたものであり、情報漏洩の阻止性能を高めることができ、かつ、使い勝手を向上させることの可能な多段型メモリ装置、メモリ装置、記憶方法及び記憶処理用プログラムの提供を目的とする。

30

【課題を解決するための手段】

【0016】

上記目的を達成するため、本発明の多段型メモリ装置は、情報を出力する電気機器又は情報処理装置と接続するための接続手段、接続手段と接続されたインターフェース、インターフェースと接続され、入力した情報を分解し、また、分解された情報を結合する分解・結合部、分解・結合部と接続され、分解された情報の一部を記憶する主記憶部、及び、分解・結合部と接続され、分解された情報の残部を出力する一又は二以上の補助接続手段を有する主記憶装置と、補助接続手段と接続される補助記憶装置用接続手段、及び、補助記憶装置用接続手段と接続され、分解された情報の残部を記憶する補助記憶部を有し、主記憶装置に対して取り外し可能に接続される一又は二以上の補助記憶装置とを備えた構成としてある。

40

【0017】

また、本発明のメモリ装置は、情報を出力する電気機器又は情報処理装置と接続するための接続手段と、接続手段と接続されたインターフェースと、インターフェースと接続され、入力した情報を分解し、また、分解された情報を結合する分解・結合部と、分解・結合部と接続され、分解された情報の一部を記憶する主記憶部と、分解・結合部と接続され、分解された情報の残部を記憶する外部の記憶部と接続するための一又は二以上の補助接続手段とを備えた構成としてある。

50

【 0 0 1 8 】

また、本発明の記憶方法は、主記憶装置と、この主記憶装置に対して取り外し可能に接続される一又は二以上の補助記憶装置とを用いて、電気機器又は情報処理装置からの情報を記憶する記憶方法であって、主記憶装置の分解・結合部が、入力した情報を分解し、主記憶装置の主記憶部が、分解された情報の一部を記憶し、補助記憶装置の補助記憶部が、分解された情報の残部を記憶し、また、分解・結合部が、分解され記憶された情報の一部と分解され記憶された情報の残部とを結合する方法としてある。

【 0 0 1 9 】

また、本発明の記憶方法は、メモリ装置と、このメモリ装置に対して取り外し可能に接続される一又は二以上の外部の記憶部とを用いて、電気機器又は情報処理装置からの情報を記憶する記憶方法であって、メモリ装置の分解・結合部が、入力した情報を分解し、メモリ装置の主記憶部が、分解された情報の一部を記憶し、外部の記憶部が、分解された情報の残部を記憶し、また、分解・結合部が、分解され記憶された情報の一部と分解され記憶された情報の残部とを結合する方法としてある。

10

【 0 0 2 0 】

また、本発明の記憶処理用プログラムは、電気機器又は情報処理装置から入力した情報を分解する処理、及び、分解された情報を結合させる処理を、主記憶装置の分解・結合部に実行させる記憶処理用プログラムであって、入力した情報を分解する処理と、分解された情報の一部を主記憶装置の主記憶部に記憶させる処理と、分解された情報の残部を、主記憶装置に対して取り外し可能に接続される一又は二以上の補助記憶装置の補助記憶部に、記憶させる処理と、分解され記憶された情報の一部と分解され記憶された情報の残部とを結合させる処理とを主記憶装置の分解・結合部に実行させる構成としてある。

20

【 0 0 2 1 】

また、本発明の記憶処理用プログラムは、電気機器又は情報処理装置から入力した情報を分解する処理、及び、分解された情報を結合させる処理を、メモリ装置の分解・結合部に実行させる記憶処理用プログラムであって、入力した情報を分解する処理と、分解された情報の一部をメモリ装置の主記憶部に記憶させる処理と、分解された情報の残部を、メモリ装置に対して取り外し可能に接続される一又は二以上の外部の記憶部に、記憶させる処理と、分解され記憶された情報の一部と分解され記憶された情報の残部とを結合させる処理とをメモリ装置の分解・結合部に実行させる構成としてある。

30

【 発明の効果 】

【 0 0 2 2 】

本発明の多段型メモリ装置、メモリ装置、記憶方法及び記憶処理用プログラムによれば、情報漏洩の阻止性能を高めることができ、かつ、使い勝手を向上させることができる。

【 発明を実施するための最良の形態 】

【 0 0 2 3 】

[多段型メモリ装置、記憶方法及び記憶処理用プログラムの第一実施形態]

図 1 は、本発明の第一実施形態にかかる多段型メモリ装置の概略ブロック図を示している。

図 1 において、本実施形態の多段型メモリ装置 1 は、コンピュータ 9 と接続される主記憶装置 1 0 と、この主記憶装置 1 0 に対して取り外し可能に接続される補助記憶装置 1 1 とを備えている。この多段型メモリ装置 1 は、コンピュータ 9 と接続され、コンピュータ 9 から出力された情報（データ）を記憶する。

40

【 0 0 2 4 】

主記憶装置 1 0 は、主コネクタ 2、インターフェース 3、分解・結合部 4、記憶部 5 及び補助コネクタ 6 などをも有している。

主コネクタ 2 は、情報を入出力するコンピュータ 9 と接続するための接続手段である。なお、主コネクタ 2 が接続される機器は、コンピュータ 9 に限定されるものではなく、たとえば、主コネクタ 2 は、情報を出力する電気機器又は情報処理装置と接続されてもよい。

50

また、インターフェース 3 は、主コネクタ 2 及び分解・結合部 4 と接続されている。

【 0 0 2 5 】

分解・結合部 4 は、インターフェース 3 から入力した情報を分解する。すなわち、本実施形態の分解・結合部 4 は、インターフェース 3 から入力した情報を、奇数ビットからなる情報と偶数ビットからなる情報とに分解する。たとえば、インターフェース 3 から入力した情報が、「 0 1 0 1 0 1 0 0 1 1 . . . 」であるとき、奇数ビットからなる情報は「 0 0 0 0 1 . . . 」であり、偶数ビットからなる情報は「 1 1 1 0 1 . . . 」となる。なお、分解の方式は、上述した奇数ビットからなる情報と偶数ビットからなる情報とに分解する方式に限定されるものではなく、様々な方式を用いることができる。

【 0 0 2 6 】

また、分解・結合部 4 は、分解した情報の一部、すなわち、奇数ビットからなる情報を記憶部 5 に記憶させ、また、分解した情報の残部、すなわち、偶数ビットからなる情報を補助記憶部 1 5 に記憶させる。なお、本実施形態では、上記の構成としてあるが、これに限定されるものではなく、たとえば、偶数ビットからなる情報を記憶部 5 に記憶させ、また、分解した情報の残部、すなわち、奇数ビットからなる情報を補助記憶部 1 5 に記憶させる構成としてもよい。

【 0 0 2 7 】

さらに、分解・結合部 4 は、記憶部 5 から入力した奇数ビットからなる情報と、補助記憶部 1 5 から入力した偶数ビットからなる情報とを結合させることができる。たとえば、奇数ビットからなる情報が「 0 0 0 0 1 . . . 」であり、偶数ビットからなる情報が「 1 1 1 0 1 . . . 」であるとき、結合した情報として、「 0 1 0 1 0 1 0 0 1 1 . . . 」を得ることができる。

【 0 0 2 8 】

また、補助記憶部 1 5 に記憶した情報は、補助記憶装置 1 1 が主記憶装置 1 0 に接続されたときに限り、読み出すことができる構成としてある。したがって、秘密鍵としての機能を有する分解・結合部 4 は、主記憶装置 1 0 にのみ設けられている。すなわち、補助記憶装置 1 1 は、秘密鍵自体を持っていないので、補助記憶装置 1 1 に対するセキュリティ性を向上させることができる。

【 0 0 2 9 】

記憶部 5 は、一般的に、フラッシュメモリである。この記憶部 5 は、分解・結合部 4 と接続されており、インターフェース 3 によって分解された情報の一部、すなわち、本実施形態では、奇数ビットからなる情報を記憶する。

また、補助コネクタ 6 は、分解・結合部 4 と接続されており、分解された情報の残部、すなわち、本実施形態では、偶数ビットからなる情報を出力するための補助接続手段である。

【 0 0 3 0 】

補助記憶装置 1 1 は、補助コネクタ 1 6 及び補助記憶部 1 5 などを有している。

補助コネクタ 1 6 は、補助コネクタ 6 と接続される補助記憶装置用接続手段である。このようにすると、補助記憶装置 1 1 を容易に主記憶装置 1 0 と接続させることができ、また、補助記憶装置 1 1 を容易に主記憶装置 1 0 から取り外すことができる。

また、補助記憶部 1 5 は、一般的に、フラッシュメモリである。この補助記憶部 1 5 は、補助コネクタ 1 6 と接続されており、インターフェース 3 によって分解された情報の残部、すなわち、本実施形態では、偶数ビットからなる情報を記憶する。

【 0 0 3 1 】

次に、上記構成の多段型メモリ装置 1 の動作（記憶方法など）について、図面を参照して説明する。

図 2 は、本発明の第一実施形態にかかる記憶方法を説明するための概略フローチャート図を示している。

図 2 において、コンピュータ 9 からの情報を記憶する多段型メモリ装置 1 は、まず、補助記憶装置 1 1 の補助コネクタ 1 6 が主記憶装置 1 0 の補助コネクタ 6 に接続され、主記

10

20

30

40

50

憶装置 10 の主コネクタ 2 がコンピュータ 9 のコネクタ (図示せず) に接続される (ステップ S 1) 。

ここで、補助記憶装置 11 は、容易に主記憶装置 10 と接続されるので、取扱い性を向上させることができる。

【 0032 】

次に、コンピュータ 9 が情報を出力すると、主記憶装置 10 は、主コネクタ 2 及びインターフェース 3 を介して、分解・結合部 4 が出力された情報を入力する。続いて、分解・結合部 4 は、上述した分解の方式により、入力した情報を分解する (ステップ S 2) 。

すなわち、本実施形態では、インターフェース 3 から入力した情報を、奇数ビットからなる情報と偶数ビットからなる情報とに分解する。たとえば、上述したように、インターフェース 3 から入力した情報が、「 0101010011・・・」であるとき、奇数ビットからなる情報は「 00001・・・」であり、偶数ビットからなる情報は「 11101・・・」となる。

【 0033 】

次に、主記憶装置 10 の記憶部 5 が、分解した情報の一部、すなわち、奇数ビットからなる情報を記憶し、また、補助記憶装置 11 の補助記憶部 15 が、分解した情報の残部、すなわち、偶数ビットからなる情報を記憶する (ステップ S 3) 。

【 0034 】

次に、主記憶装置 10 をコンピュータ 9 から取り外し、また、補助記憶装置 11 を主記憶装置 10 から取り外し、それぞれ別の場所に保管する。あるいは、多段型メモリ装置 1 を別の場所に移動させる際は、補助記憶装置 11 と主記憶装置 10 とを、それぞれ別の移動手段によって移動させる (ステップ S 4) 。

ここで、補助記憶装置 11 は、容易に主記憶装置 10 から取り外すことができるので、取扱い性を向上させることができる。

【 0035 】

このようにすると、補助記憶装置 11 及び主記憶装置 10 の一方のみが、盗まれたり紛失しても、その一方のみ、すなわち、補助記憶装置 11 又は主記憶装置 10 には、意味をなさないデータしか記憶されていないので、このデータが解読され悪意のある第三者に気密が漏洩するといった可能性を完全に排除することができる。

また、保管中の、あるいは、移動中の補助記憶装置 11 と主記憶装置 10 とが、ほぼ同時に盗まれたり紛失する確率は、一つ (たとえば、補助記憶装置 11 だけ) が盗まれたり紛失する確率より低くなるので、情報漏洩の危険性を低減することができる。

さらに、仮に、補助記憶装置 11 及び主記憶装置 10 の一方のみが、盗まれたり紛失しても、もう一方を物理的又は電氣的に破壊することにより、情報漏洩を完全に阻止することができる。

【 0036 】

次に、多段型メモリ装置 1 に記憶した情報をコンピュータ 9 に出力するとき、まず、補助記憶装置 11 の補助コネクタ 16 が主記憶装置 10 の補助コネクタ 6 に接続され、主記憶装置 10 の主コネクタ 2 がコンピュータ 9 のコネクタ (図示せず) に接続される (ステップ S 5) 。

【 0037 】

次に、分解・結合部 4 は、分解され記憶部 5 に記憶された情報の一部、すなわち、奇数ビットからなる情報を入力し、また、分解され補助記憶部 15 に記憶された情報の残部、すなわち、偶数ビットからなる情報を入力し、これらを結合させる (ステップ S 6) 。たとえば、上述したように、記憶部 5 に記憶された奇数ビットからなる情報「 00001・・・」と、補助記憶部 15 に記憶された偶数ビットからなる情報「 11101・・・」とを入力し、これらを結合し、結合された情報「 0101010011・・・」を得る。

続いて、多段型メモリ装置 1 は、結合された情報をコンピュータ 9 に出力する (ステップ S 7) 。

【 0038 】

10

20

30

40

50

次に、記憶処理用プログラムについて説明する。

上記の実施形態において、多段型メモリ装置1の分解・結合部4は、たとえば、図示していないが、演算処理装置や記憶手段（例えば、ROMなど）などを有しており、記憶処理機能（記憶方法を実行するための機能）は、前記の記憶手段に記憶された記憶処理用プログラムにより実現される。

【0039】

本実施形態の記憶処理用プログラムは、前記の演算処理装置（CPUなど）に読み込まれることにより、分解・結合部4の構成各部に指令を送り、所定の処理、たとえば、入力した情報を分解する処理、分解された情報の一部を主記憶装置10の記憶部5に記憶させる処理、分解された情報の残部を補助記憶装置11の補助記憶部15に記憶させる処理、分解され記憶された情報の一部と分解され記憶された情報の残部とを結合させる処理などを行わせる。

10

これによって、記憶処理機能は、ソフトウェアである記憶処理用プログラムとハードウェア資源である多段型メモリ装置1の各構成手段とが協働することにより実現される。

【0040】

なお、一般的に、記憶処理機能を実現するための記憶処理用プログラムは、コンピュータのROMやハードディスクなどに記憶される他、コンピュータ読み取り可能な記録媒体、たとえば、外部記憶装置及び可搬記録媒体等に格納することができる。そして、記録媒体に記録されたプログラムは、分解・結合部4にロードされて、演算処理装置などにより実行される。この実行により、上述した実施形態の多段型メモリ装置1の機能が実現される。

20

さらに、コンピュータを用いて記憶処理用プログラムをロードする場合、他のコンピュータで保有された記憶処理用プログラムを、通信回線を利用して自己の有するRAMや外部記憶装置にダウンロードすることもできる。このダウンロードされた記憶処理用プログラムも、演算処理装置などにより実行され、上記実施形態の多段型メモリ装置1の記憶処理機能を実現する。

【0041】

以上説明したように、本実施形態の多段型メモリ装置1、記憶方法及び記憶処理用プログラムによれば、補助記憶装置11及び主記憶装置10の一方のみが、盗まれたり紛失しても、悪意のある第三者に気密が漏洩するといった可能性を完全に排除することができる。

30

また、保管中の、あるいは、移動中の補助記憶装置11と主記憶装置10とが、ほぼ同時に盗まれたり紛失する確率は、一つ（たとえば、補助記憶装置11だけ）が盗まれたり紛失する確率より低くなるので、情報漏洩の危険性を低減することができる。

さらに、仮に、補助記憶装置11及び主記憶装置10の一方のみが、盗まれたり紛失しても、もう一方を物理的又は電氣的に破壊することにより、情報漏洩を完全に阻止することができる。

また、補助記憶装置11と主記憶装置10との接続や切り離しを容易に行うことができるので、単純で簡単な操作による多段型メモリ装置1を提供することができる。

【0042】

40

また、本実施形態の多段型メモリ装置1、記憶方法及び記憶処理用プログラムは、様々な応用例を有している。

次に、上記応用例について、図面を参照して説明する。

【0043】

< 第一応用例 >

図3は、本発明の第一実施形態の応用例にかかる多段型メモリ装置の概略ブロック図を示している。

図3において、本応用例の多段型メモリ装置1'は、第一実施形態の多段型メモリ装置1と比べると、二つの補助記憶装置11、11'を備えている点などが相違する。なお、多段型メモリ装置1'の他の構成は、多段型メモリ装置1とほぼ同様としてある。

50

したがって、図3において、図1と同様の構成部分については同一の符号を付して、その詳細な説明を省略する。

【0044】

主記憶装置10'は、二つの補助コネクタ6、6'を有しており、補助コネクタ6、6'は、並列に分解・結合部4'と接続されている。

また、主記憶装置10'の分解・結合部4'は、インターフェース3から入力した情報を分解する。すなわち、本応用例の分解・結合部4'は、インターフェース3から入力した情報を、(3m+1)番目のビットからなる情報と、(3m+2)番目のビットからなる情報と、(3m)番目のビットからなる情報とに分解する(mは、0以上の整数)。たとえば、インターフェース3から入力した情報が、「010010111001・・・」

10

【0045】

また、分解・結合部4'は、分解した情報の一部、すなわち、(3m+1)番目のビットからなる情報を記憶部5に記憶させ、分解した情報の残部、すなわち、(3m+2)番目のビットからなる情報を補助記憶部15に記憶させ、かつ、(3m)番目のビットからなる情報を補助記憶部15'に記憶させる。

【0046】

20

さらに、分解・結合部4'は、記憶部5から入力した(3m+1)番目のビットからなる情報と、補助記憶部15から入力した(3m+2)番目のビットからなる情報と、補助記憶部15'から入力した(3m)番目のビットからなる情報とを結合させることができる。たとえば、(3m+1)番目のビットからなる情報が「0010・・・」であり、(3m+2)番目のビットからなる情報が「1110・・・」であり、(3m)番目のビットからなる情報が「0011・・・」であるとき、結合した情報として、「010010111001・・・」を得ることができる。

【0047】

また、補助記憶装置11'は、補助記憶装置11とほぼ同様な構造としてあり、補助コネクタ16'及び補助記憶部15'などを備えている。

30

【0048】

このように、本応用例の多段型メモリ装置1'によれば、第一実施形態の多段型メモリ装置1とほぼ同様に、補助記憶装置11、11'及び主記憶装置10'の二つまでが、盗まれたり紛失しても、悪意のある第三者に気密が漏洩するといった可能性を完全に排除することができる。

また、保管中の、あるいは、移動中の補助記憶装置11、11'及び主記憶装置10'が、ほぼ同時に盗まれたり紛失する確率は、一つ(たとえば、補助記憶装置11だけ)又は二つ(たとえば、補助記憶装置11と多段型メモリ装置1)が盗まれたり紛失する確率より低くなるので、情報漏洩の危険性を低減することができる。

さらに、仮に、補助記憶装置11、11'及び主記憶装置10'の二つまでが、盗まれたり紛失しても、残りの一つを物理的又は電氣的に破壊することにより、情報漏洩を完全に阻止することができる。

40

【0049】

<第二応用例>

図示していないが、本応用例の多段型メモリ装置は、第一実施形態の多段型メモリ装置1と比べると、補助記憶装置11が主記憶装置10と接続されていないとき、分解・結合部4が所定の暗号処理を行う(すなわち、上述した暗号部107として機能する)点などが相違する。

このようにすると、本応用例の多段型メモリ装置は、補助記憶装置11が主記憶装置10に接続されていないとき、上述したメモリ装置101とほぼ同様に使用することができ

50

、使い勝手を向上させることができるとともに、付加価値を高めることができる。

【0050】

また、本応用例の多段型メモリ装置は、主記憶装置10だけをコンピュータ9に接続し、メモリ装置101とほぼ同様に使用しているとき、分解され記憶部5に記憶された情報の一部を、コンピュータ9に対して秘密にする構成としてもよい。このようにすると、秘密にしたい情報の存在（情報の一部が記憶部5に記憶されていること）をも秘密にすることができ、セキュリティ性を向上させることができる。

なお、補助記憶装置11が主記憶装置10に接続されると、上記の状態が解除され、コンピュータ9は、秘密にしたい情報の存在（たとえば、情報が記憶部5及び補助記憶部15に記憶されていること）を検出することができる。

10

また、本応用例の多段型メモリ装置の他の構成や動作は、多段型メモリ装置1とほぼ同様としてある。

【0051】

このように、本応用例の多段型メモリ装置によれば、第一実施形態の多段型メモリ装置1とほぼ同様の効果を奏することができ、さらに、補助記憶装置11が主記憶装置10に接続されていないとき、上述したメモリ装置101とほぼ同様に使用することができる。

すなわち、補助記憶装置11が接続されていない状態では、主記憶装置10は、メモリ装置101とほぼ同様に使用することができ、秘密にしたい情報を記憶するとき、ユーザは、補助記憶装置11を主記憶装置10に接続する。この接続により、秘密にしたい情報を多段型メモリ装置1に容易に記憶させることができ、記憶した後は、補助記憶装置11を主記憶装置10から取り外し、主記憶装置10をメモリ装置101とほぼ同様に使用することができる。これにより、本応用例の多段型メモリ装置の付加価値を向上させることができる。

20

【0052】

[メモリ装置、記憶方法及び記憶処理用プログラムの第二実施形態]

図4は、本発明の第二実施形態にかかるメモリ装置の概略ブロック図を示している。

図4において、本実施形態のメモリ装置1aは、第一実施形態の多段型メモリ装置1と比べると、分解・結合部4が、分解した情報の残部を、補助記憶装置11の補助記憶部15の代わりに、携帯端末11aの記憶部15aに記憶させる点などが相違する。なお、メモリ装置1aの他の構成は、多段型メモリ装置1とほぼ同様としてある。

30

したがって、図4において、図1と同様の構成部分については同一の符号を付して、その詳細な説明を省略する。

【0053】

本実施形態では、分解された情報の残部を記憶する外部の記憶部を、携帯端末11aの記憶部15aとしてある。この携帯端末11aは、記憶部15aや、記憶部15aと接続されたコネクタ16aなどを有しており、コネクタ16aと補助コネクタ6とは、接続ケーブル17を介して容易に接続される。

ここで、携帯端末11aは、通常、携帯電話などが用いられるが、これに限定されるものではなく、たとえば、記憶部を有する様々な電気機器や情報処理装置を用いることができる。

40

なお、その他の構成や動作は、上述した第一実施形態とほぼ同様としてある。

【0054】

以上説明したように、本実施形態のメモリ装置1a、記憶方法及び記憶処理用プログラムによれば、第一実施形態とほぼ同様の効果を奏することができ、さらに、通常、ユーザが大切に使用している携帯電話などの携帯端末11aを補助記憶装置11として利用することができるので、メモリ装置1aの使い勝手を大幅に向上させることができる。

【0055】

また、本実施形態のメモリ装置1a、記憶方法及び記憶処理用プログラムは、様々な応用例を有している。

次に、上記応用例について、図面を参照して説明する。

50

【 0 0 5 6 】

< 第三応用例 >

図 5 は、本発明の第二実施形態の応用例にかかるメモリ装置の概略ブロック図を示している。

図 5 において、本応用例のメモリ装置 1 a' は、第一応用例の多段型メモリ装置 1' と比べると、分解・結合部 4' が、分解した情報の残部（残部の一部）を、補助記憶装置 1 1 の補助記憶部 1 5 の代わりに、携帯端末 1 1 a の記憶部 1 5 a に記憶させる点などが相違する。なお、メモリ装置 1 a' の他の構成は、多段型メモリ装置 1' とほぼ同様としてある。

したがって、図 5 において、図 3 と同様の構成部分については同一の符号を付して、その詳細な説明を省略する。

10

【 0 0 5 7 】

主記憶装置 1 0' の分解・結合部 4' は、上述したように、インターフェース 3 から入力した情報を分解する。すなわち、本応用例の分解・結合部 4' は、インターフェース 3 から入力した情報を、(3 m + 1) 番目のビットからなる情報と、(3 m + 2) 番目のビットからなる情報と、(3 m) 番目のビットからなる情報とに分解する（m は、0 以上の整数）。

また、分解・結合部 4' は、分解した情報の一部、すなわち、(3 m + 1) 番目のビットからなる情報を記憶部 5 に記憶させ、分解した情報の残部、すなわち、(3 m + 2) 番目のビットからなる情報を携帯端末 1 1 a の記憶部 1 5 a に記憶させ、かつ、(3 m) 番目のビットからなる情報を補助記憶部 1 5' に記憶させる。

20

さらに、分解・結合部 4' は、記憶部 5 から入力した (3 m + 1) 番目のビットからなる情報と、記憶部 1 5 a から入力した (3 m + 2) 番目のビットからなる情報と、補助記憶部 1 5' から入力した (3 m) 番目のビットからなる情報とを結合させることができる。

なお、その他の構成や動作は、上述した第一応用例とほぼ同様としてある。

【 0 0 5 8 】

このように、本応用例のメモリ装置 1 a'、記憶方法及び記憶処理用プログラムによれば、第一応用例とほぼ同様の効果を奏することができ、さらに、通常、ユーザが大切に使用している携帯電話などの携帯端末 1 1 a を補助記憶装置 1 1 として利用することができるので、メモリ装置 1 a' の使い勝手を大幅に向上させることができる。

30

【 0 0 5 9 】

< 第四応用例 >

図示していないが、本応用例のメモリ装置は、第二実施形態のメモリ装置 1 a と比べると、携帯端末 1 1 a がメモリ装置 1 a と接続されていないとき、分解・結合部 4 が所定の暗号処理を行う（すなわち、上述した暗号部 1 0 7 として機能する）点などが相違する。

【 0 0 6 0 】

また、本応用例のメモリ装置は、携帯端末 1 1 a をメモリ装置 1 a に接続せず、メモリ装置 1 a だけをコンピュータ 9 に接続し、メモリ装置 1 0 1 とほぼ同様に使用しているとき、分解され記憶部 5 に記憶された情報の一部を、コンピュータ 9 に対して秘密にする構成としてもよい。このようにすると、秘密にしたい情報の存在（情報の一部が記憶部 5 に記憶されていること）をも秘密にすることができ、セキュリティ性を向上させることができる。

40

なお、携帯端末 1 1 a がメモリ装置に接続されると、上記の状態が解除され、コンピュータ 9 は、秘密にしたい情報の存在（たとえば、情報が記憶部 5 及び記憶部 1 5 a に記憶されていること）を検出することができる。

また、本応用例のメモリ装置の他の構成や動作は、メモリ装置 1 a とほぼ同様としてある。

【 0 0 6 1 】

このように、本応用例のメモリ装置によれば、第二実施形態のメモリ装置 1 a とほぼ同

50

様の効果を奏することができ、さらに、携帯端末 11a がメモリ装置に接続されていないとき、上述したメモリ装置 101 とほぼ同様に使用することができる。

すなわち、携帯端末 11a が接続されていない状態では、メモリ装置は、メモリ装置 101 とほぼ同様に使用することができ、秘密にしたい情報を記憶するとき、ユーザは、携帯端末 11a をメモリ装置に接続する。この接続により、秘密にしたい情報をメモリ装置及び記憶部 15a に容易に記憶させることができ、記憶した後は、携帯端末 11a をメモリ装置から取り外し、メモリ装置をメモリ装置 101 とほぼ同様に使用することができる。これにより、本応用例のメモリ装置の付加価値を向上させることができる。

【0062】

以上、本発明の多段型メモリ装置、メモリ装置、記憶方法及び記憶処理用プログラムについて、好ましい実施形態や応用例を示して説明したが、本発明に係る多段型メモリ装置、メモリ装置、記憶方法及び記憶処理用プログラムは、上述した実施形態や応用例にのみ限定されるものではなく、本発明の範囲で種々の変更実施が可能であることは言うまでもない。

例えば、第一応用例の多段型メモリ装置 1' は、二つの補助記憶装置 11、11' を並列に接続する構成としてあるが、この構成に限定されるものではなく、たとえば、二つの補助記憶装置 11、11' を直列に接続する構成としてもよい。このようにしても、多段型メモリ装置 1' とほぼ同様の効果を得ることができる。

【図面の簡単な説明】

【0063】

【図 1】図 1 は、本発明の第一実施形態にかかる多段型メモリ装置の概略ブロック図を示している。

【図 2】図 2 は、本発明の第一実施形態にかかる記憶方法を説明するための概略フローチャート図を示している。

【図 3】図 3 は、本発明の第一実施形態の応用例にかかる多段型メモリ装置の概略ブロック図を示している。

【図 4】図 4 は、本発明の第二実施形態にかかるメモリ装置の概略ブロック図を示している。

【図 5】図 5 は、本発明の第二実施形態の応用例にかかるメモリ装置の概略ブロック図を示している。

【図 6】図 6 は、従来例にかかるメモリ装置の概略ブロック図を示している。

【符号の説明】

【0064】

- 1、1' 多段型メモリ装置、
- 1a、1a' メモリ装置
- 2 主コネクタ
- 3 インターフェース
- 4、4' 分解・結合部
- 5 記憶部
- 6、6' 補助コネクタ
- 9 コンピュータ
- 10、10' 主記憶装置
- 11、11' 補助記憶装置
- 11a 携帯端末
- 15、15' 補助記憶部
- 15a 記憶部
- 16、16' 補助コネクタ
- 16a コネクタ
- 17 接続ケーブル
- 101 メモリ装置

10

20

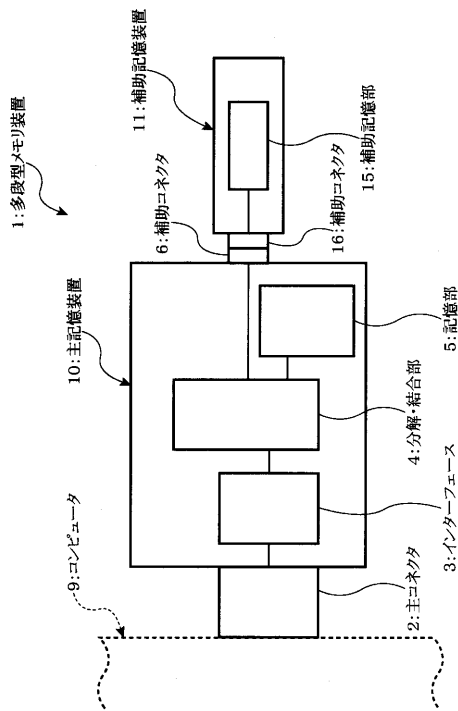
30

40

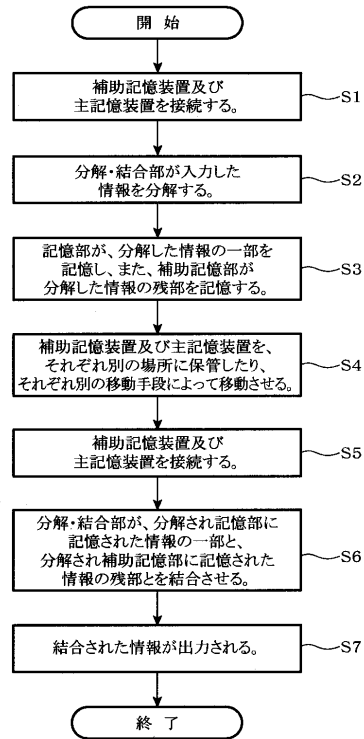
50

1 0 5 記憶部
1 0 7 暗号部

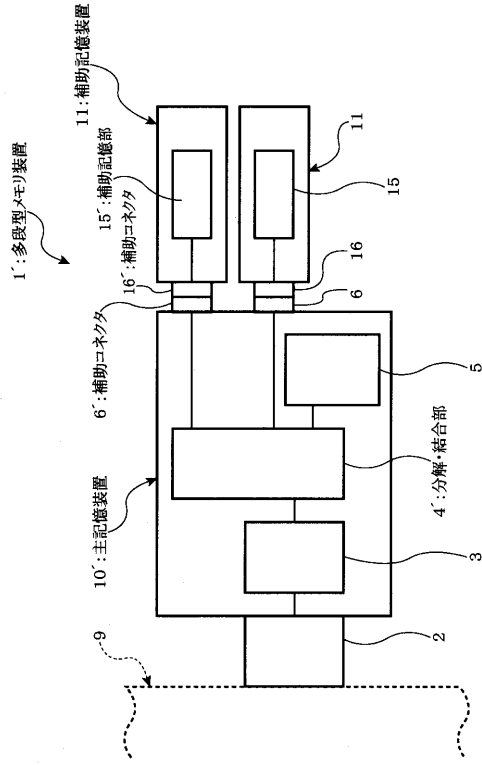
【図1】



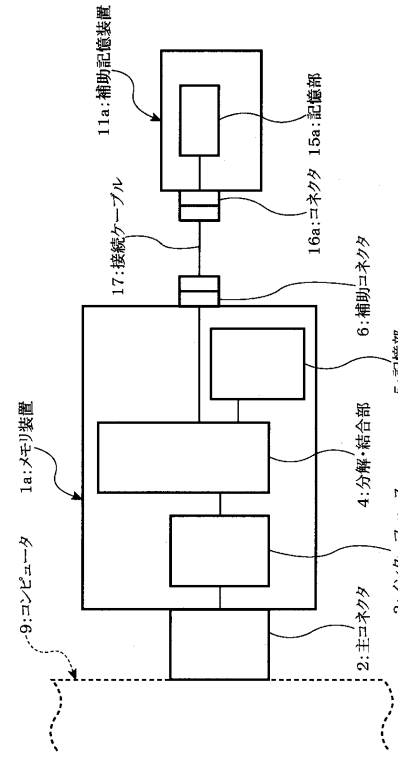
【図2】



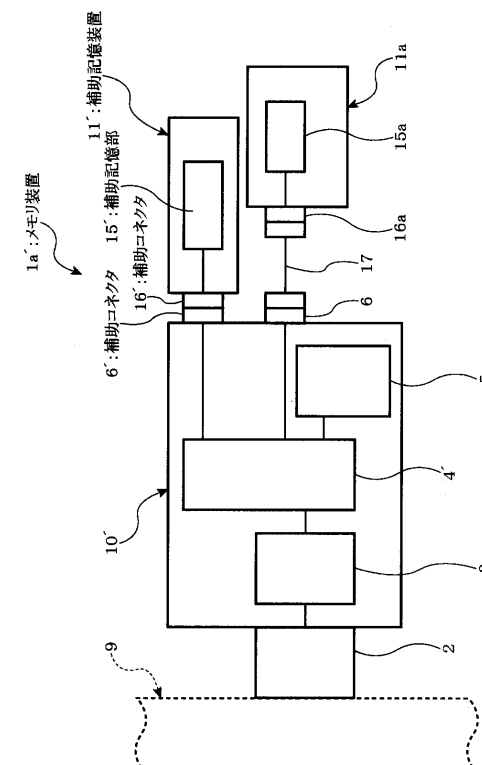
【図3】



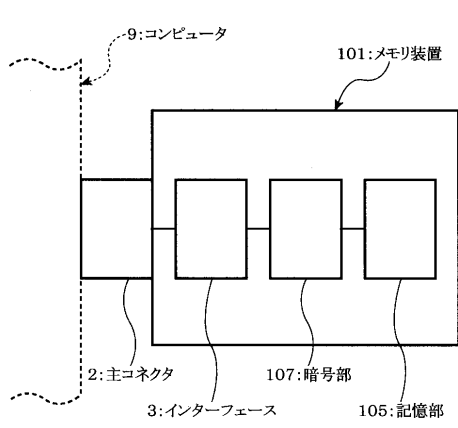
【図4】



【図5】



【図6】



フロントページの続き

(56)参考文献 特開2006-031123(JP,A)
特開2005-182691(JP,A)
特開2004-147218(JP,A)

(58)調査した分野(Int.Cl., DB名)
G06F 21/24
G06F 3/08
G06K 19/073