

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-232279

(P2010-232279A)

(43) 公開日 平成22年10月14日(2010.10.14)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 O 1 B	5 F 1 1 O
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F 1 4 O
	HO 1 L 29/78 6 2 6 Z	

審査請求 未請求 請求項の数 7 O L (全 14 頁)

(21) 出願番号 特願2009-76047 (P2009-76047)
 (22) 出願日 平成21年3月26日 (2009.3.26)

(71) 出願人 000005290
 古河電気工業株式会社
 東京都千代田区丸の内二丁目2番3号
 (74) 代理人 100096091
 弁理士 井上 誠一
 (72) 発明者 新山 勇樹
 東京都千代田区丸の内2丁目2番3号 古河電気工業株式会社内
 (72) 発明者 野村 剛彦
 東京都千代田区丸の内2丁目2番3号 古河電気工業株式会社内
 (72) 発明者 加藤 禎宏
 東京都千代田区丸の内2丁目2番3号 古河電気工業株式会社内

最終頁に続く

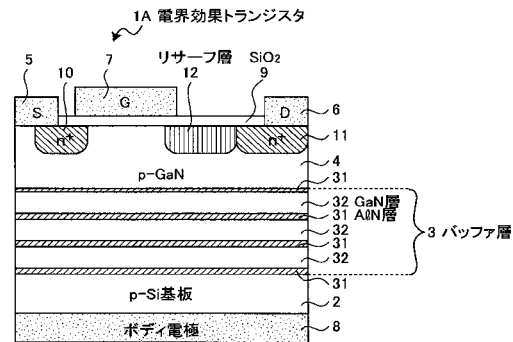
(54) 【発明の名称】 電界効果トランジスタ

(57) 【要約】

【課題】 ノーマリーオフ動作、高耐圧、大電流を実現する電界効果トランジスタを提供する。

【解決手段】 電界効果トランジスタの下面または上面にボディ電極8を設ける。下面にボディ電極8を設ける場合、p型Si基板2上にAlN層31およびGaN層32の繰り返しによるバッファ層3を介してp-GaN層4を設け、バッファ層3の最上層のAlN層31を薄くし、p型Si基板の下面にボディ電極8を形成する。上面にボディ電極8を設ける場合、サファイア基板21上にp-GaN層4を設け、ソース電極5およびドレイン電極6下の部分にAlGaN層13を設け、AlGaN層13上にボディ電極8を設ける。アバランシェにより生じる正孔20をボディ電極8より引き抜く。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

III族窒化物半導体を用いた電界効果トランジスタにおいて、前記III族窒化物半導体の上面または下面のいずれかにボディ電極が形成されることを特徴とする電界効果トランジスタ。

【請求項 2】

半導体層として、少なくともp型Ga_{0.5}N層を1層含むことを特徴とする請求項1記載の電界効果トランジスタ。

【請求項 3】

半導体基板をp型シリコンとし、前記半導体基板の下面にボディ電極を形成することを特徴とする請求項1または請求項2のいずれかに記載の電界効果トランジスタ。

10

【請求項 4】

前記半導体基板と前記半導体層の間にバッファ層が形成され、前記バッファ層は複数の層で構成され、前記バッファ層の各層は、AlNまたは/およびGa_{0.5}Nまたは/およびBN、または、AlN、Ga_{0.5}N、BNを組み合わせた化合物よりなることを特徴とする請求項3記載の電界効果トランジスタ。

【請求項 5】

前記バッファ層の最上層はAlNであることを特徴とする請求項4記載の電界効果トランジスタ。

【請求項 6】

前記バッファ層の最上層AlN層の膜厚は1nm以上40nm以下であることを特徴とする請求項5記載の電界効果トランジスタ。

20

【請求項 7】

サファイア基板上に形成したp型Ga_{0.5}N層上にAlGa_{0.5}N層が形成され、AlGa_{0.5}N層上に直接ボディ電極が形成されることを特徴とする請求項1または請求項2のいずれかに記載の電界効果トランジスタ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、III族窒化物半導体を使用した電界効果トランジスタに関し、更に詳しくは、ノーマリーオフ動作、高耐圧、大電流を実現する電界効果トランジスタに関する。

30

【背景技術】

【0002】

GaNなどのIII族窒化物半導体は、材料の本質的特性から、シリコン半導体に比べ耐圧が高く、高電流密度が得られ、高温動作が可能なることからパワーデバイスとして期待されている。

【0003】

III族窒化物を用いた電界効果トランジスタとしては、例えば、GaN系MOSFET (Metal Oxide Silicon Field Effect Transistor) (例えば、非特許文献1)やAlGa_{0.5}N/GaN系HFET (Hetero-junction Field Effect Transistor) (例えば、非特許文献2)が提案されている。

40

【0004】

これらGaN系の電界効果トランジスタは、Si半導体や、従来のGaAs、InPなどのIII族化合物半導体よりも高い絶縁破壊電界や飽和移動度を有することから、特にパワーデバイスに適している。

【0005】

また、GaN系MOSFETはノーマリーオフを容易に実現できるため、電源回路に不調が起こった際、安全な方向に進む、いわゆるフェールセーフの面からもパワーデバイスに適している。

50

非特許文献 1 に示される GaN 系 MOSFET は、半導体層に表面電界を緩和するリサーフ (RESURF: Reduced Surface Field) 層を設けることにより、940V の耐圧を実現している。

【0006】

また、非特許文献 2 に示される AlGaIn/GaN 系 HFET は、半導体層として、ノンドープの AlGaIn キャリア走行層上に、キャリア走行層よりも格子定数の小さいノンドープまたは n 型の AlGaIn 障壁層と、キャリア走行層と格子定数の等しい AlGaIn 閾値制御層と、キャリア走行層よりも格子定数の小さいノンドープまたは n 型の AlGaIn キャリア誘起層を順に積層した構造であり、通常、AlGaIn 系 HFET ではノーマリーオフ動作が難しいが、キャリア誘起層全部と障壁層の一部を除去したりセス構造中にゲート電極を形成し、障壁層の膜厚を臨界膜厚以下にすることによりノーマリーオフ動作を実現するとともに、障壁層の膜厚を原子層レベルに制御することにより、閾値電圧のばらつきを小さく抑えることを可能にしている。また、キャリア誘起層を設けたことによりオン抵抗を低減している。

10

【0007】

Si 系のパワーデバイスの場合は、高い耐圧を実現するために、p⁺ 層にボディ電極を配置する方法が知られている。このボディ電極から、ドレイン電圧を高くしたときに起きるアバランシェ現象で発生する電子・正孔対のうちの正孔を引き抜くことで、耐圧を向上することができる。しかし、GaN の場合は、高濃度の p⁺ 層をイオン注入法などにより選択的に形成することが非常に難しい。イオン注入で p 層を形成した報告では、正孔のシートキャリア密度で $7 \times 10^{12} \text{ cm}^{-2}$ 程度である (非特許文献 3)。

20

【先行技術文献】

【非特許文献】

【0008】

【非特許文献 1】W. Huang, T. Khan, T. P. Chow, "Enhancement-Mode n-Channel GaN MOSFETs on p and n-GaN/Sapphire Substrates," 18th International Symposium on Power Semiconductor Devices and ICs (ISPSD) 2006 (Italy), 10-1

30

【非特許文献 2】M. Kuraguchi et al., "Normally-off GaN-MISFET with well-controlled threshold voltage," International Workshop on Nitride Semiconductors 2006 (IWN2006), Oct. 22-27, 2006, Kyoto, Japan, WeED1-4.

【非特許文献 3】Wilson R. G. et al., "Redistribution and activation of implanted S, Se, Te, Be, Mg, and C in GaN," Journal of Vacuum Science and Technology, A17, 1226 (1999).

40

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、パワーデバイスでは、耐圧をより高く、また、ゲート電極の閾値電圧をより高くし、ノーマリーオフ動作を可能にする必要がある。例えば、自動車用電源回路等に適用するためには、約 1200V のドレイン耐圧と +3V 以上の閾値電圧が要求される。

非特許文献 1 の GaN 系 MOSFET は、940V の耐圧を実現しているが、自動車用電源回路の用途では更に高い耐圧が必要という問題がある。

【0010】

また、非特許文献 2 の AlGaIn/GaN 系 HFET は、ノーマリーオフ動作を実現し、閾値電圧をばらつき少なく制御することが可能であるが、閾値電圧が +1V 程度であり

50

、パワーデバイスの閾値電圧として必要な + 3 V を満たさないという問題がある。

【 0 0 1 1 】

また、Si系パワーデバイスと同様に p⁺層に電極を配置し、正孔を引き抜く方法を GaN系パワーデバイスで実現するためには、 10^{15} cm^{-2} レベルのシートキャリア密度の p⁺層を形成する必要があるが、GaNで形成可能な p⁺層のシートキャリア密度は、非特許文献 3 に示されるように $7 \times 10^{12} \text{ cm}^{-2}$ 程度と低すぎるという問題がある。また、高濃度の p⁺層を選択的に形成することは更に難しい。

【 0 0 1 2 】

本発明は、このような問題に鑑みてなされたもので、その目的とするところは、ノーマリーオフ動作、高耐圧、大電流を実現する III 族窒化物半導体電界効果トランジスタを提供することである。

10

【課題を解決するための手段】

【 0 0 1 3 】

前述した課題を解決するための本発明は、III族窒化物半導体を用いた電界効果トランジスタにおいて、前記III族窒化物半導体の上面または下面のいずれかにボディ電極が形成されることを特徴とする電界効果トランジスタである。

この電界効果トランジスタは、半導体層として、少なくとも p 型 GaN 層を 1 層含む。これにより、ノーマリーオフ動作を容易に実現することが可能になる。

【 0 0 1 4 】

ここで、電界効果トランジスタの下面にボディ電極を形成する場合、半導体基板を p 型シリコンとすることが好ましい。

20

また、前記半導体基板と前記半導体層の間にバッファ層が形成され、前記バッファ層は複数の層で構成され、前記バッファ層の各層は、AlN または / および GaN または / および BN、または、AlN、GaN、BN を組み合わせた化合物よりなることが好ましい。

さらに、前記バッファ層の最上層は AlN であり、1 nm 以上 40 nm 以下であることが好ましい。

【 0 0 1 5 】

このように、p 型シリコン基板上に多層から成るバッファ層を介して p 型 GaN 層を少なくとも 1 層含む半導体層を設け、p 型シリコン基板の下面にボディ電極を配置することにより、アバランシェ発生時の正孔をこのボディ電極から引き抜くことが可能になり、耐

30

圧を向上することが可能になる。

【 0 0 1 6 】

一方、電界効果トランジスタの上面にボディ電極を形成する場合、サファイア基板上に形成した p 型 GaN 層上に AlGaN 層が形成され、AlGaN 層上に直接ボディ電極が形成されることが望ましい。

このように、AlGaN 層上に直接ボディ電極を形成することにより、アバランシェ発生時の正孔をこのボディ電極から引き抜くことが可能になり、耐圧を向上することが可能になる。

【発明の効果】

【 0 0 1 7 】

本発明によれば、ノーマリーオフ動作、高耐圧、大電流を実現する電界効果トランジスタを提供することが可能になる。

40

【図面の簡単な説明】

【 0 0 1 8 】

【図 1】本発明の第 1 の実施形態に係る III 族窒化物 (GaN) を用いた電界効果トランジスタ 1 A の概略構成を示す断面図

【図 2】本発明の第 2 の実施形態に係る III 族窒化物 (GaN) を用いた電界効果トランジスタ 1 B の概略構成を示す断面図

【図 3】トンネル効果による正孔の引き抜き方法の説明図

【図 4】第 2 の実施形態に係る III 族窒化物 (GaN) を用いた電界効果トランジスタ 1

50

Bの耐圧の測定結果を示す図

【発明を実施するための形態】

【0019】

以下、図面に基づいて本発明の好適な実施形態について詳細に説明する。

(第1の実施形態)

図1は、本発明の第1の実施形態に係る電界効果トランジスタ1Aの概略構成を示す断面図である。III族窒化物としてGaNとAlNを使用する。

【0020】

この電界効果トランジスタ1Aは、p型Si基板2を半導体基板とし、その上にバッファ層3を介してp型GaN4からなる半導体層を備える。p型Si基板2の下面にボディ電極8が設けられる。

10

また、p型GaN半導体層4表面のソース電極(S)5およびドレイン電極(D)6下の領域にはコンタクト層であるn⁺層10および11が形成される。また、p型GaN半導体層4表面のゲート電極(G)7とドレイン電極6間の下部領域には、電界集中を緩和するためのリサーフ層(RESURF層)12を備える。またp型GaN半導体層4上のソース電極5およびゲート電極6間の領域にはゲート酸化膜であるSiO₂9が形成され、SiO₂9上にゲート電極7が設けられる。

【0021】

バッファ層3は、例えば、AlN層31とGaN層32が交互に複数層形成された積層構造であり、p型Si基板2上にp型GaN半導体層4を形成する際のSiとGaNの格子定数および熱膨張係数の差を緩和する役目を果たす。

20

バッファ層3としては、図1に示したAlN、GaNの他、BNや、これらのIII族窒化物の組み合わせによる化合物、例えば、AlGaNやBGaN等を使用することが可能である。

【0022】

バッファ層3の最上層はAlN層31であり、この最上層のAlN層31はバッファ層3の他のAlN層31よりも薄く形成する。すなわち、最上層のAlN層の膜厚は1nm以上40nm以下にする。

後述するが、この最上層のAlN層を薄くし、p型Si基板の下面にボディ電極を設けることにより、アバランシェ現象によりp型GaN半導体層4あるいはリサーフ層12内に生じる正孔をトンネル効果によりバッファ層3を透過させ引き抜くことが可能になる。これにより、耐圧の向上が可能になる。

30

【0023】

次に、図1に示した構成を持つ第1の実施形態の電界効果トランジスタ1Aの作用効果を説明する。

【0024】

図1に示すように、電界効果トランジスタ1Aは、p型Si基板2の下面にボディ電極8を形成するとともに、バッファ層3の最上層のAlN層31の膜厚を薄くすることで、アバランシェ現象により発生する正孔をバッファ層3、p-Si基板2を介してボディ電極から引き抜くことにより、耐圧の向上を可能にする。

40

【0025】

電界効果トランジスタ1Aのゲート電圧V_gをV_g = 0 (V)とし、ソース・ドレイン間に高いドレイン電圧V_d (例えばV_d = 1000V)をかけた場合、リサーフ層12のゲート電極7寄り、および、n⁺コンタクト層11のゲート電極7寄りに電界の集中ポイントができ、アバランシェ現象により電子・正孔対が発生する。発生した電子・正孔対の電子はドレイン電極6に逃げるが、正孔はpGaN半導体層4に溜まってしまう。

耐圧を上げるためには、この正孔を外部に引き抜く必要がある。

【0026】

従来のSi半導体による電界効果トランジスタの場合は、基板をp⁺Siとして下面にボディ電極を形成することにより正孔を積極的に引き抜くことができる。しかし、本発明の

50

第 1 の実施の形態の III 族窒化物 (GaN) を用いた電界効果トランジスタ 1 A の場合、図 1 に示すように、p-Si 基板 2 上に GaN 半導体層 4 を形成するために、Si と GaN の格子定数および熱膨張係数の差を緩和するバッファ層 3 が形成されている。アバランシェ現象によって発生した正孔をバッファ層 3、p-Si 基板 2 を通してボディ電極 8 から引き抜くために、バッファ層 3 の最上層の AlN 層 3 1 の膜厚を薄くすることにより、トンネル効果で正孔が AlN 層 3 1 を通り抜けるようになる。

【0027】

次に、図 3 を参照しながら、このトンネル効果による正孔の引き抜きについて説明する。

図 3 (a) は、p-GaN 半導体層 4 - バッファ層 3 の最上層の AlN 層 3 1 - その下層の GaN 層 3 2 の価電子帯のエネルギー構造 E_v を模式的に示した図である。

p-GaN 半導体層 4 に生じた正孔 20 は、p-GaN 半導体層 4 / AlN 層 3 1 界面のエネルギー障壁によりバッファ層 3 内には入らない。しかし、AlN 層 3 1 の膜厚 x_1 を、例えば $x_1 = 10 \text{ nm}$ 以下まで薄くすると、量子力学的なトンネル効果により、正孔 20 は p-GaN 半導体層 4 / AlN 層 3 1 界面のエネルギー障壁を通り抜けることができる。

【0028】

しかし、実際には膜厚 10 nm 以下の AlN 層 3 1 でなくてもトンネル効果は起きる。

図 3 (b) は、ドレイン - ソース間にドレイン電圧 V_d (例えば、 $V_d = 1000 \text{ V}$) をかけた場合の p-GaN 半導体層 4 - バッファ層 3 の最上層の AlN 層 3 1 - その下層の GaN 層 3 2 の価電子帯のエネルギー構造 E_v を模式的に示した図である。

【0029】

ソース電極 5 およびボディ電極 8 は接地されており、ソース電極の電圧 V_s およびボディ電極 8 の電圧 V_b は 0 であり、ドレイン電圧 V_d のみが高電圧なので、エネルギー構造 E_v は傾く。

バッファ層 3 の最上層の AlN 層の膜厚 x_2 が、例えば $x_2 = 40 \text{ nm}$ であるとする。

図 3 (b) に示すように、ドレイン電圧 V_d によりエネルギー構造 E_v が傾くため、AlN 層 3 1 の価電子帯のエネルギー構造も傾き、最上層の AlN 層 3 1 の膜厚が $x_2 = 40 \text{ nm}$ であっても、トンネル効果が起きる $x_1 = 10 \text{ nm}$ と等価の三角ポテンシャル部分が存在する。これにより、正孔 20 は最上層の AlN 層 3 1 を通り抜けることができる。

【0030】

また、最上層の AlN 層 3 1 を通り抜けた正孔 20 は、エネルギー構造 E_v の傾きにより、その下層にある GaN 層 3 2 および AlN 層 3 1 を容易に通る抜けることができ、p-Si 基板 2 に達し、ボディ電極 8 から引き抜くことができる。

よって、最上層の AlN 層 3 1 の膜厚はできるだけ薄く (1 nm 以上 40 nm 以下に) 形成する必要があるが、それ以外の AlN 層 3 1 の膜厚はこの範囲に限らず、厚くてもよい。

【0031】

以上のように、p-Si 基板 2 の下面にボディ電極 8 を設け、バッファ層 3 の最上位の AlN 層 3 1 の膜厚を 40 nm 以下に制御することにより、アバランシェ現象により発生した正孔を引き抜くことが可能となり、III 族窒化物 (GaN) 電界効果トランジスタ 1 A の耐圧を向上することが可能になる。

【0032】

また、p 型 GaN 半導体層 4 表面のゲート電極 (G) 7 とドレイン電極 6 間の下部領域に、電界集中を緩和するためのリサーフ層 (RESURF 層) 1 2 を備えることで、高いドレイン電圧 V_d (例えば $V_d = 1000 \text{ V}$) をかけた場合に SiO_2 層 9 のドレイン電極 6 よりに集中する電界を緩和し、耐圧の向上を可能にしている。

【0033】

以上のように、本発明の第 1 の実施形態に係る電界効果トランジスタ 1 A により、ノーマリーオフ動作し、高耐圧の電界効果トランジスタを得ることが可能になる。

10

20

30

40

50

【0034】

(電界効果トランジスタ1Aの製造方法)

次に、電界効果トランジスタ1Aの製造方法の一例を説明する。

【0035】

(結晶成長)

まず、p型Si基板2上に、例えばMOCVD(Metal Organic Chemical Vapor Deposition:有機金属化学気相成長)法によりAlN層を40nm成長させる。次に、その上にGaNを200nm成長させ、さらにAlNを20nm成長させ、これを12回繰り返してパuffers層3を形成する。

【0036】

次に、MgをドーブしたGaNを1.5 μ mの厚さに成長させ、p-GaN半導体層4を形成する。ドーパントMgの濃度は、例えば、 $1 \times 10^{17} \text{ cm}^{-3}$ に制御する。

次に、SiをドーブしたGaNを50nmの厚さに成長させる。ドーパントSiの濃度は、例えば、 $7 \times 10^{17} \text{ cm}^{-3}$ に制御する。

【0037】

尚、MOCVD法に代えて、HVPE(Hydride Vapor Phase Epitaxy:ハイドライド気相成長)法、MBE(Molecular Beam Epitaxy:分子線エピタキシー)法等を用いてもよい。

また、成長用基板として、例えば、SiC、ZrB₂等を用いてもよい。

また、ドーパントは、Mgに代えてBeやZn等を、Siに代えてC等を使用してもよい。

【0038】

(素子分離)

次に、p-GaN半導体層4の表面にフォトレジストを塗布し、露光・現像工程を経て、素子分離用のパターンングを施す。

次に、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)やRIE(Reactive Ion Etching:反応性イオンエッチング)等のドライエッチング装置を用いて、p-GaN半導体層4を深さ200nmエッチングし、フォトレジストをアセトンにより除去し、素子分離を完了する。

【0039】

(ゲート酸化膜堆積)

次に、素子分離を完了したp-GaN半導体層4上の全面にPECVD(Plasma Enhanced Chemical Vapor Deposition:プラズマ化学気相成長)法によりSiO₂を60nm堆積させ、ゲート酸化膜であるSiO₂層9を形成する。

【0040】

(オーミック電極形成)

次に、ゲート酸化膜SiO₂9にソース電極5およびドレイン電極6用の開口部を形成する。これは、素子分離の場合と同様のフォトレジスト塗布・露光・現像・エッチング・フォトレジスト除去の工程によって形成される。

2つの開口部はp-GaN半導体層4が露出しており、このp-GaN半導体層4上に例えばTi/Alから成るオーミック電極を、それぞれ、ソース電極5およびドレイン電極6として形成する。

尚、電極の素材は、オーミック接合が実現できるならばTi/Al以外であってもよい。

【0041】

(ゲート電極形成)

次にゲート電極7を形成する。

すなわち、まず、電極材料であるpoly-Si(poly-crystalline Si)をLPCVD(Low Pressure CVD:低圧CVD)やスパッタ法等

10

20

30

40

50

により素子上面全面に堆積させる。

次に、素子を POCl_3 ガスが封入された熱拡散炉で 900°C 、20分間熱処理し、不純物 P のドーピングを行う。

次に P ドープ済みの poly-Si に対して、ソース電極 5 - ドレイン電極 6 間のゲート部分に P ドープ poly-Si が残るようにフォトレジスト塗布・露光・現像・エッチング・フォトレジスト除去の工程を施す。これによりゲート電極 7 が形成される。

【0042】

尚、 poly-Si への P ドーピングは、 poly-Si 上に P を蒸着し、熱拡散させて行ってもよい。

また、ゲート電極として Au、Pt、Ni 等を用いてもよい。

10

【0043】

(ボディ電極形成)

ボディ電極 8 として、例えば、AuGa 合金を使用し、 p-Si 基板 2 の下面に蒸着する。

【0044】

以上の製造工程により、図 1 に示したノーマリーオフ動作、高耐压の III 族窒化物 (GaN) 電界効果トランジスタ 1A が製造される。

【0045】

(第 2 の実施形態)

図 2 は、第 2 の実施形態に係る電界効果トランジスタ 1B の概略構成を示す断面図である。III 族窒化物半導体電界効果トランジスタ 1B の場合、ボディ電極 8 は III 族窒化物半導体電界効果トランジスタ 1B の上面に形成される。

20

【0046】

図 2 に示すように、電界効果トランジスタ 1B は、基板にサファイア基板 21 を用い、サファイア基板 21 上に p 型 GaN からなる p 型 GaN 半導体層 4 が形成される。

さらに、p 型 GaN 半導体層 4 の上部、ソース電極 (S) 5 およびドレイン電極 (D) 6、ボディ電極 8 の下部には AlGaN 層 13 が形成される。ここで、この AlGaN 層 13 の膜厚は 20nm 程度である。AlGaN のバンドギャップは GaN より大きいですが、膜厚が薄いので、金属電極からの電子をトンネル効果により p-GaN へ透過し、電極-AlGaN 層界面、AlGaN 層 13、AlGaN 層 13 - p-GaN 層 4 界面の抵抗を小さく抑えることを可能とし、低オン抵抗により大電流を得ることが可能になる。

30

【0047】

AlGaN 層 13 上に、ソース電極 5、ドレイン電極 6、ボディ電極 8 が直接形成される。

一方、AlGaN 層 13 上のソース電極 5、ドレイン電極 6、ボディ電極 8 以外の部分にはゲート酸化膜 SiO_2 が形成され、ゲート部分はゲートリセス構造により p-GaN 半導体層 4 上の SiO_2 上に形成される。

ゲート電極とドレイン電極間の AlGaN / GaN 領域はリサーフ層の働きをし、所定の抵抗を有することから電圧降下が起こり、ゲート酸化膜 SiO_2 9 に発生する電界を緩和する効果がある。

40

【0048】

次に、図 2 に示した構成を持つ第 2 の実施形態の電界効果トランジスタ 1B の作用効果を説明する。

【0049】

図 2 に示すように、電界効果トランジスタ 1B は、p 型 GaN 半導体層 4 上の AlGaN 層 13 上にボディ電極 8 を形成することにより、アバランシェ現象により発生する正孔を引き抜き、耐压の向上を可能にする。

【0050】

電界効果トランジスタ 1B のゲート電圧 V_g を $V_g = 0 (\text{V})$ とし、ソース - ドレイン間に高いドレイン電圧 V_d (例えば $V_d = 1000\text{V}$) をかけた場合、 p-GaN 半導体

50

層 4 内のドレイン電極 6 左部分と、ゲート電極 6 右部分に電界の集中ポイントができ、アバランシェ現象により電子・正孔対が発生する。発生した電子・正孔対の電子はドレイン電極 6 に逃げる。

【 0 0 5 1 】

正孔は、AlGaIn層 1 3 上にボディ電極 8 を形成し、ボディ電極を設置することにより、pGaIn半導体層 4 のドレイン電極 6 側からボディ電極 8 側に向かってエネルギー傾斜ができるため、正孔はボディ電極側に流れ、AlGaIn層 1 3 の膜厚が薄いことによりトンネル効果によりボディ電極 8 に向かって透過し、引き抜かれる。

このように、アバランシェ現象により生じた正孔をボディ電極 8 から引き抜くことが可能であり、耐圧を向上することができる。

10

【 0 0 5 2 】

以上のように、本発明の第 2 の実施形態の電界効果トランジスタ 1 B により、ノーマリーオフ動作し、高耐圧、高電流の電界効果トランジスタを得ることが可能になる。

【 0 0 5 3 】

(電界効果トランジスタ 1 B の製造方法)

次に、第 2 の実施形態の電界効果トランジスタ 1 B の製造方法の一例を説明する。

【 0 0 5 4 】

(結晶成長)

まず、サファイア基板 2 1 の基板温度を 1 0 0 0 とし、例えば MOCVD 法により基板 2 1 に GaN 層 4 を 1 μm 成長させる。

20

次に、基板温度を 1 0 5 0 に昇温し、Mg ドープ GaN を 2 μm 成長させる。ドーパントには Mg を用い、Mg 濃度を $1 \times 10^{17} \text{ cm}^{-3}$ に制御する。

次に、AlGaIn (Al 組成 2 5 %) を 2 5 nm 成長させる。これにより AlGaIn 層 1 3 が形成される。

【 0 0 5 5 】

尚、MOCVD 法の代わりに、HVPE 法、MBE 法等を用いてもよい。

また、成長用基板として、例えば、SiC、ZrB₂ 等を用いてもよい。

また、ドーパントは、Mg に代えて Be や Zn、C 等を使用してもよい。

【 0 0 5 6 】

(素子分離)

30

次に、AlGaIn 層 1 3 の表面にフォトリソを塗布し、露光・現像工程を経て、素子分離用のパターンングを施す。

次に、ICP、RIE 等のドライエッチング装置を用いて、AlGaIn 層 1 3 および Mg ドープの p-GaN 半導体層 4 を深さ 2 0 0 nm エッチングし、フォトリソをアセトンにより除去し、素子分離を完了する。

【 0 0 5 7 】

(ゲートリセス形成)

次に、ゲートを形成するためのリセス構造を形成する。

すなわち、まず、PCVD (Plasma CVD) 法により、p-GaN 層 4 上に SiO₂ を 3 0 0 nm 堆積する。

40

次に、ゲート領域の SiO₂ を BHF (Buffer Hydrogen Fluoride) によりエッチングし開口する。

【 0 0 5 8 】

次に、ICP ドライエッチング装置によって AlGaIn 層を完全にエッチングし、その後、pGaIn 層を 1 0 0 nm エッチングする。

次に、p-GaN 上の SiO₂ を BHF によって全て除去する。

【 0 0 5 9 】

(ゲート酸化膜堆積)

次に、素子分離を完了した半導体層 4、1 3 上の全面に PECVD 法により SiO₂ を 6 0 nm 堆積させ、ゲート酸化膜である SiO₂ 層 9 を形成する。

50

【0060】

(オーミック電極形成)

次に、ゲート酸化膜 SiO_2 9 にソース電極 5 およびドレイン電極 6 用、ボディ電極 8 用の開口部を形成する。これは、素子分離の場合と同様のフォトリソ塗布・露光・現像・エッチング・フォトリソ除去の工程によって形成される。

【0061】

3つの開口部は AlGaN 半導体層 13 が露出しており、ソース電極 5 の領域およびドレイン電極 6 の領域には、例えば Ti/Al から成るオーミック電極を、それぞれ、ソース電極 5 およびドレイン電極 6 として形成する。

尚、電極の素材は、オーミック接合が実現できるならば Ti/Al 以外であってもよい。

10

また、ボディ電極 8 の領域には、例えば、ボディ電極として Ni/Au を蒸着させる。

【0062】

(ゲート形成)

次に、ゲート電極 7 を形成する。

すなわち、まず、電極材料である poly-Si を LPCVD 法やスパッタ法等により素子上面全面に堆積させる。

次に、素子を POCl_3 ガスが封入された熱拡散炉で 900°C 、20分間熱処理し、不純物 P のドーピングを行う。

次に P ドープ済みの poly-Si に対して、ソース電極 5 - ドレイン電極 6 間のゲート部分に P ドープ poly-Si が残るようにフォトリソ塗布・露光・現像・エッチング・フォトリソ除去の工程を施す。これによりゲート電極 7 が形成される。

20

【0063】

尚、 poly-Si への P ドーピングは、 poly-Si 上に P を蒸着し、熱拡散させて行ってもよい。

また、ゲート電極として Au 、 Pt 、 Ni 等を用いてもよい。

【0064】

以上の製造工程により、図 2 に示した III 族窒化物 (GaN) 電界効果トランジスタ 1 B が製造される。

【実施例】

30

【0065】

以下、本発明の第 2 の実施の形態に係る III 族窒化物 (GaN) を用いた電界効果トランジスタ 1 B の実施例と比較例を用いて耐圧の実験結果を説明する。

[実施例] 第 2 の実施の形態に対応

1. 結晶成長

サファイア基板 21 の基板温度を 1000°C とし、例えば MOCVD 法により基板 21 に GaN 層 4 を $1\mu\text{m}$ 成長させ、次に、基板温度を 1050°C に昇温し、 Mg ドープ GaN を $2\mu\text{m}$ 成長させた。ドーパントには Mg を用い、 Mg 濃度を $1 \times 10^{17} \text{cm}^{-3}$ とした。

次に、 AlGaN (Al 組成 25%) を 25nm 成長させ、 AlGaN 層 13 を形成した。

40

【0066】

2. 素子分離

次に、 AlGaN 層 13 の表面にフォトリソを塗布し、露光・現像工程を経て、素子分離用のパターンニングを施し、ドライエッチング装置を用いて、 AlGaN 層 13 および Mg ドープの p-GaN 半導体層 4 を深さ 200nm エッチングした。フォトリソをアセトンにより除去した。

【0067】

3. ゲートリセス形成

次に、ゲート用のリセス構造を形成するために、 PCVD 法により、 p-GaN 層 4 上

50

に SiO_2 を 300 nm 堆積し、ゲート領域の SiO_2 を BHF によりエッチングし開口した。

次に、ICPドライエッチング装置によって AlGaIn 層を完全にエッチングし、その後、pGaIn 層を 100 nm エッチングし、その後、p-GaN 上の SiO_2 を BHF によって全て除去した。

【0068】

4. ゲート酸化膜堆積

次に、素子分離を完了した p-GaN 半導体 4 上の全面に PECVD 法により SiO_2 を 60 nm 堆積させ、ゲート酸化膜である SiO_2 層 9 を形成した。

【0069】

5. オーミック電極形成

次に、フォトリソ塗布・露光・現像・エッチング・フォトリソ除去の工程によって、ゲート酸化膜 SiO_2 9 にソース電極 5 およびドレイン電極 6 用、ボディ電極 8 用の開口部を形成した。

ソース電極 5 の領域およびドレイン電極 6 の領域には、Ti/Al から成るオーミック電極を、それぞれ、ソース電極 5 およびドレイン電極 6 として形成し、ボディ電極 8 の領域には、ボディ電極として Ni/Au を蒸着させた。

【0070】

6. ゲート形成

次に、電極材料である poly-Si を LPCVD 法やスパッタ法等により素子上面全面に堆積させ、 POCl_3 ガスが封入された熱拡散炉で 900 °C、20 分間熱処理し、不純物 P をドーピングした。

次に P ドープ済みの poly-Si に対して、ソース電極 5 - ドレイン電極 6 間のゲート部分に P ドープ poly-Si が残るようにフォトリソ塗布・露光・現像・エッチング・フォトリソ除去の工程を施し、ゲート電極 7 を形成した。

【0071】

以上の III 族窒化物 (GaN) を用いた電界効果トランジスタ 1B 製造において、チャンネル長等をさまざまな値にした 32 種類の III 族窒化物 (GaN) 電界効果トランジスタを製造し、耐圧を測定した。

【0072】

[比較例]

実施例に対応する電界効果トランジスタ 1B で、ボディ電極 8 のない電界効果トランジスタを製造した。

すなわち、実施例と同様の方法で、結晶成長、素子分離、ゲートリセス形成、ゲート酸化膜堆積の各工程を実施した。

【0073】

次に、オーミック電極形成の工程において、ボディ電極 8 を除いて、実施例と同様の方法でソース電極 5 およびドレイン電極 6 を形成した。

最後に、実施例と同様の方法で、ゲート電極 7 を形成した。

【0074】

また、実施例と同様に、チャンネル長等をさまざまな値にした 32 種類の III 族窒化物 (GaN) を用いた電界効果トランジスタを製造し、耐圧を測定した。

【0075】

図 4 は、実施例と比較例の測定結果を示す図である。

図 4 (a) は、製造した実施例 (ボディ電極あり) および比較例 (ボディ電極なし) の各電界効果トランジスタの耐圧を示す図である。

条件によって、ボディ電極がないもの (比較例) の耐圧が高い場合があるが、多くの条件でボディ電極を設けたもの (実施例) で高い耐圧が得られ、ボディ電極を設けることによる耐圧の向上が確認された。

特にボディ電極がある場合には、条件によって約 1350 V の高耐圧が得られた。

10

20

30

40

50

【0076】

図4(b)は、製造した実施例(ボディ電極あり)および比較例(ボディ電極なし)の32種類の電界効果トランジスタの耐圧の幅と中央値(メディアン)を示す図である。

同図に示すように、ボディ電極なし(比較例)の場合、中央値が約430V、最高耐圧は約750Vであったのに対し、ボディ電極あり(実施例)の場合、中央値が約500V、最高耐圧は約1350Vだった。

【0077】

以上に示したように、ボディ電極を設けることにより、高耐圧のIII族窒化物(GaN)を用いた電界効果トランジスタが実現可能になる。また、本実施の形態の電界効果トランジスタ1Aおよび1Bにより、ノーマリーオフ動作の高耐圧、高電流の電界効果トランジスタを得ることが可能になる。

10

【0078】

尚、本発明は、前述した実施の形態に限定されるものではなく、種々の改変が可能であり、それらも、本発明の技術範囲に含まれる。

【符号の説明】

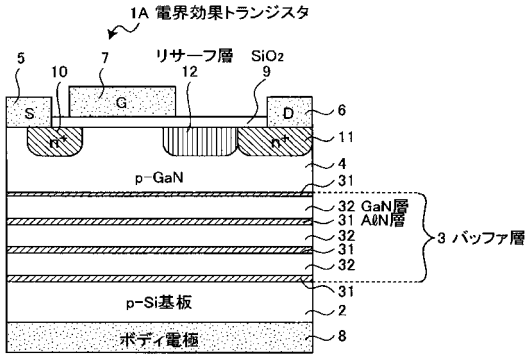
【0079】

- 1 A、1 B 電界効果トランジスタ
- 2 p - Si 基板
- 3 バッファ層
- 4 p - GaN 半導体層
- 5 ソース電極(S)
- 6 ドレイン電極(D)
- 7 ゲート電極(G)
- 8 ボディ電極
- 9 SiO₂ ゲート酸化膜
- 10、11 n⁺コンタクト層
- 12 リサーフ(RESURF)層
- 13 AlGaN層
- 20 正孔
- 21 サファイア基板
- 31 AlN層
- 32 GaN層

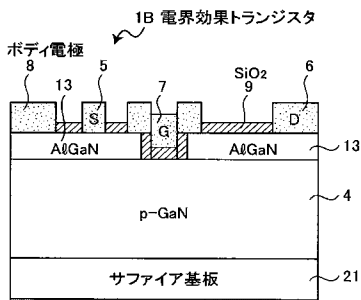
20

30

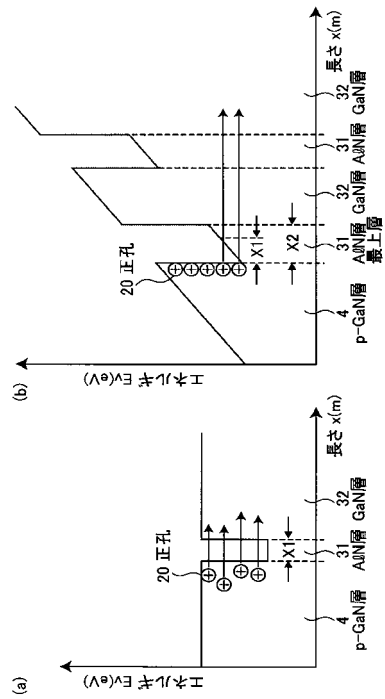
【 図 1 】



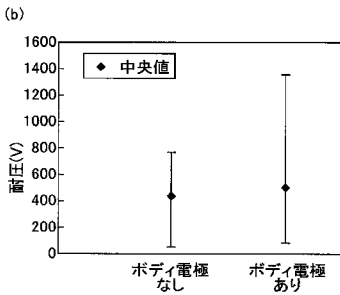
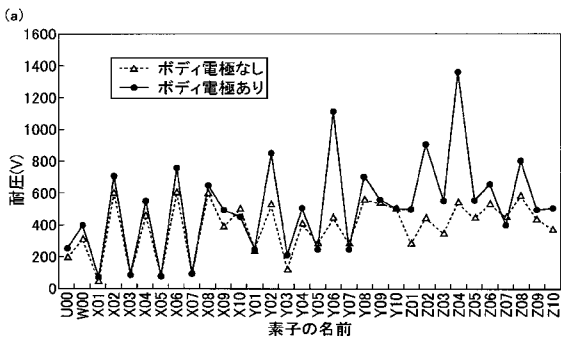
【 図 2 】



【 図 3 】



【 図 4 】



フロントページの続き

Fターム(参考) 5F110 AA07 AA13 BB12 BB20 CC01 CC02 DD04 EE02 EE09 EE44
EE45 FF02 FF30 FF35 GG04 GG12 GG32 GG44 GG60 HK03
HK04 HK11 HK13 HK21
5F140 AA25 AA29 AC00 AC09 AC36 BA00 BA01 BA02 BA06 BA09
BA17 BB18 BC12 BD06 BE10 BF01 BF04 BF05 BF43 BG28
BG30 BG31 BG37 BH14 BH30 BH43 BJ05 BJ07 BJ11 BJ15
BJ17 CB04