

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5291874号
(P5291874)

(45) 発行日 平成25年9月18日 (2013. 9. 18)

(24) 登録日 平成25年6月14日 (2013. 6. 14)

(51) Int. Cl.	F I
H O 3 K 3/356 (2006. 01)	H O 3 K 3/356 B
G 1 1 C 19/28 (2006. 01)	G 1 1 C 19/28 D
H O 1 L 21/822 (2006. 01)	H O 1 L 27/04 H
H O 1 L 27/04 (2006. 01)	G O 2 F 1/1345
G O 2 F 1/1345 (2006. 01)	G 1 1 C 19/00 J
請求項の数 5 (全 82 頁) 最終頁に続く	

(21) 出願番号	特願2006-281331 (P2006-281331)	(73) 特許権者	000153878
(22) 出願日	平成18年10月16日 (2006. 10. 16)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2007-151092 (P2007-151092A)		神奈川県厚木市長谷 3 9 8 番地
(43) 公開日	平成19年6月14日 (2007. 6. 14)	(72) 発明者	梅崎 敦司
審査請求日	平成21年9月29日 (2009. 9. 29)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2005-303771 (P2005-303771)		半導体エネルギー研究所内
(32) 優先日	平成17年10月18日 (2005. 10. 18)		
(33) 優先権主張国	日本国 (JP)	審査官	石田 勝

最終頁に続く

(54) 【発明の名称】 半導体装置、シフトレジスタ、表示装置

(57) 【特許請求の範囲】

【請求項 1】

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタとを有し、

前記第 1 のトランジスタは、ソースとドレインのうち一方が第 1 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 2 のトランジスタのゲートと前記第 3 のトランジスタのソースとドレインのうち他方とに電氣的に接続され、ゲートが第 5 の配線に電氣的に接続され、

前記第 2 のトランジスタは、ソースとドレインのうち一方が第 3 の配線に電氣的に接続され、ソースとドレインのうち他方が第 6 の配線に電氣的に接続され、

前記第 3 のトランジスタは、ソースとドレインのうち一方が第 2 の配線に電氣的に接続され、ゲートが第 4 の配線に電氣的に接続され、

前記第 4 のトランジスタは、ソースとドレインのうち一方が前記第 2 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 6 の配線に電氣的に接続され、ゲートが前記第 4 の配線に電氣的に接続され、

前記第 5 のトランジスタは、ソースとドレインのうち一方が前記第 2 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 6 の配線に電氣的に接続され、ゲートがクロック信号の入力される第 7 の配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 2】

10

20

第 1 のトランジスタと、第 2 のトランジスタと、第 3 のトランジスタと、第 4 のトランジスタと、第 5 のトランジスタとを有し、

前記第 1 のトランジスタは、ソースとドレインのうち一方が第 5 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 2 のトランジスタのゲートと前記第 3 のトランジスタのソースとドレインのうち他方とに電氣的に接続され、ゲートが前記第 5 の配線に電氣的に接続され、

前記第 2 のトランジスタは、ソースとドレインのうち一方が第 3 の配線に電氣的に接続され、ソースとドレインのうち他方が第 6 の配線に電氣的に接続され、

前記第 3 のトランジスタは、ソースとドレインのうち一方が第 2 の配線に電氣的に接続され、ゲートが第 4 の配線に電氣的に接続され、

前記第 4 のトランジスタは、ソースとドレインのうち一方が前記第 2 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 6 の配線に電氣的に接続され、ゲートが前記第 4 の配線に電氣的に接続され、

前記第 5 のトランジスタは、ソースとドレインのうち一方が前記第 2 の配線に電氣的に接続され、ソースとドレインのうち他方が前記第 6 の配線に電氣的に接続され、ゲートがクロック信号の入力される第 7 の配線に電氣的に接続されていることを特徴とする半導体装置。

【請求項 3】

請求項 1 または請求項 2 において、

前記第 2 のトランジスタのソースとドレインのうち他方と、前記第 2 のトランジスタのゲートとの間に、容量素子が配置されていることを特徴とする半導体装置。

【請求項 4】

請求項 1 乃至請求項 3 のいずれか一項に記載の半導体装置を複数有することを特徴とするシフトレジスタ。

【請求項 5】

請求項 4 に記載のシフトレジスタと、マトリクス状に配置された複数の画素とを有し、前記複数の画素は、前記シフトレジスタによって駆動されることを特徴とする表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体装置に関する。特に、トランジスタを用いて構成されるシフトレジスタに関する。また、当該半導体装置を具備する表示装置、及び当該表示装置を具備する電子機器に関する。

【0002】

なお、ここでいう半導体装置とは、半導体特性を利用することで機能しうる装置全般を指すものとする。

【背景技術】

【0003】

近年、液晶表示装置や発光装置などの表示装置は、液晶テレビなどの大型表示装置の増加から、活発に開発が進められている。特に絶縁体上に非結晶半導体により形成されたトランジスタを用いて、画素回路、及びシフトレジスタ回路等を含む駆動回路（以下、内部回路）を一体形成する技術は、低消費電力化、低コスト化に大きく貢献するため、活発に開発が進められている。絶縁体上に形成された内部回路は、FPC等を介してコントローラIC等に（以下、外部回路という）と接続され、その動作が制御されている。

【0004】

例えば、非結晶半導体により形成されたNチャネル型トランジスタのみを用いて構成されたシフトレジスタ回路が考案されている（例えば、特許文献1）。しかし、特許文献1に示す回路では、非選択期間にシフトレジスタ回路の出力がフローティングになるため、非選択期間にノイズが発生しているという問題があった。

【 0 0 0 5 】

この問題を解決するために、非選択期間にシフトレジスタ回路の出力をフローティングにしないシフトレジスタ回路が考案されている（例えば、非特許文献１）。

【特許文献１】特表平１０－５００２４３

【非特許文献１】２．０ inch a - Si : H TFT - LCD with Low Noise Integrated Gate Driver SID ' 05 Digest P 9 4 2 - 9 4 5

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

非特許文献１では、非選択期間に出力と電源との間に直列に接続したトランジスタを常時オンすることによって、電源電圧を出力している。また、シフトレジスタ回路の動作期間の大部分の期間は非選択期間であるため、トランジスタが非選択期間に常時オンしていれば、シフトレジスタ回路の動作期間の大部分の期間でオンすることになる。

【 0 0 0 7 】

しかしながら、非結晶半導体により形成されたトランジスタは、オンする時間、印加する電圧に従って、特性が劣化することが知られている。中でも、しきい値電圧が上昇するしきい値電圧シフトは顕著であり、シフトレジスタ回路における誤動作の大きな原因の１つとなる。

【 0 0 0 8 】

このような問題点に鑑み、本発明は、非選択期間においてもノイズが少なく、且つトランジスタを常時オンすることのない半導体装置、シフトレジスタ回路、及びこのような半導体装置を具備する表示装置、及び当該表示装置を具備する電子機器を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 9 】

本発明の半導体装置は、第１のトランジスタと、第２のトランジスタと、第３のトランジスタと、第４のトランジスタとを有し、第１のトランジスタは、ゲートに第１の信号が入力され、ソース又はドレインの一方に所定の電位が入力され、ソース又はドレインの他方は第２のトランジスタのゲート及び第３のトランジスタのソース又はドレインの一方と接続され、第２のトランジスタは、ソース又はドレインの一方に第２の信号が入力され、ソース又はドレインの他方が出力端子に接続され、第３のトランジスタは、ゲートに第３の信号が入力され、ソース又はドレインの他方に所定の電位が入力され、第４のトランジスタは、ゲートに第３の信号が入力され、ソース又はドレインの一方に所定の電位が入力され、ソース又はドレインの他方が出力端子と接続されている。

【 0 0 1 0 】

本発明のシフトレジスタは、複数の段からなるシフトレジスタであって、シフトレジスタ回路の各段は、前の段からハイレベルの出力信号が入力されることによってオンして、ハイレベル程度の電位を出力する第１のトランジスタと、第１のトランジスタの出力によってオンして、ソースとドレインのうち一方は第１の信号線と接続され、ソースとドレインのうち他方は次の段の第１のトランジスタと接続されている第２のトランジスタと、前の段からローレベルの出力信号が入力され、第２のトランジスタがブートストラップ動作をしていない期間に、第２のトランジスタのゲートにローレベルの電位を一定期間毎に出力する第１の手段と、前の段からローレベルの出力信号が入力され、第２のトランジスタがブートストラップ動作をしていない期間に、第２のトランジスタのソースとドレインのうち他方にローレベルの電位を一定期間毎に出力する第２の手段とを備えることを特徴としている。

【 0 0 1 1 】

本発明のシフトレジスタは、上記構成において、第１の手段と第２の手段は第２の信号線によって制御されることを特徴としている。

10

20

30

40

50

【 0 0 1 2 】

本発明のシフトレジスタは、上記構成において、第 1 の手段は第 2 の信号線がハイレベルのときにローレベルの電位を出力し、第 2 の信号線がローレベルのときになにも出力しない機能を有するに第 3 のトランジスタを含む回路構成によって実現することの特徴としている。

【 0 0 1 3 】

本発明のシフトレジスタは、上記構成において、第 2 の手段は第 2 の信号線がハイレベルのときにローレベルの電位を出力し、第 2 の信号線がローレベルのときになにも出力しない機能を有するに第 4 のトランジスタを含む回路構成によって実現することの特徴としている。

10

【 0 0 1 4 】

本発明のシフトレジスタは、上記構成において、第 1 の手段は次の段の出力信号によって制御され、第 2 の手段は第 2 の信号線によって制御されることの特徴としている。

【 0 0 1 5 】

本発明のシフトレジスタは、上記構成において、第 1 の手段は次の段の出力がハイレベルのときにローレベルの電位を出力し、次の段の出力がローレベルのときになにも出力しない機能を有するに第 5 のトランジスタを含む回路構成によって実現することの特徴としている。

【 0 0 1 6 】

本発明のシフトレジスタは、上記構成において、第 2 の手段は第 2 の信号線がハイレベルのときにローレベルの電位を出力し、第 2 の信号線がローレベルのときになにも出力しない機能を有するに第 6 のトランジスタを含む回路構成によって実現することの特徴としている。

20

【 0 0 1 7 】

本発明のシフトレジスタは、上記構成において、第 1 の手段は第 2 の信号線によって制御され、第 2 の手段は第 2 の信号線、及び第 3 の信号線によって制御されることの特徴としている。

【 0 0 1 8 】

本発明のシフトレジスタは、上記構成において、第 1 の手段は次の段の出力がハイレベルのときにローレベルの電位を出力し、次の段の出力がローレベルのときになにも出力しない機能を有するに第 7 のトランジスタを含む回路構成によって実現することの特徴としている。

30

【 0 0 1 9 】

本発明のシフトレジスタは、上記構成において、第 2 の手段は第 2 の信号線がハイレベルのときにローレベルの電位を出力し、第 2 の信号線がローレベルのときになにも出力しない機能を有するに第 8 のトランジスタを含む回路構成によって実現することの特徴とするシフトレジスタと、第 3 の信号線がハイレベルのときにローレベルの電位を出力し、第 3 の信号線がローレベルのときになにも出力しない機能を有するに第 9 のトランジスタを含む回路構成によって実現することの特徴とするシフトレジスタとを含む回路構成によって実現することの特徴としている。

40

【 0 0 2 0 】

本発明のシフトレジスタは、複数の段からなるシフトレジスタであって、シフトレジスタ回路の各段は、前の段からハイレベルの出力信号が入力されることによってオンして、ハイレベル程度の電位を出力する第 1 のトランジスタと、第 1 のトランジスタの出力によってオンして、ソースとドレインのうち一方は第 1 の信号線と接続され、ソースとドレインのうち他方は次の段の第 1 のトランジスタと接続されている第 2 のトランジスタと、前の段からローレベルの出力信号が入力され、第 2 のトランジスタがブートストラップ動作をしていない期間に、第 2 のトランジスタのゲートにローレベルの電位を一定期間毎に出力する第 1 の手段と、第 2 のトランジスタがブートストラップ動作をしていない期間に、第 2 のトランジスタのソースとドレインのうち他方にローレベルの電位を出力する第 3 の

50

手段とを備えることを特徴としている。

【 0 0 2 1 】

本発明のシフトレジスタは、上記構成において、第 1 の手段は第 2 の信号線によって制御され、第 3 の手段は第 1 の信号、第 2 の信号、第 3 の信号、及び第 2 のトランジスタのゲートの電位の反転信号によって制御されることを特徴としている。

【 0 0 2 2 】

本発明のシフトレジスタは、上記構成において、第 1 の手段は第 2 の信号線がハイレベルのときにローレベルの電位を出力し、第 2 の信号線がローレベルのときになにも出力しない機能を有するに第 1 0 のトランジスタを含む回路構成によって実現することを特徴としている。

10

【 0 0 2 3 】

本発明のシフトレジスタは、上記構成において、第 2 の手段は第 2 の信号線がハイレベルのときにローレベルの電位を出力し、第 2 の信号線がローレベルのときになにも出力しない機能を有するに第 1 1 のトランジスタと、第 3 の信号線がハイレベルのときにローレベルの電位を出力し、第 2 の信号線がローレベルのときになにも出力しない機能を有するに第 1 2 のトランジスタと、第 2 のトランジスタのゲートの電位の反転信号がハイレベルのときに第 1 の信号線の信号を出力し、第 2 のトランジスタのゲートの電位の反転信号がローレベルのときになにも出力しない機能を有する第 1 3 のトランジスタと、第 1 3 のトランジスタが第 1 の信号線の信号を出力して、第 1 の信号線がハイレベルのときにローレベルの電位を出力し、第 1 の信号線がローレベル、及び第 1 3 のトランジスタがなにも出力しないときになにも出力しない機能を有する第 1 4 のトランジスタとを含む回路構成によって実現することを特徴としている。

20

【 0 0 2 4 】

本発明のシフトレジスタは、上記構成において、第 2 のトランジスタのゲートの電位がハイレベルのときにローレベルの電位を出力し、第 2 のトランジスタのゲートの電位がローレベルのときになにも出力しない機能を有する第 1 5 のトランジスタと、一方の端子がハイレベルの電位と接続され、他方の端子が第 1 4 のトランジスタの出力と接続されている抵抗成分を持つ素子とを含む回路構成によって実現することを特徴としている。

【 0 0 2 5 】

本発明のシフトレジスタは、上記構成において、抵抗成分を持つ素子はダイオード接続された第 1 6 のトランジスタであることを特徴とするシフトレジスタ。

30

【 0 0 2 6 】

本発明のシフトレジスタは、複数の段からなるシフトレジスタであって、シフトレジスタ回路の各段は、前の段からハイレベルの出力信号が入力されることによってオンして、ハイレベル程度の電位を出力する第 1 のトランジスタと、第 1 のトランジスタの出力によってオンして、ソースとドレインのうち一方は第 1 の信号線と接続され、ソースとドレインのうち他方は次の段の第 1 のトランジスタと接続されている第 2 のトランジスタと、前の段からローレベルの出力信号が入力され、第 2 のトランジスタがブートストラップ動作をしていない期間に、第 2 のトランジスタのゲートにローレベルの電位を出力する第 4 の手段と、第 2 のトランジスタがブートストラップ動作をしていない期間に、第 2 のトランジスタのソースとドレインのうち他方にローレベルの電位を出力する第 3 の手段とを備えることを特徴としている。

40

【 0 0 2 7 】

本発明のシフトレジスタは、上記構成において、第 3 の手段、及び第 4 の手段は第 1 の信号線、第 2 の信号線、第 3 の信号線、及び第 2 のトランジスタのゲートの電位の反転信号によって制御されることを特徴としている。

【 0 0 2 8 】

本発明のシフトレジスタは、上記構成において、第 2 の手段は第 2 の信号線がハイレベルのときにローレベルの電位を出力し、第 2 の信号線がローレベルのときになにも出力しない機能を有するに第 1 7 のトランジスタと、第 2 のトランジスタのゲートの電位の反転

50

信号がハイレベルのときに第 1 の信号線の信号を出力し、第 2 のトランジスタのゲートの電位の反転信号がローレベルのときになにも出力しない機能を有する第 18 のトランジスタと、第 2 のトランジスタのゲートの電位の反転信号がハイレベルのときに第 3 の信号線の信号を出力し、第 2 のトランジスタのゲートの電位の反転信号がローレベルのときになにも出力しない機能を有する第 19 のトランジスタと、第 18 のトランジスタが第 1 の信号線の信号を出力して、第 1 の信号線がハイレベルのときにローレベルの電位を出力し、第 1 の信号線がローレベル、及び第 18 のトランジスタがなにも出力しないときになにも出力しない機能を有する第 20 のトランジスタと、第 18 のトランジスタが第 1 の信号線の信号を出力して、第 1 の信号線がハイレベルのときにローレベルの電位を出力し、第 1 の信号線がローレベル、及び第 19 のトランジスタがなにも出力しないときになにも出力しない機能を有する第 21 のトランジスタとを含む回路構成によって実現することを特徴としている。

10

【 0 0 2 9 】

本発明のシフトレジスタは、上記構成において、第 2 のトランジスタのゲート、ソースとドレインのうち他方との間に容量素子を接続することを特徴としている。

【 0 0 3 0 】

本発明のシフトレジスタは、上記構成において、第 1 のトランジスタのゲートは前の段の出力信号が入力され、ソースとドレインのうち一方はハイレベルの電源線と接続され、ソースとドレインのうち他方は第 2 のトランジスタのゲートと接続されていることを特徴としている。

20

【 0 0 3 1 】

本発明のシフトレジスタは、上記構成において、第 1 のトランジスタのゲートは前の段の出力信号が入力され、ソースとドレインのうち一方はハイレベルの電源線と接続され、ソースとドレインのうち他方は第 2 のトランジスタのゲートと接続されていることを特徴としている。

【 0 0 3 2 】

本発明のシフトレジスタは、上記構成において、第 1 のトランジスタのゲート及びソースとドレインのうち一方は前の段の出力信号が入力され、ソースとドレインのうち他方は第 2 のトランジスタのゲートと接続されていることを特徴としている。

【 0 0 3 3 】

本発明のシフトレジスタは、上記構成において、N 段目（N は自然数）に入力される第 1 の信号線伝達される制御信号と、N + 1 段目に入力される第 1 の信号線から伝達される制御信号と、N + 2 段目に入力される第 1 の信号線から伝達される制御信号とが 120 度の位相差を持つことを特徴としている。

30

【 0 0 3 4 】

本発明のシフトレジスタは、上記構成において、N 段目（N は自然数）に入力される第 2 の信号線から伝達される制御信号と、N + 1 段目に入力される第 2 の信号線から伝達される制御信号と、N + 2 段目に入力される第 2 の信号線から伝達される制御信号とが 120 度の位相差を持つことを特徴としている。

【 0 0 3 5 】

本発明のシフトレジスタは、上記構成において、N 段目（N は自然数）に入力される第 3 の信号線から伝達される制御信号と、N + 1 段目に入力される第 3 の信号線から伝達される制御信号と、N + 2 段目に入力される第 3 の信号線から伝達される制御信号とが 120 度の位相差を持つことを特徴としている。

40

【 0 0 3 6 】

本発明のシフトレジスタは、上記構成において、第 1 のトランジスタ乃至第 21 のトランジスタは非結晶半導体によって構成されることを特徴としている。

【 0 0 3 7 】

本発明のシフトレジスタは、上記構成において、第 1 の信号線、第 2 の信号線、及び第 3 の信号線と、第 1 のトランジスタ乃至第 21 のトランジスタとの間に少なくとも 1 本の

50

電源線を有することを特徴としている。

【0038】

本発明のシフトレジスタは、上記構成において、第2のトランジスタのチャネル領域はU字がたとなっていることを特徴としている。

【0039】

本発明のシフトレジスタは、上記構成において、シフトレジスタの出力信号はレベルシフト回路を介して出力することを特徴としている。

【0040】

本発明のシフトレジスタは、上記構成において、シフトレジスタに入力される制御信号はレベルシフト回路を介して入力されることを特徴としている。

10

【0041】

本発明のシフトレジスタは、上記構成において、シフトレジスタの出力信号によって複数のスイッチング素子を順にオンすることを特徴としている。

【0042】

本発明の表示装置は、上記構成において、画素と、シフトレジスタを用いて構成されるゲートドライバと、ゲートドライバの出力信号を画素に伝達するゲート信号線と、ビデオ信号を画素に伝達するソース信号線とを少なくとも有し、ゲートドライバの出力信号によって画素を選択し、選択された画素にビデオ信号を書き込むことを特徴している。

【0043】

また、画素は、印加される電圧によって透過率が変わる液晶素子と、ゲート信号線によってオン、オフが制御されるスイッチング素子として動作する第22のトランジスタとを少なくとも有し、オンとなった第22のトランジスタ介して液晶素子にビデオ信号が書き込まれることを特徴としている。

20

【0044】

本発明の表示装置は、非結晶半導体を用いたトランジスタで構成されるゲートドライバであって、ゲートドライバは対向に配置され、同一のタイミングで同一のゲート信号線を選択することを特徴としている。

【発明の効果】

【0045】

本発明によれば、非選択期間において、電源電圧を出力する複数のトランジスタを順にオンすることによって、常時オンするトランジスタを無くすることができるため、トランジスタの特性劣化を抑制することができる。また、非選択期間において、常時、又は一定期間固定電圧を出力することでノイズを減らすことができる。

30

【発明を実施するための最良の形態】

【0046】

本発明の実施形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨、及びその範囲から逸脱することなく、その形態、及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施形態の記載内容に限定して解釈されるものではない。

【0047】

40

(第1の実施形態)

本実施形態は、非選択期間の出力電圧のノイズを減らすために、一定期間毎にVSSを出力することでノイズを減らすことを特徴とするシフトレジスタ回路の構成、及び動作について、図1乃至図4を参照して説明する。

【0048】

図1に示すように、回路10はn個(nは2以上の自然数)の回路SR(1)~SR(n)を直列に接続して、シフトレジスタ回路を構成している。

【0049】

入力端子11は、1段目の回路10であるSR(1)ではスタートパルスを入力し、2段目以降の回路10は前段の出力端子14からの出力を入力するための入力端子である。

50

入力端子12は、1段目の回路10であるSR(1)ではクロック信号であるCK1、2段目の回路10であるSR(2)ではクロック信号であるCK2、3段目の回路10であるSR(3)ではクロック信号CK3、4段目の回路10であるSR(4)ではCK1というようにCK1、CK2、及びCK3を順に入力する入力端子である。

【0050】

入力端子13は、1段目の回路10であるSR(1)ではCK2、2段目の回路10であるSR(2)ではCK3、3段目の回路10であるSR(3)ではCK1、4段目の回路10であるSR(4)ではCK2というようにCK1、CK2、及びCK3を順に入力する入力端子である。出力端子14は、回路10の出力端子であり、1段目の回路10であるSR(1)ではOUT(1)を出力して、且つ2段目の回路10であるSR(2)の入力端子11にOUT(1)を出力し、2段目の回路10であるSR(2)ではOUT(2)を出力して、且つ3段目の回路10であるSR(3)の入力端子11にOUT(2)を出力する。なお、入力端子11~14は、それぞれ配線に接続されている。

10

【0051】

ここで、SSP、CK1、CK2、及びCK3は、HighとLowの2値の値を持つ1ビットの信号である。また、OUT(1)、OUT(2)、OUT(3)、OUT(n-1)、及びOUT(n)も、HighとLowの2値の値を持つ1ビットの出力である。Highは正電源であるVDDと同一の電位であり、Lowは負電源であるVSSと同一の電位である。

【0052】

20

図1のシフトレジスタ回路の動作について、図2に示す本実施形態のタイミングチャートを参照して説明する。

【0053】

図2において、SSPは任意のタイミングでパルス幅がCK1、CK2及びCK3の1/3周期となるHighのスタートパルスである。CK1、CK2、及びCK3は3相のクロック信号である。また、図1において、CK3がHighとなるときにSSPもHighとなることが望ましい。nodeP(1)は、後に説明する図3のnodePの電位である。OUT(1)は1段目の回路10であるSR(1)の出力であり、OUT(2)は2段目の回路10であるSR(2)の出力であり、OUT(3)は3段目の回路10であるSR(3)の出力であり、OUT(n-1)はn-1段目の回路10であるSR(n-1)の出力であり、OUT(n)はn段目の回路10であるSR(n)の出力である。

30

【0054】

図2のタイミングチャートに示すように、期間T1においてSSPがHighとなると、期間T2においてOUT(1)がHighとなり、期間T3においてOUT(2)がHighとなる。こうして、SSPの出力をシフトすることによってシフトレジスタ回路を構成している。

【0055】

次に、図3を参照して、1段目の回路10の構成について説明する。

【0056】

図3に示す回路10は、入力端子11、入力端子12、入力端子13、出力端子14、トランジスタ31、トランジスタ32、容量素子33、回路34、回路35から構成されている。なお、入力端子11~13は、それぞれ配線に接続されている。入力端子11、入力端子12、入力端子13、出力端子14は、図1で説明したものと同様なものとする。トランジスタ31及びトランジスタ32は、Nチャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。容量素子33は、2つの電極を持つ容量素子である。回路34は、CK2がHighの場合にnodePにLowを出力し、CK2がLowの場合に出力がフローティングになる機能を有する回路である。回路35は、CK2がHighの場合に出力端子14にLowを出力し、CK2がLowの場合に出力がフローティングになる機能を有する回路である。

40

【0057】

50

図 3 の接続関係について説明する。トランジスタ 3 1 のゲートは入力端子 1 1 と接続され、ソースとドレインのうち一方は V D D と接続され、ソースとドレインのうち他方は容量素子 3 3 の一方の電極、トランジスタ 3 2 のゲート及び回路 3 4 の出力端子、つまり n o d e P と接続されている。また、トランジスタ 3 2 のソースとドレインのうち一方は入力端子 1 2 と接続され、ソースとドレインのうち他方は回路 3 5 の出力端子、容量素子 3 3 の他方の端子及び出力端子 1 4 と接続されている。入力端子 1 3 は回路 3 4 の入力端子及び回路 3 5 の入力端子と接続されている。

【 0 0 5 8 】

図 3 の動作について、図 2 に示す本実施形態のタイミングチャートを参照して、期間 T 1、期間 T 2 及び期間 T 3 に分けて説明する。また、初期状態として、n o d e P 及び O U T (1) の電位は V S S とする。

【 0 0 5 9 】

期間 T 1 において、S S P が H i g h、C K 1 が L o w、C K 2 が L o w、C K 3 が H i g h となる。このときのトランジスタ 3 1 のゲートの電位は V D D、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方の電位は V S S となるため、当該トランジスタ 3 1 がオンして、n o d e P の電位が V S S から上昇し始める。n o d e P の電位の上昇は、V D D からトランジスタ 3 1 のしきい値電圧分小さい電位となるところで止まり、トランジスタ 3 1 はオフする。このときの n o d e P の電位を V n 1 とする。また、回路 3 4 及び回路 3 5 は、C K 2 が L o w となっているため、出力はフローティングとなる。そのため、n o d e P には電荷が供給されないため、フローティングとなる。このときのトランジスタ 3 2 のゲートの電位は V n 1、ソースとドレインのうち一方の電位は V S S、ソースとドレインのうち他方の電位は V S S となるため、当該トランジスタ 3 2 は、オンしている。しかし、ソースとドレインのうち一方の電位とソースとドレインのうち他方の電位とが同電位であり、電荷の移動はないため、電流は流れず、電位も変動しない。そして、容量素子 3 3 は出力端子 1 4 の電位である V S S と n o d e P の電位である V n 1 との電位差を保持している。

【 0 0 6 0 】

期間 T 2 において、S S P が L o w、C K 1 が H i g h、C K 2 が L o w、C K 3 が L o w となる。このときのトランジスタ 3 1 のゲートの電位は V S S、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方の電位は V n 1 となるため、当該トランジスタ 3 1 はオフする。回路 3 4 及び回路 3 5 は、C K 2 が L o w となっているため、出力はフローティングとなる。このときのトランジスタ 3 2 のゲートの電位は V n 1、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方、つまり出力端子 1 4 の電位は V S S となるため、当該トランジスタ 3 2 がオンして、出力端子 1 4 の電位が上昇し始める。すると、トランジスタ 3 2 のゲートと、ソースとドレインのうち他方の間に接続されている容量素子 3 3 は、期間 T 1 で保持した電位差をそのまま保持するため、ソースとドレインのうち他方の電位が上昇すると、ゲート電圧も同時に上昇する。このときの、n o d e P の電位を V n 2 とする。n o d e P の電位が V D D とトランジスタ 3 2 のしきい値電圧との和まで上昇すると、出力端子 1 4 の電位の上昇は C K 1 と同じ V D D になるところで止まる。いわゆる、ブートストラップ動作によって、C K 1 の H i g h の電位である V D D まで、出力端子 1 4 の電位を上昇することができる。

【 0 0 6 1 】

期間 T 3 において、S S P が L o w、C K 1 が L o w、C K 2 が H i g h t、C K 3 が L o w となる。このとき、n o d e P の電位は、C K 2 が H i g h であり、回路 3 4 から V S S が出力されるため V S S となり、O U T (1) の電位も回路 3 5 から V S S が出力されるため V S S となる。このときのトランジスタ 3 1 のゲート電位は V S S、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方の電位は V S S となり、当該トランジスタ 3 1 はオフする。トランジスタ 3 2 のゲートの電位は V s s、ソースとドレインのうち一方の電位は V S S、ソースとドレインのうち他方の電位は V S S となり、当該トランジスタ 3 2 はオフする。

【 0 0 6 2 】

上記説明した期間 T 1、期間 T 2、期間 T 3 の動作により、期間 T 1 に S S P が入力されると O U T (1) が期間 T 2 に出力される。つまり、S S P がクロック信号の 1 / 3 周期ずつシフトして出力される回路 1 0 を n 段接続することにより、シフトレジスタ回路を構成している。

【 0 0 6 3 】

図 3 においては、1 段目の回路 1 0 である S R (1) を示したが、n 段目の回路 1 0 である S R (n) について図 5 1 を参照して説明する。図 5 1 において、トランジスタ 3 1、トランジスタ 3 2、容量素子 3 3、回路 3 4、回路 3 5、入力端子 1 1、入力端子 1 2、入力端子 1 3、及び出力端子 1 4 は図 3 で説明したものと同様なものとする。入力端子 1 1 から入力される入力信号は前の段の回路 1 0 の出力端子 1 4 と接続されていることを特徴とする。

10

【 0 0 6 4 】

なお、トランジスタ 3 1 のゲート及びトランジスタ 3 2 のソースとドレインのうち他方は電源線となる配線（以下、「電源線」と記す）と接続してもよく、例えば正電源 V D D、負電源 V S S などの電源線、又は他の電源線と接続してもよいし、他の信号線となる配線（以下、「信号線」と記す）と接続してもよい。また、トランジスタ 3 1 のソースとドレインのうち他方は信号線と接続してもよく、例えば C K 1、C K 2、C K 3、S S P などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。

【 0 0 6 5 】

20

図 3 に示したシフトレジスタ回路で用いたトランジスタは N チャンネル型トランジスタのみで構成する単極性回路であったが、P チャンネル型トランジスタのみで構成してもよい。もちろん、P チャンネル型トランジスタと N チャンネル型トランジスタ組み合わせてもよい。トランジスタを全て P チャンネル型トランジスタで構成した場合のシフトレジスタ回路について図 5 5 を参照して説明する。

【 0 0 6 6 】

図 5 5 に示す回路構成において、正電源 V D D、負電源 V S S、入力端子 1 1、入力端子 1 2、入力端子 1 3、出力端子 1 4 は図 3 と同様なものを用いることができる。トランジスタ 5 5 1、及びトランジスタ 5 5 2 は P チャンネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。容量素子 5 5 3 は 2 つの電極を持つ容量素子である。回路 5 5 4 は C K 2 が L o w の場合に n o d e P に H i g h を出力し、C K 2 が H i g h の場合に出力がフローティングとなる機能を有する回路である。回路 5 5 5 は C K 2 が L o w の場合に出力端子 1 4 に H i g h を出力し、C K 2 が H i g h の場合に出力がフローティングとなる機能を有する回路である。

30

【 0 0 6 7 】

図 5 5 の接続関係について説明する。トランジスタ 5 5 1 のゲートは入力端子 1 1 と接続され、ソースとドレインのうち一方は正電源 V S S と接続され、ソースとドレインのうち他方は容量素子 5 5 3 の一方の電極、トランジスタ 5 5 2 のゲート及び回路 5 5 4 の出力端子、つまり n o d e P と接続されている。トランジスタ 5 5 2 のソースとドレインのうち一方は入力端子 1 2 と接続され、ソースとドレインのうち他方は回路 5 5 5 の出力端子、容量素子 5 5 3 の他方の電極、及び出力端子 1 4 と接続されている。入力端子 1 3 は回路 5 5 4 の入力端子、及び回路 5 5 5 の入力端子と接続されている。

40

【 0 0 6 8 】

なお、トランジスタ 5 5 1 のゲート及びトランジスタ 5 5 2 のソースとドレインのうち他方は電源線と接続してもよく、例えば正電源 V D D、負電源 V S S などの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。また、トランジスタ 5 5 1 のソースとドレインのうち他方は信号線と接続してもよく、例えば C K 1、C K 2、C K 3、S S P などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。

【 0 0 6 9 】

50

図 5 9 (a) を参照して、図 5 5 に示す回路 5 5 4 の構成の一例について説明する。図 5 9 (a) に示す回路 5 5 4 に示すように、入力端子 1 3、及び node P は図 5 5 と同様なものとする。トランジスタ 5 9 1 は P チャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。

【 0 0 7 0 】

図 5 9 (a) の接続関係について説明する。トランジスタ 5 9 1 のゲートは入力端子 1 3 と接続され、ソースとドレインのうち一方は V D D と接続され、ソースとドレインのうち他方は node P と接続されている。

【 0 0 7 1 】

図 5 9 (a) の動作について説明する。入力端子 1 3 から入力される C K 2 が L o w の場合に、トランジスタ 5 9 1 はオンして、node P に V D D を出力し、C K 2 が H i g h の場合に、トランジスタ 5 9 1 はオフして、node P にはなにも出力されない。こうして、回路 5 5 4 は、C K 2 が L o w の場合に H i g h を出力して、H i g h の場合にはフローティングになる機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。

【 0 0 7 2 】

なお、トランジスタ 5 9 1 のソースとドレインのうち一方は信号線に接続してもよく、例えば C K 1、C K 2、C K 3、S S P などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。また、トランジスタ 5 9 1 のゲートは電源線と接続してもよく、例えば正電源 V D D、負電源 V S S などの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。

【 0 0 7 3 】

図 5 9 (b) を参照して、図 5 5 に示す回路 5 5 5 の構成の一例について説明する。図 5 9 (b) に示す回路 5 5 5 に示すように、入力端子 1 3、及び出力端子 1 4 は図 5 5 と同様なものとする。トランジスタ 5 9 2 は P チャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。

【 0 0 7 4 】

図 5 9 (b) の動作について説明する。入力端子 1 3 から入力される C K 2 が L o w の場合に、トランジスタ 5 9 2 はオンして、出力端子 1 4 に V D D を出力し、C K 2 が H i g h の場合に、トランジスタ 5 9 2 はオフして、出力端子 1 4 にはなにも出力されない。こうして、回路 5 5 5 は、C K 2 が L o w の場合に H i g h を出力して、H i g h の場合にはフローティングになる機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。

【 0 0 7 5 】

なお、トランジスタ 5 9 2 のソースとドレインのうち一方は信号線に接続してもよく、例えば C K 1、C K 2、C K 3、S S P などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。また、トランジスタ 5 9 2 のゲートは電源線と接続してもよく、例えば正電源 V D D、負電源 V S S などの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。

【 0 0 7 6 】

次に、図 4 (a) を参照して、図 3 に示す回路 3 4 の構成の一例について説明する。

【 0 0 7 7 】

図 4 (a) に示す回路 3 4 において、入力端子 1 3、及び node P は図 3 と同様なものとする。トランジスタ 4 1 は N チャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。

【 0 0 7 8 】

図 4 (a) の接続関係について説明する。トランジスタ 4 1 のゲートは入力端子 1 3 と接続され、ソースとドレインのうち一方は V S S と接続され、ソースとドレインのうち他方は node P と接続されている。

【 0 0 7 9 】

図4(a)の動作について説明する。入力端子13から入力されるCK2がHighの場合に、トランジスタ41はオンして、node PにVSSを出力し、CK2がLowの場合に、トランジスタ41はオフして、node Pにはなにも出力されない。こうして、回路34は、CK2がHighの場合にLowを出力して、Lowの場合にはフローティングになる機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。

【0080】

なお、トランジスタ41のソースとドレインのうち一方は信号線に接続してもよく、例えばCK1、CK2、CK3、SSPなどの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。また、トランジスタ41のゲートは電源線と接続してもよく、例えば正電源VDD、負電源VSSなどの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。

10

【0081】

図4(b)を参照して、図3に示す回路35の構成の一例について説明する。

【0082】

図4(b)に示す回路35において、入力端子13、及び出力端子14は図3と同様なものとする。トランジスタ42はNチャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。

【0083】

図4(b)の動作について説明する。入力端子13から入力されるCK2がHighの場合に、トランジスタ42はオンして、出力端子14にVSSを出力し、CK2がLowの場合に、トランジスタ42はオフして、出力端子14にはなにも出力されない。こうして、回路35は、CK2がHighの場合にLowを出力して、Lowの場合にはフローティングになる機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。

20

【0084】

なお、トランジスタ42のソースとドレインのうち一方は、信号線に接続してもよく、例えばCK1、CK2、CK3、SSPなどの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。もちろん、トランジスタ42のソースとドレインのうち一方をトランジスタ41のソースとドレインのうち一方が接続されたVSSとなる配線と接続してもよい。また、トランジスタ42のゲートは電源線と接続してもよく、例えば正電源VDD、負電源VSSなどの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。

30

【0085】

つまり、図3、図4に示す構造は、第1のトランジスタ(トランジスタ31)と、第2のトランジスタ(トランジスタ32)と、第3のトランジスタ(トランジスタ41)と、第4のトランジスタ(トランジスタ42)とを有し、第1のトランジスタは、ソースとドレインのうち一方が第1の配線(VDD)に接続され、ソースとドレインのうち他方が第2のトランジスタのゲート電極と第3のトランジスタのソースとドレインのうち他方に接続され、ゲート電極が第5の配線(入力端子11)に接続され、第2のトランジスタは、ソースとドレインのうち一方が第3の配線(入力端子12)に接続され、ソースとドレインのうち他方が第6の配線(出力端子14)に接続され、第3のトランジスタは、ソースとドレインのうち一方が第2の配線(VSS)に接続され、ソースとドレインのうち他方が第2のトランジスタのゲート電極に接続され、ゲート電極が第4の配線(入力端子13)に接続され、第4のトランジスタは、ソースとドレインのうち一方が第2の配線(VSS)に接続され、ソースとドレインのうち他方が第6の配線(出力端子14)に接続され、ゲート電極が第4の配線(入力端子13)に接続されている。また、第1のトランジスタにおいて、ソースとドレインのうち一方を第5の配線(入力端子11)に接続させた構成とすることも可能である。

40

【0086】

50

以上のような、シフトレジスタ回路では、CK 2 が High になるに従って、node P、及び出力端子 14 に VSS を供給することができる。つまり、非選択期間に、一定期間毎に VSS を入力することによって、ノイズを減らすことができ、且つ定常的にオンするトランジスタがないため、特性が劣化することを抑制することができる。また、最低で 4 つのトランジスタで動作することがきるため、シフトレジスタ回路全体としての素子数を減らすことができ、絶縁基板上に少ない面積で内部回路を構成することが可能となる。

【0087】

以下に、本実施形態の変更可能な構成例、及び動作例をいくつか述べる。また、以下で述べる構成例、及び動作例は「課題を解決するための手段」、「発明を実施するための最良の形態」、及び「実施例」について適用可能である。

【0088】

図 1 に示すように、CK 1、CK 2、及び CK 3 のクロック信号は、回路 10 が非選択期間の場合にも入力されているが、スイッチ素子などを設けて、非選択期間の回路 10 へ入力しなくしてもよい。こうすることで、クロック信号線の負荷が減るため、消費電力を小さくすることができる。

【0089】

また、図 1 において、上記説明したシフトレジスタ回路を逆向きに走査させてもよい。例えば、n 段目の回路 10 の出力を n - 1 段目の回路 10 に入力すればよい。これを全段で繰り返すことで、逆向きに走査することが可能である。

【0090】

図 2 に示すように、SSP、CK 1、CK 2、CK 3 のパルス幅を 1 / 3 周期としたが、パルス幅を 1 / 3 周期より少し短くしてもよい。こうすることで、貫通電流などの瞬間的に流れる電流を抑制でき、広い動作条件で動作することができ、且つ消費電力を小さくすることができる。また、ブートストラップ動作を行う回路構成においては、浮遊となるノードが発生するため、正常なブートストラップ動作を行うためにも有利である。

【0091】

図 2 において、SSP が High となる期間は、CK 3 が High となる期間及びパルス幅を同一としたが、これに限るものではない。例えば、制御信号によって、外部回路から内部回路へ信号を伝達する場合に、バッファ回路、信号振幅を変えるレベルシフト回路などによって制御信号どうしの遅延時間が変わる可能性があるためである。

【0092】

図 3 において、容量素子 33 は、ブートストラップ動作をするために接続されており、トランジスタ 32 のゲートと、ソースとドレインのうち他方との間にブートストラップ動作できるだけのゲートとソース間の容量などがあれば、なくてもよい。また、容量素子 33 の形成方法はなんでもよい。例えば、半導体層とゲート配線層との間で容量素子を形成してもよいし、非結晶半導体層と配線との間で容量素子を形成してもよい。半導体層とゲート配線層とで容量素子を形成する場合は、ボトムゲートトランジスタ、トップゲート型トランジスタに関らず薄い G I 膜（ゲート絶縁膜）を挟んで形成されているため、小さい面積でより多くの容量値を得ることが可能となるため、有利である。

【0093】

また、図 3 において、SSP はトランジスタ 31 のゲートに入力したが、トランジスタ 31 のゲートと、ソースとドレインのうち一方とを接続して、そこに SSP を入力してもよい。こうすることで、正電源 VDD が必要なくなり電源線を 1 本減らすことができるため、シフトレジスタ回路を形成するための面積を小さくすることができる。その結果、より高精細、且つ狭額縁な表示装置を提供することが可能となる。

【0094】

図 3 に示した回路 34 及び回路 35 は、上記で説明したように、CK 2 が High の場合に VSS を出力し、CK 2 が Low の場合にフローティングとなる回路であればよい。また、回路 34 の入力端子に次の段の回路 10 の出力を入力してもよいし、同様に回路 35 の入力端子には次の段の回路 10 の出力を入力してもよいし、回路 34 の入力端子、及

10

20

30

40

50

び回路 35 の入力端子に次の段の回路 10 の出力を入力してもよい。次の段の回路 10 の出力を利用することで、制御信号だけに同期するのではなく実際のシフトレジスタ回路の出力とも同期することができるため、よりシフトレジスタ回路の動作にあった電位の切り替えができるため有利である。

【0095】

図 3 に示すように、*node P* と、*VSS* 又は *VDD* の間に容量素子を接続してもよい。容量素子を接続することでより、*node P* の電位を安定させることができる。

【0096】

なお、図 3 において、回路 34 は必ずしも必要ではない。つまり、回路 35 によって、一定期間毎に *VSS* を出力しているため、*node P* にノイズがあってもトランジスタ 32 をオフしていればよいためである。こうすることで、素子数を減らすことができる。そのとき、*node P* と *VSS*、又は *VDD* の間に容量素子を接続してもよい。

【0097】

(第 2 の実施形態)

本実施形態は、非選択期間の出力電圧のノイズを減らすために、一定時間毎に *VSS* を出力することでノイズを減らすことを特徴とするシフトレジスタ回路の構成、及び動作について、図 2、図 5 乃至図 7 を用いて説明する。

【0098】

図 5 に示すように、回路 50 は *n* 個 (*n* は 2 以上の自然数) の回路 *SR*(1) ~ *SR*(*n*) を直列に接続して、シフトレジスタ回路を構成している。

【0099】

入力端子 51 は、1 段目の回路 50 である *SR*(1) ではスタートパルスを入力し、2 段目以降の回路 50 である *SR*(2) では前段の出力端子 55 からの出力を入力するための入力端子である。入力端子 52 は、1 段目の回路 50 である *SR*(1) ではクロック信号である *CK* 1、2 段目の回路 50 である *SR*(2) ではクロック信号である *CK* 2、3 段目の回路 50 である *SR*(3) ではクロック信号 *CK* 3、4 段目の回路 50 である *SR*(4) では *CK* 1 というようにクロック信号を順に入力する入力端子である。入力端子 53 は、1 段目の回路 50 である *SR*(1) では *CK* 2、2 段目の回路 50 である *SR*(2) では *CK* 3、3 段目の回路 50 である *SR*(3) では *CK* 1、4 段目の回路 50 である *SR*(4) では *CK* 2 というようにクロック信号を順に入力する入力端子である。入力端子 54 は、1 段目の回路 50 である *SR*(1) では *CK* 3、2 段目の回路 50 である *SR*(2) では *CK* 1、3 段目の回路 50 である *SR*(3) では *CK* 2、4 段目の回路 50 である *SR*(4) では *CK* 3 というようにクロック信号を順に入力する入力端子である。出力端子 55 は、回路 50 の出力端子であり、1 段目の回路 50 である *SR*(1) では *OUT*(1) を出して、且つ 2 段目の回路 50 である *SR*(2) の入力端子 51 に *OUT*(1) を出力し、2 段目の回路 50 である *SR*(2) では *OUT*(2) を出力して、且つ 3 段目の回路 50 である *SR*(3) の入力端子 51 に *OUT*(2) を出力する。

【0100】

ここで、*SSP*、*CK* 1、*CK* 2 及び *CK* 3 は、*High* と *Low* の 2 値の値を持つ 1 ビットの信号である。*High* は正電源である *VDD* と同一の電位であり、*Low* は負電源である *VSS* と同一の電位である。ここで、*SSP*、*CK* 1、*CK* 2 及び *CK* 3 は、*High* と *Low* の 2 値の値を持つ 1 ビットの信号である。また、*OUT*(1)、*OUT*(2)、*OUT*(3)、*OUT*(*n* - 1) 及び *OUT*(*n*) も、*High* と *Low* の 2 値の値を持つ 1 ビットの出力である。*High* は正電源である *VDD* と同一の電位であり、*Low* は負電源である *VSS* と同一の電位である。

【0101】

図 5 のシフトレジスタ回路の動作について、図 2 に示す本実施形態のタイミングチャートを参照して説明する。

【0102】

SSP、*CK* 1、*CK* 2 及び *CK* 3 は第 1 の実施形態と同様のものを用いることができ

る。なお、 $node P(1)$ は、後に説明する図6の $node P$ の電位である。 $OUT(1)$ は1段目の回路50である $SR(1)$ の出力であり、 $OUT(2)$ は2段目の回路50である $SR(2)$ の出力であり、 $OUT(3)$ は3段目の回路50である $SR(3)$ の出力であり、 $OUT(n-1)$ は $n-1$ 段目の回路50である $SR(n-1)$ の出力であり、 $OUT(n)$ は n 段目の回路50である $SR(n)$ の出力である。

【0103】

図2のタイミングチャートにおいて、期間 T_1 において SSP が $High$ となると、期間 T_2 において $OUT(1)$ が $High$ となり、期間 T_3 において $OUT(2)$ が $High$ となる。こうして、 SSP の出力をシフトすることによってシフトレジスタ回路を構成している。

【0104】

次に、図6を参照して、1段目の回路50の構成について説明する。

【0105】

図6に示す回路50は、入力端子51、入力端子52、入力端子53、入力端子54、出力端子55、トランジスタ31、トランジスタ32、容量素子33、回路34、回路35から構成されている。入力端子51、入力端子52、入力端子53、入力端子54、出力端子55は図5で説明したものと同様なものとする。トランジスタ31、トランジスタ32及び $node P$ は図3で説明したものと同様なものとする。回路61は、 $CK2$ が $High$ の場合に $node P$ に Low を出力し、 $CK2$ が Low の場合に出力がフローティングになる機能を有する回路である。回路62は、 $CK2$ 及び $CK3$ のいずれかが $High$ の場合に出力端子55に Low を出力し、 $CK2$ 及び $CK3$ が Low の場合に出力がフローティングになる機能を有する回路である。

【0106】

図6の接続関係について説明する。トランジスタ31のゲートは入力端子51と接続され、ソースとドレインのうち一方は VDD と接続され、ソースとドレインのうち他方は容量素子33の一方の電極、トランジスタ32のゲート及び回路61の出力端子、つまり $node P$ と接続されている。トランジスタ32のソースとドレインのうち一方は入力端子52と接続され、ソースとドレインのうち他方は回路62の出力端子、容量素子33の他方の電極及び出力端子55と接続されている。入力端子53は回路61の入力端子及び回路62の入力端子と接続され、入力端子54は回路62の入力端子と接続されている。

【0107】

図6の動作について、図2に示す本実施形態のタイミングチャートを参照して、期間 T_1 、期間 T_2 、及び期間 T_3 に分けて説明する。また、初期状態として、 $node P$ 、及び $OUT(1)$ の電位は VSS とする。

【0108】

期間 T_1 において、 SSP が $High$ 、 $CK1$ が Low 、 $CK2$ が Low 、 $CK3$ が $High$ となる。このときのトランジスタ31のゲートの電位は VDD 、ソースとドレインのうち一方の電位は VDD 、ソースとドレインのうち他方の電位は VSS となるため、当該トランジスタ31がオンして、 $node P$ の電位が VSS から上昇し始める。 $node P$ の電位の上昇は VDD からトランジスタ31のしきい値電圧分小さい電位となるところで止まり、トランジスタ31はオフする。このときの $node P$ の電位を $Vn1$ とする。回路61は、 $CK2$ が Low となっているため、出力はフローティングとなる。そのため、 $node P$ には電荷が供給されないため、フローティングとなる。回路62は、 $CK2$ が Low 、 $CK3$ が $High$ となっているため、 Low を出力する。このときのトランジスタ32のゲート電位は $Vn1$ 、ソースとドレインのうち一方の電位は VSS 、ソースとドレインのうち他方の電位は VSS となるため、当該トランジスタ32はオンしている。しかし、ソースとドレインのうち一方の電位とソースとドレインのうち他方の電位とが同電位であり、電荷の移動はないため、電流は流れず、電位も変動しない。そして、容量素子33は出力端子55の電位である VSS と $node P$ の電位である $Vn1$ との電位差を保持している。

10

20

30

40

50

【 0 1 0 9 】

期間 T 2 において、S S P が L o w、C K 1 が H i g h、C K 2 が L o w、C K 3 が L o w となる。このときのトランジスタ 3 1 のゲートの電位は V S S、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方の電位は V n 1 となるため、当該トランジスタ 3 1 はオフする。回路 6 1 では C K 2 が L o w となっているため、出力はフローティングとなる。回路 6 2 では C K 2 が L o w、C K 3 が L o w となっているため、出力はフローティングとなる。このときのトランジスタ 3 2 のゲートの電位は V n 1、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方、つまり出力端子 5 5 の電位は V S S となるため、当該トランジスタ 3 2 はオンして、出力端子 5 5 の電位が上昇し始める。すると、トランジスタ 3 2 のゲートと、ソースとドレインのうち他方の間に接続されている容量素子 3 3 は期間 T 1 で保持した電位差をそのまま保持するため、ソースとドレインのうち他方の電位が上昇すると、ゲート電圧も同時に上昇する。このときの、n o d e P の電位を V n 2 とする。n o d e P の電位が V D D とトランジスタ 3 2 のしきい値電圧との和まで上昇すれば、出力端子 1 4 の電位の上昇は C K 1 と同じ V D D になるところで止まる。いわゆる、ブートストラップ動作によって、C K 1 の H i g h の電位である V D D まで、出力端子 5 5 の電位を上昇することができる。

10

【 0 1 1 0 】

期間 T 3 において、S S P が L o w、C K 1 が L o w、C K 2 が H i g h、C K 3 が L o w となる。このとき、n o d e P の電位は、C K 2 が H i g h であるため、回路 6 1 から V S S が出力されるため、V S S となり、O U T (1) の電位も回路 6 2 から V S S が出力されるため、V S S となる。このときのトランジスタ 3 1 のゲート電位は V S S、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方の電位は V S S となり、当該トランジスタ 3 1 はオフする。トランジスタ 3 2 のゲートの電位は V S S、ソースとドレインのうち一方の電位は V S S、ソースとドレインのうち他方の電位は V S S となり、当該トランジスタ 3 2 はオフする。

20

【 0 1 1 1 】

上記説明した期間 T 1、期間 T 2、期間 T 3 の動作により、期間 T 1 に S S P が入力されると O U T (1) が期間 T 2 に出力される。つまり、S S P がクロック信号の 1 / 3 周期ずつシフトして出力される回路 5 0 を n 段接続することにより、シフトレジスタ回路を構成している。

30

【 0 1 1 2 】

図 6 に示した 1 段目の回路 5 0 を示したが、n 段目の回路 5 0 を図 5 2 を参照して説明する。図 5 2 において、トランジスタ 3 1、トランジスタ 3 2、容量素子 3 3、回路 6 1、回路 6 2、入力端子 5 1、入力端子 5 2、入力端子 5 3、入力端子 5 4、及び出力端子 5 5 は図 6 で説明したものと同様なものとする。入力端子 5 1 から入力される入力信号は前の段の回路の出力端子 5 5 と接続されていることを特徴とする。

【 0 1 1 3 】

なお、トランジスタ 3 1 のゲート、及びトランジスタ 3 2 のソースとドレインのうち他方は電源線と接続してもよく、例えば正電源 V D D、負電源 V S S などの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。また、トランジスタ 3 1 のソースとドレインのうち他方は信号線と接続してもよく、例えば C K 1、C K 2、C K 3、S S P などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。

40

【 0 1 1 4 】

図 6 に示したシフトレジスタ回路で用いたトランジスタは N チャネル型トランジスタのみで構成する単極性回路であったが、P チャネル型トランジスタのみで構成してもよい。もちろん、P チャネル型トランジスタと N チャネル型トランジスタ組み合わせてもよい。トランジスタを全て P チャネル型トランジスタで構成した場合のシフトレジスタ回路を図 5 6 を参照して説明する。

【 0 1 1 5 】

50

図 5 6 に示す回路構成において、正電源 VDD 、負電源 SS 、入力端子 5 1、入力端子 5 2、入力端子 5 3、入力端子 5 4、トランジスタ 5 5 1、トランジスタ 5 5 2、及び容量素子 5 5 3 は図 5 5 と同様なものを用いることができる。回路 5 6 1 は、 $CK2$ が Low の場合に $node P$ に $High$ を出力し、 $CK2$ が $High$ の場合に出力がフローティングとなる機能を有する回路である。回路 5 6 2 は、 $CK2$ 、及び $CK3$ のいずれかが Low の場合に $node P$ に $High$ を出力し、 $CK2$ 、及び $CK3$ が $High$ の場合に出力がフローティングとなる機能を有する回路である。

【 0 1 1 6 】

図 5 6 の接続関係について説明する。トランジスタ 5 5 1 のゲートは入力端子 5 1 と接続され、ソースとドレインのうち一方は正電源 VSS と接続され、ソースとドレインのうち他方は容量素子 5 5 3 の一方の電極、トランジスタ 5 5 2 のゲート及び回路 5 6 1 の出力端子、つまり $node P$ と接続されている。トランジスタ 5 5 2 のソースとドレインのうち一方は入力端子 5 2 と接続され、ソースとドレインのうち他方は回路 5 6 2 の出力端子、容量素子 5 5 3 の他方の電極及び出力端子 5 5 接続されている。入力端子 5 3 は回路 5 6 1 の入力端子及び回路 5 6 2 の第 1 の入力端子と接続され、入力端子 5 4 は回路 5 6 2 の第 1 のトランジスタの第 2 の入力端子と接続されている。

【 0 1 1 7 】

なお、トランジスタ 5 5 1 のゲート、及びトランジスタ 5 5 2 のソースとドレインのうち他方は電源線と接続してもよく、例えば正電源 VDD 、負電源 VSS などの電源線又は他の電源線と接続してもよいし、他の信号線と接続してもよい。また、トランジスタ 5 5 1 のソースとドレインのうち他方は信号線と接続してもよく、例えば $CK1$ 、 $CK2$ 、 $CK3$ 、 SSP などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。

【 0 1 1 8 】

次に、図 6 0 (a) を参照して、図 5 6 に示す回路 5 6 1 の構成の一例について説明する。

【 0 1 1 9 】

図 6 0 (a) に示す回路 5 6 1 において、入力端子 5 3、及び $node P$ は図 5 5 と同様なものとする。トランジスタ 6 0 1 は P チャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。

【 0 1 2 0 】

図 6 0 (a) の接続関係について説明する。トランジスタ 6 0 1 のゲートは、入力端子 5 3 と接続され、ソースとドレインのうち一方は VDD と接続され、ソースとドレインのうち他方は $node P$ と接続されている。

【 0 1 2 1 】

図 6 0 (a) の動作について説明する。入力端子 5 3 から入力される $CK2$ が Low の場合に、トランジスタ 6 0 1 はオンして、 $node P$ に VDD を出力し、 $CK2$ が $High$ の場合に、トランジスタ 6 0 1 はオフして、 $node P$ にはなにも出力されない。こうして、回路 5 6 1 は、 $CK2$ が Low の場合に $High$ を出力して、 $High$ の場合にはフローティングになる機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。

【 0 1 2 2 】

なお、トランジスタ 6 0 1 のソースとドレインのうち一方は信号線に接続してもよく、例えば $CK1$ 、 $CK2$ 、 $CK3$ 、 SSP などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。また、トランジスタ 6 0 1 のゲートは電源線と接続してもよく、例えば正電源 VDD 、負電源 VSS などの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。

【 0 1 2 3 】

図 6 0 (b) を参照して、図 5 6 に示す回路 5 6 2 の構成の一例について説明する。

【 0 1 2 4 】

図 6 0 (b) に示す回路 5 6 2 において、入力端子 5 3、5 4、及び出力端子 5 5 は図 5 5 と同様なものとする。トランジスタ 6 0 2、6 0 3 は P チャンネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。

【 0 1 2 5 】

図 6 0 (b) の動作について説明する。入力端子 5 3 から入力される C K 2 が L o w の場合に、トランジスタ 6 0 2 はオンして、出力端子 5 5 に V D D を出力し、C K 2 が H i g h の場合に、トランジスタ 6 0 2 はオフして、出力端子 5 5 にはなにも出力されない。入力端子 5 4 から入力される C K 3 が L o w の場合にトランジスタ 6 0 3 はオンして、出力端子 5 5 に V D D を出力し、C K 3 が H i g h の場合に出力端子 5 5 にはなにも出力されない。こうして、回路 5 6 2 は、C K 2、C K 3 のいずれかが L o w の場合に H i g h を出力して、H i g h の場合にはフローティングになる機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。

10

【 0 1 2 6 】

なお、トランジスタ 5 9 2 のソースとドレインのうち一方は信号線に接続してもよく、例えば C K 1、C K 2、C K 3、S S P などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。また、トランジスタ 5 9 2 のゲートは電源線と接続してもよく、例えば正電源 V D D、負電源 V S S などの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。

【 0 1 2 7 】

20

次に、図 7 (a) を参照して、図 6 に示す回路 6 1 の構成の一例について説明する。

【 0 1 2 8 】

図 7 (a) に示す回路 6 1 に示すように、入力端子 5 3、及び n o d e P は図 6 と同様なものとする。トランジスタ 7 1 は N チャンネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。

【 0 1 2 9 】

図 7 (a) の接続関係について説明する。トランジスタ 7 1 のゲートは入力端子 5 3 と接続され、ソースとドレインのうち一方は V S S と接続され、ソースとドレインのうち他方は n o d e P と接続されている。

【 0 1 3 0 】

30

図 7 (a) の動作について説明する。入力端子 5 3 から入力される C K 2 が H i g h の場合に、トランジスタ 7 1 はオンして、n o d e P に V S S を出力し、C K 2 が L o w の場合に、トランジスタ 7 1 はオフして、n o d e P にはなにも出力されない。こうして、回路 6 1 は、C K 2 が H i g h の場合に L o w を出力して、L o w の場合にはフローティングになる機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。

【 0 1 3 1 】

なお、トランジスタ 7 1 のソースとドレインのうち一方は信号線に接続してもよく、例えば C K 1、C K 2、C K 3、S S P などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。また、トランジスタ 7 1 のゲートは電源線と接続してもよく、例えば正電源 V D D、負電源 V S S などの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。

40

【 0 1 3 2 】

図 7 (b) を参照して、図 6 に示す回路 6 2 の構成の一例について説明する。

【 0 1 3 3 】

図 7 (b) に示す回路 6 2 に示すように、入力端子 5 3、入力端子 5 4 及び O U T (1) は図 6 と同様なものとする。トランジスタ 7 2、及びトランジスタ 7 3 は N チャンネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。

【 0 1 3 4 】

50

図7(b)の接続関係について説明する。トランジスタ72のゲートは入力端子53と接続され、ソースとドレインのうち一方はVSSと接続され、ソースとドレインのうち他方は出力端子55と接続されている。トランジスタ73のゲートは入力端子54と接続され、ソースとドレインのうち一方はVSSと接続され、ソースとドレインのうち他方は出力端子55と接続されている。もちろん、トランジスタ72及びトランジスタ73のソースとドレインのうち一方を、トランジスタ71のソースとドレインのうち一方が接続されたVSSとなる配線と接続してもよい。

【0135】

図7(b)の動作について説明する。入力端子53から入力されるCK2がHighの場合に、トランジスタ72はオンして、OUT(1)にVSSを出力し、CK2がLowの場合に、トランジスタ72はオフしてOUT(1)にはなにも出力されない。また、入力端子54から入力されるCK3がHighの場合に、トランジスタ73はオンして、OUT(1)にVSSを出力し、CK3がLowの場合に、トランジスタ73はオフしてOUT(1)にはなにも出力されない。こうして、回路62は、CK2及びCK3のいずれかがHighの場合にOUT(1)にLowを出力し、CK2及びCK3がLowの場合にはフローティングになる機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。

【0136】

なお、トランジスタ72のソースとドレインのうち一方、及びトランジスタ73のソースとドレインの一方は信号線に接続してもよく、例えばCK1、CK2、CK3、SSPなどの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。また、トランジスタ72のゲートは電源線と接続してもよく、例えば正電源VDD、負電源VSSなどの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。また、トランジスタ73のゲートは電源線と接続してもよく、例えば正電源VDD、負電源VSSなどの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。

【0137】

つまり、図6、図7に示す構造は、第1のトランジスタ(トランジスタ31)と、第2のトランジスタ(トランジスタ32)と、第3のトランジスタ(トランジスタ71)と、第4のトランジスタ(トランジスタ72)と、第5のトランジスタ(トランジスタ73)とを有し、第1のトランジスタは、ソースとドレインのうち一方が第1の配線(VDD)に接続され、ソースとドレインのうち他方が第2のトランジスタのゲート電極と第3のトランジスタのソースとドレインのうち他方に接続され、ゲート電極が第5の配線(入力端子51)に接続され、第2のトランジスタは、ソースとドレインのうち一方が第3の配線(入力端子52)に接続され、ソースとドレインのうち他方が第6の配線(出力端子55)に接続され、第3のトランジスタは、ソースとドレインのうち一方が第2の配線(VSS)に接続され、ソースとドレインのうち他方が第2のトランジスタのゲート電極に接続され、ゲート電極が第4の配線(入力端子53)に接続され、第4のトランジスタは、ソースとドレインのうち一方が第2の配線(VSS)に接続され、ソースとドレインのうち他方が第6の配線(出力端子55)に接続され、ゲート電極が第4の配線(入力端子53)に接続され、第5のトランジスタは、ソースとドレインのうち一方が第2の配線(VSS)に接続され、ソースとドレインのうち他方が第6の配線(出力端子55)に接続され、ゲート電極が第7の配線(入力端子54)に接続されている。また、第1のトランジスタにおいて、ソースとドレインのうち一方を第5の配線(入力端子51)に接続させた構成とすることも可能である。

【0138】

以上のような、シフトレジスタ回路では、CK2及びCK3のいずれかがHighになるに従って、出力端子55にVSSを供給することができる。つまり、非選択期間に、一定期間毎にVSSを入力することによって、ノイズを減らすことができ、且つ定常的にオンするトランジスタがないため、特性が劣化することを抑制することができる。また、第

10

20

30

40

50

1の実施形態に比べ、非選択期間に示すように2倍の期間、VSSを出力端子55に供給することができるため、よりノイズを低減することができる。

【0139】

以下に、本実施形態の変更可能な構成例、及び動作例をいくつか述べる。また、以下で述べる構成例、及び動作例は「課題を解決するための手段」、「発明を実施するための最良の形態」、及び「実施例」について適用可能であり、第1の実施形態で説明した変更可能な構成例、及び動作例を本実施形態に適用することができる。

【0140】

図6に示すように、node Pと、VSS又はVDDの間に容量素子を接続してもよい。容量素子を接続することでより、node Pの電位を安定させることができる。

10

【0141】

図6に示すように、容量素子33はブートストラップ動作をするために接続されており、トランジスタ32のゲートと、ソースとドレインのうち他方との間にブートストラップ動作できるだけ寄生容量などがあれば、なくてもよい。また、容量素子33の形成方法はどこでもよい。例えば、非結晶半導体層とゲート配線層との間で容量素子を形成してもよいし、半導体層と配線との間で容量素子を形成してもよい。半導体層とゲート配線層とで容量素子を形成する場合は、ボトムゲートトランジスタ、トップゲート型トランジスタに関らず薄いGI膜(ゲート絶縁膜)を挟んで形成されているため、小さい面積でより多くの容量値を得ることが可能となるため、有利である。

【0142】

20

図6に示すように、回路61は必ずしも必要ではない。つまり、回路62によって、一定期間毎にVSSを出力しているため、node Pにノイズがあってもトランジスタ32をオフしていればよいのである。こうすることで、素子数を減らすことができる。そのとき、node Pと、VSS又はVDDの間に容量素子を接続してもよい。

【0143】

図6に示した回路62の入力端子に次の段の回路50の出力を入力してもよいし、同様に回路35の入力端子には次の段の回路50の出力を入力してもよいし、回路61の入力端子、及び回路62の入力端子に次の段の回路50の出力を入力してもよい。次の段の回路50の出力を利用することで、制御信号だけに同期するのではなく実際のシフトレジスタ回路の出力とも同期することができるため、よりシフトレジスタ回路の動作にあった電位の切り替えができるため有利である。

30

【0144】

図6に示すように、node PとVSS、又はVDDの間に容量素子を接続してもよい。容量素子を接続することでより、node Pの電位を安定させることができる。

【0145】

(第3の実施形態)

本実施形態は、非選択期間の出力電圧のノイズを減らすために、非選択期間においてVSSを出力することでノイズを減らすことを特徴とするシフトレジスタ回路の構成、及び動作について、図2、図5、図8乃至図10を用いて説明する。

【0146】

40

図5に示すシフトレジスタ回路の構成、及び動作は第2の実施形態で説明したものと同様なものを用いることができる。

【0147】

図8を参照して、1段目の回路50であるSR(1)の構成について説明する。図8に示す回路50は、入力端子51、入力端子52、入力端子53、入力端子54、出力端子55、トランジスタ31、トランジスタ32、容量素子33、回路81、回路82、回路83から構成されている。

【0148】

入力端子51、入力端子52、入力端子53、入力端子54、出力端子55、トランジスタ31、トランジスタ32、容量素子33は、図5で説明したものと同様なものとする

50

。

【 0 1 4 9 】

回路 8 1 は、C K 2 が H i g h の場合に n o d e P に L o w を出力し、C K 2 が L o w の場合に出力がフローティングになる機能を有する回路である。回路 8 2 は、回路 8 3 の出力が H i g h で、且つ C K 1、C K 2 及び C K 3 のいずれかが H i g h の場合に出力端子 5 5 に L o w を出力し、C K 1、C K 2 及び C K 3 が L o w の場合に出力がフローティングになる。そして、回路 8 3 からの出力が L o w で、且つ C K 2 及び C K 3 のいずれかが H i g h の場合に出力端子 5 5 に L o w を出力し、C K 2 及び C K 3 が L o w の場合に出力がフローティングとなる機能を有する回路である。回路 8 3 は、n o d e P の電位が V D D 付近、もしくはそれ以上の場合に回路 8 2 に L o w を出力し、n o d e P の電位が V S S の場合に回路 8 2 に H i g h を出力する回路である。

10

【 0 1 5 0 】

図 8 の接続関係について説明する。トランジスタ 3 1 のゲートは入力端子 5 1 と接続され、ソースとドレインのうち一方は V D D と接続され、ソースとドレインのうち他方は容量素子 3 3 の一方の電極、トランジスタ 3 2 のゲート、回路 8 3 の入力端子及び回路 8 1 の出力端子、つまり n o d e P と接続されている。トランジスタ 3 2 のソースとドレインのうち一方は入力端子 5 2 と接続され、ソースとドレインのうち他方は回路 8 2 の出力端子、容量素子 3 3 の他方の端子、及び出力端子 5 5 と接続されている。入力端子 5 2 は回路 8 2 の入力端子と接続され、入力端子 5 3 は回路 8 1 の入力端子、及び回路 8 2 の入力端子と接続され、入力端子 5 4 は回路 8 2 の入力端子と接続されている。回路 8 3 の出力端子は回路 8 2 の入力端子と接続されている。

20

【 0 1 5 1 】

図 8 の動作について、図 2 に示す本実施形態のタイミングチャートを参照して、期間 T 1、期間 T 2、及び期間 T 3 に分けて説明する。また、初期状態として、n o d e P、及び O U T (1) の電位は V S S とする。

【 0 1 5 2 】

期間 T 1 において、S S P が H i g h、C K 1 が L o w、C K 2 が L o w、C K 3 が H i g h となる。このときのトランジスタ 3 1 のゲートの電位は V D D、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方の電位は V S S となるため、当該トランジスタ 3 1 がオンして、n o d e P の電位が V S S から上昇し始める。n o d e P の電位の上昇は V D D からトランジスタ 3 1 のしきい値電圧分小さい電位となるところで止まり、トランジスタ 3 1 はオフする。このときの n o d e P の電位を V n 1 とする。回路 8 1 は、C K 2 が L o w となっているため、出力はフローティングとなる。そのため、n o d e P には電荷が供給されないため、フローティングとなる。回路 8 3 は、n o d e P の電位が V n 1 となるため、回路 8 2 の入力端子に L o w を出力する。回路 8 2 は、回路 8 3 の出力が L o w、C K 1 が L o w、C K 2 が L o w、C K 3 が H i g h となるため、L o w を出力する。このときのトランジスタ 3 2 のゲート電位は V n 1、ソースとドレインのうち一方の電位は V S S、ソースとドレインのうち他方の電位は V S S となるため、当該トランジスタ 3 2 はオンしている。しかし、ソースとドレインのうち一方の電位とソースとドレインのうち他方の電位とが同電位であり、電荷の移動はないため、電流は流れず、電位も変動しない。そして、容量素子 3 3 には出力端子 5 5 の電位である V S S と n o d e P の電位である V n 1 との電位差を保持している。

30

40

【 0 1 5 3 】

期間 T 2 において、S S P が L o w、C K 1 が H i g h、C K 2 が L o w、C K 3 が L o w となる。このときのトランジスタ 3 1 のゲートの電位は V S S、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方の電位は V n 1 となるため、当該トランジスタ 3 1 はオフする。回路 6 1 では C K 2 が L o w となっているため、出力はフローティングなる。回路 8 3 は、n o d e P の電位が V n 1 となるため回路 8 2 の入力端子に L o w を出力する。回路 8 2 は、回路 8 3 の出力が L o w、C K 1 が H i g h、C K 2 が L o w、C K 3 が L o w となるため、出力はフローティングとなる。このときのトラ

50

ンジスタ32のゲートの電位は V_{n1} 、ソースとドレインのうち一方の電位は V_{DD} 、ソースとドレインのうち他方、つまり出力端子55の電位は V_{SS} となるため、当該トランジスタ32がオンして、出力端子55の電位が上昇し始める。すると、トランジスタ32のゲートと、ソースとドレインのうち他方の間に接続されている容量素子33は期間T1で保持した電位差をそのまま保持するため、ソースとドレインのうち他方の電位が上昇すると、ゲート電圧も同時に上昇する。このときの、 $node P$ の電位を V_{n2} とする。 $node P$ の電位が V_{DD} とトランジスタ32のしきい値電圧との和まで上昇すれば、出力端子55の電位の上昇は $CK1$ の電位と同じ V_{DD} になるところで止まる。いわゆる、ブートストラップ動作によって、 $CK1$ のHighの電位である V_{DD} まで、出力端子55の電位を上昇することができる。

10

【0154】

期間T3において、SSPがLow、 $CK1$ がLow、 $CK2$ がHigh、 $CK3$ がLowとなる。このとき、 $node P$ の電位は、 $CK2$ がHighであるため、回路81から V_{SS} が出力されるため、 V_{SS} となり、回路83は回路82の入力端子にHighを出力する。OUT(1)の電位も回路82から V_{SS} が出力されるため、 V_{SS} となる。このときのトランジスタ31のゲート電位は V_{SS} 、ソースとドレインのうち一方の電位は V_{DD} 、ソースとドレインのうち他方の電位は V_{SS} となり、当該トランジスタ31はオフする。トランジスタ32のゲートの電位は V_{SS} 、ソースとドレインのうち一方の電位は V_{SS} 、ソースとドレインのうち他方の電位は V_{SS} となり、当該トランジスタ32はオフする。

20

【0155】

上記説明した期間T1、期間T2、期間T3の動作により、期間T1にSSPが入力されるとOUT(1)が期間T2に出力される。つまり、SSPがクロック信号の1/3周期ずつシフトして出力される回路50をn段接続することにより、シフトレジスタ回路を構成している。

【0156】

図8に1段目の回路50を示したが、n段目の回路50を図53を参照して説明する。

【0157】

図53において、トランジスタ31、トランジスタ32、容量素子33、回路81、回路82、回路83、入力端子51、入力端子52、入力端子53、入力端子54及び出力端子55は、図8で説明したものと同様なものとする。入力端子51から入力される入力信号は前の段の回路の出力端子55と接続されていることを特徴とする。

30

【0158】

図8に示したシフトレジスタ回路で用いたトランジスタはNチャネル型トランジスタのみで構成する単極性回路であったが、Pチャネル型トランジスタのみで構成してもよい。もちろん、Pチャネル型トランジスタとNチャネル型トランジスタ組み合わせてもよい。トランジスタを全てPチャネル型トランジスタで構成した場合のシフトレジスタ回路を図57を参照して説明する。

【0159】

図57に示す回路構成において、正電源 V_{DD} 、負電源SS、入力端子51、入力端子52、入力端子53、入力端子54、トランジスタ551、トランジスタ552、及び容量素子553は図55と同様なものを用いることができる。回路571は、 $CK2$ がLowの場合に $node P$ にHighを出力し、 $CK2$ がHighの場合に出力がフローティングとなる機能を有する回路である。回路572は $CK1$ 、 $CK2$ 、 $CK3$ のうちいずれかがLowのときに出力端子55にHighを出力する回路である。

40

【0160】

図57の接続関係について説明する。トランジスタ551のゲートは入力端子51と接続され、ソースとドレインのうち一方は正電源 V_{SS} と接続され、ソースとドレインのうち他方は容量素子553の一方の電極、トランジスタ552のゲート及び回路571の出力端子、つまり $node P$ と接続されている。トランジスタ552のソースとドレインの

50

うち一方は入力端子 5 2 と接続され、ソースとドレインのうち他方は回路 5 7 2 の出力端子、容量素子 5 5 3 の他方の電極、及び出力端子 5 5 と接続されている。入力端子 5 2 は回路 5 7 2 の入力端子と接続されている。入力端子 5 3 は回路 5 7 1 の入力端子、及び回路 5 7 2 の第 1 の入力端子と接続され、入力端子 5 4 は回路 5 7 2 の第 1 のトランジスタの第 2 の入力端子と接続されている。

【 0 1 6 1 】

なお、トランジスタ 5 5 1 のゲート及びトランジスタ 5 5 2 のソースとドレインのうち他方は電源線と接続してもよく、例えば正電源 V D D、負電源 V S S などの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。また、トランジスタ 5 5 1 のソースとドレインのうち他方は信号線と接続してもよく、例えば C K 1、C K 2、C K 3、S S P などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。

10

【 0 1 6 2 】

次に、図 9 (a) を参照して、図 8 に示す回路 8 1 の構成の一例について説明する。

【 0 1 6 3 】

図 9 (a) に示す回路 8 1 において、入力端子 5 3、及び n o d e P は図 8 と同様なものとする。トランジスタ 9 1 は N チャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。

【 0 1 6 4 】

図 9 (a) の接続関係について説明する。トランジスタ 9 1 のゲートは入力端子 5 3 と接続され、ソースとドレインのうち一方は V S S と接続され、ソースとドレインのうち他方は n o d e P と接続されている。

20

【 0 1 6 5 】

図 9 (a) の動作について説明する。入力端子 5 3 から入力される C K 2 が H i g h の場合に、トランジスタ 9 1 はオンして、n o d e P に V S S を出力し、C K 2 が L o w の場合に、トランジスタ 9 1 はオフして、n o d e P にはなにも出力されない。こうして、回路 8 1 は、C K 2 が H i g h の場合に L o w を出力して、L o w の場合にはフローティングになる機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。また、P チャネル型トランジスタで構成した場合の構成例を図 6 1 に示す。同業者であれば容易に変更が可能である。

30

【 0 1 6 6 】

なお、トランジスタ 9 1 のソースとドレインのうち一方は信号線に接続してもよく、例えば C K 1、C K 2、C K 3、S S P などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。また、トランジスタ 9 1 のゲートは電源線と接続してもよく、例えば正電源 V D D、負電源 V S S などの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。

【 0 1 6 7 】

図 9 (b) を参照して、図 8 に示す回路 8 2 の構成の一例について説明する。

【 0 1 6 8 】

図 9 (b) に示す回路 8 2 において、入力端子 5 2、入力端子 5 3、入力端子 5 4 及び O U T (1) は図 8 と同様なものとする。トランジスタ 9 2、トランジスタ 9 3、トランジスタ 9 4 及びトランジスタ 9 5 は N チャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。V o u t は回路 8 2 の出力である。

40

【 0 1 6 9 】

図 9 (b) の接続関係について説明する。トランジスタ 9 5 のゲートは V o u t が接続され、ソースとドレインのうち一方は入力端子 5 2 と接続され、ソースとドレインのうち他方はトランジスタ 9 2 のゲートと接続されている。トランジスタ 9 2 のソースとドレインのうち一方は V S S と接続され、ソースとドレインのうち他方は出力端子 5 5 と接続されている。トランジスタ 9 3 のゲートは入力端子 5 3 と接続され、ソースとドレインのう

50

ち一方はVSSと接続され、ソースとドレインのうち他方は出力端子55と接続されている。トランジスタ94のゲートは入力端子54と接続され、ソースとドレインのうち一方はVSSと接続され、ソースとドレインのうち他方は出力端子55と接続されている。

【0170】

図9(b)の動作について説明する。回路83の出力から入力されるVoutがHighの場合に、トランジスタ95はオンして、トランジスタ92のゲートにCK1を信号を伝達する。VoutがLowの場合に、トランジスタ95はオフして、トランジスタ92のゲートにCK1の信号は伝達されないため、前の状態を保持する。ここで、トランジスタ95がオンして、且つ入力端子52から入力されるCK1がHighの場合に、トランジスタ92はオンして、OUT(1)にVSSを出力し、CK1がLowの場合に、トランジスタ92はオフして、OUT(1)にはなにも出力されない。入力端子53から入力されるCK2がHighの場合に、トランジスタ93はオンして、OUT(1)にVSSを出力し、CK2がLowの場合に、トランジスタ93はオフして、OUT(1)にはなにも出力されない。入力端子54から入力されるCK3がHighの場合に、トランジスタ94がオンして、OUT(1)にVSSが出力され、CK3がLowの場合に、トランジスタ94はオフして、OUT(1)にはなにも出力されない。こうして、回路82は、回路83の出力がHighで、且つCK1、CK2、及びCK3のいずれかがHighの場合に出力端子55にLowを出力し、CK1、CK2、及びCK3がLowの場合に出力がフローティングになる。そして、回路83からの出力がLowで、且つCK2、及びCK3のいずれかがHighの場合に出力端子55にLowを出力し、CK2、及びCK3がLowの場合に出力がフローティングとなる機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。

【0171】

なお、トランジスタ92のソースとドレインのうち一方、トランジスタ93のソースとドレインのうち一方、及びトランジスタ94のソースとドレインのうち一方は信号線に接続してもよく、例えばCK1、CK2、CK3、SSPなどの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。また、トランジスタ95のソースとドレインのうち一方、トランジスタ92のゲート、トランジスタ93のゲート、トランジスタ94のゲートは電源線と接続してもよく、例えば正電源VDD、負電源VSSなどの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。

【0172】

次に、図10(a)を参照して、図8に示す回路83の構成の一例について説明する。

【0173】

図10(a)に示す回路83において、node P、Voutは図8と同様なものとする。トランジスタ101はNチャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。抵抗素子102は、抵抗成分を持つ抵抗素子である。抵抗成分を持っていれば、いかなる線形素子でもよいし、非線形素子でもよい。例えば、ダイオード接続したトランジスタを接続してもよい。

【0174】

抵抗素子102として、トランジスタを用いた場合の構成例について図48を参照して説明する。node P、Vout、トランジスタ101、正電源線VDD、及び負電源VSSは図10と同様なものとする。トランジスタ481はNチャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。トランジスタ481のソースとドレインのうち一方は正電源VDDと接続され、ソースとドレインのうち他方はVoutと接続され、ゲートはソースとドレインのうち一方と接続されダイオード接続されている。VoutはVSSからオンするトランジスタ101を介して電荷が供給されなければ、VDDからトランジスタ481のしきい値電圧引いた電位なる。こうして、node PがLowとなるとトランジスタ101はオフしてVoutの電位はVDDからトランジスタ481のしきい値電圧引いた電位となり、node PがHighとなりトランジスタ101がオンするとVoutの電位はVSSの電位なる。

【 0 1 7 5 】

図 1 0 (a) の接続関係について説明する。トランジスタ 1 0 1 のゲートは `node P` と接続され、トランジスタ 1 0 1 のソースとドレインのうち一方は抵抗素子 1 0 2 の一方の端子、及び `Vout` と接続され、ソースとドレインのうち他方は `VSS` と接続されている。抵抗素子 1 0 2 の他方の端子は `VDD` と接続されている。

【 0 1 7 6 】

図 1 0 (a) の動作について説明する。`node P` の電位が `VSS` とトランジスタ 1 0 1 のしきい値電圧との和の電圧以上だった場合に、トランジスタ 1 0 1 はオンして、`Vout` に `VSS` を出力する。`node P` の電位が `VSS` とトランジスタ 1 0 1 のしきい値電圧との和の電圧未満だった場合に、トランジスタ 1 0 1 はオフして、`Vout` には抵抗素子 1 0 2 を介して `VDD` が出力される。このように、`node P` の電位が `VSS` とトランジスタ 1 0 1 のしきい値電圧との和の電圧以上だった場合に回路 8 2 の入力端子に `Low` を出力し、`node P` の電位が `VSS` とトランジスタ 1 0 1 のしきい値電圧との和の電圧未満だった場合に回路 8 2 の入力端子に `High` を出力する機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。また、図 6 2 に図 1 0 の回路構成を P チャネル型トランジスタを用いた場合の構成例を示す。

【 0 1 7 7 】

なお、トランジスタ 1 0 1 のソースとドレインのうち他方は信号線に接続してもよく、例えば `CK1`、`CK2`、`CK3`、`SSP` などの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。また、トランジスタ 1 0 1 のゲートは電源線と接続してもよく、例えば正電源 `VDD`、負電源 `VSS` などの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。

【 0 1 7 8 】

図 1 0 (b) を参照して、図 8 に示す回路 8 3 の構成の別の一例について説明する。

【 0 1 7 9 】

図 1 0 (b) に示す回路 8 3 に示すように、`node P`、`Vout` は図 8 と同様なものとする。`OUT(2)` は次の 2 段目の回路 5 0 の出力である。例えば、 n 段目の回路 5 0 だとすると $n + 1$ 段目の回路 5 0 の出力である。トランジスタ 1 0 2、及びトランジスタ 1 0 3 は N チャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。容量素子 1 0 4 は 2 つの電極を持った容量素子である。

【 0 1 8 0 】

図 1 0 (b) の接続関係について説明する。トランジスタ 1 0 2 のゲートは `OUT(2)` と接続され、ソースとドレインのうち一方は `VDD` と接続され、ソースとドレインのうち他方はトランジスタ 1 0 3 のソースとドレインのうち一方、容量素子 1 0 4 の一方の電極、及び `Vout` と接続されている。トランジスタ 1 0 3 のゲートは `node P`、ソースとドレインのうち他方は `VSS` と接続されている。容量素子 1 0 4 の他方の電極は `VSS` と接続されている。

【 0 1 8 1 】

図 1 0 (b) の動作について説明する。`node P` の電位が `VSS` とトランジスタ 1 0 3 のしきい値電圧との和の電圧以上だった場合に、トランジスタ 1 0 3 はオンして `VSS` を `Vout` に出力する。`node P` の電位が `VSS` とトランジスタ 1 0 3 のしきい値電圧との和の電圧未満だった場合に、トランジスタ 1 0 3 はオフして出力はフローティングとなる。`OUT2` が `High` だった場合に、トランジスタ 1 0 2 はオンして `Vout` に `VDD` とトランジスタ 1 0 2 のしきい値電圧との差の電圧を出力する。`OUT2` が `Low` だった場合に、トランジスタ 1 0 2 はオフして出力はフローティングとなる。つまり、`node P` の電位が `VDD` 付近、若しくはそれ以上だった場合に、`Vout` は `Low` を出力し、`node P` の電位が `VSS` だった場合に、`Vout` は `High` を出力する機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回

10

20

30

40

50

路構成であればよい。

【0182】

なお、トランジスタ102のゲート及びトランジスタ103のゲートは電源線と接続してもよく、例えば正電源VDD、負電源VSSなどの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。また、トランジスタ103のソースとドレインのうち他方は信号線に接続してもよく、例えばCK1、CK2、CK3、SSPなどの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。

【0183】

以上のような、シフトレジスタ回路では、非動作期間において、CK1、CK2及びCK3のうちいずれかがHighとなれば、出力端子55にVSSを供給することができる。つまり、非選択期間における出力端子55には常時VSSが供給されているため、電位が安定し、ノイズを無くすことができ、且つ定期的にオンするトランジスタがないため、特性が劣化することを抑制することができる。また、nodePにも一定期間毎にVSSを供給することによって、トランジスタ32を確実にオフすることができる。

【0184】

以下に、本実施形態の変更可能な構成例、及び動作例をいくつか述べる。また、以下で述べる構成例、及び動作例は「課題を解決するための手段」、「発明を実施するための最良の形態」、及び「実施例」について適用可能であり、第1の実施形態で説明した変更可能な構成例、及び動作例を本実施形態に適用することができる。

【0185】

図9に示すように、トランジスタ92のゲートは、トランジスタ95がオフのとき浮遊となる。そのため、トランジスタ92のゲート容量に電位を保持しているが、保持しきれない場合は、容量素子を接続してもよい。その場合、トランジスタ92のゲートとVDD、又はVSSとの間に容量素子を接続することが望ましい。

【0186】

図10(b)に示すように、Voutに容量素子104が接続されているが、Voutの接続先が十分な容量をもっていれば設けない構成としてもよい。出力であるVoutに接続されている容量素子104を無くすことで、より高速な動作が可能となる。

【0187】

図10(b)に示すように、トランジスタ103のゲートにはnodePが接続されているが、入力端子51を接続してもよい。入力端子51を接続することによって、トランジスタ102とトランジスタ103とが同時にオンする期間がなくなりトランジスタ102、及びトランジスタ103を介した貫通電流がなくなるため、誤動作しにくくなり、且つ消費電力が小さくなる。

【0188】

(第4の実施形態)

本実施形態は、非選択期間の出力電圧のノイズを減らすために、一定時間毎にVSSを出力することでノイズを減らすことを特徴とするシフトレジスタ回路の構成、及び動作について、図2、図5、図11及び図12を用いて説明する。

【0189】

図5に示すシフトレジスタ回路の構成、及び動作は第2の実施形態で説明したものと同様なものを用いることができる。

【0190】

図11を参照して、1段目の回路50であるSR(1)の構成について説明する。図11に示す回路は、入力端子51、入力端子52、入力端子53、入力端子54、出力端子55、トランジスタ31、トランジスタ32、容量素子33、回路111、回路82、回路83から構成されている。入力端子51、入力端子52、入力端子53、入力端子54、出力端子55、回路82、回路83、トランジスタ31、トランジスタ32、容量素子33、及びnodePは図8で説明したものと同様なものとする。

【0191】

回路 1 1 1 は回路 8 3 からの出力が H i g h の場合で、且つ C K 1、C K 2 及び C K 3 のいずれかが H i g h の場合に n o d e P に L o w を出力し、C K 1、C K 2 及び C K 3 が L o w の場合に出力がフローティングとなる。そして、回路 8 3 からの出力が L o w の場合で、且つ C K 2 が H i g h の場合に n o d e P に L o w を出力し、C K 2 が L o w の場合に出力がフローティングとなる機能を有する回路である。

【 0 1 9 2 】

図 1 1 接続関係について説明する。トランジスタ 3 1 のゲートは入力端子 5 1 と接続され、ソースとドレインのうち一方は V D D と接続され、ソースとドレインのうち他方は容量素子 3 3 の一方の電極、トランジスタ 3 2 のゲート、回路 8 3 の入力端子及び回路 1 1 1 の出力端子、つまり n o d e P と接続されている。トランジスタ 3 2 のソースとドレインのうち一方は入力端子 5 2 と接続され、ソースとドレインのうち他方は回路 8 2 の出力端子、容量素子 3 3 の他方の電極、及び出力端子 5 5 と接続されている。入力端子 5 2 は回路 8 2 の入力端子及び回路 1 1 1 の入力端子と接続され、入力端子 5 3 は回路 8 2 の入力端子及び回路 1 1 1 の入力端子と接続され、入力端子 5 4 は回路 8 2 の入力端子及び回路 1 1 1 の入力端子と接続されている。回路 8 3 の出力端子は回路 8 2 の入力端子、及び回路 1 1 1 の入力端子と接続されている。

【 0 1 9 3 】

図 1 1 の動作について、図 2 に示す本実施形態のタイミングチャートを参照して、期間 T 1、期間 T 2、及び期間 T 3 に分けて説明する。また、初期状態として、n o d e P、及び O U T (1) の電位は V S S とする。

【 0 1 9 4 】

期間 T 1 において、S S P が H i g h、C K 1 が L o w、C K 2 が L o w、C K 3 が H i g h となる。このときのトランジスタ 3 1 のゲートの電位は V D D、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方の電位は V S S となるため、当該トランジスタ 3 1 がオンして、n o d e P の電位が V S S から上昇し始める。n o d e P の電位の上昇は V D D からトランジスタ 3 1 のしきい値電圧分小さい電位となるところで止まり、トランジスタ 3 1 はオフする。このときの n o d e P の電位を V n 1 とする。回路 8 3 は n o d e P の電位が V n 1 となるため、回路 8 2 の入力端子、及び回路 8 3 の入力端子に L o w を出力する。回路 1 1 1 は、回路 8 3 の出力が L o w、C K 1 が L o w、C K 2 が L o w、C K 3 が H i g h となるため、出力はフローティングとなる。回路 8 2 は、回路 8 3 の出力が L o w、C K 1 が L o w、C K 2 が L o w、C K 3 が H i g h となるため出力端子 5 5 に L o w を出力する。そして、容量素子 3 3 には出力端子 5 5 の電位である V S S と n o d e P の電位である V n 1 との電位差が保持されている。

【 0 1 9 5 】

期間 T 2 において、S S P が L o w、C K 1 が H i g h、C K 2 が L o w、C K 3 が L o w となる。このときのトランジスタ 3 1 のゲートの電位は V S S、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方の電位は V n 1 となるため、当該トランジスタ 3 1 はオフする。回路 8 3 は n o d e P の電位が V n 1 となるため回路 8 2 の入力端子及び回路 1 1 1 の入力端子に L o w を出力する。回路 1 1 1 は、回路 8 3 の出力が L o w、C K 1 が H i g h、C K 2 が L o w、C K 3 が L o w となるため、出力はフローティングとなる。回路 8 2 は、回路 8 3 の出力が L o w、C K 1 が H i g h、C K 2 が L o w、C K 3 が L o w となるため、出力はフローティングとなる。このときのトランジスタ 3 2 のゲートの電位は V n 1、ソースとドレインのうち一方の電位は V D D、ソースとドレインのうち他方、つまり出力端子 5 5 の電位は V S S となるため、当該トランジスタ 3 2 がオンして、出力端子 5 5 の電位が上昇し始める。すると、トランジスタ 3 2 のゲートと、ソースとドレインのうち他方の間に接続されている容量素子 3 3 は期間 T 1 で保持した電位差をそのまま保持するため、ソースとドレインのうち他方の電位が上昇すると、ゲートの電位も同時に上昇する。このときの、n o d e P の電位を V n 2 とする。n o d e P の電位が V D D とトランジスタ 3 2 のしきい値電圧との和まで上昇すれば、出力端子 5 5 の電位の上昇は C K 1 と同じ V D D になるところで止まる。いわゆる、ブートス

トラップ動作によって、CK 1のHighの電位であるVDDまで、出力端子55の電位を上昇することができる。

【0196】

期間T3において、SSPがLow、CK1がLow、CK2がHigh、CK3がLowとなる。このとき、node Pの電位は、CK2がHighであるため、回路111からVSSが出力されるため、VSSとなり、回路83は回路82の入力端子にHighを出力する。OUT(1)の電位も回路82からVSSが出力されるため、VSSとなる。このときのトランジスタ31のゲート電位はVSS、ソースとドレインのうち一方の電位はVDD、ソースとドレインのうち他方の電位はVSSとなり、当該トランジスタ31はオフする。トランジスタ32のゲートの電位はVSS、ソースとドレインのうち一方の電位はVSS、ソースとドレインのうち他方の電位はVSSとなり、当該トランジスタ32はオフする。

10

【0197】

上記説明した期間T1、期間T2、期間T3の動作により、期間T1にSSPが入力されるとOUT(1)が期間T2に出力される。つまり、SSPがクロック信号の1/3周期ずつシフトして出力される回路50をn段接続することにより、シフトレジスタ回路を構成している。

【0198】

図11に示したシフトレジスタ回路で用いたトランジスタはNチャネル型トランジスタのみで構成する単極性回路であったが、Pチャネル型トランジスタのみで構成してもよい。もちろん、Pチャネル型トランジスタとNチャネル型トランジスタ組み合わせてもよい。トランジスタを全てPチャネル型トランジスタで構成した場合のシフトレジスタ回路について図58を参照して説明する。

20

【0199】

図58に示す回路構成において、正電源VDD、負電源VSS、入力端子51、入力端子52、入力端子53、入力端子54、トランジスタ551、トランジスタ552、及び容量素子553は図55と同様なものを用いることができる。回路572、回路573は図57と同様なものを用いることができる。回路581はCK1、CK2、CK3のうちいずれかがLowのときに出力端子55にHighを出力する回路である。

【0200】

30

図58の接続関係について説明する。トランジスタ551のゲートは入力端子51と接続され、ソースとドレインのうち一方は正電源VSSと接続され、ソースとドレインのうち他方は容量素子553の一方の電極、トランジスタ552のゲート及び回路581の出力端子、つまりnode Pと接続されている。トランジスタ552のソースとドレインのうち一方は入力端子52と接続され、ソースとドレインのうち他方は回路572の出力端子、容量素子553の他方の電極、及び出力端子55と接続されている。入力端子52は回路572の入力端子と接続されている。入力端子53は回路581の入力端子、及び回路572の第1の入力端子と接続され、入力端子54は回路562の第1のトランジスタの第2の入力端子と接続されている。

【0201】

40

なお、トランジスタ551のゲート、及びトランジスタ552のソースとドレインのうち他方は電源線と接続してもよく、例えば正電源VDD、負電源VSSなどの電源線、又は他の電源線と接続してもよいし、他の信号線と接続してもよい。また、トランジスタ551のソースとドレインのうち他方は信号線と接続してもよく、例えばCK1、CK2、CK3、SSPなどの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。

【0202】

図11に示した1段目の回路50を示したが、n段目の回路56について図54を参照して説明する。図54において、トランジスタ31、トランジスタ32、容量素子33、回路111、回路82、回路83、入力端子51、入力端子52、入力端子53、入力端

50

子 5 4、及び出力端子 5 5 は図 1 1 で説明したものと同様なものとする。入力端子 5 1 から入力される入力信号は前の段の回路の出力端子 5 5 と接続されていることを特徴とする。

【 0 2 0 3 】

次に、図 1 2 を参照して、図 1 1 に示す回路 1 1 1 の構成の一例について説明する。

【 0 2 0 4 】

図 1 2 に示す回路 1 1 1 に示すように、入力端子 5 2、入力端子 5 3、入力端子 5 4 及び O U T (1) は図 5 及び図 1 1 と同様なものとする。トランジスタ 1 2 1、トランジスタ 1 2 2、トランジスタ 1 2 3、トランジスタ 1 2 4、及びトランジスタ 1 2 5 は N チャネル型トランジスタであり、非結晶半導体、多結晶半導体、若しくは単結晶半導体によって構成されている。V o u t は回路 1 1 1 の出力である。

10

【 0 2 0 5 】

図 1 2 の接続関係について説明する。トランジスタ 1 2 4 のゲートは V o u t と接続され、トランジスタ 1 2 4 のソースとドレインのうち一方は入力端子 5 2 と接続され、ソースとドレインのうち他方はトランジスタ 1 2 1 のゲート接続されている。トランジスタ 1 2 1 のソースとドレインのうち一方は V S S と接続され、ソースとドレインのうち他方は n o d e P と接続されている。トランジスタ 1 2 2 のゲートは入力端子 5 3 と接続され、ソースとドレインのうち一方は V S S と接続され、ソースとドレインのうち他方は n o d e P と接続されている。トランジスタ 1 2 5 のゲートは V o u t と接続され、ソースとドレインのうち一方は入力端子 5 4 と接続され、ソースとドレインのうち他方はトランジスタ 1 2 3 のゲートと接続されている。トランジスタ 1 2 3 のソースとドレインのうち一方は V S S と接続され、ソースとドレインのうち他方は n o d e P と接続されている。

20

【 0 2 0 6 】

図 1 2 の動作について説明する。回路 8 3 の出力から入力される V o u t が H i g h の場合に、トランジスタ 1 2 4 及びトランジスタ 1 2 5 はオンして、トランジスタ 1 2 1 のゲートに C K 1 の信号を伝達して、トランジスタ 1 2 3 のゲートに C K 3 の信号を伝達する。V o u t が L o w の場合に、トランジスタ 1 2 4 及びトランジスタ 1 2 5 はオフして、トランジスタ 1 2 1 のゲートには C K 1 の信号は伝達されないため、前の状態を保持して、トランジスタ 1 2 3 のゲートには C K 3 の信号が伝達されないため、前の状態を保持する。ここで、トランジスタ 1 2 4 がオンして、且つ入力端子 5 2 から入力される C K 1 が H i g h の場合に、トランジスタ 1 2 1 はオンして、n o d e P に V S S を出力し、C K 1 が L o w の場合に、トランジスタ 1 2 1 はオフして、n o d e P にはなにも出力されない。入力端子 5 3 から入力される C K 2 が H i g h の場合に、トランジスタ 1 2 2 はオンして、n o d e P に V S S を出力し、C K 2 が L o w の場合に、トランジスタ 1 2 2 はオフして、n o d e P にはなにも出力されない。トランジスタ 1 2 5 がオンして、且つ入力端子 5 4 から入力される C K 3 が H i g h の場合に、トランジスタ 1 2 3 はオンして、n o d e P に V S S を出力し、C K 3 が L o w の場合に、トランジスタ 1 2 3 はオフして、n o d e P にはなにも出力されない。こうして、回路 1 1 1 は、回路 8 3 の出力が H i g h で、且つ C K 1、C K 2、及び C K 3 のいずれかが H i g h の場合に出力端子 5 5 に L o w を出力し、C K 1、C K 2、及び C K 3 が L o w の場合に出力がフローティングになる。そして、回路 8 3 からの出力が L o w で、且つ C K 2 が H i g h の場合に出力端子 5 5 に L o w を出力し、C K 2 が L o w の場合に出力がフローティングとなる機能を有する回路を構成している。また、回路構成は説明した回路構成に限らず、同じ機能を有する回路構成であればよい。また、図 6 3 に P チャネルトランジスタを用いた構成例に示している。

30

40

【 0 2 0 7 】

なお、トランジスタ 1 2 4 のソースとドレインのうち他方、及びトランジスタ 1 2 1 のゲート、トランジスタ 1 2 2 のゲート、トランジスタ 1 2 5 のソースとドレインのうち一方、及びトランジスタ 1 2 3 のゲートは、信号線に接続してもよく、例えば C K 1、C K 2、C K 3、S S P などの信号線、又は他の信号線と接続してもよいし、他の電源線と接

50

続してもよい。また、トランジスタ121のソースとドレインのうち他方、トランジスタ122のソースとドレインのうち他方、及びトランジスタ123のソースとドレインのうち他方は信号線に接続してもよく、例えばCK1、CK2、CK3、SSPなどの信号線、又は他の信号線と接続してもよいし、他の電源線と接続してもよい。

【0208】

以上のような、シフトレジスタ回路では、非動作期間において、CK1、CK2及びCK3のうちいずれかがHighとなれば、出力端子55、及びnode PにVSSを供給することができる。つまり、非選択期間における出力端子55、及びnode Pには常時VSSが供給されているため、電位が安定し、ノイズを無くすことができ、且つ定期的にオンするトランジスタがないため、特性が劣化することを抑制することができる。

10

【0209】

以下に、本実施形態の変更可な構成例、及び動作例をいくつか述べる。また、以下で述べる構成例、及び動作例は「課題を解決するための手段」、「発明を実施するための最良の形態」、及び「実施例」について適用可能であり、第1の実施形態で説明した変更可な構成例、及び動作例を本実施形態に適用することができる。

【0210】

図12に示すように、トランジスタ121のゲートに入力される信号は、回路82のトランジスタ92のゲートに入力される信号と共通にしてもよい。こうすることで、トランジスタの数を減らすことができる。

【0211】

図12に示すように、トランジスタ121のゲートは、トランジスタ124がオフのとき浮遊となる。そのため、トランジスタ121のゲート容量に電位を保持しているが、保持しきれない場合は、容量素子を接続してもよい。その場合、トランジスタ121のゲートとVDD、又はVSSとの間に容量素子を接続することが望ましい。

20

【0212】

図12に示すように、トランジスタ123のゲートは、トランジスタ125がオフのとき浮遊となる。そのため、トランジスタ123のゲート容量に電位を保持しているが、保持しきれない場合は、容量素子を接続してもよい。その場合、トランジスタ123のゲートとVDD、又はVSSとの間に容量素子を接続することが望ましい。

【0213】

(第5の実施形態)

本実施形態は、第1の実施形態、乃至第4の実施形態で説明したシフトレジスタ回路を用いた場合の回路の構成の一例についていくつか説明する。

30

【0214】

第1の実施形態乃至第4の実施形態で説明したシフトレジスタ回路によって画素を走査するゲートドライバの構成例について図13を参照して説明する。また、そのときのタイミングチャートを図14に示す。

【0215】

図13に示すゲートドライバ回路は第1の実施形態乃至第4の実施形態で説明したシフトレジスタ回路131によって構成されている。そして、ゲート信号線G1乃至ゲート信号線Gnを介して、シフトレジスタ回路131から出力される出力信号であるOUT1乃至OUTnをゲート信号として画素へ伝達する。

40

【0216】

シフトレジスタ回路131は、制御信号であるSSP、CK1、CK2、及びCK3が入力されており、タイミングは図14に示すように第1の実施形態乃至第4の実施形態と同様なものとする。また、電源として正電源VDD及び負電源VSSが入力されており、制御信号の振幅電圧は正電源VDD及び負電源VSSに対応した振幅電圧となっている。図14に示すようにSSPが入力されると、OUT1から順に選択される(以下、走査するともいう)。こうして、シフトレジスタ回路131の出力をそのままゲート信号として、ゲート信号線G1乃至ゲート信号線Gnに出力する。

50

【 0 2 1 7 】

ここで、正電源 VDD の電位は後に説明する画素のビデオ信号の最大値よりも高くし、負電源 VSS の電位はビデオ信号の最小値よりも低くしておくことが望ましい。こうすることで、ビデオ信号を確実に画素に書き込むことができるため、より高画質な表示装置を提供することができる。

【 0 2 1 8 】

図 13 で説明したゲートドライバは、シフトレジスタ回路 131 の出力をそのままゲート信号として出力することを特徴としている。こうすることで、ゲートドライバ部分の面積が小さくなるので有利である。また、ゲートドライバ部分の素子数も少なくなるので、歩留まりを高くすることができるため有利である。

10

【 0 2 1 9 】

第 1 の実施形態乃至第 4 の実施形態で説明したシフトレジスタ回路の出力信号の振幅電圧を変えて画素を走査するタイプのゲートドライバについて図 15 を参照して説明する。また、そのときのタイミングチャートを図 16 に示す。

【 0 2 2 0 】

図 15 に示すゲートドライバ回路は第 1 の実施形態乃至第 4 の実施形態で説明したシフトレジスタ回路 151 及びレベルシフト回路 152 によって構成されている。そして、ゲート信号線 G 1 乃至ゲート信号線 G_n を介して、シフトレジスタ回路 151 から出力される出力信号である OUT_1 乃至 OUT_n をレベルシフト回路 152 を介してゲート信号として画素へ伝達する。

20

【 0 2 2 1 】

図 15 に示すレベルシフト回路 152 を図 50 (a) 及び (b) を参照して説明する。また、図 50 で説明するレベルシフト回路は図 15 で示すレベルシフト回路 152 だけでなく、他の図、発明を実施するための最良の形態、及び実施例に適用することが可能である。

【 0 2 2 2 】

図 50 (a) に示すように、シフトレジスタ回路 151 の n 行目の出力である $OUT(n)$ と、 $OUT(n)$ の振幅電圧の最大値よりも電位が高い電源 $VDDH$ と負電源 VSS と抵抗成分を含む抵抗素子 502 とトランジスタ 501 とを少なくとも有している。トランジスタ 501 のゲートは $OUT(n)$ が入力され、ソースとドレインのうち一方は負電源 VSS と接続され、ソースとドレインのうち他方は抵抗素子 502 の一方の端子、及びゲート信号線と接続され、抵抗素子 502 の他方の端子は電源 $VDDH$ と接続されていることを特徴とするレベルシフト回路である。

30

【 0 2 2 3 】

図 50 (b) に示すように、シフトレジスタ回路 151 の n 行目の出力である $OUT(n)$ と、 $OUT(n)$ の振幅電圧の最大値よりも電位が高い電源 $VDDH$ と負電源 VSS とトランジスタ 503 とトランジスタ 504 とインバータ回路 505 とを少なくとも有している。トランジスタ 504 のゲートは $OUT(n)$ が入力され、トランジスタ 503 のゲートは $OUT(n)$ がインバータ回路 505 を介することで反転した $OUT(n)$ が入力されている。トランジスタ 504 のソースとドレインのうち一方は負電源 VSS と接続され、トランジスタ 503 のソースとドレインのうち一方は電源 VDD と接続されている。トランジスタ 504 のソースとドレインのうち他方、及びトランジスタ 503 のソースとドレインのうち他方はゲート信号線と接続されていることを特徴とするレベルシフト回路である。

40

【 0 2 2 4 】

シフトレジスタ回路 151 は制御信号である SSP 、 $CK1$ 、 $CK2$ 及び $CK3$ が入力されており、タイミングは図 16 に示すように第 1 の実施形態乃至第 4 の実施形態と同様なものとする。また、電源として正電源 VDD 及び負電源 VSS が入力されており、制御信号の振幅電圧は正電源 VDD 及び負電源 VSS に対応した振幅電圧となっている。図 16 に示すように SSP が入力されると、 OUT_1 から順に選択される (以下、走査すると

50

もいう)。こうして、シフトレジスタ回路 151 の出力をレベルシフト回路 152 に入力することができる。また、このときのシフトレジスタ回路 151 の出力信号の振幅は、High が正電源 VDD の電位であり、Low が負電源 VSS の電位である。

【0225】

レベルシフト回路 152 は入力されるシフトレジスタ回路 151 の出力信号の振幅電圧を変化する機能を持つ。例えば、High が入力された場合は正電源 VDD の電位から正電源 VDDH の電位、Low が入力された場合は負電源 VSS の電位から負電源 VSSL の電位にしてゲート信号線に出力する。また、正電源 VDDH の電位は正電源 VDD の電位よりも高く、負電源 VSSL の電位は負電源 VSS の電位よりも低い電位となっている。また、High のみ振幅電圧を変化させてもよいし、Low のみの振幅電圧を変化させてもよい。

10

【0226】

ここで、正電源 VDDH の電位は後に説明する画素に入力するビデオ信号の最大値よりも高くし、負電源 VSS の電位はビデオ信号の最小値よりも低くしておくことが望ましい。こうすることで、ビデオ信号を確実に画素に書き込むことができるため、より高画質な表示装置を提供することができる。

【0227】

図 15 で説明したゲートドライバは、シフトレジスタ回路 151 の出力信号をレベルシフト回路 152 を介すことで、振幅電圧を変化させてゲート信号線に出力することを特徴としている。こうすることで、シフトレジスタ回路 151 は小さい振幅電圧の制御信号、及び電源で駆動することができ、消費電力を小さくすることができるため有利である。

20

【0228】

第 1 の実施形態乃至第 4 の実施形態で説明したシフトレジスタ回路に入力する制御信号をレベルシフト回路を介してシフトレジスタ回路に入力するタイプのゲートドライバについて図 17 を参照して説明する。また、そのときのタイミングチャートを図 18 に示す。

【0229】

図 17 に示すゲートドライバ回路は、第 1 の実施形態乃至第 4 の実施形態で説明したシフトレジスタ回路 171 及びレベルシフト回路 172 によって構成されている。そして、ゲート信号線 G1 乃至ゲート信号線 Gn を介して、シフトレジスタ回路 151 から出力される出力信号である OUT1 乃至 OUTn をゲート信号として画素へ伝達する。

30

【0230】

レベルシフト回路 172 は入力される信号の振幅電圧を変化するための回路である。例えば、入力される信号の High の電位をシフトレジスタ回路 171 の電源である正電源 VDD の電位に変化させ、Low の電位を負電源 VSS の電位に変えることができる。図 17 の場合はレベルシフト回路 172 に入力される制御信号 SSP、CK1、CK2 及び CK3 の振幅電圧を正電源 VDD、及び負電源 VSS に対応した振幅電圧に変えることができる。つまり、制御信号の振幅は小さい振幅、例えば既存の外部回路の振幅で入力し、レベルシフト回路 172 を介すことで制御信号の振幅電圧を正電源 VDD 及び負電源 VSS に対応した振幅電圧に買えてシフトレジスタ回路 171 に入力することができる。こうすることで、外部回路の振幅電圧の使用に関らず図 17 に示すゲートドライバを駆動することができ、新たに外部回路を開発する必要が無く、表示装置としてのコストを下げることができるため有利である。

40

【0231】

シフトレジスタ回路 171 は振幅電圧が正電源 VDD 及び負電源 VSS に対応した振幅電圧に変化した SSP、CK1、CK2 及び CK3 が入力されており、タイミングは図 18 に示すように第 1 の実施形態乃至第 4 の実施形態と同様なものとする。また、電源として正電源 VDD 及び負電源 VSS が入力されている。図 18 に示すように SSP が入力されると、OUT1 から選択される。こうして、シフトレジスタ回路 171 の出力をそのままゲート信号として、ゲート信号線 G1 乃至ゲート信号線 Gn に出力する。つまり、ゲート信号を順に走査することになる。

50

【0232】

ここで、正電源VDDの電位は後に説明する画素に入力するビデオ信号の最大値よりも高くし、負電源VSSの電位はビデオ信号の最小値よりも低くしておくことが望ましい。こうすることで、ビデオ信号を確実に画素に書き込むことができるため、より高画質な表示装置を提供することができる。

【0233】

第1の実施形態乃至第4の実施形態で説明したシフトレジスタ回路を用いたソースドライバ回路について図19を参照して説明する。また、タイミングチャートを図20に示す。

【0234】

図19に示すソースドライバ回路は、第1の実施形態乃至第4の実施形態で説明したシフトレジスタ回路191及びスイッチング素子192によって構成されている。シフトレジスタ回路191の出力信号によって、スイッチ192は1列目であるSW1からSWmまで順にオンする。スイッチ192の一方の端子はビデオ信号を伝達しているビデオ信号線と接続され、スイッチ192の他方の端子はソース信号線と接続されているため、スイッチング素子192がオンするとソース信号線にビデオ信号を出力することができる。図20に示すようにビデオ信号はオンとなる列のソース信号線に合わせて変わるため、全列で任意のビデオ信号をソース信号線に出力することができる。そして、ソース信号線は、画素に接続されているため、ビデオ信号を画素へ伝達することができる。

【0235】

ここで、シフトレジスタ回路192の出力信号は、第1の実施形態乃至第4の実施形態で説明したように、HighとLowの1ビットの信号であり、Highの電位は正電源VDDの電位、Lowの電位は負電源VSSの電位となっている。スイッチング素子192はシフトレジスタ回路191の出力によって制御されているため、正電源VDDの電位及び負電源VSSの電位はビデオ信号に関らず確実にスイッチング素子192をオン、オフできる電位にしておく必要がある。つまり、正電源VDDの電位はビデオ信号の電位の最大値よりも高く、負電源VSSの電位はビデオ信号の電位の最小値よりも低く設定することが望ましい。また、シフトレジスタ回路191に入力される制御信号も同様に、正電源VDDの電位及び負電源VSSの電位に対応した振幅電圧にする必要がある。

【0236】

スイッチング素子192はNチャネル型トランジスタを用いて構成することが望ましい。Nチャネル型トランジスタのゲートをシフトレジスタ回路191の出力と接続し、ソースとドレインのうち一方をビデオ信号線と接続し、ソースとドレインのうち他方をソース信号線と接続する。こうして、シフトレジスタ回路191の出力がHighのときはNチャネル型トランジスタをオンして、LowのときはNチャネル型トランジスタをオフすることができる。スイッチング素子192をNチャネル型トランジスタによって構成することで、アモルファスシリコンを用いてトランジスタを形成することが可能となる。つまり、Nチャネルトランジスタのみで構成されるシフトレジスタ回路とスイッチング素子192と画素部とを同一の基板で構成することができるため有利である。

【0237】

また、本発明において、スイッチング素子として適用可能なトランジスタの種類に限定はなく、非晶質シリコンや多結晶シリコンに代表される非単結晶半導体膜を用いたトランジスタ、半導体基板やSOI基板を用いて形成されるMOS型トランジスタ、接合型トランジスタ、バイポーラトランジスタ、有機半導体やカーボンナノチューブを用いたトランジスタ、その他のトランジスタを適用することができる。また、トランジスタが形成される基板の種類に限定はなく、単結晶基板、SOI基板、石英基板、ガラス基板、樹脂基板などを自由に用いることができる。

【0238】

トランジスタは単なるスイッチング素子として動作させるため、極性（導電型）は特に限定されず、N型トランジスタでもP型トランジスタでもどちらでもよい。ただし、オフ

10

20

30

40

50

電流が少ない方が望ましい場合、オフ電流が少ない特性のトランジスタを用いることが望ましい。オフ電流が少ないトランジスタとしては、チャネル形成領域とソース領域またはドレイン領域との間に低濃度で導電型を付与する不純物元素が添加された領域（LDD領域という。）が設けられたトランジスタがある。

【0239】

また、トランジスタのソースの電位が低電位側電源に近い状態で動作する場合には、当該トランジスタはN型とするのが望ましい。反対に、トランジスタのソースの電位が高電位側電源に近い状態で動作する場合には、当該トランジスタはP型とするのが望ましい。このような構成とすることによって、トランジスタのゲートとソース間の電圧の絶対値を大きくできるので、当該トランジスタをスイッチとして動作させやすい。なお、N型トランジスタとP型トランジスタとの両方を用いて、CMOS型のスイッチング素子としてもよい。

10

【0240】

図19ではビデオ信号線を1本としているが、ビデオ信号線を複数としてもよい。例えば、ビデオ信号線を2本とした場合、シフトレジスタ回路191の出力信号によって2つのスイッチング素子192を制御し、それぞれのスイッチング素子192に別のビデオ信号線を接続する。こうして、2つのスイッチング素子192が同時にオンして、別のビデオ信号を別のソース信号線に出力することができる。つまり、同じ列数のソース信号線であれば、シフトレジスタ回路191の段数を半分にすることができるためシフトレジスタ回路191を形成するための面積を小さくすることができるため有利である。また、全体的に素子数も減るため歩留まりの向上なども期待できる。

20

【0241】

図19に示すように、シフトレジスタ回路191の出力とスイッチング素子192との間にレベルシフト回路を追加してもよい。こうすることで、シフトレジスタ回路191は小さい振幅電圧で動作させ、レベルシフト回路によってシフトレジスタ回路191の出力信号を大きくしてスイッチング素子192に入力することができる。つまり、シフトレジスタ回路191を小さい振幅電圧で動作させることで消費電力を小さくすることができる。そして、シフトレジスタ回路191の出力信号をレベルシフト回路を介してスイッチング素子192に入力することで、ビデオ信号よりも振幅電圧が大きくすることができる。

【0242】

30

図19に示すように、シフトレジスタ回路191に入力する制御信号はレベルシフト回路を介してしてもよい。こうすることで、既存の外部回路を使用して本発明の表示装置を駆動することができる。また、さらにシフトレジスタ回路191の出力にレベルシフト回路を接続してもよい。

【0243】

（第6の実施形態）

本実施形態では第1の実施形態乃至第4の実施形態で説明したシフトレジスタ回路を用いたゲートドライバ、及びソースドライバを用いた表示装置の構成例についていくつか説明する。

【0244】

40

第1の実施形態乃至第4の実施形態で説明したシフトレジスタ回路をゲートドライバとして用いた場合の表示装置の構成例を図21を参照して説明する。また、便宜上、制御信号線、電源線、対向電極などは図示していないが、必要に応じて追加することができる。ゲートドライバも必要に応じて追加することもできる。また、図21で説明するゲートドライバは第5の実施形態で説明したゲートドライバを用いるとよい。

【0245】

図21に示す表示装置は、ゲートドライバ212、画素211、ゲート信号線G1、乃至ゲート信号線Gn、ソース信号線S1、乃至ソース信号線Smで構成されている。ゲートドライバ212の出力であるゲート信号を伝達するためのゲート信号線と外部回路から伝達されるビデオ信号を伝達するためのソース信号線によって画素211が制御されてい

50

る。

【 0 2 4 6 】

画素 2 1 1 は液晶素子、F E D 素子や E L 素子などの発光素子などの表示素子を有し、それらを制御するためのスイッチング素子、トランジスタとビデオ信号やトランジスタのしきい値電圧を保持するための容量素子などを含むことができる。

【 0 2 4 7 】

ゲートドライバ 2 1 2 はどの画素 2 1 1 にビデオ信号を書き込むかを選択するゲート信号を出力するゲートドライバ回路である。ビデオ信号の書き込みを選択する場合は、ゲート信号線 G 1 からゲート信号線 G n まで順に選択する。また、ゲート信号線から画素に伝達される振幅電圧はビデオ信号の電位の最大値、及び最小値よりも大きい振幅電圧としておくことが望ましい。また、ビデオ信号が電流の場合は流れる電流によって決定されるソース信号線の電位の最大値、及び最小値よりも大きい振幅電圧としておくことが望ましい。また、ゲート信号線を選択するとはゲートドライバ 2 1 2 から H i g h を出力することいい、ゲート信号線を選択していない期間は L o w を出力している。

10

【 0 2 4 8 】

ソース信号線 S 1、乃至ソース信号線 S m は外部回路から入力されるビデオ信号を画素に伝達するためのソース信号線である。ビデオ信号はアナログ信号で入力されてもよいし、デジタル信号で入力されてもよいし、電流で入力されてもよいし、電圧で入力されてもよい。また、ビデオ信号を出力するソースドライバを内部回路として形成し、ソースドライバの出力をソース信号線に出力してもよい。また、ソース信号線に入力されるビデオ信号は全列同時にビデオ信号を伝達する線順次駆動で入力してもよいし、1列、若しくはビデオ信号を分割して複数列ずつ入力する点順次駆動で入力してもよい。

20

【 0 2 4 9 】

ソースドライバを内部を内部回路として形成した場合の構成例を図 2 2 に示す。図 2 2 に示すように、画素 2 1 1、ゲートドライバ 2 1 2、ゲート信号線、及びソース信号線は図 2 1 と同様なものを用いることができる。ソースドライバ 2 2 1 はビデオ信号を出力するためのソースドライバであり、点順次駆動、又は線順次駆動によってビデオ信号を出力する。また、ソースドライバ 2 2 1 の構成は第 5 の実施形態で説明したソースドライバの構成を用いてもよい。

【 0 2 5 0 】

図 2 1 に示す表示装置の構成例に示すように、m 列のソース信号線に対して、m 個のビデオ信号を入力する必要がある。表示装置が高解像化、大型化した場合はそれに伴いビデオ信号の数、つまり外部回路か F P C などを介して入力される端子数が大幅に増大することが予想される。そこで、あるゲート信号線をゲートドライバで選択 (H i g h を出力) している期間を複数に分割し、その分割した期間において別のソース信号線にビデオ信号を出力する。こうして、ビデオ信号が入力される端子数を減らすことを特徴としたビデオ信号入力部の構成例について図 4 6 を参照して説明する。また、図 4 6 のタイミングチャートを図 4 7 に示す。

30

【 0 2 5 1 】

図 4 6 は図 2 1 に示す表示装置のビデオ信号入力部の一例を示しており、図示していない他の箇所、例えば画素 2 1 1、ゲートドライバ 2 1 2 などは同様なものを用いることができる。図 4 6 は、ソース信号線を R G B に分けた場合の構成例について説明する。また、便宜上ビデオ信号の入力端子は 2 端子、ソース信号線は 6 本しているが、これに限定されることはなく必用に応じて変更することができる。

40

【 0 2 5 2 】

図 4 6 に示すように、制御信号線 R、制御信号線 G、制御信号線 B、ビデオ信号入力端子 S 1 (R G B)、及びビデオ信号入力端子 S 2 (R G B) は制御信号を外部から入力する入力端子である。スイッチング素子 S W 1 R、及びスイッチング素子 S W 2 R は制御信号線 R によってオン、オフが制御されるスイッチング素子である。スイッチング素子 S W 1 G、及びスイッチング素子 S W 2 G は制御信号線 G によってオン、オフが制御されるス

50

イッチング素子である。スイッチング素子SW1B、及びスイッチング素子SW2Bは制御信号線Bによってオン、オフが制御されるスイッチング素子である。ソース信号線S1-R、ソース信号線S1-G、ソース信号線S1-B、ソース信号線S2-R、ソース信号線S2-G、及びソース信号線S2-Bはビデオ信号を画素に伝達するためのソース信号線である。

【0253】

図46の接続関係について説明する。ビデオ信号入力端子S1(RGB)はスイッチング素子SW1Rの一方の端子、スイッチング素子SW1Gの一方の端子、及びスイッチング素子SW1Bの一方の端子が接続されている。スイッチング素子SW1Rの他方の端子はソース信号線S1-Rと接続され、スイッチング素子SW1Gの他方の端子はソース信号線S1-Gと接続され、及びスイッチング素子SW1Bの他方の端子はソース信号線S1-Bと接続されている。ビデオ信号入力端子S2(RGB)、スイッチング素子SW2R、スイッチング素子SW2G、スイッチング素子SW2B、ソース信号線S1-R、ソース信号線S1-G、及びソース信号線S1-Bも同様に接続されている。

【0254】

スイッチング素子SW1R、スイッチング素子SW1G、スイッチング素子SW1B、スイッチング素子SW2R、スイッチング素子SW2G、スイッチング素子SW2Bは、例えばNチャネル型トランジスタを用いて構成することができる。Nチャネル型トランジスタのソースとドレインのうち一方をビデオ入力端子S1(RGB)と接続し、ソースとドレインのうち他方をソース信号線S1-Rと接続し、ゲートを制御信号線Rと接続することでスイッチング素子としての機能を有することができる。スイッチング素子をNチャネル型トランジスタで構成することによって、非結晶半導体を用いて構成することが容易となり、低コスト、大型化に有利である。また、これに限らず、Nチャネル型トランジスタとPチャネル型トランジスタを並列に接続する一般的なアナログスイッチを用いてもよい、オン、オフが制御できる素子、又は回路であればなんでもよい。

【0255】

図47に、n行目、n+1行行目の画素211にビデオ信号を書き込む場合のタイミングチャートについて説明する。上記説明したようにn行目にビデオ信号を書き込む期間(以下、1ゲート選択期間ともいう)を3つに分割している。ビデオ信号入力端子S1(RGB)であれば、順にビデオ信号S1-Rn、ビデオ信号S1-Gn、ビデオ信号S1-Bnが外部回路から入力される。このビデオ信号の変化に対応してスイッチング素子のオン、オフを制御することで1つのビデオ信号入力端子で上記3本のソース信号線にビデオ信号を出力することができる。こうして、ビデオ信号入力端子の端子数を減らすことができる。

【0256】

図46に示した駆動方法は、非結晶半導体を用いたトランジスタによって構成されるゲートドライバと画素とを同一基板に形成された表示装置にとって有効な手段となる。m行n列の画素とソース信号線及びゲート信号線のみを形成するような表示装置の場合は、少なくとも外部回路と接続するための端子をm×n端子必要となる。ゲートドライバ画素を同一の基板上に形成する場合、入力端子はゲートドライバを駆動する制御信号、及び電源を入力する端子とn行分のn端子必要である。つまり、ほぼn端子の入力端子が必要がある。ここで、図46に示すように、n端子を(1/3)n端子にすることができれば外部回路の規模を減らすことができる。

【0257】

図21に示す動作について説明する。上記説明したようにゲートドライバ212によって選択された行の画素211にビデオ信号を書き込むことができる。そして、画素211は書き込まれたビデオ信号に従ってどの程度発光するか、又はどの程度光を透過するかを決定する。そして、ゲートドライバ212による選択が終わると、次に選択に選択されるまで、容量素子、又は表示素子の容量を用いてビデオ信号を保持することで、発光輝度、又は透過率を保持する。こうして、アクティブマトリクス駆動を実現することができる。

【0258】

図21、図22、及び図46に示す表示装置の構成例に示すように、対向にゲートドライバを配置した表示装置の構成例について図49を参照して説明する。図49は図示していないがソース信号線、及び画素211が配置されている。

【0259】

図49に示すように、ゲートドライバ212は同一のタイミングでゲート信号を出力するゲートドライバであり、お互いの出力が同じ行で接続されていることを特徴としている。このゲートドライバ212は図21、及び図22で説明したゲートドライバ212と同様なものを用いることができる。

【0260】

図49に示すように、1本のゲート信号線に対向に配置されたゲートドライバ212によって駆動する駆動方法は、ゲートドライバ212の構成に関らず、非結晶半導体で構成するトランジスタを用いてゲートドライバ212を構成した場合に有利である。非結晶半導体で構成するトランジスタは電荷の移動度が小さく、能力的には多結晶半導体、及び単結晶半導体に比べ大きく劣る。しかしながら、製造プロセスが容易であり、大型化に向いているため、内部回路の一部、例えばゲートドライバを画素が設けられた基板と同一の基板上に設けた表示装置の開発が進められている。しかしながら、非結晶半導体で構成されたトランジスタを用いてゲートドライバを形成する場合、トランジスタの能力が低いために、チャンネル幅を広く持ったトランジスタが必要となっていた。そのため、ゲートドライバを形成する面積が大きくなり、狭額縁化、高解像化が困難になっていた。そこで、図49に示すように、対向に配置された2つのゲートドライバによって1つのゲート信号線を駆動することで、電流能力が低くても、ゲート信号線を正常に走査することができる。

【0261】

図49に示すように説明したゲートドライバは第1の実施形態乃至第4の実施形態で説明したシフトレジスタ回路を用いていなくてもよい。特にトランジスタの能力が低い非結晶半導体で構成されるトランジスタを用いて形成されたゲートドライバを一体形成する表示装置に示すように有利である。

【0262】

以下に図21、図22及び図46で示した画素211の構成例についていくつか説明する。

【0263】

液晶素子を用いた画素211の構成例にいて図23を参照して説明する。

【0264】

図23に示す画素211に示すように、トランジスタ231、2つの電極を持つ容量素子232、2つの電極を持つ液晶素子233、液晶素子の他方の電極である対向電極234、ソース信号線、ゲート信号線、及び容量素子232の他方の電極であるコモン線によって構成されている。ソース信号線、及びゲート信号線は図21、図22、及び図46で説明したものと同様なものとする。ソース信号線はビデオ信号としてアナログ信号電圧を伝達するものとする。

【0265】

トランジスタ231はスイッチとして動作するNチャネル型トランジスタであり、ゲート信号線の電位がHighとなるとオンして、Lowとなるとオフするトランジスタである。トランジスタ231がオンとなったときにソース信号線と液晶素子233の一方の電極、及び容量素子232の一方の電極とが電氣的に接続され、ソース信号線から伝達されるビデオ信号を液晶素子233の一方の電極、及び容量素子232の一方の電極にそのまま伝達する。そして、トランジスタ231がオフとなってソース信号線と液晶素子233の一方の電極、及び容量素子232の一方の電極とが電氣的に非接続状態となり、容量素子232の一方の電極、及び液晶素子233の一方の電極への電荷の供給、移動はなくなる。

【0266】

容量素子 2 3 2 はソース信号線からオンしたトランジスタ 2 3 1 を介して伝達されるビデオ信号を保持するための容量素子である。容量素子 2 3 2 の他方の電極を定電位であるコモン線と接続されているため、一方の電極に印加される電位を一定期間保持することができる。また、容量素子 2 3 2 の他方の電極は動作時に一定の電位となっていればどこに接続されてもよい。例えば、前行のゲート信号線に接続しておくともよい。前行のゲート信号線は走査された直後であるため、ほぼ全行走査期間において Low となり、定電位となっているため、コモン線の代わりとして利用することができる。

【 0 2 6 7 】

液晶素子 2 3 3 は他方の電極は定電位である対向電極 2 3 4 と接続されており、一方の電極と対向電極 2 3 4 との電位差によって、光の透過率が変わる液晶素子である。液晶素子 2 3 3 の一方の電極の電位はソース信号線、及びトランジスタ 2 3 1 を介して伝達されるビデオ信号によって決定するため、ビデオ信号の電位によって液晶素子 2 3 3 の透過率が決定する。また、液晶素子 2 3 3 を用いた表示装置の場合は、バックライトを用いることができるし、反射電極を用いることができるし、バックライト、及び反射電極を併用して用いることができる。液晶素子 2 3 3 は容量成分を持っており、ビデオ信号を保持するための十分な容量成分を液晶素子 2 3 3 が持つ場合には、容量素子 2 3 2、及びコモン線は設けない構成としてもよい。

【 0 2 6 8 】

発光素子を用いた画素 2 1 1 の構成例について図 3 8 を参照して説明する。

【 0 2 6 9 】

図 3 8 に示す画素 2 1 1 に示すように、トランジスタ 2 4 1、トランジスタ 2 4 2、2 つの電極を持つ容量素子 2 4 3、2 つの電極を持つ発光素子 2 4 4、発光素子 2 4 4 の他方の電極である対向電極 2 4 5、電源線、ソース信号線、及びゲート信号線によって構成されている。ソース信号線、及びゲート信号線は図 2 1、図 2 2 及び図 4 6 で説明したものと同様なものとする。ソース信号線はビデオ信号としてアナログ信号電圧、又は 1 ビットのデジタル信号電圧を伝達するものとする。

【 0 2 7 0 】

トランジスタ 2 4 1 はスイッチとして動作する N チャネル型トランジスタであり、ゲート信号線の電位が High となるとオンして、Low となるとオフするトランジスタである。トランジスタ 2 4 1 がオンとなったときにソース信号線とトランジスタ 2 4 2 のゲート及び容量素子 2 4 3 の一方の電極が電氣的に接続され、ソース信号線から伝達されるビデオ信号をトランジスタ 2 4 2 のゲート及び容量素子 2 4 3 の一方の電極にそのまま伝達する。そして、トランジスタ 2 4 1 がオフとなってソース信号線とトランジスタ 2 4 2 のゲート及び容量素子 2 4 3 の一方の電極とが電氣的に非接続状態となり、トランジスタ 2 4 2 のゲート及び容量素子 2 4 3 の一方の電極への電荷の供給、移動はなくなる。

【 0 2 7 1 】

トランジスタ 2 4 2 は飽和領域及び線形領域で動作する N チャネル型トランジスタであり、飽和領域で動作する場合はゲートに印加される電位によって流れる電流が決定し、線形領域で動作する場合はゲートに印加される電位によってオン、オフが決定する駆動トランジスタである。また、電源線は定電位であり、対向電極 2 4 5 よりも高い電位となっているため、ソースが容量素子 2 4 3 の他方の電極側、ドレインが電源線側となる。

【 0 2 7 2 】

容量素子 2 4 3 はソース信号線からオンしたトランジスタ 2 4 1 を介して伝達されるビデオ信号を保持するための容量素子である。容量素子 2 4 3 の一方の電極はトランジスタ 2 4 2 のゲートと接続され、他方の電極はトランジスタ 2 4 2 のソースと接続されている。つまり、容量素子 2 4 3 にトランジスタ 2 4 2 のゲートとソース間の電位差が保持されることになるため、トランジスタ 2 4 2 のソースの電位が変化しても、容量結合によりトランジスタ 2 4 2 のゲートの電位も変化する。容量素子 2 4 3 の他方の電極をトランジスタ 2 4 2 のソースに接続する理由として、次に説明する発光素子 2 4 4 に流す電流によってソースの電位が変動することある。つまり、ビデオ信号の書き込み期間（トランジスタ

10

20

30

40

50

241がオンとなっている期間)で、発光素子244の一方の電極の電位が過渡状態で、ビデオ信号の書き込み期間が終了すると、トランジスタ242のソースの電位が変化して、ゲートとソースとの間の電位が変わってしまい、電流値も変化してしまうためである。ビデオ信号の書き込み期間中に発光素子244の一方の電極の電位を定常状態にできれば、容量素子243の他方の電極は電源線に接続してもよいし、前行のゲート信号線に接続してもよいし、定電位であればどこに接続してもよい。

【0273】

発光素子244は流れる電流に比例して発光輝度が変わる発光素子である。つまり、トランジスタ242によって決定する電流値に比例して発光輝度が決定する。また、他方の電極は対向電極245に接続されている。対向電極245は定電位であることが望ましいが、トランジスタ242の特性の変動を補償する動作のために、電位を変化させてもよい。

10

【0274】

駆動トランジスタの特性の変化を補償するための画素回路、及び発光素子を用いた画素211の構成例について図39を参照して説明する。

【0275】

図39に示す画素211に示すように、トランジスタ251、トランジスタ252、トランジスタ253、2つの電極を持つ容量素子254、2つの電極を持つ発光素子244、発光素子244の他方の電極である対向電極245、電源線、ソース信号線、及びゲート信号線によって構成されている。ソース信号線、及びゲート信号線は図21、図22、及び図46で説明したものと同様なものとする。発光素子244、及び対向電極245は図38と同様なものとする。ソース信号線はビデオ信号としてアナログ信号電流を伝達するものとする。

20

【0276】

トランジスタ251はスイッチとして動作するNチャネル型トランジスタであり、ゲート信号線の電位がHighとなるとオンして、Lowとなるとオフするトランジスタである。トランジスタ251がオンとなったときにソース信号線とトランジスタ252のソース、容量素子254の一方の電極、及び発光素子244の一方の電極が電氣的に接続され、ソース信号線から伝達されるビデオ信号を流すことになる。そして、トランジスタ251がオフとなってソース信号線とトランジスタ252のソース、容量素子254の一方の電極、及び発光素子244の一方の電極とが電氣的に非接続状態となり、ビデオ信号が伝達されなくなる。

30

【0277】

トランジスタ252はスイッチとして動作するNチャネル型トランジスタであり、ゲート信号線の電位がHighとなるとオンして、Lowとなるとオフするトランジスタである。トランジスタ252がオンとなったときに電源線とトランジスタ253のゲートを電氣的に接続してトランジスタ253をダイオード接続とする。そして、トランジスタ252がオフとなって電源線とトランジスタ253のゲートを非接続状態としてトランジスタ252のゲートへの電荷の供給、及び移動を無くす。

【0278】

トランジスタ253は飽和領域で動作するNチャネル型トランジスタであり、トランジスタ253に流れる電流によってゲート電圧を決定する駆動トランジスタである。ゲート信号線がHighとなってトランジスタ251、及びトランジスタ252をオンしてソース信号線からビデオ信号である電流を入力する書き込み期間において、トランジスタ253はダイオード接続となっている。ビデオ信号の電流は電源線側から流れるような電流とするため、ソースが発光素子の一方の電極側、ドレインが電源線側となる。ここで、ビデオ信号の書き込み期間に示すように、電源線の電位はトランジスタ253のソースの電位が対向電極256の電位と発光素子244のしきい値電圧との和以下になるように設定しておくことが望ましい。それ以上だと、発光素子244のしきい値電圧を超える電位差が印加され、発光素子244が十分に発光するだけの電流が流れ始めて発光してしまい、且つ正確なビデオ信号の書き込みが行われず表示品位を落としてしまうためである。こうし

40

50

て、ビデオ信号が書き込まれると、ビデオ信号に対応してトランジスタ253のゲートとソースとの間に接続されている容量素子254に保持される。トランジスタ253は飽和領域で動作するため、ソースとドレインとの間の電位差が保持されていれば流れる電流は一定となる。こうして、ビデオ信号の書き込みが終わり、トランジスタ251、及びトランジスタ252がオフするとトランジスタ253のゲートは浮遊となる。この状態で、電源線の電位を上昇させると、トランジスタ253を介して発光素子244に電源線からビデオ信号に対応した電流が流れ始める。電流が流れ始めると流れる電流に対応した電位が発光素子244の一方の電極に印加されることとなり、徐々に電位が上昇していき、トランジスタ253のソースの電位が変化するが、容量素子254はトランジスタ253のゲートとソースとの電位差を保持しているため、トランジスタ253のゲートの電位も同時に上昇する。つまり、電源線の電位が高くなり、発光素子244に電流が流れ始めても、トランジスタ253のゲートとソースとの間の電位差が変わることがないため、発光素子244にはビデオ信号に対応した電流値を流すことができる。

10

【0279】

容量素子254はトランジスタ253のゲートとソースとの間の電位差を保持するための容量素子である。上記説明したように、容量素子254の一方の電極はトランジスタ253のソース、及び発光素子244の一方の電極と接続され、他方の電極はトランジスタ253のゲートと接続されている。

【0280】

電源線は上記説明したように、ビデオ信号の書き込み期間において低電位なり、書き込み期間が終了すると高電位となる電源線である。つまり、2値の電位を持つ電源線である。この電源線を駆動するために、第1の実施形態、乃至第4の実施形態で説明したシフトレジスタ回路を用いてもよい。このシフトレジスタ回路はHighを順に出力する構成であったが、HighとLowを反転するインバータ回路を接続することで、上記説明した電源線として用いることができる。

20

【0281】

駆動トランジスタの特性の変化を補償するための画素回路、及び発光素子を用いた画素211の構成例について図40を参照して説明する。

【0282】

図40に示す画素211に示すように、トランジスタ261、トランジスタ262、トランジスタ263、トランジスタ264、2つの電極を持つ容量素子265、容量素子265の他方の電極である定電位線266、2つの電極を持つ発光素子244、発光素子244の他方の電極である対向電極245、電源線、ソース信号線、及びゲート信号線によって構成されている。ソース信号線、及びゲート信号線は図21、図22、及び図46で説明したものと同様なものとする。発光素子244、及び対向電極245は図38で説明したものと同様なものとする。ソース信号線はビデオ信号としてアナログ信号電流を伝達するものとする。

30

【0283】

トランジスタ261、及びトランジスタ262はスイッチとして動作するNチャネル型トランジスタであり、ゲート信号線の電位がHighとなるとオンして、Lowとなるとオフするトランジスタである。トランジスタ261、及びトランジスタ262がオンとなったときにソース信号線とトランジスタ263のゲート、トランジスタ264のゲート、及び容量素子265の一方の電極が電氣的に接続され、トランジスタ263はダイオード接続される。ビデオ信号はソース信号線から流れ込むような電流であり、電源線は発光素子の一方の電極の電位よりも高く設定するため、トランジスタ263、及びトランジスタ264のソースは発光素子の一方の電極側となる。また、トランジスタ263のドレインはトランジスタ262側、トランジスタ264のドレインは電源線側となる。

40

【0284】

トランジスタ263は飽和領域で動作するNチャネル型トランジスタであり、トランジスタ263に流れる電流によってゲート電圧を決定する駆動トランジスタである。ゲート

50

信号線がHighとなってトランジスタ261、及びトランジスタ262がオンすると、トランジスタ263はダイオード接続され、ビデオ信号がソース信号線から流れ込むように入力される。そのときの、トランジスタ263のゲートの電位はビデオ信号に対応した電位となり、且つトランジスタ264とゲート、及びソースが共通となっているため、トランジスタ264のゲートの電位もまた、ビデオ信号に対応した電位となる。そのときのトランジスタ263のゲート、及びトランジスタ264のゲートの電位は容量素子265の一方の電極に保持される。こうして、ゲート信号線がLowとなり、トランジスタ261、及びトランジスタ262がオフすると、トランジスタ263、及びトランジスタ264のゲートの電位は容量素子265に保持される。トランジスタ263のドレインは浮遊となるため、トランジスタ263を介して発光素子244に電流は流れない。

10

【0285】

容量素子265の他方の電極である定電位線266は電源線としてもよいし、1行前のゲート信号線でもよい。また、発光素子244の一方の電極としてもよい。こうすることで、発光素子244の一方の電極の電位が変化しても、トランジスタ264のゲートとソースとの間の電位差が変わることなくビデオ信号に対応した電流を発光素子に流すことができる。

【0286】

(第7の実施形態)

本実施形態では第1の実施形態乃至第4の実施形態で説明したシフトレジスタ回路のレイアウトした場合の構成例について説明する。

20

【0287】

第1の実施形態で説明したシフトレジスタ回路をボトムゲート構造のトランジスタで形成した場合の構成例について図44を参照して説明する。図44は第1の実施形態で説明したシフトレジスタ回路の構成例を示しているがこれに限定されず、第2の実施形態乃至第4の実施形態で説明したシフトレジスタ回路にも適用することができる。また、第1の実施形態乃至第4の実施形態で説明した以外のシフトレジスタ回路にも適用することができる。

【0288】

図44はトランジスタ31、トランジスタ32、トランジスタ41、トランジスタ42、制御信号であるCK1、CK2、CK3を伝達するための3本の制御信号線、正電源VDDの電位となる電源線、及び負電源VSSの電位となる2本の電源線によって構成されている。また、CK1を伝達する制御信号線を制御信号線CK1とし、CK2を伝達する制御信号線を制御信号線CK2とし、CK3を伝達する制御信号線を制御信号線CK3とし、正電源VDDの電位となる電源線を電源線VDDとし、負電源VSSの電位となる電源線を電源線VSSとする。

30

【0289】

図44に示すシフトレジスタ回路の構成図の特徴をいくつか述べる。

【0290】

シフトレジスタ回路の出力であるOUT(1)と制御信号線CK1、制御信号線CK2及び制御信号線CK3との間に、電源線VDD及び電源線VSSが配置されていることを特徴とする。制御信号線CK1、制御信号線CK2及び制御信号線CK3は、クロック信号を伝達するための制御信号線であるため、絶えず電位が変化している。そのため制御信号線との間に寄生容量が発生すると、制御信号線の電位の変動によりノイズが発生してしまうことがある。OUT(1)は次の段のシフトレジスタ回路の入力となるため、OUT(1)にノイズが発生してしまうとシフトレジスタ回路が誤動作しやすくなってしまう。そのため、定電位である電源線を制御信号線とOUT(1)との間に配置することで、制御信号線によって発生するノイズがシフトレジスタ回路の動作への影響を低減することができる。

40

【0291】

トランジスタ32の出力とOUT(1)とを接続するためのメタル配線層と制御信号線

50

C K 1、制御信号線 C K 2 及び制御信号線 C K 3 との間に電源線 V D D、電源線 V S S 及びトランジスタを配置することを特徴とする。上記説明したようにトランジスタ 3 2 の出力と O U T (1) とを接続するためのメタル配線層にノイズが発せればシフトレジスタ回路の誤動作の原因となる。また、トランジスタの配置によっては、長い配線とする必要があるため、制御信号線と間に電源線及びトランジスタを配置することで、よりノイズを発生しにくくすることができる。

【 0 2 9 2 】

ブートストラップ動作をするトランジスタ 3 2 を U 字型のトランジスタとすることを特徴とする。トランジスタ 3 2 は出力の正電源 V D D を供給するためのトランジスタであるため、高い電流能力が必要になるため、U 字型のトランジスタとするとチャンネル幅を広くとることができる。

10

【 0 2 9 3 】

トランジスタ 4 1 及びトランジスタ 4 2 のソースとドレインのうち一方を共通とすることを特徴とする。こうすることで、シフトレジスタ回路を構成する面積を小さくすることができるため、より高精細、狭額縁な表示装置を提供することができるため有利である。

【 0 2 9 4 】

電源線と制御信号線の配線幅が等しいことを特徴とする。通常、電源線には多くの瞬間電流が流れてしまうため、配線幅を大きくし配線抵抗を減らして瞬間電流による電圧降下によって生じる誤作動を防止している。しかし、本発明では制御信号線を正電源 V D D の電位を出力するために使用しているため、制御信号線にも多くの瞬間電流が流れてしまう。そのため、制御信号線の配線幅を広くすることが望ましい。制御信号線の配線幅を従来のように狭くした場合、多くの瞬間電流による電圧降下によって、電位を保つことができずにシフトレジスタ回路が誤作動してしまう。よって、制御信号線の配線幅を電源線の配線幅と等しくしておくことが望ましい。また、本発明のシフトレジスタ回路では電源線に流れる電流は少ないため、電源線の配線幅よりも制御信号線の配線幅を広くしてもよい。

20

【 0 2 9 5 】

第 1 の実施形態で説明したシフトレジスタ回路をボトムゲート構造のトランジスタで形成した場合の別の構成例について図 4 5 を参照して説明する。図 4 5 は第 1 の実施形態で説明したシフトレジスタ回路の構成例を示しているがこれに限定されず、第 2 の実施形態乃至第 4 の実施形態で説明したシフトレジスタ回路にも適用することができる。また、第 1 の実施形態乃至第 4 の実施形態で説明した以外のシフトレジスタ回路にも適用することができる。

30

【 0 2 9 6 】

図 4 5 はトランジスタ 3 1、トランジスタ 3 2、トランジスタ 4 1、トランジスタ 4 2、制御信号である C K 1、C K 2、C K 3 を伝達するための 3 本の制御信号線、正電源 V D D の電位となる電源線及び負電源 V S S の電位となる 2 本の電源線によって構成されている。また、C K 1 を伝達する制御信号線を制御信号線 C K 1 とし、C K 2 を伝達する制御信号線を制御信号線 C K 2 とし、C K 3 を伝達する制御信号線を制御信号線 C K 3 とし、正電源 V D D の電位となる電源線を電源線 V D D とし、負電源 V S S の電位となる電源線を電源線 V S S とする。

40

【 0 2 9 7 】

図 4 5 に示すシフトレジスタ回路の構成図の特徴をいくつか述べる。

【 0 2 9 8 】

シフトレジスタ回路を構成するトランジスタが定電位である電源線に挟まれるように配置していることを特徴とする。ブートストラップ動作を用いる場合、浮遊となるノードが存在するため、ノイズを低減する必要がある。つまり、トランジスタを定電位である電源線で挟むことによって、制御信号線や他の回路からのノイズを低減することができる。

【実施例 1】

【 0 2 9 9 】

本実施例では、画素の構成例について説明する。図 2 4 (A) 及び図 2 4 (B) は、本

50

発明に係るパネルの画素の断面図である。画素に配置されるスイッチング素子としてトランジスタを用い、画素に配置される表示媒体として発光素子を用いた例を示す。

【0300】

図24(A)及び図24(B)において、2400は基板、2401は下地膜、2402は半導体層、2412は半導体層、2403は第1の絶縁膜、2404はゲート電極、2414は電極、2405は第2の絶縁膜、2406はソース電極又はドレイン電極として機能しうる電極、2407は第1の電極、2408は第3の絶縁膜、2409は発光層、2417は第2の電極である。2410はトランジスタ、2415は発光素子、2411は容量素子である。図24では、画素を構成する素子として、トランジスタ2410と、容量素子2411とを代表で示した。図24(A)の構成について説明する。

10

【0301】

基板2400としては、例えばバリウムホウケイ酸ガラスや、アルミノホウケイ酸ガラスなどのガラス基板、石英基板、セラミック基板等を用いることができる。また、ステンレスを含む金属基板または半導体基板の表面に絶縁膜を形成したものをを用いても良い。プラスチック等の可撓性を有する合成樹脂からなる基板を用いても良い。基板2400の表面を、CMP法などの研磨により平坦化しておいても良い。

【0302】

下地膜2401としては、酸化珪素や、窒化珪素または窒化酸化珪素などの絶縁膜を用いることができる。下地膜2401によって、基板2400に含まれるNaなどのアルカリ金属やアルカリ土類金属が半導体層2402に拡散しトランジスタ2410の特性に悪影響をおよぼすのを防ぐことができる。図24では、下地膜2401を単層の構造としているが、2層あるいはそれ以上の複数層で形成してもよい。なお、石英基板など不純物の拡散がさして問題とならない場合は、下地膜2401を必ずしも設ける必要はない。

20

【0303】

半導体層2402及び半導体層2412としては、パターニングされた結晶性半導体膜や非晶質半導体膜を用いることができる。結晶性半導体膜は非晶質半導体膜を結晶化して得ることができる。結晶化方法としては、レーザ結晶化法、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法等を用いることができる。半導体層2402は、チャンネル形成領域と、導電性を付与する不純物元素が添加された一対の不純物領域とを有する。なお、チャンネル形成領域と一対の不純物領域との間に、不純物元素が低濃度で添加された不純物領域を有していてもよい。半導体層2412には、全体に導電性を付与する不純物元素が添加された構成とすることができる。

30

【0304】

第1の絶縁膜2403としては、酸化珪素、窒化珪素または窒化酸化珪素等を用い、単層または複数の膜を積層させて形成することができる。なお、第1の絶縁膜2403として水素を含む膜を用い、半導体層2402を水素化してもよい。

【0305】

ゲート電極2404及び電極2414としては、Ta、W、Ti、Mo、Al、Cu、Cr、Ndから選ばれた一種の元素または該元素を複数含む合金若しくは化合物からなる単層または積層構造を用いることができる。

40

【0306】

トランジスタ2410は、半導体層2402と、ゲート電極2404と、半導体層2402とゲート電極2404との間の第1の絶縁膜2403とによって構成される。図24では、画素を構成するトランジスタとして、発光素子2415の第1の電極2407に接続されたトランジスタ2410のみを示したが、複数のトランジスタを有する構成としてもよい。また、本実施例では、トランジスタ2410をトップゲート型のトランジスタとして示したが、半導体層の下方にゲート電極を有するボトムゲート型のトランジスタであっても良いし、半導体層の上下にゲート電極を有するデュアルゲート型のトランジスタであっても良い。

【0307】

50

容量素子 2411 は、第 1 の絶縁膜 2403 を誘電体とし、第 1 の絶縁膜 2403 を挟んで対向する半導体層 2412 と電極 2414 とを一对の電極として構成される。なお、図 24 では、画素の有する容量素子として、一对の電極の一方をトランジスタ 2410 の半導体層 2402 と同時に形成される半導体層 2412 とし、他方の電極をトランジスタ 2410 のゲート電極 2404 と同時に形成される電極 2414 とした例を示したが、この構成に限定されない。

【0308】

第 2 の絶縁膜 2405 としては、無機絶縁膜や有機絶縁膜の単層または積層を用いることができる。無機絶縁膜としては、CVD 法により形成された酸化シリコン膜や、SOG (Spin On Glass) 法により塗布された酸化シリコン膜などを用いることができ、有機絶縁膜としてはポリイミド、ポリアミド、BCB (ベンゾシクロブテン)、アクリルまたはポジ型感光性有機樹脂、ネガ型感光性有機樹脂等の膜を用いることができる。

10

【0309】

また、第 2 の絶縁膜 2405 として、シリコン (Si) と酸素 (O) との結合で骨格構造が構成される材料を用いることができる。この材料の置換基として、少なくとも水素を含む有機基 (例えばアルキル基、芳香族炭化水素) が用いられる。置換基として、フルオロ基を用いてもよい。または置換基として、少なくとも水素を含む有機基と、フルオロ基とを用いてもよい。

【0310】

20

なお、第 2 の絶縁膜 2405 の表面を高密度プラズマによって処理し、窒化させてもよい。高密度プラズマは、高い周波数のマイクロ波、例えば 2.45 GHz を使うことによって生成される。なお、高密度プラズマとしては、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、電子温度が 0.2 eV 以上 2.0 eV 以下 (より好ましくは 0.5 eV 以上 1.5 eV 以下) であるものを用いる。このように低電子温度が特徴である高密度プラズマは、活性種の運動エネルギーが低いため、従来のプラズマ処理に比べプラズマダメージが少なく欠陥が少ない膜を形成することができる。高密度プラズマ処理の際、基板 2400 は 350 から 450 の温度とする。また、高密度プラズマを発生させる装置において、マイクロ波を発生するアンテナから基板 2400 までの距離を 20 ~ 80 mm (好ましくは 20 ~ 60 mm) とする。

30

【0311】

窒素 (N_2) と希ガス (He、Ne、Ar、Kr、Xe の少なくとも一つを含む) 雰囲気下、または窒素と水素 (H_2) と希ガス雰囲気下、またはアンモニア (NH_3) と希ガス雰囲気下において、上記高密度プラズマ処理を行い第 2 の絶縁膜 2405 表面を窒化する。高密度プラズマにより窒化処理により形成された第 2 の絶縁膜 2405 表面には H や、He、Ne、Ar、Kr、Xe の元素が混入している。例えば、第 2 の絶縁膜 2405 として酸化シリコン膜や酸化窒化シリコン膜を用い、当該膜の表面を高密度プラズマで処理することによって窒化シリコン膜を形成する。こうして形成した窒化シリコン膜に含まれる水素を用いて、トランジスタ 2410 の半導体層 2402 の水素化を行ってもよい。なお当該水素化処理は、前述した第 1 の絶縁膜 2403 中の水素を用いた水素化処理と組み合わせてもよい。なお、上記高密度プラズマ処理によって形成された窒化膜の上に更に絶縁膜を形成して、第 2 の絶縁膜 2405 としてもよい。

40

【0312】

第 1 の電極 2406 としては、Al、Ni、C、W、Mo、Ti、Pt、Cu、Ta、Au、Mn から選ばれた一種の元素または該元素を複数含む合金からなる単層または積層構造を用いることができる。

【0313】

第 1 の電極 2407 及び第 2 の電極 2417 の一方もしくは両方を透明電極とすることができる。透明電極としては、酸化タングステンを含むインジウム酸化物 (ITO)、酸化タングステンを含むインジウム亜鉛酸化物 (IZO)、酸化チタンを含むインジウム

50

酸化物 (ITiO)、酸化チタンを含むインジウム錫酸化物 (ITTiO) などを用いることができる。勿論、インジウム錫酸化物 (ITO)、インジウム亜鉛酸化物 (IZO)、酸化ケイ素を添加したインジウム錫酸化物 (ITSO) などを用いることができる。

【0314】

発光層は、正孔注入輸送層、発光層、電子注入輸送層など、機能の異なる複数の層を用いて構成することが好ましい。

【0315】

正孔注入輸送層は、ホール輸送性の有機化合物材料と、その有機化合物材料に対して電子受容性を示す無機化合物材料とを含む複合材料で形成することが好ましい。このような構成とすることで、本来内在的なキャリアをほとんど有さない有機化合物に多くのホールキャリアが発生し、極めて優れたホール注入性・輸送性が得られる。この効果により、従来よりも駆動電圧を低くすることができる。また、駆動電圧の上昇を招くことなく正孔注入輸送層を厚くすることができるため、ゴミ等に起因する発光素子の短絡も抑制することができる。

【0316】

ホール輸送性の有機化合物材料としては、4, 4', 4'' - トリス [N - (3 - メチルフェニル) - N - フェニルアミノ] トリフェニルアミン (略称: MTDA TA)、1, 3, 5 - トリス [N, N - ジ (m - トリル) アミノ] ベンゼン (略称: m - MTDA B)、N, N' - ジフェニル - N, N' - ビス (3 - メチルフェニル) - 1, 1' - ビフェニル - 4, 4' - ジアミン (略称: TPD)、4, 4' - ビス [N - (1 - ナフチル) - N - フェニルアミノ] ビフェニル (略称: NPB) などが挙げられるが、これらに限定されることはない。

【0317】

電子受容性を示す無機化合物材料としては、酸化チタン、酸化ジルコニウム、酸化バナジウム、酸化モリブデン、酸化タングステン、酸化レニウム、酸化ルテニウム、酸化亜鉛などが挙げられる。特に酸化バナジウム、酸化モリブデン、酸化タングステン、酸化レニウムは真空蒸着が可能で扱いやすいため、好適である。

【0318】

電子注入輸送層は、電子輸送性の有機化合物材料を用いて形成する。具体的には、トリス (8 - キノリノラト) アルミニウム (略称: Alq3)、トリス (4 - メチル - 8 - キノリノラト) アルミニウム (略称: Almq3) などが挙げられるが、これらに限定されることはない。

【0319】

発光層は、9, 10 - ジ (2 - ナフチル) アントラセン (略称: DNA)、9, 10 - ジ (2 - ナフチル) - 2 - tert - ブチルアントラセン (略称: t - BuDNA)、4, 4' - ビス (2, 2 - ジフェニルビニル) ビフェニル (略称: DPVBi)、クマリン 30、クマリン 6、クマリン 545、クマリン 545 T、ペリレン、ルブレン、ペリフラテン、2, 5, 8, 11 - テトラ (tert - ブチル) ペリレン (略称: TBP)、9, 10 - ジフェニルアントラセン (略称: DPA)、5, 12 - ジフェニルテトラセン、4 - (ジシアノメチレン) - 2 - メチル - [p - (ジメチルアミノ) スチリル] - 4H - ピラン (略称: DCM1)、4 - (ジシアノメチレン) - 2 - メチル - 6 - [2 - (ジュロリジン - 9 - イル) エテニル] - 4H - ピラン (略称: DCM2)、4 - (ジシアノメチレン) - 2, 6 - ビス [p - (ジメチルアミノ) スチリル] - 4H - ピラン (略称: BisDCM) 等が挙げられる。また、ビス [2 - (4', 6' - ジフルオロフェニル) ピリジナト - N, C2'] イリジウム (ピコリナート) (略称: FIrp ic)、ビス {2 - [3', 5' - ビス (トリフルオロメチル) フェニル] ピリジナト - N, C2'} イリジウム (ピコリナート) (略称: Ir (CF3ppy) 2 (pic))、トリス (2 - フェニルピリジナト - N, C2') イリジウム (略称: Ir (ppy) 3)、ビス (2 - フェニルピリジナト - N, C2') イリジウム (アセチルアセトナート) (略称: Ir (ppy) 2 (acac))、ビス [2 - (2' - チエニル) ピリジナト - N, C3'] イリ

10

20

30

40

50

ジウム（アセチルアセトナート）（略称：Ir（thp）₂（acac））、ビス（2-フェニルキノリナート-N，C2'）イリジウム（アセチルアセトナート）（略称：Ir（pq）₂（acac））、ビス〔2-（2'-ベンゾチエニル）ピリジナート-N，C3'〕イリジウム（アセチルアセトナート）（略称：Ir（btp）₂（acac））などの燐光を放出できる化合物を用いることもできる。

【0320】

その他に、発光層の形成に用いることができる高分子系の電界発光材料は、ポリパラフェニレンビニレン系、ポリパラフェニレン系、ポリチオフェン系、ポリフルオレン系が挙げられる。

【0321】

いずれにしても、発光層の層構造は変化しうるものであり、特定の正孔又は電子注入輸送層や発光層を備えていない代わりに、もっぱらこの目的用の電極層を備えたり、発光性の材料を分散させて備えたりする変形は、発光素子としての目的を達成し得る範囲において許容されうるものである。

【0322】

第1の電極2407及び第2の電極2417の他方は、透光性を有さない材料で形成されていてもよい。例えば、LiやCs等のアルカリ金属、およびMg、Ca、Sr等のアルカリ土類金属、これらを含む合金（Mg：Ag、Al：Li、Mg：Inなど）、およびこれらの化合物（CaF₂、CaN）の他、YbやEr等の希土類金属を用いることができる。

【0323】

第3の絶縁膜2408としては、第2の絶縁膜2405と同様の材料を用いて形成することができる。第3の絶縁膜2408は、第1の電極2407の端部を覆うように第1の電極2407の周辺に形成され、隣り合う画素において発光層2409を分離する機能を有する。

【0324】

発光層2409は、単数または複数の層で構成されている。複数の層で構成されている場合、これらの層は、キャリア輸送特性の観点から正孔注入層、正孔輸送層、発光層、電子輸送層、電子注入層などに分類することができる。なお各層の境目は必ずしも明確である必要はなく、互いの層を構成している材料が一部混合し、界面が不明瞭になっている場合もある。各層には、有機系の材料、無機系の材料を用いることが可能である。有機系の材料として、高分子系、中分子系、低分子系のいずれの材料も用いることが可能である。

【0325】

発光素子2415は、発光層2409と、発光層2409を介して重なる第1の電極2407及び第2の電極2417とによって構成される。第1の電極2407及び第2の電極2417の一方が陽極に相当し、他方が陰極に相当する。発光素子2415は、陽極と陰極の間にしきい値電圧より大きい電圧が順バイアスで印加されると、陽極から陰極に電流が流れて発光する。

【0326】

図24（B）の構成について説明する。なお、図24（A）と同じ部分は同じ符号を用いて示し、説明は省略する。図24（B）は、図24（A）において、第2の絶縁膜2405と第3の絶縁膜2408の間に絶縁膜2418を有する構成である。第2の電極2416と第1の電極2406とは、絶縁膜2418に設けられたコンタクトホールにおいて接続されている。

【0327】

絶縁膜2418は、第2の絶縁膜2405と同様の構成とすることができる。第2の電極2416は、第1の電極2406と同様の構成とすることができる。

【実施例2】

【0328】

本実施例は、トランジスタの半導体層にアモルファスシリコン（a-Si：H）膜を用

10

20

30

40

50

いた場合について説明する。図 28 にはトップゲートのトランジスタ、図 29 及び図 30 にはボトムゲートのトランジスタの場合について示す。

【0329】

アモルファスシリコンを半導体層に用いたトップゲート構造のトランジスタの断面を図 28 (a) に示す。に示すように、基板 2801 上に下地膜 2802 が形成されている。さらに下地膜 2802 上に画素電極 2803 が形成されている。また、画素電極 2803 と同層に同じ材料からなる第 1 の電極 2804 が形成されている。

【0330】

基板はガラス基板、石英基板、セラミック基板などを用いることができる。また、下地膜 2802 としては、窒化アルミや酸化珪素、酸化窒化珪素などの単層やこれらの積層を用いることができる。

10

【0331】

また、下地膜 2802 上に配線 2805 及び配線 2806 が形成され、画素電極 2803 の端部が配線 2805 で覆われている。配線 2805 及び配線 2806 の上部に N 型の導電性を有する N 型半導体層 2807 及び N 型半導体層 2808 が形成されている。また、配線 2805 と配線 2806 の間であって、下地膜 2802 上に半導体層 2809 が形成されている。そして、半導体層 2809 の一部は N 型半導体層 2807 及び N 型半導体層 2808 上にまで延長されている。なお、この半導体層はアモルファスシリコン (a-Si:H)、微結晶半導体 (μ -Si:H) 等の非結晶性を有する半導体膜で形成されている。また、半導体層 2809 上にゲート絶縁膜 2810 が形成されている。また、ゲート絶縁膜 2810 と同層の同じ材料からなる絶縁膜 2811 が第 1 の電極 2804 上にも形成されている。なお、ゲート絶縁膜 2810 としては酸化珪素膜や窒化珪素膜などが用いられる。

20

【0332】

また、ゲート絶縁膜 2810 上に、ゲート電極 2812 が形成されている。また、ゲート電極と同層に同じ材料でなる第 2 の電極 2813 が第 1 の電極 2804 上に絶縁膜 2811 を介して形成されている。第 1 の電極 2804 及び第 2 の電極 2813 で絶縁膜 2811 を挟まれた容量素子 2819 が形成されている。また、画素電極 2803 の端部、駆動トランジスタ 2818 及び容量素子 2819 を覆い、層間絶縁膜 2814 が形成されている。

30

【0333】

層間絶縁膜 2814 及びその開口部に位置する画素電極 2803 上に有機化合物を含む層 2815 及び対向電極 2816 が形成され、画素電極 2803 と対向電極 2816 とで有機化合物を含む層 2815 が挟まれた領域では発光素子 2817 が形成されている。

【0334】

図 28 (a) に示す第 1 の電極 2804 を図 28 (b) に示すように第 1 の電極 2820 で形成してもよい。第 1 の電極 2820 は配線 2805 及び 2806 と同層の同一材料で形成されている。

【0335】

アモルファスシリコンを半導体層に用いたボトムゲート構造のトランジスタを用いた半導体装置のパネルの部分断面を図 29 に示す。基板 2901 上にゲート電極 2903 が形成されている。また、ゲート電極と同層に同じ材料からなる第 1 の電極 2904 が形成されている。ゲート電極 2903 は、Ti、Cr、Mo、W、Ta などの高融点金属を用いることができる。

40

【0336】

ゲート電極 2903 及び第 1 の電極 2904 を覆うようにゲート絶縁膜 2905 が形成されている。ゲート絶縁膜 2905 としては酸化珪素膜や窒化珪素膜などが用いられる。

【0337】

ゲート絶縁膜 2905 上に、半導体層 2906 が形成されている。また、半導体層 2906 と同層に同じ材料からなる半導体層 2907 が形成されている。基板はガラス基板、

50

石英基板、セラミック基板などを用いることができる。

【0338】

半導体層2906上にはN型の導電性を有するN型半導体層2908、2909が形成され、半導体層2907上にはN型半導体層2910が形成されている。N型半導体層2908、2909、2910上にはそれぞれ配線2911、2912が形成され、N型半導体層2910上には配線2911及び2912と同層の同一材料からなる導電層2913が形成されている。

【0339】

半導体層2907、N型半導体層2910及び導電層2913からなる第2の電極が構成される。なお、この第2の電極と第1の電極2904でゲート絶縁膜2905を挟み込んだ構造の容量素子2920が形成されている。

10

【0340】

配線2911の一方の端部は延在し、その延在した配線2911上部に接して画素電極2914が形成されている。

【0341】

画素電極2914の端部、駆動トランジスタ2919及び容量素子2920を覆うように絶縁層2915が形成されている。画素電極2914及び絶縁層2915上には有機化合物を含む層2916及び対向電極2917が形成され、画素電極2914と対向電極2917とで有機化合物を含む層2916が挟まれた領域では発光素子2918が形成されている。

20

【0342】

容量素子の第2の電極の一部となる半導体層2907及びN型半導体層2910は設けなくても良い。つまり第2の電極は導電層2913とし、第1の電極2904と導電層2913でゲート絶縁膜が挟まれた構造の容量素子としてもよい。

【0343】

図29(a)において、配線2911を形成する前に画素電極2914を形成することで、図29(b)に示すような、画素電極2914からなる第2の電極2921と第1の電極2904でゲート絶縁膜2905が挟まれた構造の容量素子2920を形成することができる。

【0344】

30

図29では、逆スタガ型のチャネルエッチ構造のトランジスタについて示したが、もちろんチャネル保護構造のトランジスタでも良い。チャネル保護構造のトランジスタの場合について、図30(a)、(b)を用いて説明する。

【0345】

図30(a)に示すチャネル保護型構造のトランジスタは図29(a)に示したチャネルエッチ構造の駆動トランジスタ2919の半導体層2906のチャネルが形成される領域上にエッチングのマスクとなる絶縁層3001が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

【0346】

同様に、図30(b)に示すチャネル保護型構造のトランジスタは図29(b)に示したチャネルエッチ構造の駆動トランジスタ2919の半導体層2906のチャネルが形成される領域上にエッチングのマスクとなる絶縁層3001が設けられている点が異なり、他の共通しているところは共通の符号を用いている。

40

【0347】

本実施例の画素を構成するトランジスタの半導体層(チャネル形成領域やソース領域やドレイン領域など)に非晶質半導体膜を用いることで、製造コストを削減することができる。例えば、図6や図7に示す画素構成を用いることで非晶質半導体膜を適用することが可能である。

【0348】

本実施例の画素構成の適用することができるトランジスタの構造や、容量素子の構造は

50

上述した構成に限られず、さまざまな構成のトランジスタの構造や、容量素子の構造のものを用いることができる。

【 0 3 4 9 】

本実施例で述べた内容は実施例 1 で述べた内容と自由に組み合わせる実施することができる。

【 実施例 3 】

【 0 3 5 0 】

本実施例では、トランジスタを始めとする半導体装置を作製する方法として、プラズマ処理を用いて半導体装置を作製する方法について説明する。

【 0 3 5 1 】

図 3 1 は、トランジスタを含む半導体装置の構造例を示した図である。なお、図 3 1 において、図 3 1 (B) は図 3 1 (A) の a - b 間の断面図に相当し、図 3 1 (C) は図 3 1 (A) の c - d 間の断面図に相当する。

【 0 3 5 2 】

図 3 1 に示す半導体装置は、基板 4 6 0 1 上に絶縁膜 4 6 0 2 を介して設けられた半導体膜 4 6 0 3 a、4 6 0 3 b と、当該半導体膜 4 6 0 3 a、4 6 0 3 b 上にゲート絶縁膜 4 6 0 4 を介して設けられたゲート電極 4 6 0 5 と、ゲート電極を覆って設けられた絶縁膜 4 6 0 6、4 6 0 7 と、半導体膜 4 6 0 3 a、4 6 0 3 b のソース領域またはドレイン領域と電氣的に接続し且つ絶縁膜 4 6 0 7 上に設けられた導電膜 4 6 0 8 とを有している。なお、図 3 1 においては、半導体膜 4 6 0 3 a の一部をチャネル領域として用いた N チャネル型トランジスタ 4 6 1 0 a と半導体膜 4 6 0 3 b の一部をチャネル領域として用いた P チャネル型トランジスタ 4 6 1 0 b とを設けた場合を示しているが、この構成に限られない。例えば、図 3 1 では、N チャネル型トランジスタ 4 6 1 0 a に L D D 領域を設け、P チャネル型トランジスタ 4 6 1 0 b には L D D 領域を設けていないが、両方に設けた構成としてもよいし両方に設けない構成とすることも可能である。

【 0 3 5 3 】

本実施例では、上記基板 4 6 0 1、絶縁膜 4 6 0 2、半導体膜 4 6 0 3 a および 4 6 0 3 b、ゲート絶縁膜 4 6 0 4、絶縁膜 4 6 0 6 または絶縁膜 4 6 0 7 のうち少なくともいずれか一層に、プラズマ処理を用いて酸化または窒化を行うことにより半導体膜または絶縁膜を酸化または窒化することによって、図 3 1 に示した半導体装置を作製する。このように、プラズマ処理を用いて半導体膜または絶縁膜を酸化または窒化することによって、当該半導体膜または絶縁膜の表面を改質し、C V D 法やスパッタ法により形成した絶縁膜と比較してより緻密な絶縁膜を形成することができるため、ピンホール等の欠陥を抑制し半導体装置の特性等を向上させることが可能となる。

【 0 3 5 4 】

本実施例では、上記図 3 1 における半導体膜 4 6 0 3 a および 4 6 0 3 b またはゲート絶縁膜 4 6 0 4 にプラズマ処理を行い、当該半導体膜 4 6 0 3 a および 4 6 0 3 b またはゲート絶縁膜 4 6 0 4 を酸化または窒化することによって半導体装置を作製する方法について図面を参照して説明する。

【 0 3 5 5 】

はじめに、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部を直角に近い形状で設ける場合について示す。

【 0 3 5 6 】

まず、基板 4 6 0 1 上に島状の半導体膜 4 6 0 3 a、4 6 0 3 b を形成する (図 3 2 (A))。島状の半導体膜 4 6 0 3 a、4 6 0 3 b は、基板 4 6 0 1 上にあらかじめ形成された絶縁膜 4 6 0 2 上にスパッタ法、L P C V D 法、プラズマ C V D 法等を用いてシリコン (S i) を主成分とする材料 (例えば S i x G e 1 - x 等) 等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、R T A 又はファーネスアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶

10

20

30

40

50

化法またはこれら方法を組み合わせた方法等の結晶化法により行うことができる。なお、図32では、島状の半導体膜4603a、4603bの端部を直角に近い形状($\theta = 85^\circ \sim 100^\circ$)で設ける。

【0357】

次に、プラズマ処理を行い半導体膜4603a、4603bを酸化または窒化することによって、当該半導体膜4603a、4603bの表面にそれぞれ酸化膜または絶縁膜4621a、4621b(以下、絶縁膜4621a、絶縁膜4621bとも記す)を形成する(図32(B))。例えば、半導体膜4603a、4603bとしてSiを用いた場合、絶縁膜4621aおよび絶縁膜4621bとして、酸化珪素(SiO_x)または窒化珪素(SiN_x)が形成される。また、プラズマ処理により半導体膜4603a、4603bを酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜4603a、4603bに接して酸化珪素が形成され、当該酸化珪素の表面に窒化酸化珪素(SiN_xO_y)($x > y$)が形成される。なお、プラズマ処理により半導体膜を酸化する場合には、酸素雰囲気下(例えば、酸素(O_2)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下または酸素と水素(H_2)と希ガス雰囲気下または一酸化二窒素と希ガス雰囲気下)でプラズマ処理を行う。一方、プラズマ処理により半導体膜を窒化する場合には、窒素雰囲気下(例えば、窒素(N_2)と希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)雰囲気下または窒素と水素と希ガス雰囲気下または NH_3 と希ガス雰囲気下)でプラズマ処理を行う。希ガスとしては、例えばArを用いることができる。また、ArとKrを混合したガスを用いてもよい。そのため、絶縁膜4621a、4621bは、プラズマ処理に用いた希ガス(He、Ne、Ar、Kr、Xeの少なくとも一つを含む)を含んでおり、Arを用いた場合には絶縁膜4621a、4621bにArが含まれている。

【0358】

また、プラズマ処理は、上記ガスの雰囲気中において、電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上 $1 \times 10^{13} \text{ cm}^{-3}$ 以下であり、プラズマの電子温度が0.5 eV以上1.5 eV以下で行う。プラズマの電子密度が高密度であり、基板4601上に形成された被処理物(ここでは、半導体膜4603a、4603b)付近での電子温度が低いために、被処理物に対するプラズマによる損傷を防止することができる。また、プラズマの電子密度が $1 \times 10^{11} \text{ cm}^{-3}$ 以上と高密度であるため、プラズマ処理を用いて、被照射物を酸化または窒化することによって形成される酸化物または窒化膜は、CVD法やスパッタ法等により形成された膜と比較して膜厚等が均一性に優れ、且つ緻密な膜を形成することができる。また、プラズマの電子温度が1 eV以下と低いために、従来のプラズマ処理や熱酸化法と比較して低温度で酸化または窒化処理を行うことができる。たとえば、ガラス基板の歪点温度よりも100度以上低い温度でプラズマ処理を行っても十分に酸化または窒化処理を行うことができる。なお、プラズマを形成するための周波数としては、マイクロ波(2.45 GHz)等の高周波を用いることができる。なお、以下に特に断らない場合は、プラズマ処理として上記条件を用いて行うものとする。

【0359】

次に、絶縁膜4621a、4621bを覆うようにゲート絶縁膜4604を形成する(図32(C))。ゲート絶縁膜4604はスパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化珪素、窒化珪素、酸化窒化珪素(SiO_xN_y)($x > y$)、窒化酸化珪素(SiN_xO_y)($x > y$)等の酸素または窒素有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例えば、半導体膜4603a、4603bとしてSiを用い、プラズマ処理により当該Siを酸化させることによって当該半導体膜4603a、4603b表面に絶縁膜4621a、4621bとして酸化珪素を形成した場合、当該絶縁膜4621a、4621b上にゲート絶縁膜として酸化珪素を形成する。また、上記図32(B)において、プラズマ処理により半導体膜4603a、4603bを酸化または窒化することによって形成された絶縁膜4621a、4621bの膜厚が十分である場合には、当該絶縁膜4621a、4621bをゲート絶縁膜として用いることも可

能である。

【0360】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる(図32(D))。

【0361】

このように、半導体膜4603a、4603b上にゲート絶縁膜4604を設ける前に、プラズマ処理により半導体膜4603a、4603bの表面を酸化または窒化することによって、チャネル領域の端部4651a、4651b等におけるゲート絶縁膜4604の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。つまり、島状の半導体膜の端部が直角に近い形状($\theta = 85 \sim 100^\circ$)を有する場合には、CVD法やスパッタ法等により半導体膜を覆うようにゲート絶縁膜を形成した際に、半導体膜の端部においてゲート絶縁膜の段切れ等による被覆不良の問題が生じる恐れがあるが、あらかじめ半導体膜の表面にプラズマ処理を用いて酸化または窒化しておくことによって、半導体膜の端部におけるゲート絶縁膜の被覆不良等を防止することが可能となる。

【0362】

上記図32において、ゲート絶縁膜4604を形成した後にプラズマ処理を行うことによって、ゲート絶縁膜4604を酸化または窒化させてもよい。この場合、半導体膜4603a、4603bを覆うように形成されたゲート絶縁膜4604(図33(A))にプラズマ処理を行い、ゲート絶縁膜4604を酸化または窒化することによって、ゲート絶縁膜4604の表面に酸化膜または窒化膜(以下、絶縁膜4623とも記す)を形成する(図33(B))。プラズマ処理の条件は、上記図32(B)と同様に行うことができる。また、絶縁膜4623は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4623にArが含まれている。

【0363】

図33(B)において、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。この場合、半導体膜4603a、4603b型に酸化珪素または酸化窒化珪素(SiO_xN_y)($x > y$)が形成され、ゲート電極4605に接して窒化酸化珪素(SiN_xO_y)($x > y$)が形成される。その後、絶縁膜4623上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる(図33(C))。このように、ゲート絶縁膜にプラズマ処理を行うことにより、当該ゲート絶縁膜の表面を酸化または窒化することによって、ゲート絶縁膜の表面を改質し緻密な膜を形成することができる。プラズマ処理を行うことによって得られた絶縁膜は、CVD法やスパッタ法で形成された絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。

【0364】

図33においては、あらかじめ半導体膜4603a、4603bにプラズマ処理を行うことによって、当該半導体膜4603a、4603bの表面を酸化または窒化させた場合を示したが、半導体膜4603a、4603bにプラズマ処理を行わずにゲート絶縁膜4604を形成した後にプラズマ処理を行う方法を用いてもよい。このように、ゲート電極を形成する前にプラズマ処理を行うことによって、半導体膜の端部においてゲート絶縁膜の段切れ等による被覆不良が生じた場合であっても、被覆不良により露出した半導体膜を酸化または窒化することができるため、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。

【0365】

このように、島状の半導体膜の端部を直角に近い形状で設けた場合であっても、半導体

膜またはゲート絶縁膜にプラズマ処理を行い、当該半導体膜またはゲート絶縁膜を酸化または窒化することによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を防止することができる。

【0366】

次に、基板上に設けられた島状の半導体膜において、当該島状の半導体膜の端部をテーパ形状（ $= 30 \sim 85^\circ$ ）で設ける場合について示す。

【0367】

まず、基板4601上に島状の半導体膜4603a、4603bを形成する（図34（A））。島状の半導体膜4603a、4603bは、基板4601上にあらかじめ形成された絶縁膜4602上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン（Si）を主成分とする材料（例えばSi_xGe_{1-x}等）等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜をレーザ結晶化法、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法などの結晶化法により結晶化させ、選択的に半導体膜をエッチングして除去することにより設けることができる。なお、図34では、島状の半導体膜の端部をテーパ形状（ $= 30 \sim 85^\circ$ ）で設ける。

【0368】

次に、半導体膜4603a、4603bを覆うようにゲート絶縁膜4604を形成する（図34（B））。ゲート絶縁膜4604は、スパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化珪素、窒化珪素、酸化窒化珪素（SiO_xN_y）（ $x > y$ ）、窒化酸化珪素（SiN_xO_y）（ $x > y$ ）等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。

【0369】

次に、プラズマ処理を行いゲート絶縁膜4604を酸化または窒化することによって、当該ゲート絶縁膜4604の表面にそれぞれ酸化膜または窒化膜（以下、絶縁膜4624とも記す）を形成する（図34（C））。なお、プラズマ処理の条件は上記と同様に行うことができる。例えば、ゲート絶縁膜4604として酸化珪素または酸化窒化珪素（SiO_xN_y）（ $x > y$ ）を用いた場合、酸素雰囲気下でプラズマ処理を行いゲート絶縁膜4604を酸化することによって、ゲート絶縁膜の表面にはCVD法やスパッタ法等により形成されたゲート絶縁膜と比較してピンホール等の欠陥の少ない緻密な膜を形成することができる。一方、窒素雰囲気下でプラズマ処理を行いゲート絶縁膜4604を窒化することによって、ゲート絶縁膜4604の表面に絶縁膜4624として窒化酸化珪素（SiN_xO_y）（ $x > y$ ）を設けることができる。また、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。また、絶縁膜4624は、プラズマ処理に用いた希ガスを含んでおり、例えばArを用いた場合には絶縁膜4624中にArが含まれている。

【0370】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャンネル領域として用いたNチャンネル型トランジスタ4610a、Pチャンネル型トランジスタ4610bを有する半導体装置を作製することができる（図34（D））。

【0371】

このように、ゲート絶縁膜にプラズマ処理を行うことにより、ゲート絶縁膜の表面に酸化膜または窒化膜からなる絶縁膜を設け、ゲート絶縁膜の表面の改質をすることができる。プラズマ処理を行うことによって酸化または窒化された絶縁膜は、CVD法やスパッタ法で形成されたゲート絶縁膜と比較して緻密でピンホール等の欠陥も少ないため、トランジスタの特性を向上させることができる。また、半導体膜の端部をテーパ形状とすることによって、半導体膜の端部におけるゲート絶縁膜の被覆不良に起因するゲート電極と半導体膜のショート等を抑制することができるが、ゲート絶縁膜を形成した後にプラズマ処

理を行うことによって、より一層ゲート電極と半導体膜のショート等を防止することができる。

【0372】

次に、図34とは、異なる半導体装置の作製方法に関して図面を参照して説明する。具体的には、テーパ形状を有する半導体膜の端部に選択的にプラズマ処理を行う場合に関して示す。

【0373】

まず、基板4601上に島状の半導体膜4603a、4603bを形成する(図35(A))。島状の半導体膜4603a、4603bは、基板4601上にあらかじめ形成された絶縁膜4602上にスパッタ法、LPCVD法、プラズマCVD法等を用いてシリコン(Si)を主成分とする材料(例えばSi_xGe_{1-x}等)等を用いて非晶質半導体膜を形成し、当該非晶質半導体膜を結晶化させ、レジスト4625a、4625bをマスクとして半導体膜を選択的にエッチングすることにより設けることができる。なお、非晶質半導体膜の結晶化は、レーザ結晶化法、RTA又はファーンেসアニール炉を用いる熱結晶化法、結晶化を助長する金属元素を用いる熱結晶化法またはこれら方法を組み合わせた方法等の結晶化法により行うことができる。

10

【0374】

次に、半導体膜のエッチングのために使用したレジスト4625a、4625bを除去する前に、プラズマ処理を行い島状の半導体膜4603a、4603bの端部を選択的に酸化または窒化することによって、当該半導体膜4603a、4603bの端部にそれぞれ酸化膜または窒化膜(以下、絶縁膜4626とも記す)を形成する(図35(B))。プラズマ処理は、上述した条件下で行う。また、絶縁膜4626は、プラズマ処理に用いた希ガスを含んでいる。

20

【0375】

次に、半導体膜4603a、4603bを覆うようにゲート絶縁膜4604を形成する(図35(C))。ゲート絶縁膜4604は、上記と同様に設けることができる。

【0376】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる(図35(D))。

30

【0377】

半導体膜4603a、4603bの端部をテーパ形状に設けた場合、半導体膜4603a、4603bの一部に形成されるチャネル領域の端部4652a、4652bもテーパ形状となり半導体膜の膜厚やゲート絶縁膜の膜厚が中央部分と比較して変化するため、トランジスタの特性に影響を及ぼす場合がある。そのため、ここではプラズマ処理によりチャネル領域の端部を選択的に酸化または窒化して、当該チャネル領域の端部となる半導体膜に絶縁膜を形成することによって、チャネル領域の端部に起因するトランジスタへの影響を低減することができる。

【0378】

40

なお、図35では、半導体膜4603a、4603bの端部に限ってプラズマ処理により酸化または窒化を行った例を示したが、もちろん上記図34で示したようにゲート絶縁膜4604にもプラズマ処理を行って酸化または窒化させることも可能である(図37(A))。

【0379】

次に、上記とは異なる半導体装置の作製方法に関して図面を参照して説明する。具体的には、テーパ形状を有する半導体膜にプラズマ処理を行う場合に関して示す。

【0380】

まず、基板4601上に上記と同様に島状の半導体膜4603a、4603bを形成する(図36(A))。

50

【0381】

次に、プラズマ処理を行い半導体膜4603a、4603bを酸化または窒化することによって、当該半導体膜4603a、4603bの表面にそれぞれ酸化膜または窒化膜（以下、絶縁膜4627a、絶縁膜4627bとも記す）を形成する（図36（B））。プラズマ処理は上述した条件下で同様に行うことができる。例えば、半導体膜4603a、4603bとしてSiを用いた場合、絶縁膜4627aおよび絶縁膜4627bとして、酸化珪素または窒化珪素が形成される。また、プラズマ処理により半導体膜4603a、4603bを酸化させた後に、再度プラズマ処理を行うことによって窒化させてもよい。この場合、半導体膜4603a、4603bに接して酸化珪素または酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）が形成され、当該酸化珪素の表面に窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）が形成される。そのため、絶縁膜4627a、4627bは、プラズマ処理に用いた希ガスを含んでいる。なお、プラズマ処理を行うことにより半導体膜4603a、4603bの端部も同時に酸化または窒化される。

10

【0382】

次に、絶縁膜4627a、4627bを覆うようにゲート絶縁膜4604を形成する（図36（C））。ゲート絶縁膜4604は、スパッタ法、LPCVD法、プラズマCVD法等を用いて、酸化珪素、窒化珪素、酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）、窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）等の酸素または窒素を有する絶縁膜の単層構造、またはこれらの積層構造で設けることができる。例えば、半導体膜4603a、4603bとしてSiを用いてプラズマ処理により酸化させることによって、当該半導体膜4603a、4603b表面に絶縁膜4627a、4627bとして酸化珪素を形成した場合、当該絶縁膜4627a、4627b上にゲート絶縁膜として酸化珪素を形成する。

20

【0383】

次に、ゲート絶縁膜4604上にゲート電極4605等を形成することによって、島状の半導体膜4603a、4603bをチャネル領域として用いたNチャネル型トランジスタ4610a、Pチャネル型トランジスタ4610bを有する半導体装置を作製することができる（図36（D））。

【0384】

半導体膜の端部をテーパ形状に設けた場合、半導体膜の一部に形成されるチャネル領域の端部もテーパ形状となるため、半導体素子の特性に影響を及ぼす場合がある。そのため、プラズマ処理により半導体膜を酸化または窒化することによって、結果的にチャネル領域の端部も酸化または窒化されるため半導体素子への影響を低減することができる。

30

【0385】

なお、図36では、半導体膜4603a、4603bに限ってプラズマ処理により酸化または窒化を行った例を示したが、もちろん上記図34で示したようにゲート絶縁膜4604にプラズマ処理を行って酸化または窒化させることも可能である（図37（B））。この場合、一旦酸素雰囲気下でプラズマ処理を行うことによりゲート絶縁膜4604を酸化させた後に、再度窒素雰囲気下でプラズマ処理を行うことにより窒化させてもよい。この場合、半導体膜4603a、4603b型に酸化珪素（ SiO_x ）または酸化窒化珪素（ SiO_xN_y ）（ $x > y$ ）が形成され、ゲート電極4605に接して窒化酸化珪素（ SiN_xO_y ）（ $x > y$ ）が形成される。

40

【0386】

このとき、ゴミ4673は、ブラシ洗浄等の簡単な洗浄により、絶縁膜4674の表面から容易に除去される状態になる。このように、プラズマ処理を行うことによって、当該絶縁膜または半導体膜に付着した微細なゴミであっても当該ゴミの除去が容易になる。なお、これはプラズマ処理を行うことによって得られる効果であり、本実施例のみならず、他の実施例においても同様のことがいえる。

【0387】

このように、プラズマ処理を行い半導体膜またはゲート絶縁膜を酸化または窒化して表面を改質することにより、緻密で膜質のよい絶縁膜を形成することができる。また、絶縁

50

膜の表面に付着したゴミ等を洗浄によって、容易に除去することが可能となる。その結果、絶縁膜を薄く形成する場合であってもピンホール等の欠陥を防止し、トランジスタ等の半導体素子の微細化および高性能化を実現することが達成できる。

【0388】

なお、本実施例では、上記図31における半導体膜4603aおよび4603bまたはゲート絶縁膜4604にプラズマ処理を行い、当該半導体膜4603aおよび4603bまたはゲート絶縁膜4604を酸化または窒化を行ったが、プラズマ処理を用いて酸化または窒化を行う層は、これに限定されない。例えば、基板4601または絶縁膜4602にプラズマ処理を行ってもよいし、絶縁膜4606または絶縁膜4607にプラズマ処理を行ってもよい。

10

【0389】

本実施例で述べた内容は実施例1又は実施例2で述べた内容と自由に組み合わせて実施することができる。

【実施例4】

【0390】

本実施例では、トランジスタを始めとする半導体装置を作製する際のマスクパターンの例について、図41～図43を参照して説明する。

【0391】

図41(A)で示す半導体層5610、5611はシリコン若しくはシリコンを成分とする結晶性の半導体で形成することが好ましい。例えば、シリコン膜をレーザアニールなどによって結晶化された多結晶シリコン、単結晶シリコンなどが適用される。その他にも半導体特性を示す、金属酸化物半導体、アモルファスシリコン、有機半導体を適用することも可能である。

20

【0392】

いずれにしても、最初に形成する半導体層は絶縁表面を有する基板の全面若しくは一部(トランジスタの半導体領域として確定されるよりも広い面積を有する領域)に形成する。そして、フォトリソグラフィ技術によって、半導体層上にマスクパターンを形成する。そのマスクパターンを利用して半導体層をエッチング処理することにより、トランジスタのソース領域及びドレイン領域及びチャネル形成領域を含む特定形状の島状の半導体層5610、5611を形成する。その半導体層5610、5611はレイアウトの適切さを考慮して決められる。

30

【0393】

図41(A)で示す半導体層5610、5611を形成するためのフォトマスクは、図41(B)に示すマスクパターン5630を備えている。このマスクパターン5630は、フォトリソグラフィ工程で用いるレジストがポジ型かネガ型かで異なる。ポジ型レジストを用いる場合には、図41(B)で示すマスクパターン5630は、遮光部として作製される。マスクパターン5630は、多角形の頂部Aを削除した形状となっている。また、屈曲部Bにおいては、その角部が直角とならないように複数段に渡って屈曲する形状となっている。このフォトマスクのパターンは、例えば、パターンの角部であって(直角三角形)の一辺が10μm以下の大きさに角部を削除している。

40

【0394】

図41(B)で示すマスクパターン5630は、その形状が、図41(A)で示す半導体層5610、5611に反映される。その場合、マスクパターン5630と相似の形状が転写されてもよいが、マスクパターン5630の角部がさらに丸みを帯びるように転写されていてもよい。すなわち、マスクパターン5630よりもさらにパターン形状をなめらかにした、丸め部を設けてもよい。

【0395】

半導体層5610、5611の上には、酸化シリコン若しくは窒化シリコンを少なくとも一部に含む絶縁層が形成される。この絶縁層を形成する目的の一つはゲート絶縁層である。そして、図42(A)で示すように、半導体層と一部が重なるようにゲート配線57

50

12、5713、5714を形成する。ゲート配線5712は半導体層5610に対応して形成される。ゲート配線5713は半導体層5610、5611に対応して形成される。また、ゲート配線5714は半導体層5610、5611に対応して形成される。ゲート配線は、金属層又は導電性の高い半導体層を成膜し、フォトリソグラフィ技術によってその形状を絶縁層上に作り込む。

【0396】

このゲート配線を形成するためのフォトマスクは、図42(B)に示すマスクパターン5731を備えている。このマスクパターン5731は、角部であって、(直角三角形)の一辺が10 μ m以下、または、配線の線幅の1/2以下で、線幅の1/5以上の大きさに角部を削除している。図42(B)で示すマスクパターン5731は、その形状が、図42(A)で示すゲート配線5712、5713、5714に反映される。その場合、マスクパターン5731と相似の形状が転写されてもよいが、マスクパターン5731の角部がさらに丸みを帯びるように転写されていてもよい。すなわち、マスクパターン5731よりもさらにパターン形状をなめらかにした、丸め部を設けてもよい。すなわち、ゲート配線5712、5713、5714の角部は、線幅の1/2以下であって1/5以上にコーナー部に丸みをおびさせる。凸部はプラズマによるドライエッチの際、異常放電による微粉の発生を抑え、凹部では、洗浄のときに、たとえできた微粉であっても、それが角に集まりやすいのを洗い流す結果として歩留まり向上が甚だしく期待できるという効果を有する。

【0397】

層間絶縁層はゲート配線5712、5713、5714の次に形成される層である。層間絶縁層は酸化シリコンなどの無機絶縁材料若しくはポリイミドやアクリル樹脂などを使った有機絶縁材料を使って形成する。この層間絶縁層とゲート配線5712、5713、5714の間には窒化シリコン若しくは窒化酸化シリコンなどの絶縁層を介在させてもよい。また、層間絶縁層上にも窒化シリコン若しくは窒化酸化シリコンなどの絶縁層を設けてもよい。この絶縁層は、外因性の金属イオンや水分などトランジスタにとっては良くない不純物により半導体層やゲート絶縁層を汚染するのを防ぐことができる。

【0398】

層間絶縁層には所定の位置に開口が形成されている。例えば、下層にあるゲート配線や半導体層に対応して設けられる。金属若しくは金属化合物の一層若しくは複数層で形成される配線層は、フォトリソグラフィ技術によってマスクパターンが形成され、エッチング加工により所定のパターンに形成される。そして、図43(A)で示すように、半導体層と一部が重なるように配線5815~5820を形成する。配線はある特定の素子間を連結する。配線は特定の素子と素子の間を直線で結ぶのではなく、レイアウトの制約上屈曲部が含まれる。また、コンタクト部やその他の領域において配線幅が変化する。コンタクト部では、コンタクトホールが配線幅と同等若しくは大きい場合には、その部分で配線幅が広がるように変化する。

【0399】

この配線5815~5820を形成するためのフォトマスクは、図43(B)に示すマスクパターン5832を備えている。この場合においても、配線は、そのコーナー部であって(直角三角形)の一辺が10 μ m以下、または、配線の線幅の1/2以下で、線幅の1/5以上の大きさに角部を削除し、コーナー部が丸みをおびた形状となるように設ける。このような配線は、凸部はプラズマによるドライエッチの際、異常放電による微粉の発生を抑え、凹部では、洗浄のときに、たとえできた微粉であっても、それが角に集まりやすいのを洗い流す結果として歩留まり向上が甚だしく期待できるという効果を有する。配線の角部がラウンドをとることにより、電氣的にも伝導させることが期待できる。また、多数の平行配線では、ゴミを洗い流すのにはきわめて好都合である。

【0400】

図43(A)には、Nチャネル型トランジスタ5821~5824、Pチャネル型トランジスタ5825、5826が形成されている。Nチャネル型トランジスタ5823とP

チャンネル型トランジスタ５８２５及びＮチャンネル型トランジスタ５８２４とＰチャンネル型トランジスタ５８２６はインバータ５８２７、５８２８を構成している。なお、この６つのトランジスタを含む回路はＳＲＡＭを形成している。これらのトランジスタの上層には、窒化シリコンや酸化シリコンなどの絶縁層が形成されていてもよい。

【０４０１】

本実施例で述べた内容は、実施例１～実施例３で述べた内容と自由に組み合わせて実施することができる。

【実施例５】

【０４０２】

本実施例では、画素の形成された基板の封止を行った構成について、図２５を用いて説明する。図２５（Ａ）は、画素の形成された基板を封止することによって形成されたパネルの上面図であり、図２５（Ｂ）、図２５（Ｃ）はそれぞれ図２５（Ａ）のＡ－Ａ'における断面図である。図２５（Ｂ）と図２５（Ｃ）とは、異なる方法で封止を行った例である。

【０４０３】

図２５（Ａ）乃至図２５（Ｃ）において、基板２５０１上には、複数の画素を有する画素部２５０２が配置され、画素部２５０２を囲むようにしてシール材２５０６が設けられシーリング材２５０７が貼り付けられている。画素の構造については、上述の発明を実施するための最良に形態や、実施例１で示した構成を用いることができる。

【０４０４】

図２５（Ｂ）の表示パネルでは、図２５（Ａ）のシーリング材２５０７は、対向基板２５２１に相当する。シール材２５０６を接着層として用いて透明な対向基板２５２１が貼り付けられ、基板２５０１、対向基板２５２１及びシール材２５０６によって密閉空間２５２２が形成される。対向基板２５２１には、カラーフィルタ２５２０と該カラーフィルタを保護する保護膜２５２３が設けられる。画素部２５０２に配置された発光素子から発せられる光は、該カラーフィルタ２５２０を介して外部に放出される。密閉空間２５２２は、不活性な樹脂もしくは液体などで充填される。なお、密閉空間２５２２に充填する樹脂として、吸湿材を分散させた透光性を有する樹脂を用いても良い。また、シール材２５０６と密閉空間２５２２に充填される材料とを同一の材料として、対向基板２５２１の接着と画素部２５０２の封止とを同時に行っても良い。

【０４０５】

図２５（Ｃ）に示した表示パネルでは、図２５（Ａ）のシーリング材２５０７は、シーリング材２５２４に相当する。シール材２５０６を接着層として用いてシーリング材２５２４が貼り付けられ、基板２５０１、シール材２５０６及びシーリング材２５２４によって密閉空間２５０８が形成される。シーリング材２５２４には予め凹部の中に吸湿剤２５０９が設けられ、上記密閉空間２５０８の内部において、水分や酸素等を吸着して清浄な雰囲気保ち、発光素子の劣化を抑制する役割を果たす。この凹部は目の細かいメッシュ状のカバー材２５１０で覆われている。カバー材２５１０は空気や水分は通すが、吸湿剤２５０９は通さない。なお、密閉空間２５０８は、窒素もしくはアルゴン等の希ガスで充填しておけばよく、不活性であれば樹脂もしくは液体で充填することも可能である。

【０４０６】

基板２５０１上には、画素部２５０２等に信号を伝達するための入力端子部２５１１が設けられ、該入力端子部２５１１へはＦＰＣ（フレキシブルプリントサーキット）２５１２を介して映像信号等の信号が伝達される。入力端子部２５１１では、基板２５０１上に形成された配線とＦＰＣ２５１２に設けられた配線とを、導電体を分散させた樹脂（異方性導電樹脂：ＡＣＦ）を用いて電氣的に接続してある。

【０４０７】

画素部２５０２が形成された基板２５０１上に、画素部２５０２に信号を入力する駆動回路が一体形成されていても良い。画素部２５０２に信号を入力する駆動回路をＩＣチップで形成し、基板２５０１上にＣＯＧ（Ｃｈｉｐ　Ｏｎ　Ｇｌａｓｓ）で接続しても良い

10

20

30

40

50

し、ＩＣチップをＴＡＢ（Ｔａｐｅ　Ａｕｔｏ　Ｂｏｎｄｉｎｇ）やプリント基板を用いて基板２５０１上に配置しても良い。

【０４０８】

本実施例は、実施例１～実施例４と自由に組み合わせて実施することができる。

【実施例６】

【０４０９】

本発明は、パネルに、パネルに信号を入力する回路を実装した表示モジュールに適用することができる。

【０４１０】

図２６はパネル２６００と回路基板２６０４を組み合わせた表示モジュールを示している。図２６では、回路基板２６０４上にコントローラ２６０５や信号分割回路２６０６などが形成されている例を示した。回路基板２６０４上に形成される回路はこれに限定されない。パネルを制御する信号を生成する回路であればどのような回路が形成されていてもよい。

10

【０４１１】

回路基板２６０４上に形成されたこれらの回路から出力された信号は、接続配線２６０７によってパネル２６００に入力される。

【０４１２】

パネル２６００は、画素部２６０１と、ソースドライバ２６０２と、ゲートドライバ２６０３とを有する。パネル２６００の構成は、実施例１や実施例２等で示した構成と同様とすることができる。図２６では、画素部２６０１が形成された基板と同一基板上に、ソースドライバ２６０２及びゲートドライバ２６０３が形成されている例を示した。しかし、本発明の表示モジュールはこれに限定されない。画素部２６０１が形成された基板と同一基板上にゲートドライバ２６０３のみが形成され、ソースドライバは回路基板上に形成されていても良い。ソースドライバ及びゲートドライバの両方が回路基板上に形成されていても良い。

20

【０４１３】

このような表示モジュールを組み込んで、様々な電子機器の表示部を形成することができる。

【０４１４】

30

本実施例は、実施例１～実施例５と自由に組み合わせて実施することができる。

【実施例７】

【０４１５】

本実施例は、本発明に係る電子機器について説明する。電子機器としては、カメラ（ビデオカメラ、デジタルカメラ等）、プロジェクター、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、ナビゲーションシステム、カーステレオ、パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）、記録媒体を備えた画像再生装置（具体的にはDigital Versatile Disc（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。電子機器の代表例を図２７に示す。

40

【０４１６】

図２７（Ａ）は、パーソナルコンピュータであり、本体２７１１、筐体２７１２、表示部２７１３、キーボード２７１４、外部接続ポート２７１５、ポインティングマウス２７１６等を含む。本発明は、表示部２７１３に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【０４１７】

図２７（Ｂ）は記録媒体を備えた画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２７２１、筐体２７２２、第１の表示部２７２３、第２の表示部２７２４、記録媒体読み込み部２７２５（ＤＶＤ等）、操作キー２７２６、スピーカー部２７２７等を含む。第１の表示部２７２３は主として画像情報を表示し、第２の表示部２７２４は主として文

50

字情報を表示する。本発明は、第 1 の表示部 2 7 2 3、第 2 の表示部 2 7 2 4 に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【 0 4 1 8 】

図 2 7 (C) は携帯電話であり、本体 2 7 3 1、音声出力部 2 7 3 2、音声入力部 2 7 3 3、表示部 2 7 3 4、操作スイッチ 2 7 3 5、アンテナ 2 7 3 6 等を含む。本発明は、表示部 2 7 3 4 に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

【 0 4 1 9 】

図 2 7 (D) はカメラであり、本体 2 7 4 1、表示部 2 7 4 2、筐体 2 7 4 3、外部接続ポート 2 7 4 4、リモコン受信部 2 7 4 5、受像部 2 7 4 6、バッテリー 2 7 4 7、音声入力部 2 7 4 8、操作キー 2 7 4 9 等を含む。本発明は、表示部 2 7 4 2 に適用される。本発明を用いることによって、表示部の消費電力を低減することができる。

10

【 0 4 2 0 】

本実施例は、実施例 1 乃至実施例 6 と自由に組み合わせて実施することができる。

【図面の簡単な説明】

【 0 4 2 1 】

【図 1】第 1 の実施形態を示す図。

【図 2】第 1 の実施形態のタイミングチャートを示す図。

【図 3】第 1 の実施形態を示す図。

【図 4】第 1 の実施形態を示す図。

20

【図 5】第 2 の実施形態、乃至第 4 の実施形態を示す図。

【図 6】第 2 の実施形態を示す図。

【図 7】第 2 の実施形態を示す図。

【図 8】第 3 の実施形態を示す図。

【図 9】第 3 の実施形態を示す図。

【図 1 0】第 3 の実施形態を示す図。

【図 1 1】第 4 の実施形態を示す図。

【図 1 2】第 4 の実施形態を示す図。

【図 1 3】第 5 の実施形態を示す図。

【図 1 4】第 5 の実施形態を示す図。

30

【図 1 5】第 5 の実施形態、及び第 6 の実施形態を示す図。

【図 1 6】第 5 の実施形態、及び第 6 の実施形態を示す図。

【図 1 7】第 5 の実施形態を示す図。

【図 1 8】第 5 の実施形態を示す図。

【図 1 9】第 5 の実施形態を示す図。

【図 2 0】第 5 の実施形態を示す図。

【図 2 1】第 6 の実施形態を示す図。

【図 2 2】第 6 の実施形態を示す図。

【図 2 3】第 6 の実施形態を示す図。

【図 2 4】実施例 1 を示す図。

40

【図 2 5】実施例 6 を示す図。

【図 2 6】実施例 7 を示す図。

【図 2 7】実施例 8 を示す図。

【図 2 8】実施例 2 を示す図。

【図 2 9】実施例 2 を示す図。

【図 3 0】実施例 2 を示す図。

【図 3 1】実施例 3 を示す図。

【図 3 2】実施例 3 を示す図。

【図 3 3】実施例 3 を示す図。

【図 3 4】実施例 3 を示す図。

50

【図 3 5】	実施例 3 を示す図。	
【図 3 6】	実施例 3 を示す図。	
【図 3 7】	実施例 3 を示す図。	
【図 3 8】	第 6 の実施形態を示す図。	
【図 3 9】	第 6 の実施形態を示す図。	
【図 4 0】	第 6 の実施形態を示す図。	
【図 4 1】	実施例 5 を示す図。	
【図 4 2】	実施例 5 を示す図。	
【図 4 3】	実施例 5 を示す図。	
【図 4 4】	第 7 の実施形態を示す図。	10
【図 4 5】	第 7 の実施形態を示す図。	
【図 4 6】	第 6 の実施形態を示す図。	
【図 4 7】	第 6 の実施形態を示す図。	
【図 4 8】	第 3 の実施形態を示す図。	
【図 4 9】	第 6 の実施形態を示す図。	
【図 5 0】	第 3 の実施形態を示す図。	
【図 5 1】	第 1 の実施形態を示す図。	
【図 5 2】	第 2 の実施形態を示す図。	
【図 5 3】	第 3 の実施形態を示す図。	
【図 5 4】	第 4 の実施形態を示す図。	20
【図 5 5】	第 1 の実施形態を示す図。	
【図 5 6】	第 2 の実施形態を示す図。	
【図 5 7】	第 3 の実施形態を示す図。	
【図 5 8】	第 4 の実施形態を示す図。	
【図 5 9】	第 1 の実施形態を示す図。	
【図 6 0】	第 2 の実施形態を示す図。	
【図 6 1】	第 3 の実施形態を示す図。	
【図 6 2】	第 3 の実施形態、及び第 4 の実施形態を示す。	
【図 6 3】	第 4 の実施形態を示す図。	
【符号の説明】		30
【 0 4 2 2 】		
1 0	回路	
1 1	入力端子	
1 2	入力端子	
1 3	入力端子	
1 4	出力端子	
3 1	トランジスタ	
3 2	トランジスタ	
3 3	容量素子	
3 4	回路	40
3 5	回路	
4 1	トランジスタ	
4 2	トランジスタ	
5 0	回路	
5 1	入力端子	
5 2	入力端子	
5 3	入力端子	
5 4	入力端子	
5 5	出力端子	
6 1	回路	50

6 2	回路	
7 1	トランジスタ	
7 2	トランジスタ	
7 3	トランジスタ	
8 1	回路	
8 2	回路	
8 3	回路	
9 1	トランジスタ	
9 2	トランジスタ	
9 3	トランジスタ	10
9 4	トランジスタ	
9 5	トランジスタ	
1 0 1	トランジスタ	
1 0 2	抵抗素子	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	容量素子	
1 1 1	回路	
1 2 1	トランジスタ	
1 2 2	トランジスタ	20
1 2 3	トランジスタ	
1 2 4	トランジスタ	
1 2 5	トランジスタ	
1 3 1	シフトレジスタ回路	
1 5 1	シフトレジスタ回路	
1 5 2	レベルシフト回路	
1 7 1	シフトレジスタ回路	
1 7 2	レベルシフト回路	
1 9 1	シフトレジスタ回路	
1 9 2	回路	30
2 1 1	画素	
2 1 2	ゲートドライバ	
2 2 1	ソースドライバ	
2 3 1	トランジスタ	
2 3 2	容量素子	
2 3 3	液晶素子	
2 3 4	対向電極	
2 4 1	トランジスタ	
2 4 2	トランジスタ	
2 4 3	容量素子	40
2 4 4	発光素子	
2 4 5	対向電極	
2 5 1	トランジスタ	
2 5 2	トランジスタ	
2 5 3	トランジスタ	
2 5 4	容量素子	
2 6 1	トランジスタ	
2 6 2	トランジスタ	
2 6 3	トランジスタ	
2 5 4	トランジスタ	50

2 6 4	トランジスタ	
2 6 5	容量素子	
2 6 6	定電圧線	
4 8 1	トランジスタ	
5 0 1	トランジスタ	
5 0 2	抵抗素子	
5 0 3	トランジスタ	
5 0 4	トランジスタ	
5 0 5	回路	
5 5 1	トランジスタ	10
5 5 2	トランジスタ	
5 5 3	容量素子	
5 5 4	回路	
5 5 5	回路	
5 6 1	回路	
5 6 2	回路	
5 7 1	回路	
5 7 2	回路	
5 7 3	回路	
5 8 1	回路	20
5 9 1	トランジスタ	
5 9 2	トランジスタ	
6 0 1	トランジスタ	
6 0 2	トランジスタ	
6 0 3	トランジスタ	
2 4 0 0	基板	
2 4 0 1	下地膜	
2 4 0 2	半導体層	
2 4 0 3	絶縁膜	
2 4 0 4	ゲート電極	30
2 4 0 5	絶縁膜	
2 4 0 6	電極	
2 4 0 7	電極	
2 4 0 8	絶縁膜	
2 4 0 9	発光層	
2 4 1 0	トランジスタ	
2 4 1 1	容量素子	
2 4 1 2	半導体層	
2 4 1 4	電極	
2 4 1 5	発光素子	40
2 4 1 6	電極	
2 4 1 7	電極	
2 4 1 8	絶縁膜	
2 5 0 1	基板	
2 5 0 2	画素部	
2 5 0 6	シール材	
2 5 0 7	シーリング材	
2 5 0 8	密閉空間	
2 5 0 9	吸湿剤	
2 5 1 0	カバー材	50

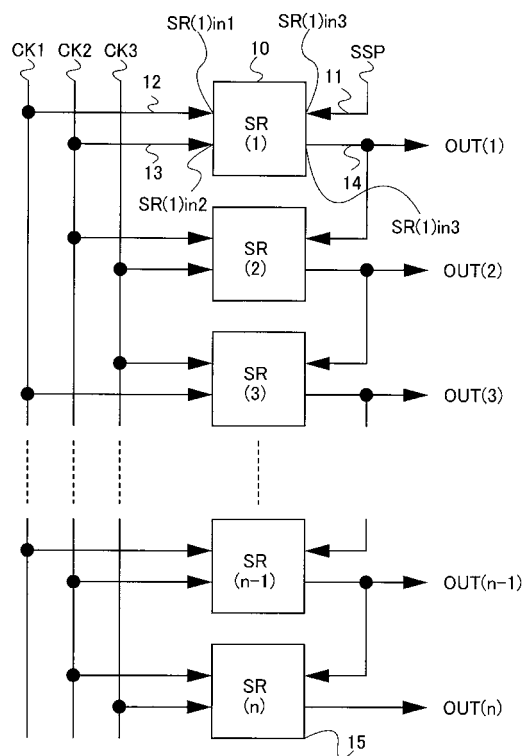
2 5 1 1	入力端子部	
2 5 1 2	F P C	
2 5 2 0	カラーフィルタ	
2 5 2 1	対向基板	
2 5 2 2	密閉空間	
2 5 2 3	保護膜	
2 5 2 4	シーリング材	
2 6 0 0	パネル	
2 6 0 1	画素部	
2 6 0 2	ソースドライバ	10
2 6 0 3	ゲートドライバ	
2 6 0 4	回路基板	
2 6 0 5	コントローラ	
2 6 0 6	信号分割回路	
2 6 0 7	接続配線	
2 7 1 1	本体	
2 7 1 2	筐体	
2 7 1 3	表示部	
2 7 1 4	キーボード	
2 7 1 5	外部接続ポート	20
2 7 1 6	ポインティングマウス	
2 7 2 1	本体	
2 7 2 2	筐体	
2 7 2 3	表示部	
2 7 2 4	表示部	
2 7 2 5	記録媒体読み込み部	
2 7 2 6	操作キー	
2 7 2 7	スピーカー部	
2 7 3 1	本体	
2 7 3 2	音声出力部	30
2 7 3 3	音声入力部	
2 7 3 4	表示部	
2 7 3 5	操作スイッチ	
2 7 3 6	アンテナ	
2 7 4 1	本体	
2 7 4 2	表示部	
2 7 4 3	筐体	
2 7 4 4	外部接続ポート	
2 7 4 5	リモコン受信部	
2 7 4 6	受像部	40
2 7 4 7	バッテリー	
2 7 4 8	音声入力部	
2 7 4 9	操作キー	
2 8 0 1	基板	
2 8 0 2	下地膜	
2 8 0 3	画素電極	
2 8 0 4	電極	
2 8 0 5	配線	
2 8 0 6	配線	
2 8 0 7	N型半導体層	50

2 8 0 8	N 型半 導 体 層	
2 8 0 9	半 導 体 層	
2 8 1 0	ゲ ー ト 絶 縁 膜	
2 8 1 1	絶 縁 膜	
2 8 1 2	ゲ ー ト 電 極	
2 8 1 3	電 極	
2 8 1 4	層 間 絶 縁 膜	
2 8 1 5	有 機 化 合 物 を 含 む 層	
2 8 1 6	対 向 電 極	
2 8 1 7	発 光 素 子	10
2 8 1 8	駆 動 ト ラ ン ジ ス タ	
2 8 1 9	容 量 素 子	
2 8 2 0	電 極	
2 9 0 1	基 板	
2 9 0 3	ゲ ー ト 電 極	
2 9 0 4	電 極	
2 9 0 5	ゲ ー ト 絶 縁 膜	
2 9 0 6	半 導 体 層	
2 9 0 7	半 導 体 層	
2 9 0 8	N 型半 導 体 層	20
2 9 0 9	N 型半 導 体 層	
2 9 1 0	N 型半 導 体 層	
2 9 1 1	配 線	
2 9 1 2	配 線	
2 9 1 3	導 電 層	
2 9 1 4	画 素 電 極	
2 9 1 5	絶 縁 層	
2 9 1 7	対 向 電 極	
2 9 1 8	発 光 素 子	
2 9 1 9	駆 動 ト ラ ン ジ ス タ	30
2 9 2 0	容 量 素 子	
2 9 2 1	電 極	
3 0 0 1	絶 縁 層	
4 6 0 1	基 板	
4 6 0 2	絶 縁 膜	
4 6 0 3 a	半 導 体 膜	
4 6 0 3 b	半 導 体 膜	
4 6 0 4	ゲ ー ト 絶 縁 膜	
4 6 0 5	ゲ ー ト 電 極	
4 6 0 6	絶 縁 膜	40
4 6 0 7	絶 縁 膜	
4 6 0 8	導 電 膜	
4 6 1 0 a	N チ ャ ネ ル 型 ト ラ ン ジ ス タ	
4 6 1 0 b	P チ ャ ネ ル 型 ト ラ ン ジ ス タ	
4 6 2 1 a	絶 縁 膜	
4 6 2 1 b	絶 縁 膜	
4 6 2 3	絶 縁 膜	
4 6 2 4	絶 縁 膜	
4 6 2 5 a	レ ジ ス ト	
4 6 2 5 b	レ ジ ス ト	50

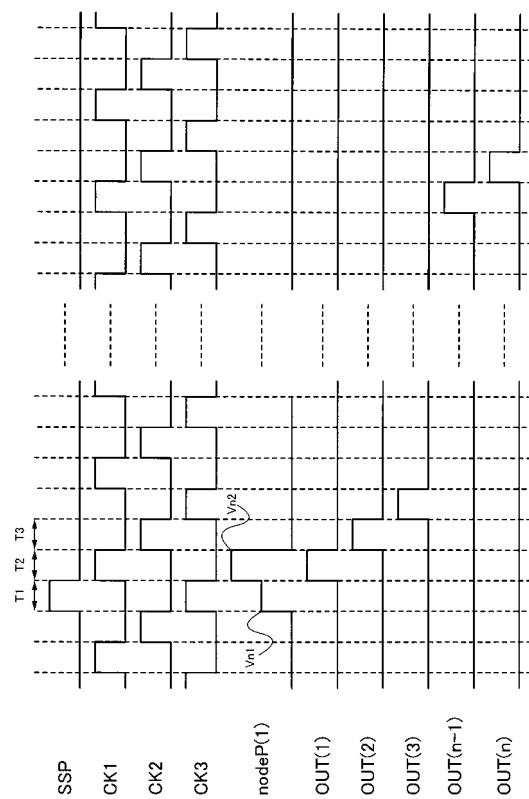
4 6 2 6	絶縁膜	
4 6 2 7 a	絶縁膜	
4 6 2 7 b	絶縁膜	
4 6 5 1 a	チャネル領域の端部	
4 6 5 1 b	チャネル領域の端部	
4 6 5 2 a	チャネル領域の端部	
4 6 5 2 b	チャネル領域の端部	
4 6 7 1	膜	
4 6 7 2	絶縁膜	
4 6 7 3	ゴミ	10
4 6 7 4	絶縁膜	
4 6 7 5	絶縁膜	
5 4 0 1	Nチャネル型トランジスタ	
5 4 0 2	Nチャネル型トランジスタ	
5 4 0 3	Pチャネル型トランジスタ	
5 4 0 4	容量素子	
5 4 0 5	抵抗素子	
5 5 0 2	導電層	
5 5 0 3	導電層	
5 5 0 4	配線	20
5 5 0 5	半導体層	
5 5 0 6	不純物領域	
5 5 0 7	不純物領域	
5 5 0 8	絶縁層	
5 5 0 9	ゲート電極	
5 5 1 0	不純物領域	
5 5 1 1	不純物領域	
5 5 1 2	不純物領域	
5 6 1 0	半導体層	
5 6 1 1	半導体層	30
5 6 3 0	マスクパターン	
5 7 1 2	ゲート配線	
5 7 1 3	ゲート配線	
5 7 1 4	ゲート配線	
5 7 3 1	マスクパターン	
5 8 0 0	デコーダタイプゲートドライバ	
5 8 0 1	入力端子	
5 8 0 2	第2入力端子	
5 8 0 3	第3入力端子	
5 8 0 4	入力端子	40
5 8 0 5	レベルシフタ	
5 8 0 6	バッファ回路	
5 8 1 5	配線	
5 8 1 6	配線	
5 8 1 7	配線	
5 8 1 8	配線	
5 8 1 9	配線	
5 8 2 0	配線	
5 8 2 1	Nチャネル型トランジスタ	
5 8 2 2	Nチャネル型トランジスタ	50

5 8 2 3	Nチャネル型トランジスタ
5 8 2 4	Nチャネル型トランジスタ
5 8 2 5	Pチャネル型トランジスタ
5 8 2 6	Pチャネル型トランジスタ
5 8 2 7	インバータ
5 8 2 8	インバータ
5 8 3 2	マスクパターン
9 0 0 0	ソースドライバ

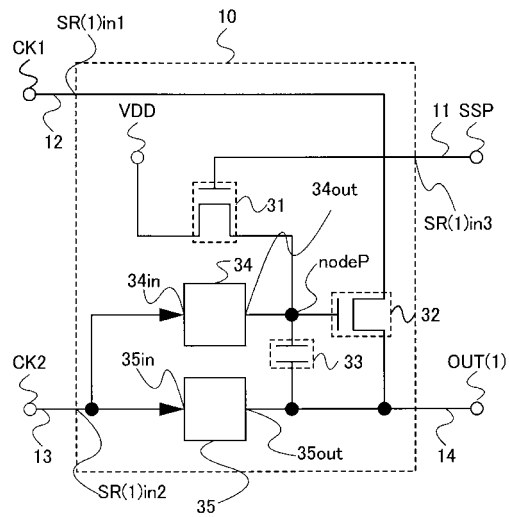
【図1】



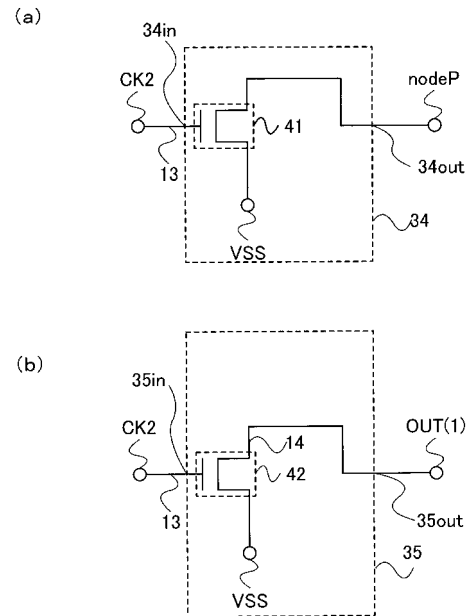
【図2】



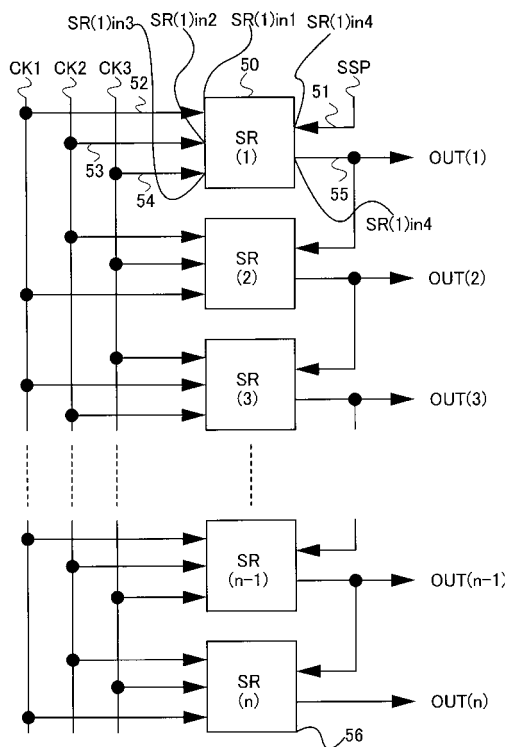
【図 3】



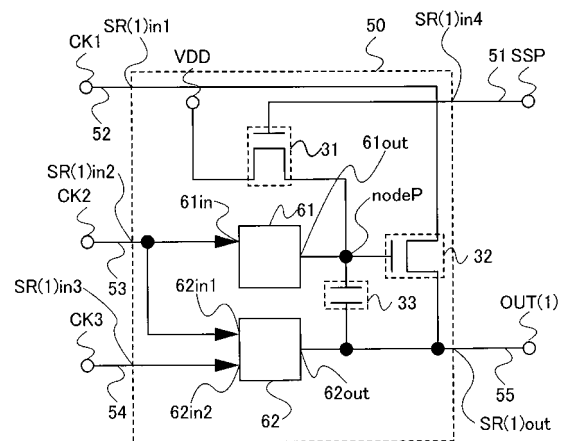
【図 4】



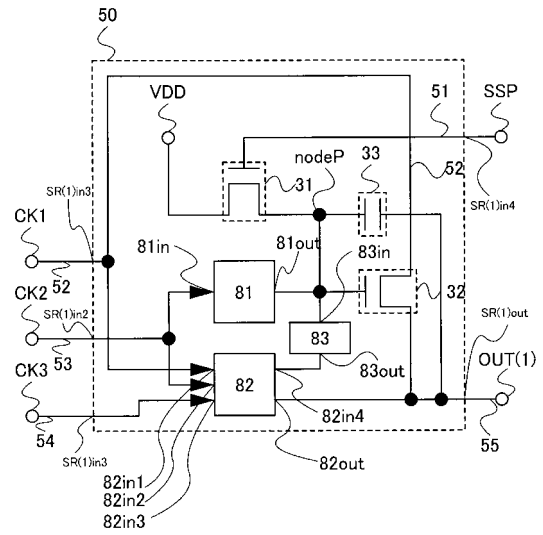
【図 5】



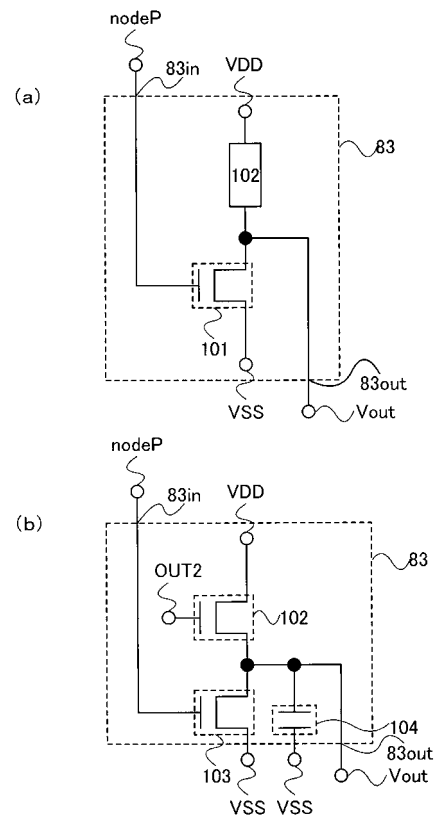
【図 6】



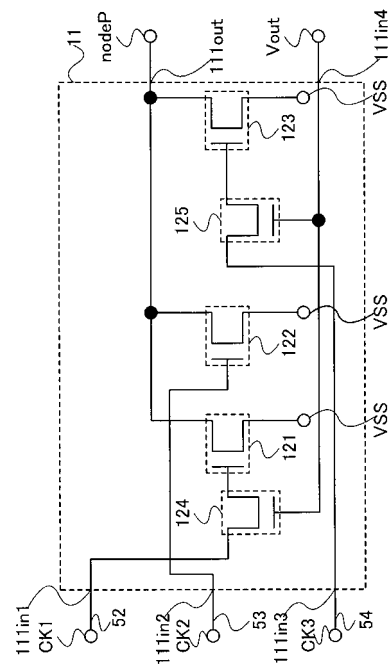
【 図 8 】



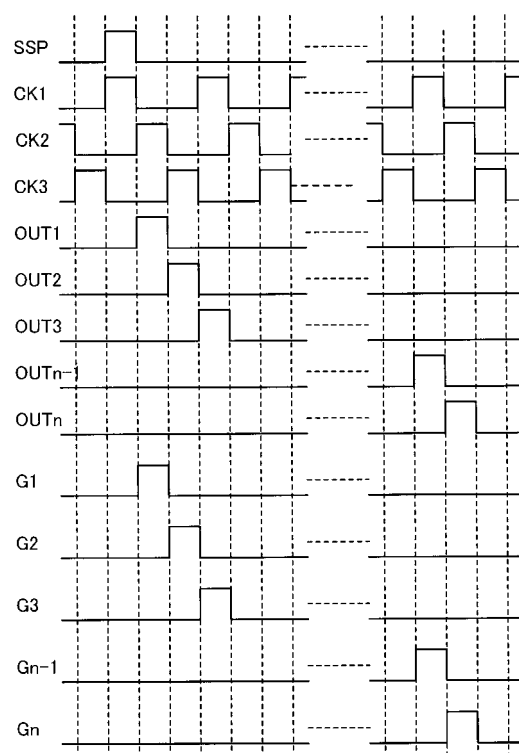
【 図 1 0 】



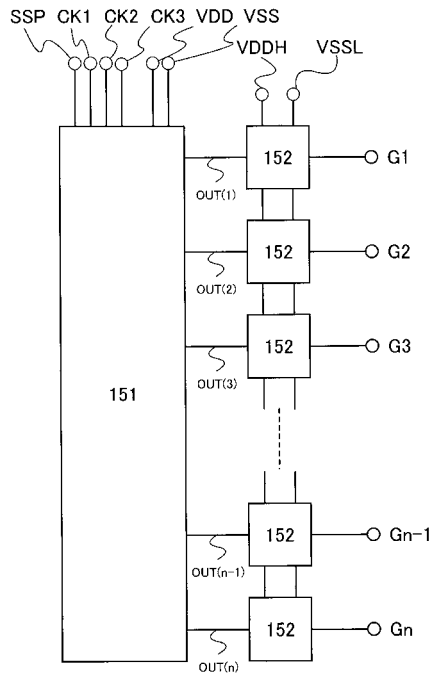
【 図 1 2 】



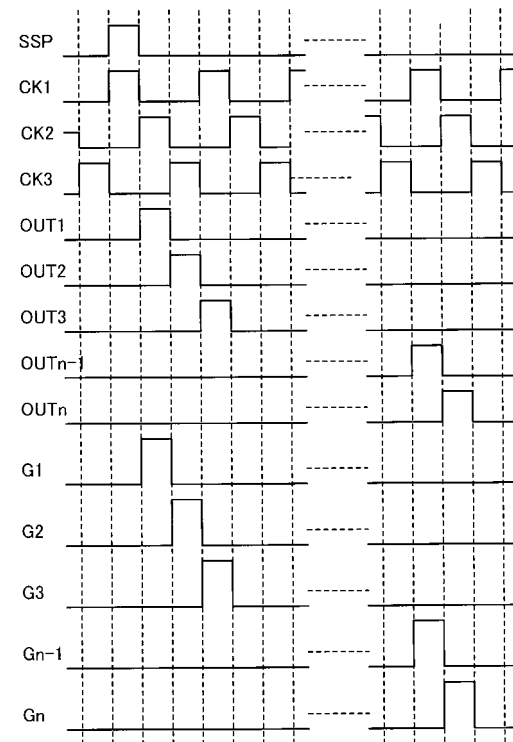
【 図 1 4 】



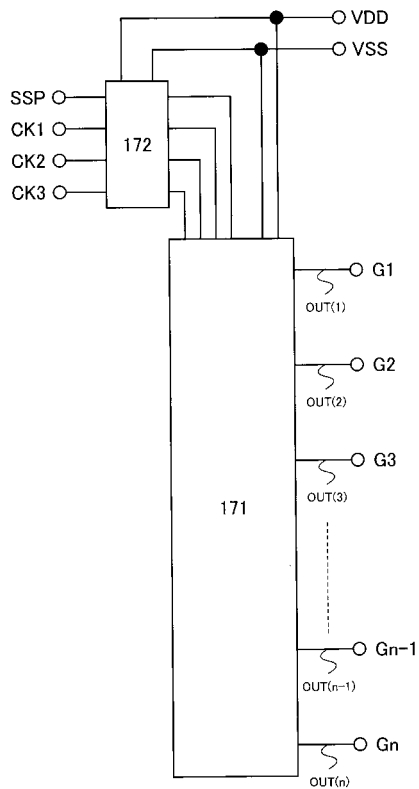
【図 15】



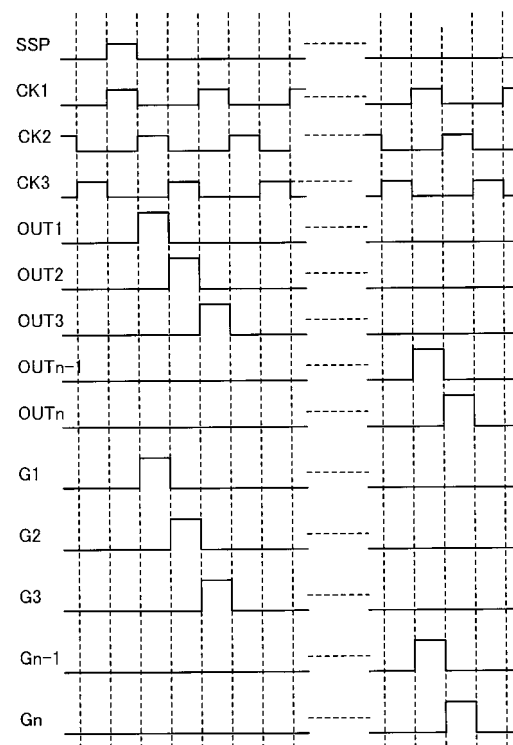
【図 16】



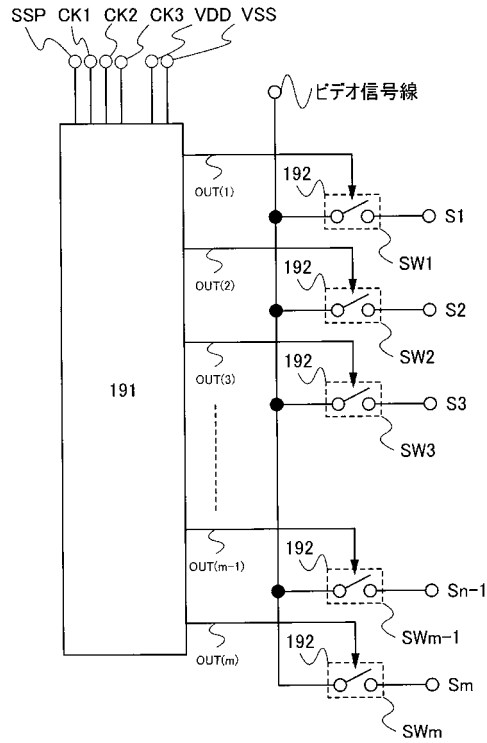
【図 17】



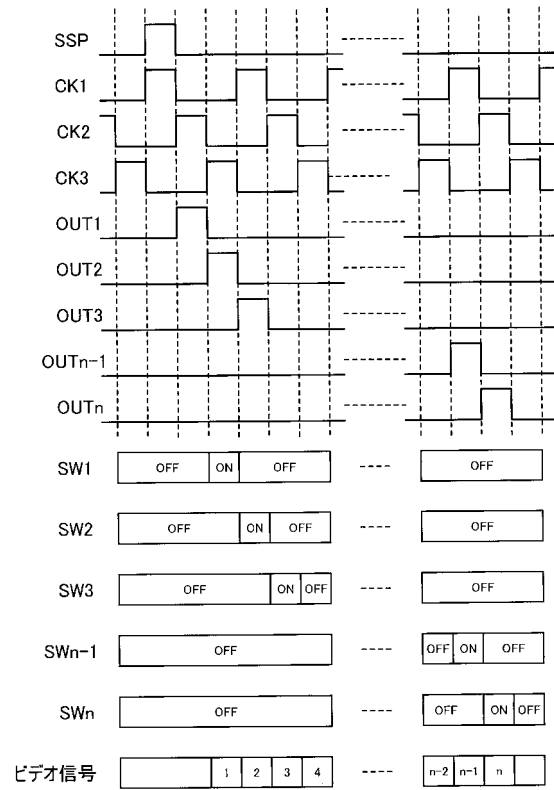
【図 18】



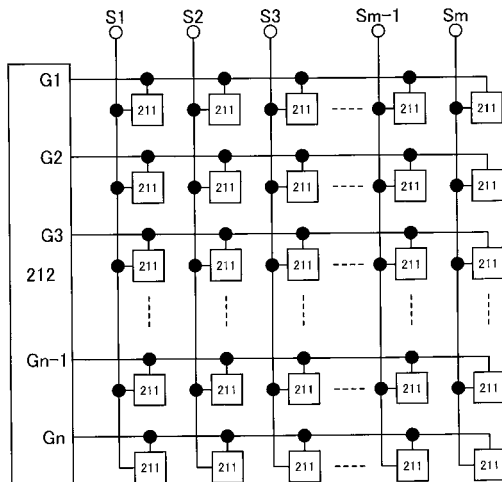
【図 19】



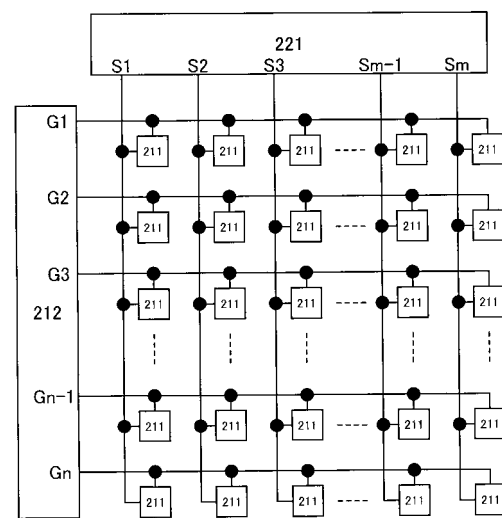
【図 20】



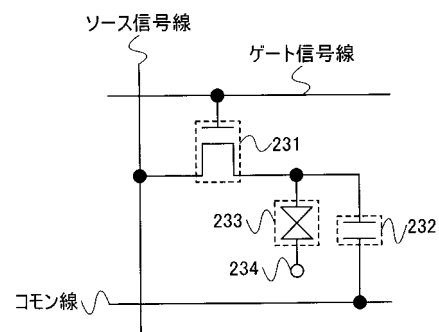
【図 21】



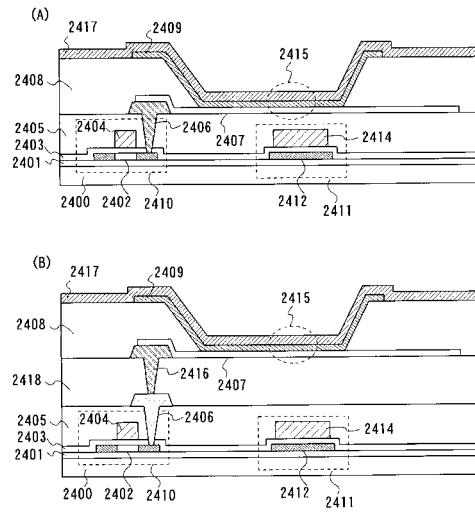
【図 22】



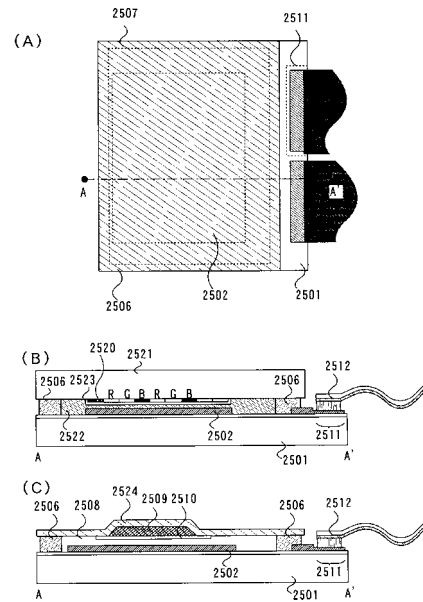
【図 23】



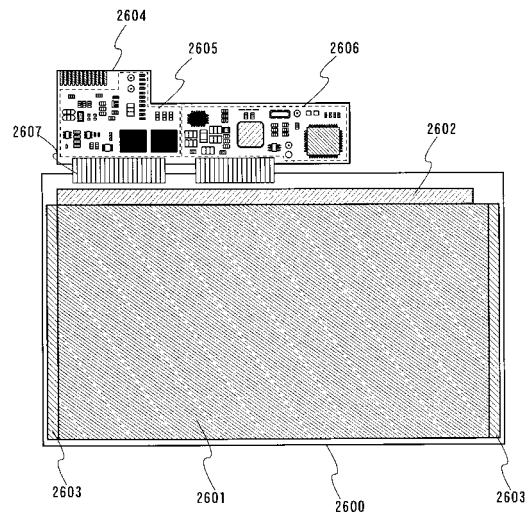
【 図 2 4 】



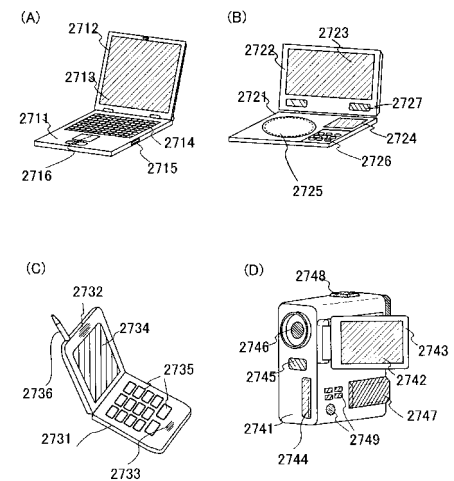
【 図 2 5 】



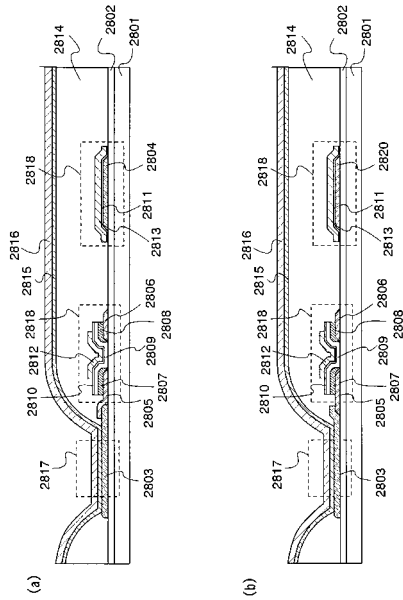
【 図 2 6 】



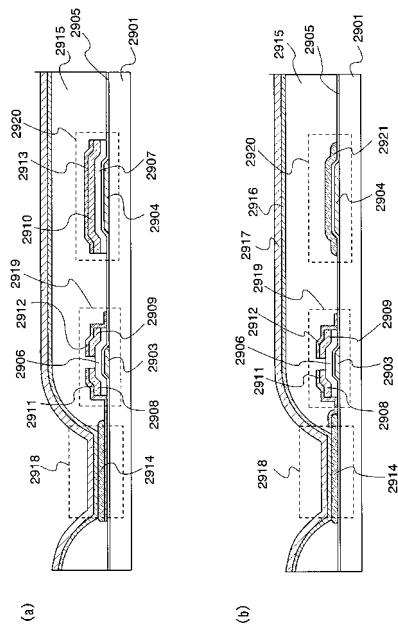
【 図 2 7 】



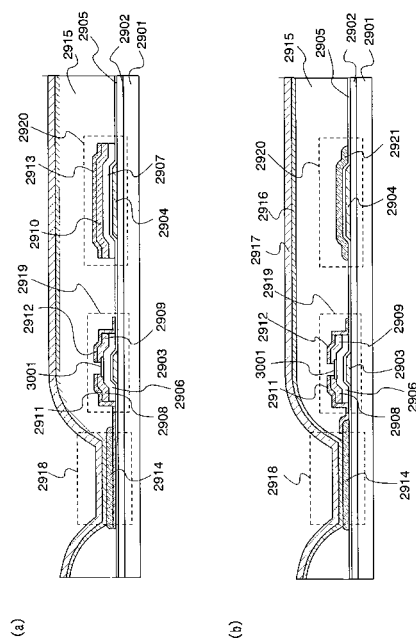
【 図 2 8 】



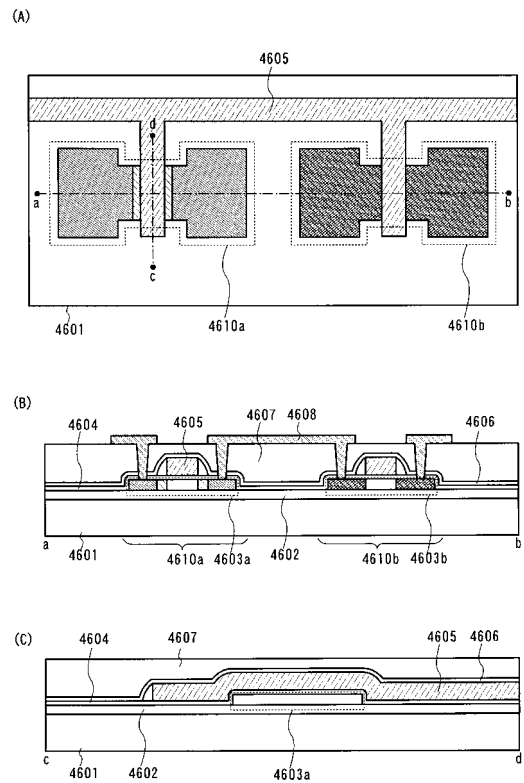
【圖 29】



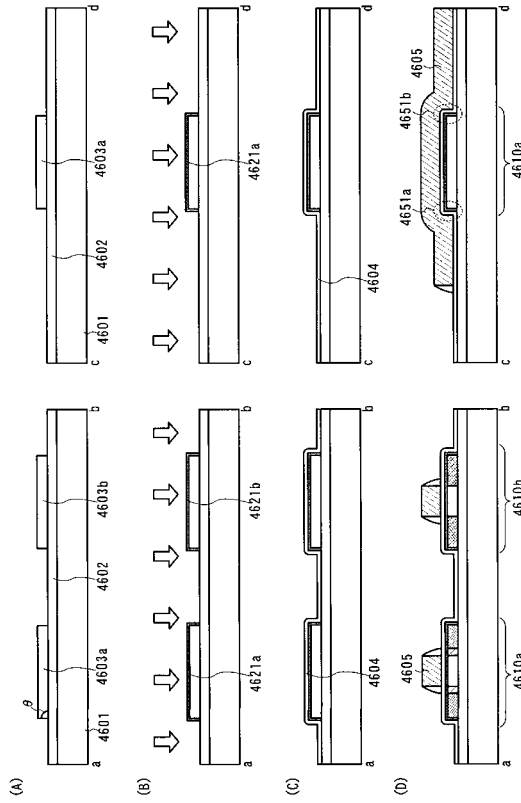
【 図 3 0 】



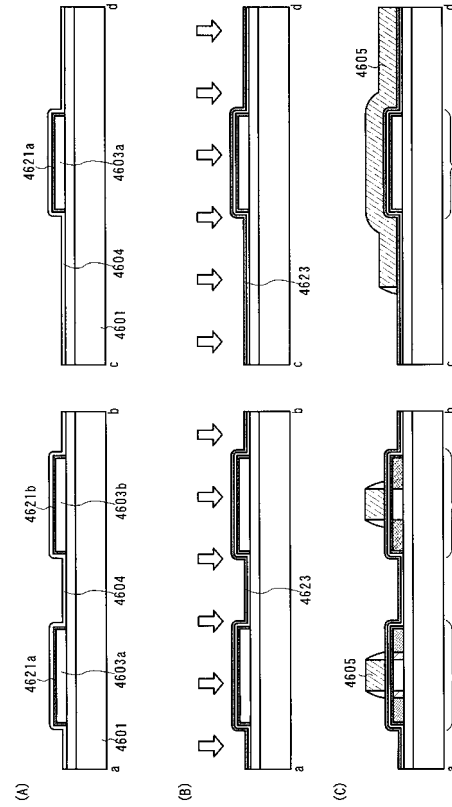
【 図 3 1 】



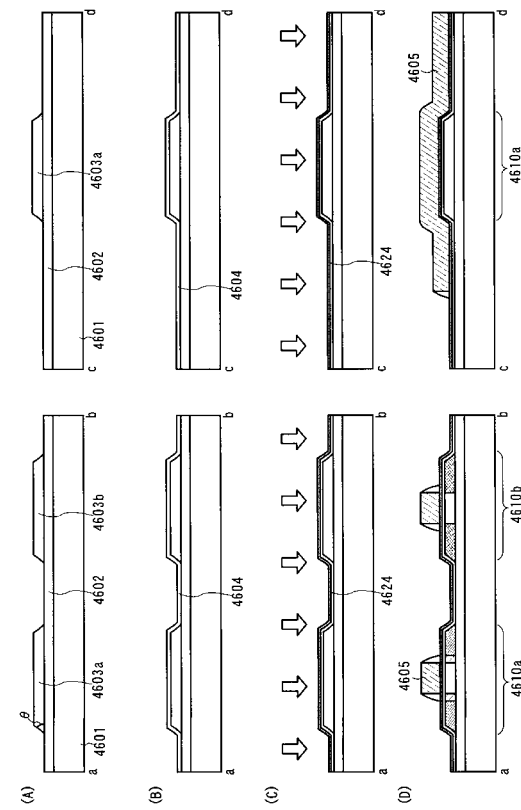
【図 3 2】



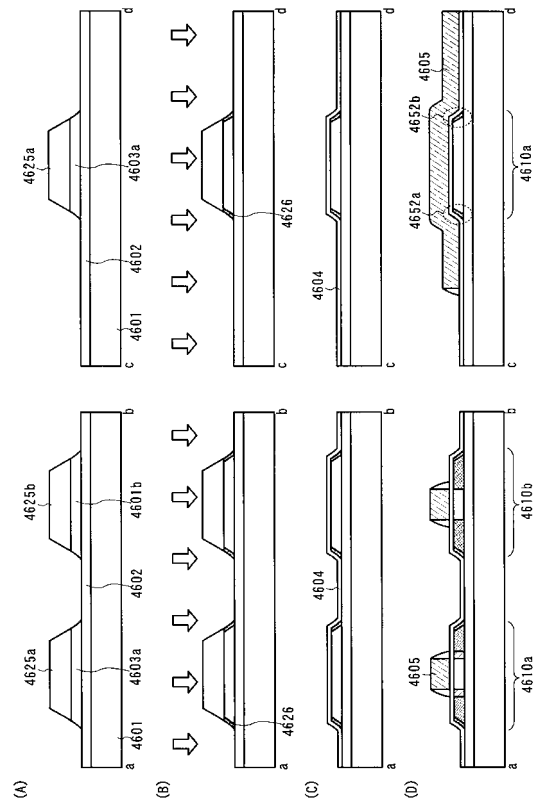
【図 3 3】



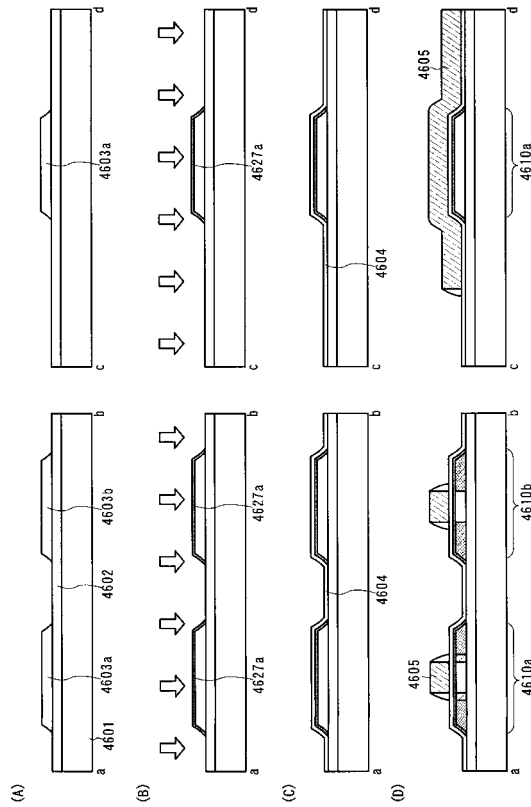
【図 3 4】



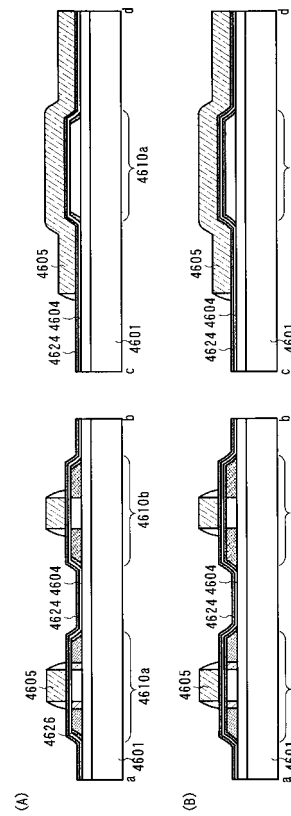
【図 3 5】



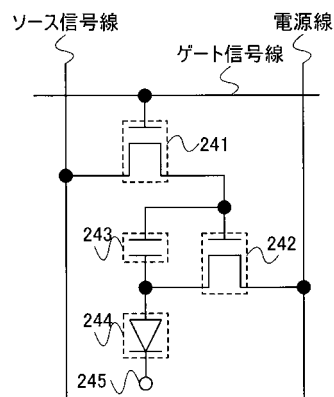
【図 36】



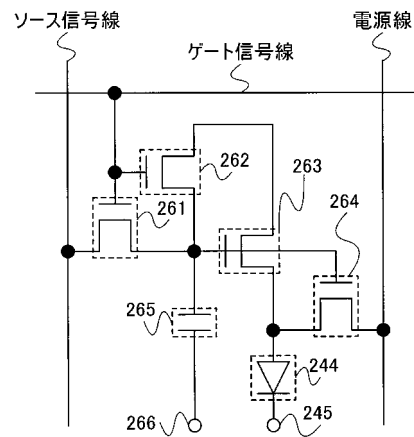
【図 37】



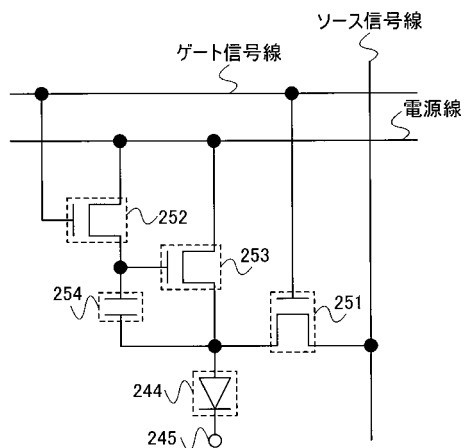
【図 38】



【図 40】

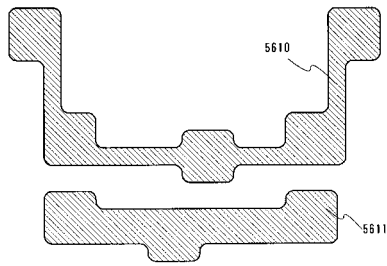


【図 39】

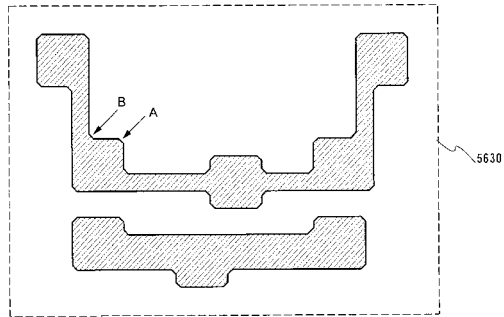


【図 4 1】

(A)

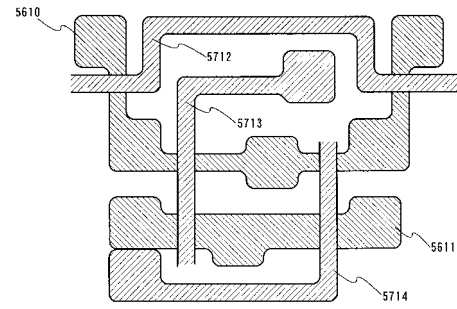


(B)

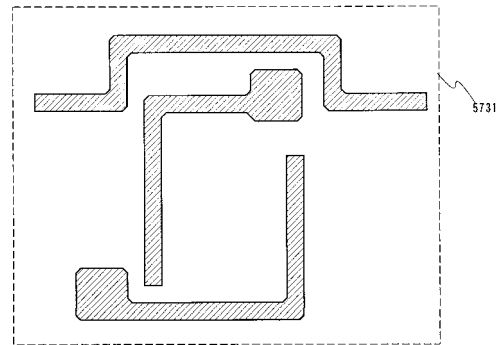


【図 4 2】

(A)

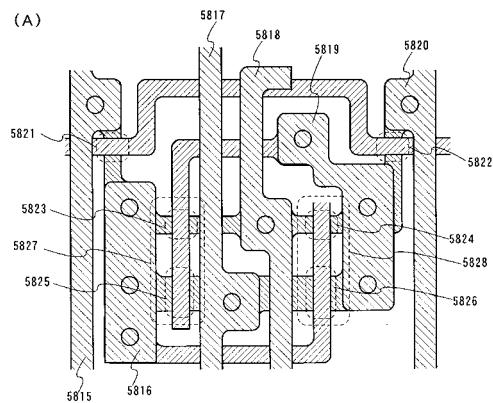


(B)

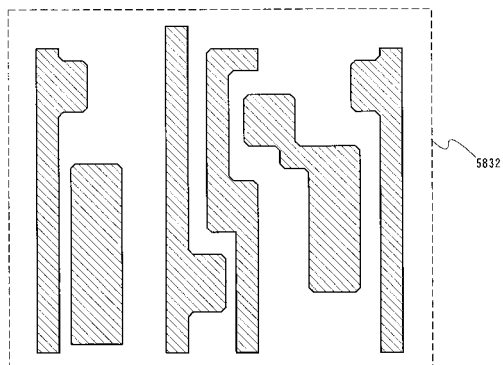


【図 4 3】

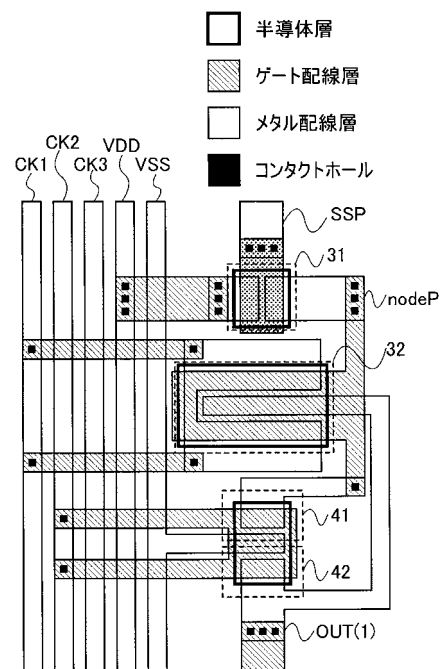
(A)



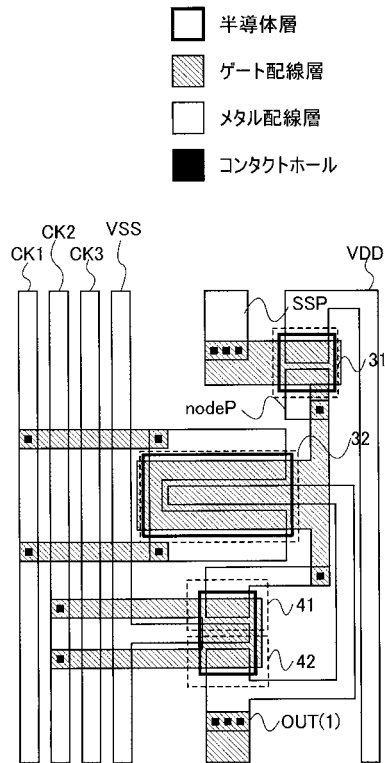
(B)



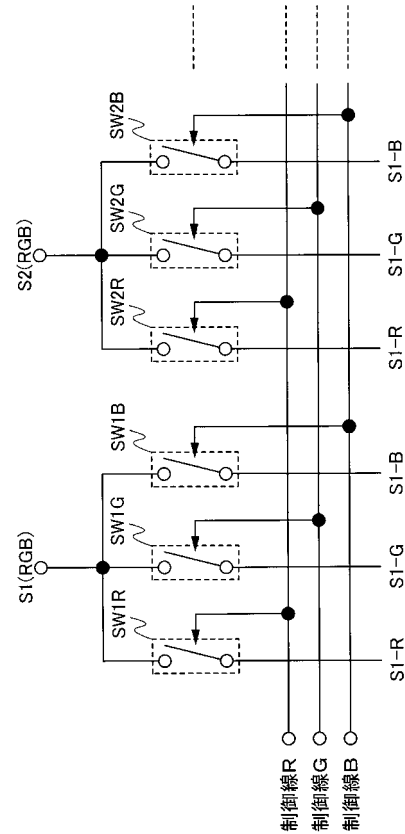
【図 4 4】



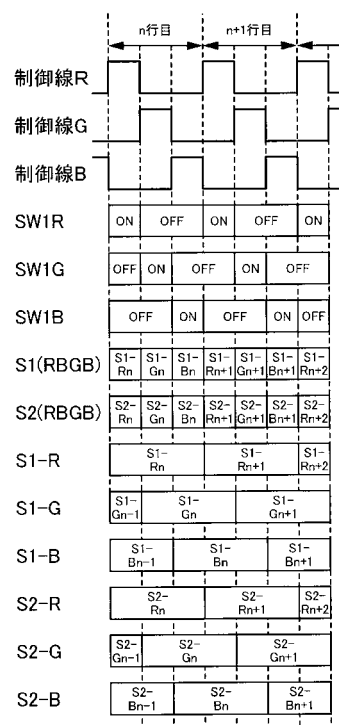
【図 45】



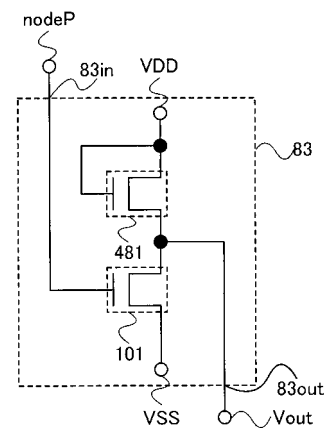
【図 46】



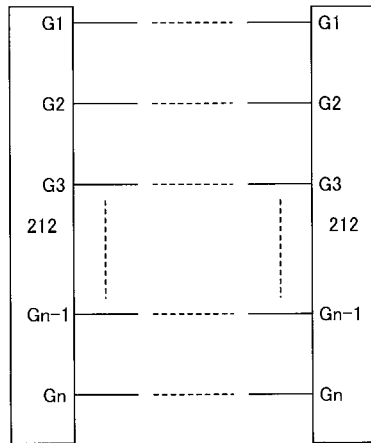
【図 47】



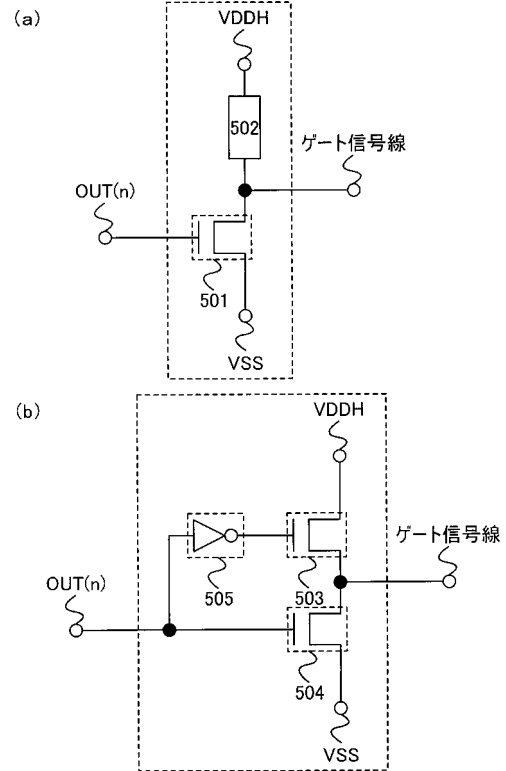
【図 48】



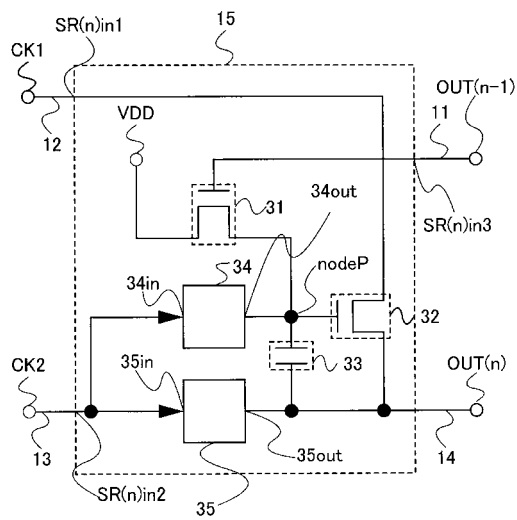
【図 49】



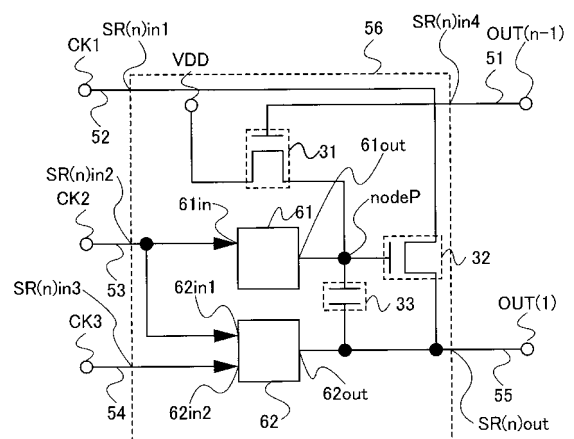
【図 50】



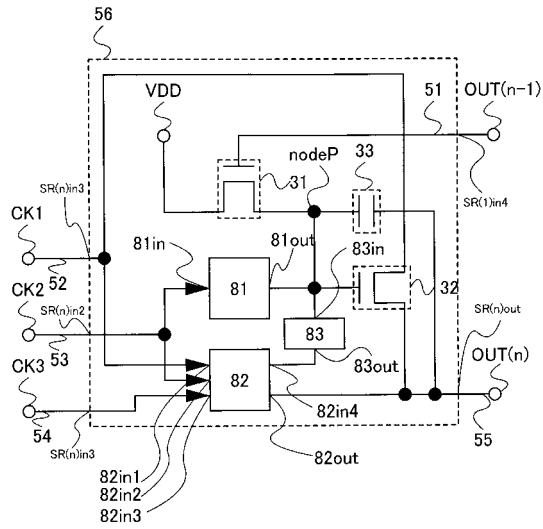
【図 51】



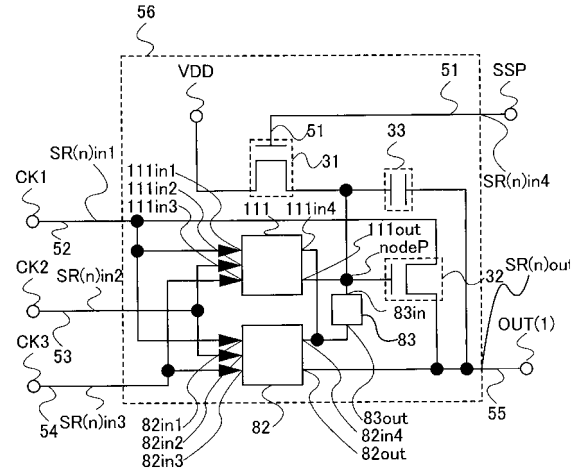
【図 52】



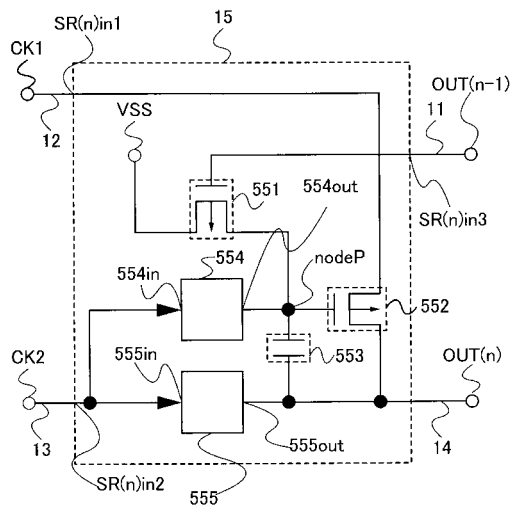
【図 5 3】



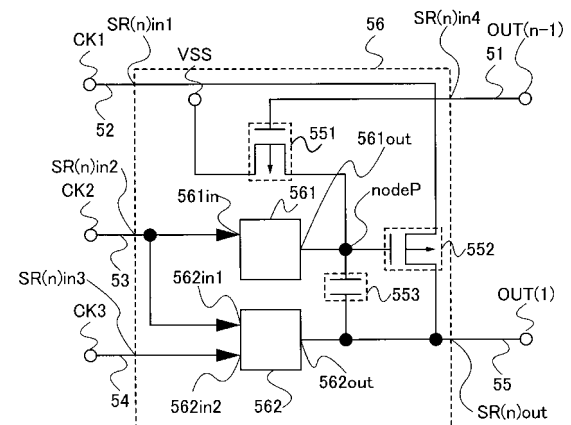
【図 5 4】



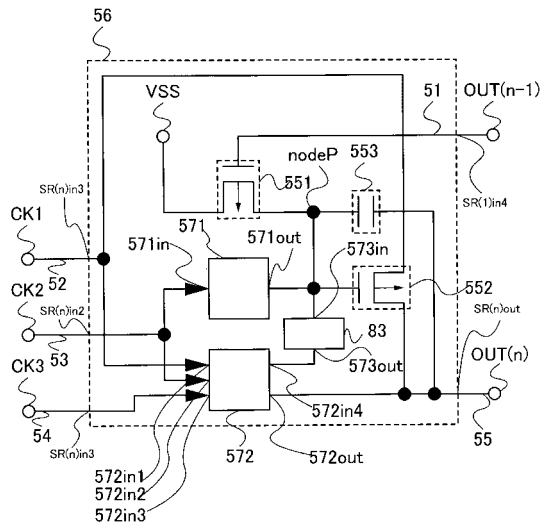
【図 5 5】



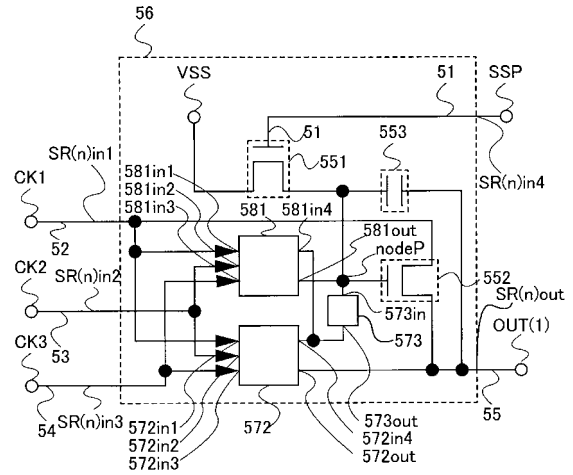
【図 5 6】



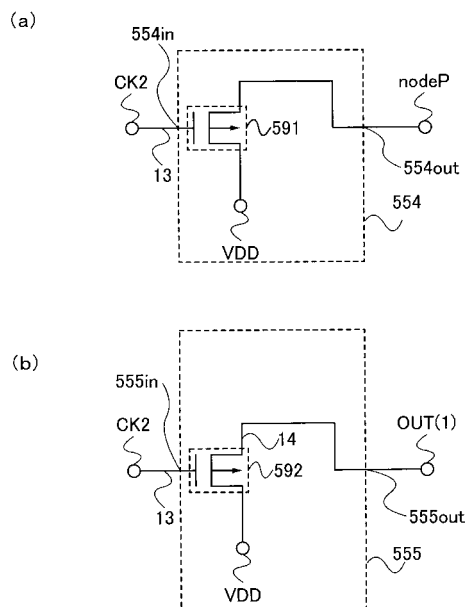
【図 57】



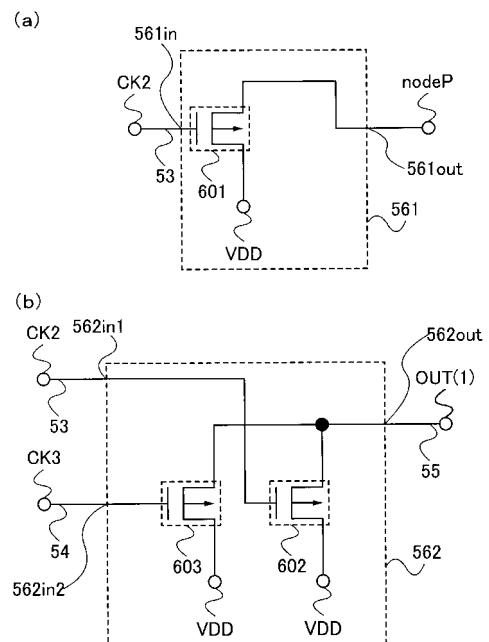
【図 58】



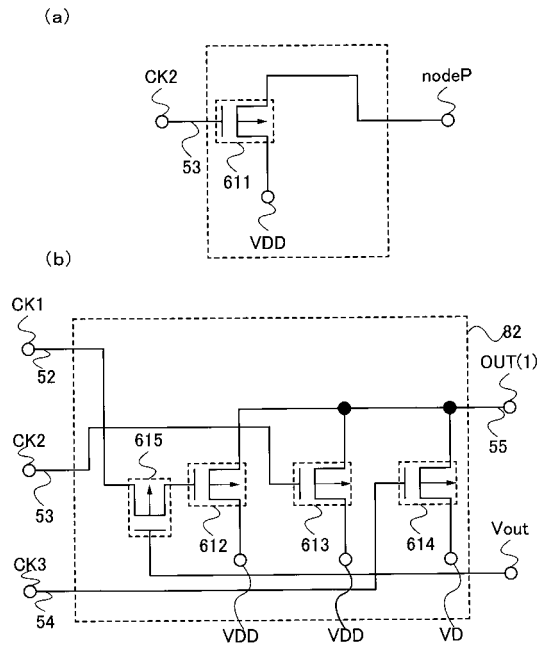
【図 59】



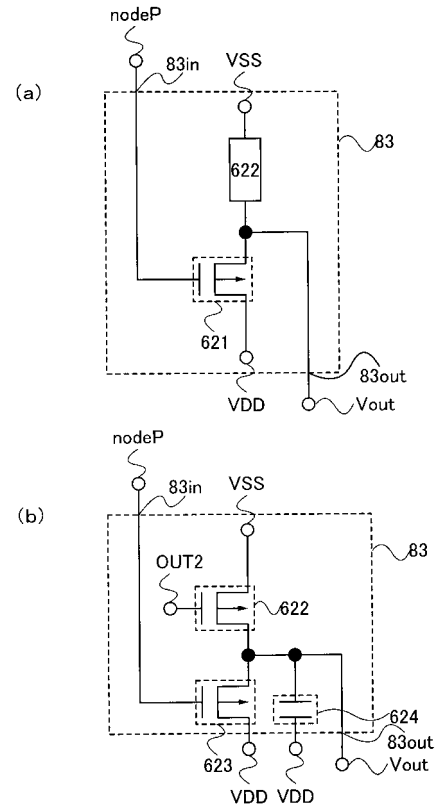
【図 60】



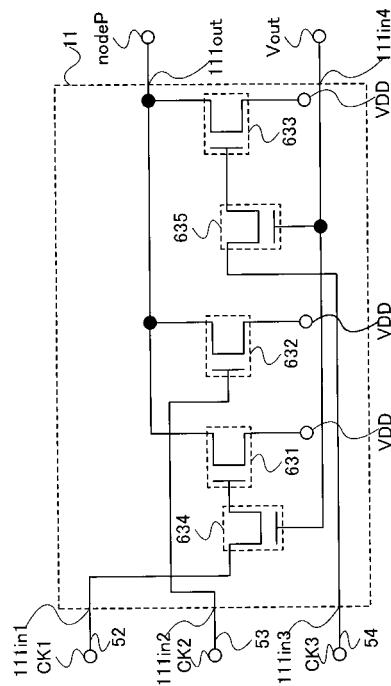
【図 6 1】



【図 6 2】



【図 6 3】



フロントページの続き

(51)Int.Cl.			F I		
G 1 1 C	19/00	(2006.01)	G 0 9 G	3/36	
G 0 9 G	3/36	(2006.01)	G 0 9 G	3/20	6 2 2 E
G 0 9 G	3/20	(2006.01)	G 0 9 G	3/20	6 2 3 H
G 0 9 G	3/30	(2006.01)	G 0 9 G	3/20	6 2 2 Q
			G 0 9 G	3/20	6 1 1 C
			G 0 9 G	3/20	6 7 0 K
			G 0 9 G	3/30	J

- (56)参考文献 特開2002-335153(JP,A)
 特開2003-101406(JP,A)
 特開2003-249848(JP,A)
 特開昭64-024504(JP,A)
 特開平02-198216(JP,A)
 特開2002-328643(JP,A)
 特開2004-222256(JP,A)
 特開平03-163911(JP,A)
 特開平11-086586(JP,A)
 特開平08-195670(JP,A)
 特開2005-234580(JP,A)
 特開2003-032096(JP,A)
 特開2002-133890(JP,A)
 特開2001-160615(JP,A)
 特開2000-049585(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 0 3 K 3 / 3 5 6
 G 0 2 F 1 / 1 3 4 5
 G 0 9 G 3 / 2 0
 G 0 9 G 3 / 3 0
 G 0 9 G 3 / 3 6
 G 1 1 C 1 9 / 0 0
 G 1 1 C 1 9 / 2 8
 H 0 1 L 2 1 / 8 2 2
 H 0 1 L 2 7 / 0 4