



(12) 发明专利

(10) 授权公告号 CN 102474262 B

(45) 授权公告日 2015.06.03

(21) 申请号 201080031210.7

(22) 申请日 2010.07.08

(30) 优先权数据

10151660.7 2010.01.26 EP

61/224,519 2009.07.10 US

(85) PCT国际申请进入国家阶段日

2012.01.06

(86) PCT国际申请的申请数据

PCT/EP2010/059821 2010.07.08

(87) PCT国际申请的公布数据

W02011/003978 EN 2011.01.13

(73) 专利权人 IMEC 公司

地址 比利时勒芬

专利权人 布鲁塞尔自由大学

(72) 发明人 B·韦布吕根

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 张欣

(51) Int. Cl.

H03M 1/10(2006.01)

H03M 1/44(2006.01)

H03M 1/16(2006.01)

H03M 1/36(2006.01)

(56) 对比文件

EP 1679799 A1, 2006.07.12, 说明书第
[0099]—[0138] 段, 及图 14—15.

US 2005/0062635 A1, 2005.03.24, 说明书摘
要, 及图 1.

审查员 周正

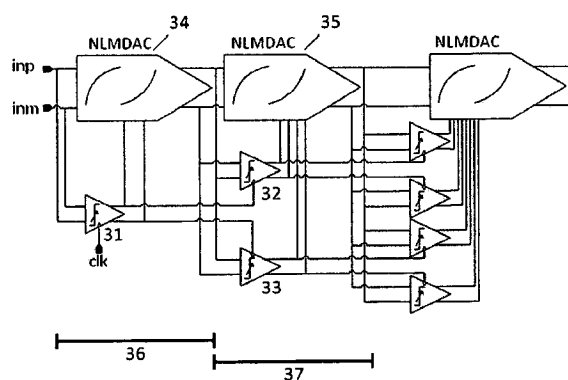
权利要求书2页 说明书8页 附图6页

(54) 发明名称

交织的流水线二进制搜索 A/D 转换器

(57) 摘要

本发明涉及流水线的模拟-数字转换器, ADC, 用于将模拟输入信号转换为数字信号, 包括-多个比较装置, 其具有用于与输入信号比较的可调谐阈值; 所述给定阈值的至少两个是不同的, 以及-多个放大电路, -其中所述多个比较装置被配置为形成等级树结构, 所述等级树结构具有多个等级级别, 其中所述等级级别的至少一个相关联于所述多个放大电路的至少一个放大电路, 所述至少一个放大电路产生位于下一个等级级别处的至少一个比较装置的输入, 以及-其中所述多个等级级别包括用于根据前一个等级级别的输出来设定所述可调谐阈值的装置, 从而消除在先的等级级别的非线性失真。



1. 一种流水线的模拟 - 数字转换器, ADC, 用于将模拟输入信号转换为数字信号, 包括
 - 多个比较装置, 具有用于与模拟输入信号比较的可调谐阈值; 所述可调谐阈值的至少两个是不同的, 以及
 - 多个放大电路,
 - 其中所述多个比较装置被配置为形成等级树结构, 所述等级树结构具有多个等级级别, 其中所述等级级别的至少一个相关联于所述多个放大电路的至少一个放大电路, 所述至少一个放大电路产生位于下一个等级级别处的至少一个比较装置的输入, 以及
 - 其中所述多个等级级别包括用于根据前一个等级级别的输出来设定所述可调谐阈值的装置, 从而消除在先的等级级别的非线性失真,
 - 其中父等级级别的比较装置的比较结果被用于选择或触发随后的、子等级级别的比较装置。
2. 如权利要求 1 所述的流水线的 ADC, 其特征在于, 所述用于设定所述可调谐阈值的装置包括可变电容。
3. 如权利要求 2 所述的流水线的 ADC, 其特征在于, 所述可变电容包括与所述比较装置相关联的第一可变电容、以及与所述放大电路相关联的第二可变电容。
4. 如权利要求 1 所述的流水线的 ADC, 其特征在于, 所述放大电路是非线性数字 - 模拟转换器。
5. 如权利要求 1 所述的流水线的 ADC, 其特征在于, 所述多个比较装置的每一个与所述多个放大电路中的放大电路被实现在一比较器 / 追踪并保持放大电路中。
6. 如权利要求 1 所述的流水线的 ADC, 其特征在于, 还包括 m 比特折叠 ADC 前端。
7. 如权利要求 1 所述的流水线的 ADC, 其特征在于, 还包括 n 比特高速模拟 - 数字转换器。
8. 一种用于在流水线的模拟 - 数字转换器中将模拟输入信号转换为数字输出的方法, 所述模拟 - 数字转换器包括:
 - 多个比较装置, 具有用于与模拟输入信号比较的可调谐阈值; 所述可调谐阈值的至少两个是不同的, 以及
 - 多个放大电路,
 - 其中所述多个比较装置被配置为形成等级树结构, 所述等级树结构具有多个等级级别, 其中所述等级级别的至少一个相关联于所述多个放大电路的至少一个放大电路, 所述至少一个放大电路产生位于下一个等级级别处的至少一个比较装置的输入,所述方法具有如下步骤:
 - 校准步骤, 所述校准步骤包括通过可变电容来调谐与所述等级级别中的所述至少一个相关联的至少一个放大电路,
 - 将所述模拟输入信号施加到所述等级树结构的第一等级级别,
 - 经由所述第一等级级别的第一比较装置, 将所述输入信号与相应的阈值信号比较, 藉此产生比较信号并将这个比较信号作为输入信号馈入到随后的等级级别中;
 - 基于前一个步骤的比较结果而选择第二等级级别的随后的比较装置以及其相关联的放大电路,

– 其中父等级级别的比较装置的比较结果被用于选择或触发随后的、子等级级别的比较装置。

交织的流水线二进制搜索 A/D 转换器

发明领域

[0001] 本发明一般地涉及其中使用二进制搜索的模拟 - 数字转换器。

背景技术

[0002] 一些应用,诸如硬盘读通道或宽带无线标准,需要低分辨率(例如,约 6 比特)、高速(例如,大于 1 千兆样本每秒(GS/s))的模拟数字转换器(ADC)。

[0003] 传统地存在有低分辨率高速 ADC 的两种体系结构:时间交织的连续逼近寄存器(SAR)转换器和高速(flash)转换器。单通道 SAR 转换器一般在数百个百万样本每秒(MS/s)的采样频率(例如,约 300MS/s)操作。因此,需要交织大量通道,这导致较大的输入电容。取决于所选方法,同一规范的时间交织的 SAR 体系结构可具有相比流水线的二进制搜索 ADC 而言具有大于其 10-20 倍的输入电容。另一方面,高速转换器将严重地受限于量化的电源,因为对于每一个转换,将必须以较低噪声/偏置做出 63 次比较(6 比特)。使用经校准的高速转换器的类似规范的功率需求多于流水线二进制搜索 ADC 功耗的 10 倍。

[0004] 对于从数个百万样本每秒到 100 个百万样本每秒的采样频率,流水线的模拟 - 数字转换器变得流行。动态的流水线转换能使较低电源以高速量化且具有较低输入电容,不过需要校准。

[0005] 美国专利申请 US2005/0062635 介绍了遵循非线性比例且允许在 2GHz 及更高的频率操作的流水线模拟 - 数字转换器。流水线的 ADC 包括数个比较器级,其中可根据前一级的数字转换结果来调节该比较器级的阈值。作为概括,在这个文件中提出了体系结构和方法来提供具有可编程特性的流水线 ADC,所以甚至可实现非线性比例。使用线性放大器,经由线性信号处理而处理其输出信号。

[0006] 发明目的

[0007] 本发明目的为提供具有降低的功耗(低分辨率、高速)的模拟 - 数字转换器。

发明内容

[0008] 提出了用于将模拟输入信号转换为数字信号的流水线模拟 - 数字转换器。流水线的模拟 - 数字转换器包括多个比较装置,其具有用于与输入信号比较的可调谐的阈值(藉此所述给定阈值的至少两个是不同的)、以及多个放大电路。配置多个比较装置来形成具有多个等级级别的等级树结构。等级级别的至少一个相关联于多个放大电路的至少一个放大电路。该至少一个放大电路在下一个等级级别产生至少一个比较装置的输入。多个等级级别包括用于根据前一个等级级别的输出来设定可调谐阈值的装置,这样消除了在先的等级级别的非线性失真。在实施例中,用于设定可调谐阈值的装置包括可变电容。在示例中,可变电容包括与比较装置相关联的第一可变电容和与放大电路相关联的第二可变电容。

[0009] 优选地,将阈值调谐为当施加期望的输入阈值时前一个级别的输出,藉此消除了在先的等级级别的非线性失真。

[0010] 在实施例中,放大电路是非线性倍增数字 - 模拟转换器(NLMDAC)。

[0011] 在实施例中,提出了流水线的 ADC,其中所述多个比较装置的每一个与所述多个放大电路中的放大电路被实现在一比较器/追踪并保持放大电路中。优选的这样的比较器/追踪并保持放大电路包括动态放大器和锁存器。多个比较器/追踪并保持放大电路中的每一个为随后级别中的两个比较器/追踪并保持放大电路产生输入信号。

[0012] 在实施例中,比较器/追踪并保持放大电路具有可调谐阈值。在实施例中,比较器/追踪并保持放大电路包括可变电容。通过设定可变电容,可提供给定阈值。优选地,将阈值调谐为当施加期望的输入阈值时前一个级别的输出,藉此消除了在先的比较器/追踪并保持放大电路的非线性失真。

[0013] 在附加实施例中,提供了用于使用根据上述实施例中的一个流水线的模拟-数字转换器将模拟输入信号转换为数字输出信号的方法。所述方法包括如下步骤

[0014] a) 将模拟输入信号施加到等级树结构的第一等级级别,

[0015] b) 经由第一等级级别的第一比较装置,将该输入信号与相应的阈值信号比较,藉此产生比较信号并将这个比较信号作为输入信号馈入到随后的等级级别中;

[0016] c) 基于前一个步骤的比较结果而选择第二等级级别的随后的比较装置(带有其相关联的放大电路)。

[0017] 优选的是该方法实现二进制搜索算法。通过使用二进制搜索而不是平行算法,减少了有源比较器的数量并且因此减少了功耗。

[0018] 基于比较装置的判定,在这个级别或随后级别中的放大电路从输入信号中加上或者减去取决于这个确定的权重的值。第一、父等级级别的比较装置控制或触发随后的、子等级级别的比较装置。

[0019] 在实施例中,在用于将模拟输入信号转换为数字输出信号的方法之前还有校准步骤。在校准时间段中调谐至少一个比较装置的阈值,且自该点往后比较器具有给定阈值。校准步骤优选地包括依靠可变电容调谐与等级级别的至少一个相关联的放大电路。

[0020] 在另一个实施例中,比较的步骤得到被馈入放大电路/DAC 的输出信号,实现了逐次逼近过程。确定了二进制码。

附图说明

[0021] 将通过接下来的描述和随附的附图进一步阐明本发明。

[0022] 图 1 示出 1 比特每级的 3 比特流水线 A/D 转换器的一般框图。

[0023] 图 2 示出混合 ADC 的示例。

[0024] 图 3 示出流水线二进制搜索方法的示意图。

[0025] 图 4 示出 1 比特每级的 3 比特流水线 A/D 转换器的框图。

[0026] 图 5 示出折叠前端级的示意图。

[0027] 图 6 示出折叠前端级的波形。

[0028] 图 7 示出折叠级的时钟信号的时序。

[0029] 图 8 示出可能的比较器-T/H 电路的示例。

[0030] 图 9 示出动态放大器的经模拟的输入-输出特性的曲线。

[0031] 图 10 示出用于校准 Ca 的不同校准步骤的曲线。

[0032] 图 11 示出被用于为每一行门控时钟的电路的示意图。

[0033] 图 12 示出比较器 / 追踪 & 保持放大器树中的不同时钟信号的时序。

[0034] 发明的详细描述

[0035] 将针对特定实施方式并参考特定附图描述本发明,但本发明不限于此。所描述的附图仅仅是示意性而不是限制性的。在附图中,出于说明目的,一些元件的大小可被放大并且不按比例绘制。尺寸和相对尺寸不必要对应于实施本发明的实际还原。

[0036] 此外,说明书中的术语第一、第二和第三等用于区别类似元件,而不一定用于描述先后或时间顺序。在合适的环境中术语可互换,且本发明的实施例可在此处描述或说明的顺序之外以其他顺序操作。

[0037] 另外,说明书中的术语顶部、底部、之上、之下等等用于描述性目的,而非必然地用于描述相对位置。在合适的环境中术语可互换使用,且此处描述的本发明的实施例可在此处描述或说明的顺序之外以其他顺序操作。

[0038] 术语“包括”,不应该被解释为被限制在其后列出的装置中,这并不排除其他元件或步骤。它需要被解释为指定存在所引用的所述特征、整体、步骤或组件,但并不排除存在或附加一个或多个其它特征、整体、步骤或组件或者其组合。因此,“一种设备,包括装置 A 和 B”这样的表述的范围不应当限于仅包括组件 A 和 B 的设备。它是指相对于本发明,该设备仅有的相关组件是 A 和 B。

[0039] 传统的流水线的 ADC 是基于连续转换的原理的。首先采样将要被转换的模拟信号并与第一级比较器中的阈值进行比较。然后以 2 倍的放大因子来放大该信号,并从中减去第一级的比特值,得到残差信号。这个残差信号是第二级的输入信号。再一次,采样残差信号并用第二级比较器进行比较。这个过程在随后的级中继续至达到所需要的比特分辨率。

[0040] 本发明提供了带有非线性信号处理(这等于残余产生及放大)的流水线模拟-数字转换器,其中用不同的经校准的比较器实现每一个 ADC 阈值。这个校准然后可补偿非线性以及由于设备不匹配引起的随机偏置。进一步,仅二进制搜索需要的比较器和放大器被激活,藉此获得了较低的功耗。

[0041] 优选地,流水线转换器进一步包括折叠前端。

[0042] 优选地,流水线转换器进一步包括 n 比特高速模拟-数字转换器。

[0043] 根据本发明的方面,在图 1 中示出了用于将模拟输入信号转换为数字信号的流水线模拟-数字转换器(PL ADC)。PL ADC 包括多个比较装置(31)、(32)、(33),其具有用于与输入信号比较的可调谐阈值,藉此所述给定阈值的至少两个是不同的。在校准时间段中调谐阈值,且从这一点开始每一个比较器具有给定阈值。PL ADC 进一步包括多个放大电路(34)、(35)。多个比较装置被设置为形成具有多个等级级别(36)、(37)的等级树结构,其中所述等级级别的至少一个相关联于多个放大电路的至少一个放大电路。多个等级级别包括用于根据前一个等级级别的输出(比较结果)来设定可调谐阈值的装置,这样消除了在先的等级级别的非线性失真。

[0044] 在实施例中,提出了包括交织结构的交织的折叠流水线高速 ADC(或混合 ADC),这个结构包括折叠前端、PL ADC 和高速 ADC。体系结构提供了与采样频率成比例的功耗。在示例中,提出了 4x 交织的 6 比特 ADC。如图 2 所示,每一个转换通道包括 1 比特折叠前端(81)、3 比特的流水线转换(82)和 2 比特的高速转换(83)。折叠前端采样输入信号、消除输入信号的共模分量并整流输入的差动信号同时确定输入信号的极性。例如,PL ADC 包

括被设置为如图 3 中所示含有三个等级级别 (98)、(99)、(100) 的等级树的七个 ((91) 到 (97)) 比较装置。在图示实施例中, 每一个比较装置连接至放大装置。

[0045] 本公开进一步提供了用于将模拟输入信号转换为数字输出的方法。优选的是该方法实现二进制搜索算法。通过使用二进制搜索而不是平行算法, 减少了有源比较器的数量以及因此减少了功耗。第一等级的至少一个比较装置被进一步设置为控制随后的等级级别的至少一个其他比较装置。通过控制意味着设置比较装置基于前一个步骤的比较结果来选择结构中的路径, 藉此通过多个比较装置来形成结构。该路径在图 2 中示出。PL ADC 确定转换的 3 比特并仅在 4 个输出 ((94)、(95)、(96) 或 (97) 的输出) 的一个上产生残差。

[0046] 一般, 在高速转换器中经由并行搜索来确定比特需要大量耗费功率的比较器。通过 (优选地) 使用二进制搜索而不是平行算法, 减少了有源比较器的数量以及因此减少了功耗。

[0047] 这个 PL ADC 使用动态非线性放大器用于低功耗和高速。通过对于每一个 ADC 阈值而激活不同的动态比较器以及将相应的比较器阈值校准为期望的输入参考值, 消除来自非线性信号处理和比较器中的偏置的误差, 来避免这些放大器中的线性要求。这可通过将比较器树与放大电路 (每一个放大电路被独立地校准) 组合而实现。阈值校准修正放大器和比较器瑕疵。树的每一级可与一个放大电路组合 (如图 1 中所示) 或者级中的每一个放大器可与放大电路组合 (如图 4 中所示)。进一步, 这些放大电路可以是内置的追踪并保持放大器 (比较器 / 追踪并保持放大一体化)。在传统的流水线中, “将被转换” 的信号, 通过链 (或级联) 而被传送。如本申请所提供的, 没有信号依赖性的传送或路径选择。

[0048] 体系结构

[0049] 在示例中, 示出混合 ADC (图 2), 包括 4 个交织的模拟 - 数字转换 (ADC) 通道、时钟产生以及信号重组。时钟产生具有 F_s 输入信号, 并从中产生 4 个差分正交时钟信号和 4 个低偏移、低抖动的采样信号 (全都具有 $F_s/4$ 的频率)。例如可在 60GHz 的无线电频设备中使用该 PL ADC。这样的应用的模拟 - 数字转换器需要高达 4GS/s 的采样频率。每一个 ADC 通道包括 1 比特的折叠前端、3 比特的流水线二进制搜索转换和 2 比特高速, 用于总共 6 比特的标称转换。信号重组包括二输入多路复用器的两级, 其组合不同交织通道的输出到 6 个全速比特流中。当使用阈值校准而改进了具有松弛线性和匹配限制的静态线性时, 避免了由于其复杂性而引起的时序校准。

[0050] 时钟产生

[0051] 时钟产生产生两组时钟信号, 两组均在采样频率的四分之一运行。第一组信号是被用于控制 ADC (每一个通道中) 的非严格时序实例并将不同通道彼此同步的正交信号的低精度差分组。这些信号具有较大的扇出且因此具有较大的驱动强度。

[0052] 第二组信号是高精度采样信号, 其被用于直接地驱动底板 (bottom plate) 采样开关。这些信号的时序偏移范围需要位于皮秒数量级, 且低抖动是优选的, 在一些示例中甚至是要求的。为了实现这些性质, 使用普通的逆变器来驱动采样信号, 使用通门 (pass gate) 将逆变器输出门控至实际的采样开关。在合适的时间激活通门, 恰在逆变器的上升沿或下降沿之前。那么采样信号的下降沿的时间扩散仅取决于通门的导通电阻, 以及每一个采样开关所呈现的精确负载和其相关联的寄生。即使使用中性设备尺寸, 这个扩散可能是非常低的: 使用 2 微米设备获得 500fs 的模拟的标准偏差 (对于 NMOS 和 PMOS)。采样开关寄生

之间的不匹配可降低测量中的这样的匹配。通过维持从时钟输入到采样信号之间的较短路径可获得这些信号上的较低抖动。

[0053] 一比特折叠前端

[0054] 折叠前端采样输入信号并首先消除其共模分量。通过比较器 (1) 来确定所得到的差分信号的极性, 并使用由这个比较器 (1) 所控制的斩波器来将这个信号整流到随后的 ADC 的范围内。在完整的转换器 (混合 ADC) 中实现折叠级的主要理由是限制校准复杂性。折叠级的示意图被示于图 5 中。

[0055] 不同时钟信号的时序被示于图 7 中。当“底板时钟”变低时, 底板的开关被停用, 且采样电容 C_s 大多为浮置 (一些寄生电容呈现在底板上)。两个逆变器延迟 ($2 \times t_{inv}$) 后, “顶板时钟”也变低且禁用底板开关。一个逆变器延迟后 (t_{inv}), “短路时钟 (clkShort)”变高且短路了采样电容 C_s 的两个顶板。然后将经采样的输入电压从 C_s 的顶板转移到底板, 且产生差分电压。

[0056] 在缺少电荷注入的情况下, 底板节点会具有零的共模电压, 以及取决于比值 $\frac{C_s}{C_s + C_{par}}$ 的差分电压, 其中 C_{par} 是顶板节点上的总体寄生电容。

[0057] 为了防止底板节点的一个下降到接地电势之下, 底板的共模电压通过由“短路时钟”控制的两个电容 C_{cm} 而增加。

[0058] 如果两个底板节点的寄生电容并不是精确地匹配, 幅度相等但极性相反的输入电压所产生的两个电压不会造成底板节点上相同的电压。不管随后的 ADC 的阈值是什么, 如果执行整流操作将会导致误差。为了确保两个底板节点的电容的充分匹配, 在底板节点上增加两排 (two banks of) 数字地可控制的校准电容。

[0059] 在“短路时钟”的上升沿四个逆变器延迟 ($4 \times t_{inv}$) 之后, 通过“比较器时钟”的上升沿来激活比较器。在这个上升沿之后一个逆变器延迟之后, 关闭将节点 outm 和 outp 钳位到接地的开关。比较器的判定异步地激活两组斩波器开关中的一个, 其将 C_s 底板上的电压分享至输出节点, 并完成折叠前端的操作。

[0060] 基于下述步骤来校准 C_{par} 电容。在 ADC 范围的正半和负半中来校准下一级的第一阈值。比较这样两个值, 假设平均值是“正确的”并设定。然后基于这个阈值, C_{par} 值可被适用。

[0061] 图 5 示出折叠前端的简化示意图, 且图 6 是其波形。其采样并整流输入信号, 同时消除输入信号的共模。当关闭 S_1 开关时, 跨 C_s 而追踪输入电压。在下降的 Φ_1 沿, C_s 上的电荷被固定。忽略电荷注入, 它们的底板处于接地, 且顶板处于其被采样的输入电压。关闭 S_2 短路顶板, 并在底板处产生带有由于杂散电容引起的一些损失的差分电压。然后激活折叠级比较器, 且基于其判定而关闭斩波器中的一组开关 (在 t_1), 将底板上的电荷与下一级分享, 这样差分输出电压一直是正的。共模输出独立于共模输入, 共模输入为 ADC 后端而固定共模电压, 并极大地改进了共模输入范围。另外, 所施加的共模电压可在校准操作和常规操作中是不同的。

[0062] 流水线的二进制搜索

[0063] 基本原理

[0064] 概括地说, 流水线的二进制搜索 (PLBS) 转换器包括非线性倍增数字模拟转换器

(NLMDAC) 的级联以及比较器树,如图 1 中所示的 3 比特的 1 比特每级 PLBS。NLMDAC 的目的是采样其输入信号,来将其放大并减去 / 加上来自输出的特定值来使其更接近于零。在传统的流水线转换器中,第一级 MDAC 的线性要求等于总体的期望的线性。在本公开中,通过使用带有对每一个 PL ADC 阈值可调谐的阈值的不同比较器而允许极大的非线性。在起始或背景校准过程中,可调谐比较器阈值,从而其为期望的 ADC 阈值消除在先的 NLMDAC 的级联的非线性效应。由于 NLMDAC 的唯一要求是其为单调,功率节省是可能的。

[0065] 实现

[0066] 使用二进制搜索的 PL ADC 的输入是折叠前端的输出。此处选择的方法修改了如图 3 所示的一般 PLBS 原理。在所选实现和一般原理之间存在三个关键差异。

[0067] 首先,每一个 NLMDAC 的减法功能从当前级的 NLMDAC 移动至下一级的 NLMDAC。将减法移动到下一级增加了在 NLMDAC 输出节点上摇摆 (swing) 的电压,但是假定 NLMDAC 有较低的电压摇摆以及线性要求,这并不是问题。

[0068] 其次,可在第二及之后的级中拆分 NLMDAC,这样其中每一个级可由两个比较器和两个拆分的 NLMDAC 所加载。如果使它们为动态的且仅在需要时被时控 (clocked),这样做并不存在与之相关联的功率处罚 (power penalty),而在整个流水线中每一个 NLMDAC 的负载都保持不变。然后,来自前一级的减法功能可被硬接线到这些 NLMDAC 中。前一级比较器的判定确定了激活其中哪一个。注意在图 3 中,级 2 的两个相同的 NLMDAC 的输入和输出被与相切换的极性相连接,所以如果一个从其输入中减去电压,另一个增加了相同的值。

[0069] 第三,这个转换器的输入范围并不是在 0V 差分附近对称的。由于在前一级 (折叠前端级) 中整流了输入信号,应该只转换正的差分信号。通过将输入范围的一半从第一级的输入信号中减去,接下来的级可变为在 0 附近粗略差分。

[0070] 电路块

[0071] 如图 4 中可见,在所选实现中的每一个 NLMDAC (44) 与具有可调谐阈值的比较器并联。如此,这些被合并为称为比较器 / 追踪并保持放大器 (CTHA) 的单个结构。除了倒数第二级中的那些 CTHA,所有 CTHA 具有两个 CTHA 的负载,根据传统,较前级中的 CTHA 被称为“父”,而较后级中的 CTHA 被称为“子”。倒数第二级中的 CTHA 仅由最后一级中的两个比较器所加载。

[0072] 比较器 / 追踪并保持放大器 (CTHA) 的示意图在图 8 中示出,为简洁起见,省略了 P1、P4 和 P5 的源极上的 NMOS 重置开关。电路包括三部分:动态前置放大器、锁存器和输出驱动器。动态前置放大器和锁存器组合为放大器。

[0073] 动态前置放大器和输出驱动器组合来形成追踪并保持放大器。当时钟信号变低时,晶体管对 N1 和 N2 截止,而 P2 和 P3 导通。以取决于输入电压的速率,将节点 Dm 和 Dp 从地电位上拉至 Vdd。在这个充电阶段,晶体管 P5 导通且充电节点 aOutp 和 aOutm。当 Dp 和 Dm 上的电压足够高时, P5 对截止,且不再有电流在电路中流动,这样 aOutp 和 aOutm 上的电压被加到这些节点的电荷的量所固定。

[0074] 输入电压因此被转换为时间 (P5 对导通的时间) 且然后被转换回电压 (被加至输出电容的电荷)。由于输出电压取决于输入电压,获得了追踪并保持功能。

[0075] 晶体管 P4 获得共模 (CM) 稳定:如果 CM 电平变低, P5 激活达一段较短时间,但是由于 P4 的增加的过驱动,它从输出电容中抽取的电流增加。? 在 P5 的栅极和漏极节点增

加可变电容来通过 PVT(过程、电压、温度)变量控制 CTHA 的阈值和增益,并通过单独地改变这个输入-输出特性而应对输入-输出特性的固有非线性,来最佳地相配之后的级。

[0076] 如果这个 CTHA 被差分地平衡,且没有呈现任何不匹配,比较器阈值是零,且输入输出关系由 $out \approx in \times gain$ 给出,其中 gain(增益)由晶体管尺寸和 Cd 和 Ca 的所选值所确定。

[0077] 如果动态前置放大器电路以某种方式是不平衡的,比较器阈值将改变为值 V_{offset} ,而输入输出关系改变为 $out \approx (in - V_{offset}) \times gain$ 。也就是:当比较器位于其阈值时,输出基本为零(注意比较器是由锁存器和动态前置放大器组合形成的)。

[0078] 这个性质对于所选实现是非常方便的。如果 PLBS 转换器应具有从 0 到 V_{IR} 的输入范围,第一比较器应该具有阈值 $V_{IR}/2$,且第一 MDAC 应该从输入中减去 $V_{IR}/2$,可通过使用在 P1 对的宽度方面具有故意的不平衡的 CTHA 而优雅地实现上述两者。如果选择增益等于 2,下一个 PLBS 级应该在 $-V_{IR}$ 和 $+V_{IR}$ 之间处理电压。由于下一级具有带交换差分输入的两个 CTHA,每一个 CTHA 应该在 0 和 V_{IR} 之间处理信号,这样树中所有的 CTHA 可共享同样的不平衡。

[0079] 实践中,CTHA 树的所有级别需要校准,所以比较器阈值正确地消除了在先的放大器的非线性。首先改变 Cd 电容来设定父阈值(藉此校准最高等级级别的比较器阈值)。如图 4 中,父阈值是第一级别的 CTHA(41)、(44)的阈值。然后使用 Ca 电容器用于对两个子 CTHA 的粗略阈值调谐。图 4 中示出第一子 CTHA,其为 (42) 和 (45) 的组合,第二子 CTHA 是 (43) 和 (46) 的组合。当施加它们相应的 ADC 阈值时,使用 Ca 电容来设定放大器输出接近于下一级的未校准的比较器阈值。

[0080] 图 9 示出 Ca 电容最大值和最小值的模拟输入-输出特性。在较高输入电压下,输出电压对于在节点 aOutp 的 Ca(或者 C_{out+})相比对于在节点 aOutm 的 Ca(或者 C_{out-}) (见图 8)而言更敏感,而在较低输入电压下情况相反。这与直觉相匹配:当正输出电压是高时,在这个节点泵入大量电荷,且在其电容值中的改变导致较高的电压改变。在所建议的校准步骤中利用了输入依赖的敏感性。

[0081] CTHA 的所建议的校准步骤如下:

[0082] 1. 应用父 CTHA 的期望的 ADC 阈值并观察 ADC 输出

[0083] 2. 改变 Cd 电容,变化父 CTHA 阈值,直到 CTHA 判定匹配尽可能接近 50% 正和 50% 负。

[0084] 3. 应用第一(最高电压)子 CTHA 的期望的 ADC 阈值,且观察 ADC 输出

[0085] 4. 改变在父 CTHA 的 aOutp 的电容 Ca(或者 C_{out+}),以使第一子 CTHA 的阈值处于父 CTHA 输出之间,以用于该 Ca 的连续设定。

[0086] 5. 应用第二子 CTHA 的期望的 ADC 阈值,且观察 ADC 输出

[0087] 6. 改变在父 CTHA 的 aOutp 的电容 Ca(或者 C_{out+}),以使第二子 CTHA 的阈值处于父 CTHA 输出之间,以用于该 Ca 的连续设定。

[0088] 7. 对两个子 CTHA 从步骤 1 开始重复

[0089] 校准过程的结果在图 10 中示出。在第一步骤中,施加下一级的顶部阈值 (th_{top}),且在节点 aOutp 的 Ca 被改变为使放大器输出处于实现这个阈值的比较器的校准范围内。接着,施加下一级的底部阈值 (th_{bottom}),类似地改变节点 aOutm 处的 Ca。然后使用相同过程校

准下一个 PLBS 级：首先校准比较器阈值然后是 Ca 电容。假设：

[0090] *当输出电压为正时，相关于在 aOutm 引脚上的 Ca 电容值的模拟输出电压的敏感性为低（所以不需要迭代）。

[0091] *Ca 电容的校准步骤小于通过子 Cd 电容的校准而可能的阈值范围。

[0092] 重要的是注意“共模”Cd 电容改变了行（row）的增益，所以如果下一行不可被校准的话，可能需要用不同的共面电容来重做一行。

[0093] 时控

[0094] 使用图 11 中的电路来进行每一个子 CTHA 的时控。如果合适地重建父 CTHA，outm 或 outp 节点将被放电到地。当 clkG 变低时，内部节点被上拉至 Vdd 且适当的时钟信号变低（outm 或 outp）。当 clkG 信号变高时，所有时钟信号（outm 和 outp）被拉高，且重置位于下一行的 CTHA。

[0095] 不同时钟信号的时序被示于图 12 中。在这里，clkG<n> 是所有在第 n 行的 CTHA 所共享的全局时钟。信号 clkG<n+1> 一直相对于 clkG<n> 延迟 $T_{clk}/4$ 。因此，为了确保每一个比较器具有等同的重建时间，比较器必须在 $T_{clk}/4 - t_{Delay}$ 的时间内判定。在图中示出的中间重建是缓慢的。因此，下一个比较器的判定时间是较小的。然而，这个比较器将具有较大的输入信号，因此判定得更快。

[0096] 一般，为了 PLBS 树合适地工作，每一个比较器必须在 $T_{clk}/2 - t_{Delay} - t_{Aperture}$ 内判定，且任何两个连续的比较器必须在 $3 \cdot T_{clk}/4 - 2 \cdot t_{Delay} - t_{Aperture}$ 内决定，任何三个连续的比较器必须在 $T_{clk} - 3 \cdot t_{Delay} - t_{Aperture}$ 内决定，等等。在这里， t_{Delay} 是来自图 11 的电路的门延迟，且 $t_{Aperture}$ 是下一个 CTHA 的缝隙时间。

[0097] 在转换器的宽度上仅分布两个 clkG 信号，且该两个 clkG 信号在需要时逆变。在上述时钟产生中产生了较低精度、高驱动强度的信号。

[0098] 编码器

[0099] 编码器 (84) 将比较器判定转换为 3 比特灰度码。其包括由每一行上的 clkC 输出控制的预先充电 / 放电 ROM 线。如果在一行中出现亚稳度，来自这个行开始的所有比特将是 0。

[0100] 高速转换器

[0101] 高速转换器 (83) 转换 PLBS 转换的 3 级的输出，这会通过建构增加非线性失真。为了应对这个非线性失真，我们需要 8 个不同的，具有可设置的阈值的高速转换器。然后用两个相同的高速转换器加载 PLBS 树的最后一层中的每一个 CTHA（其输出被反向）。这两个高速转换器的哪一个将被激活，取决于比较器的判定。在校准过程中，适应或调节每一个高速转换器阈值，从而消除在先的 CTHA 级的非线性和不匹配。

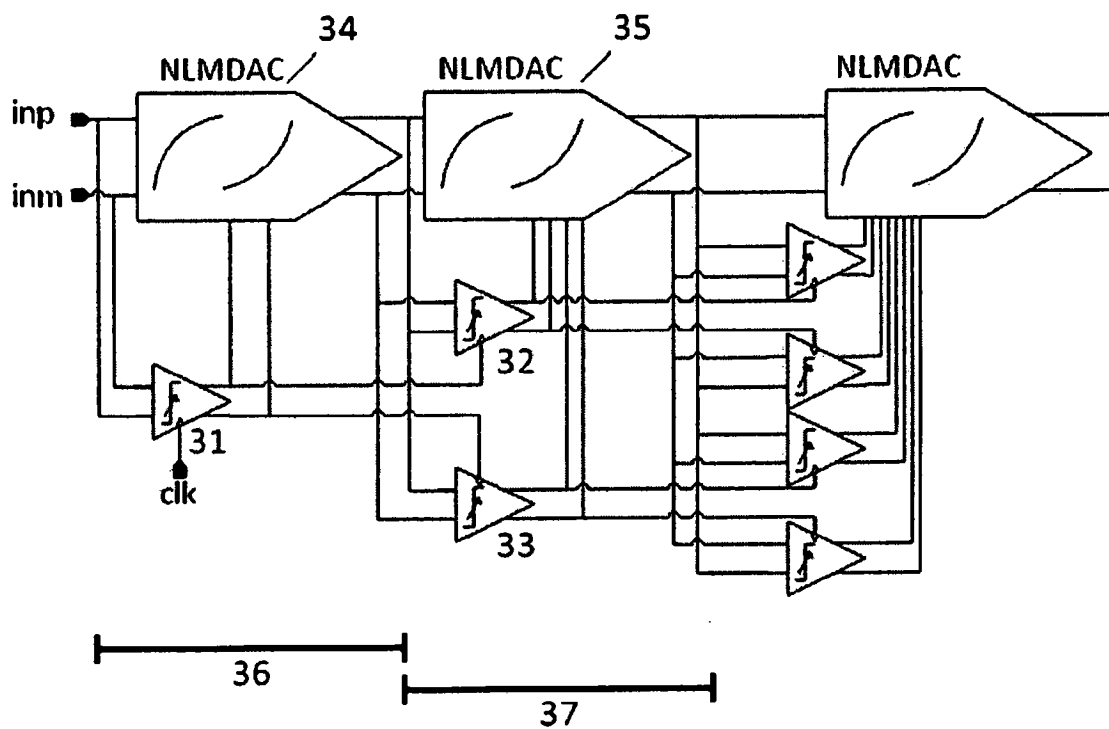


图 1

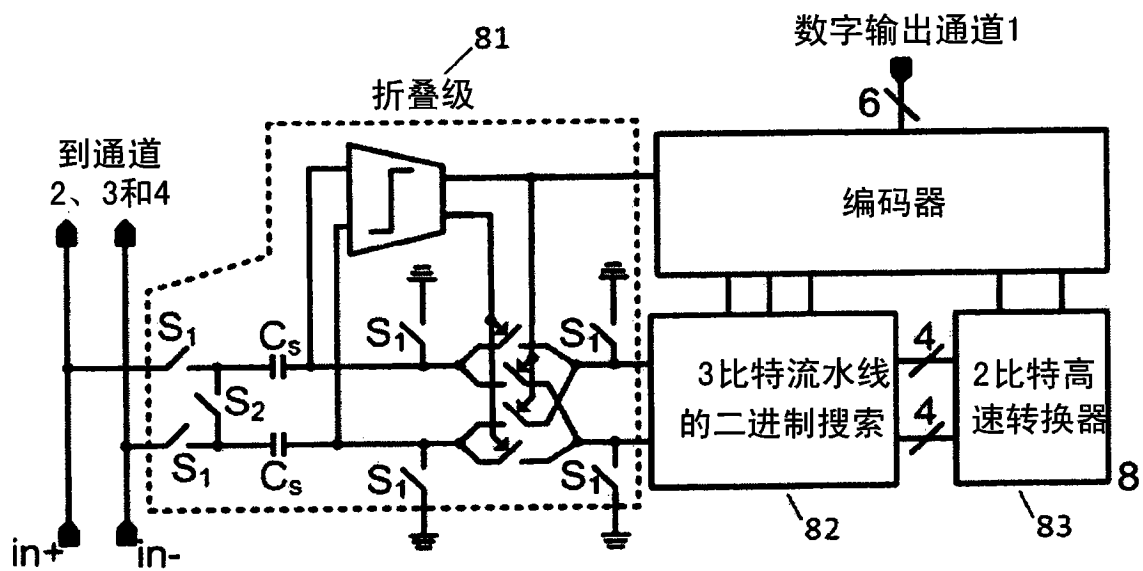


图 2

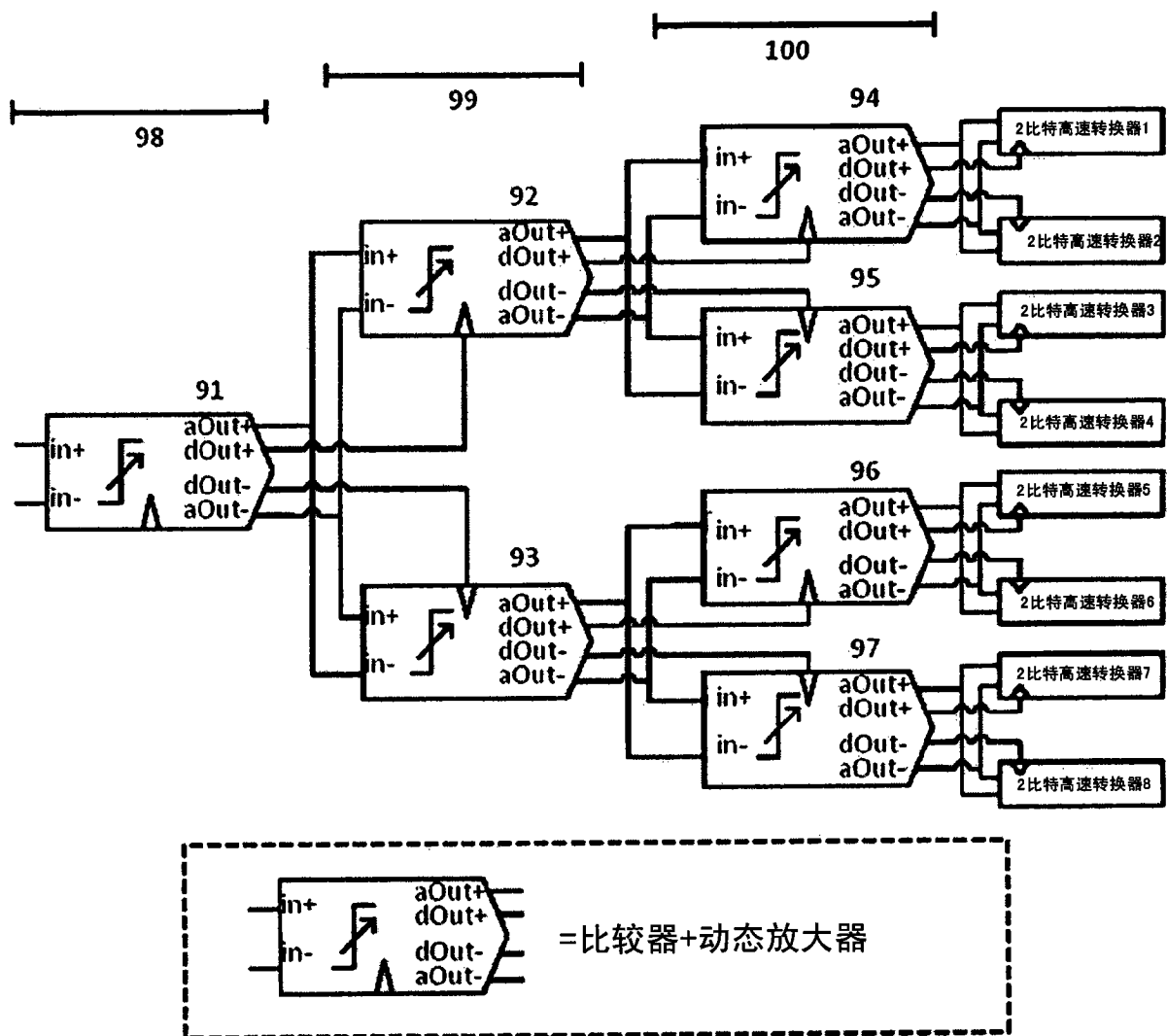


图 3

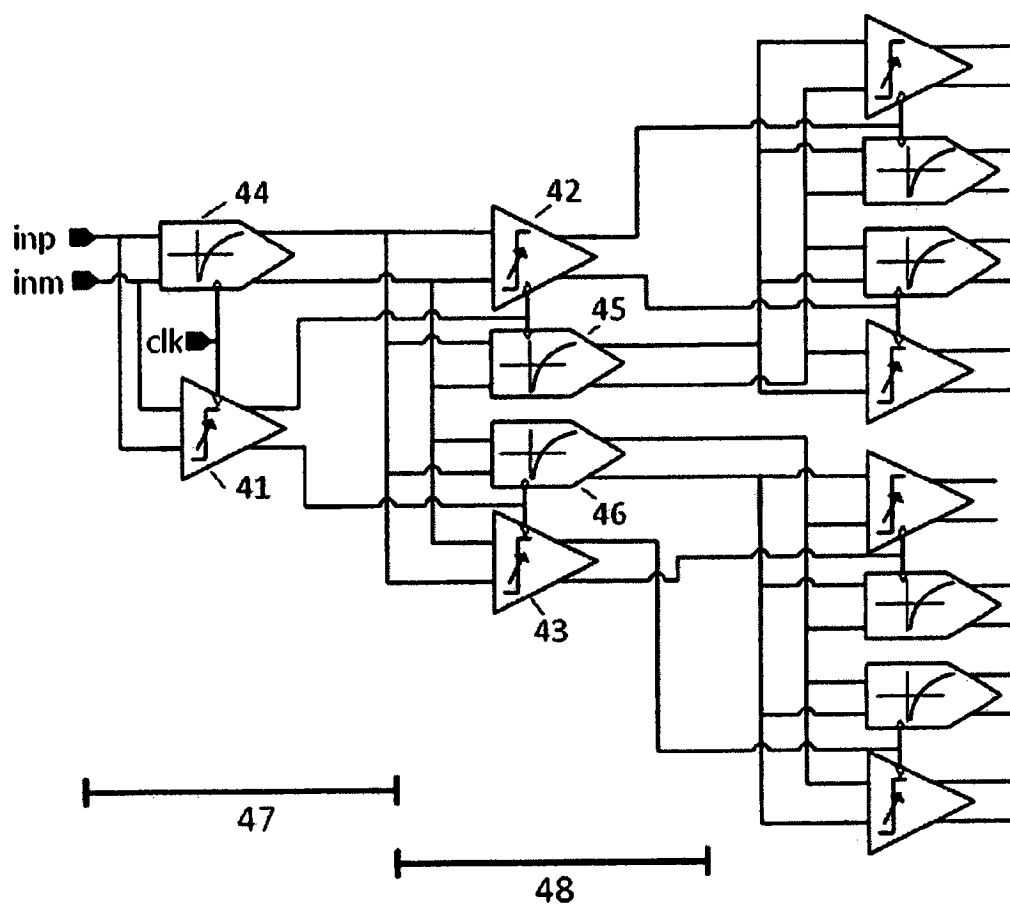


图 4

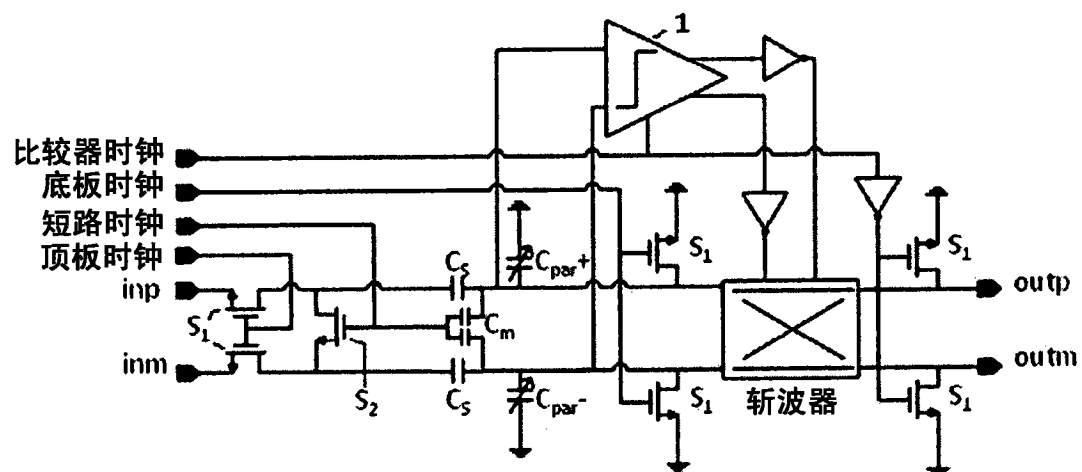


图 5

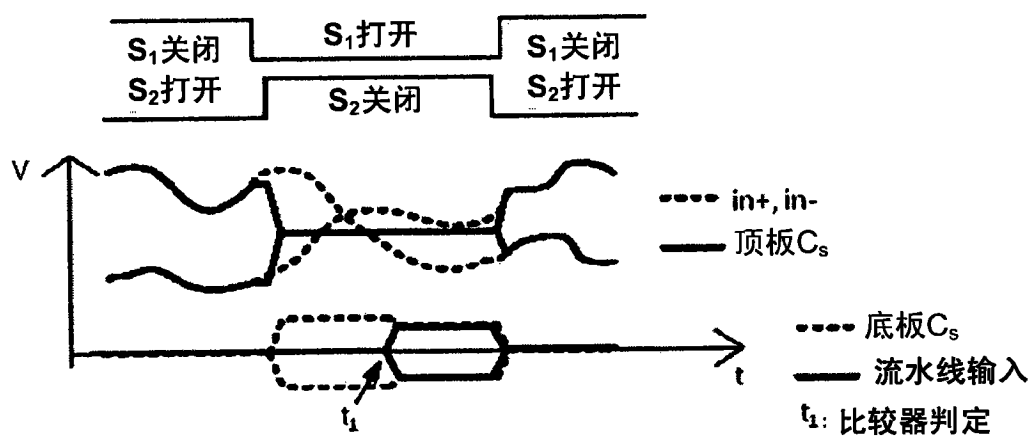


图 6

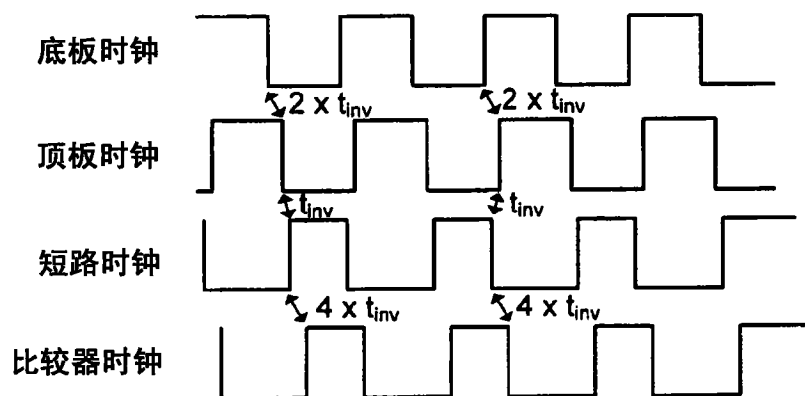


图 7

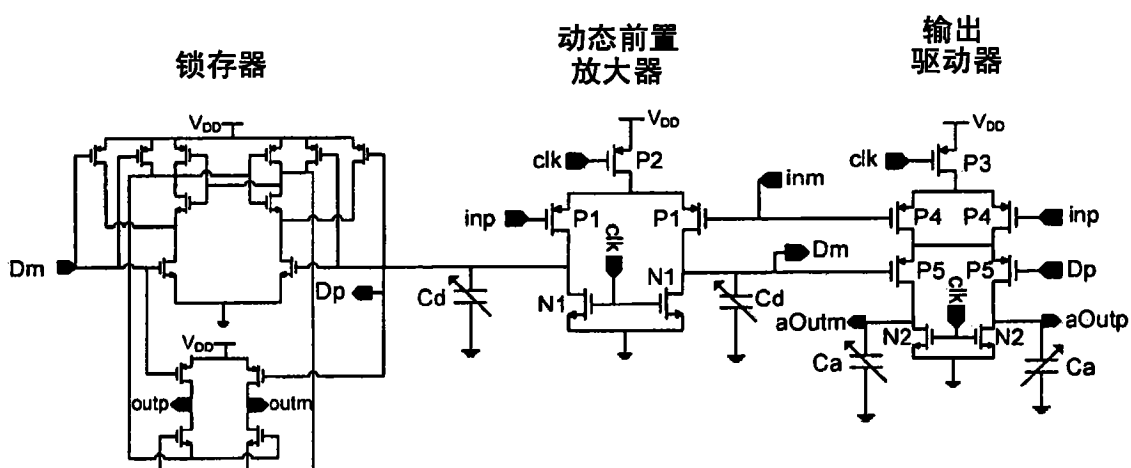


图 8

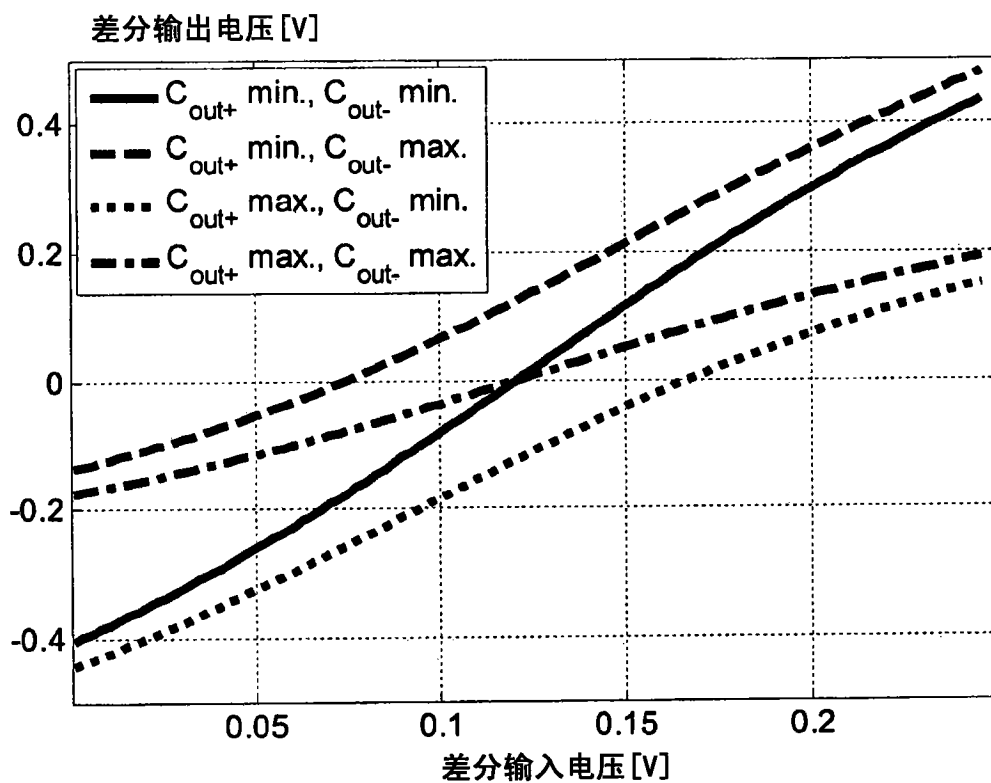


图 9

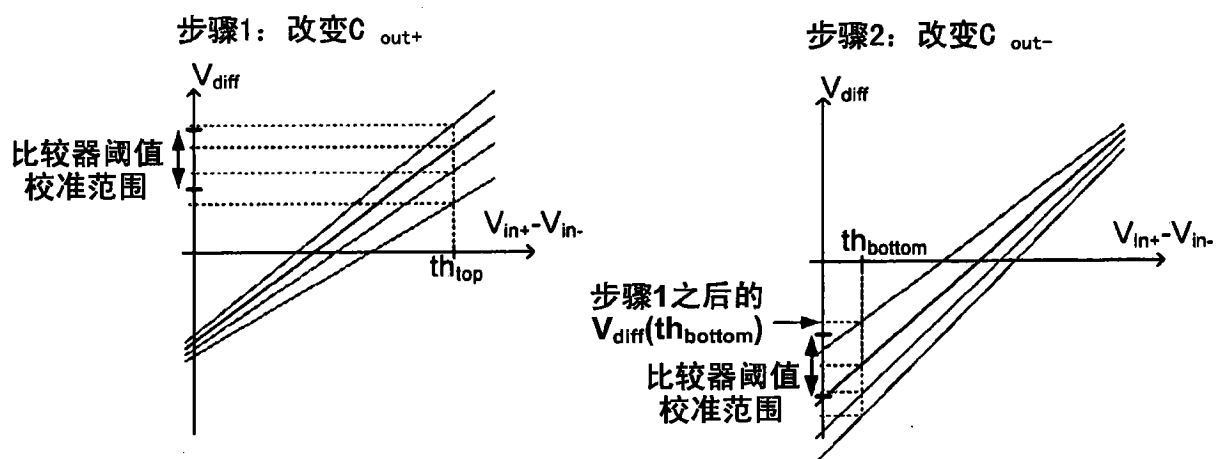


图 10

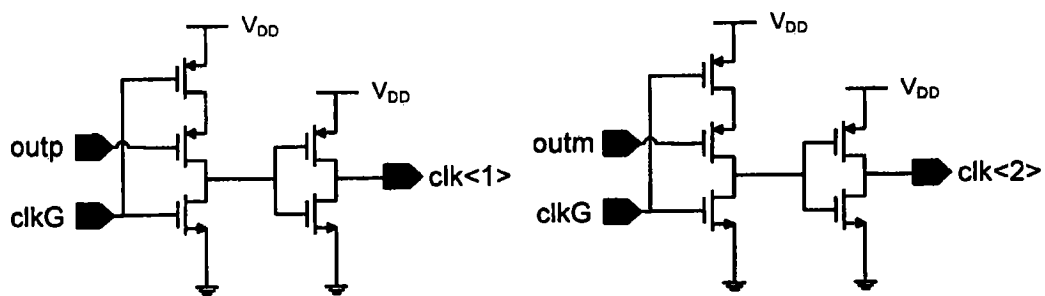


图 11

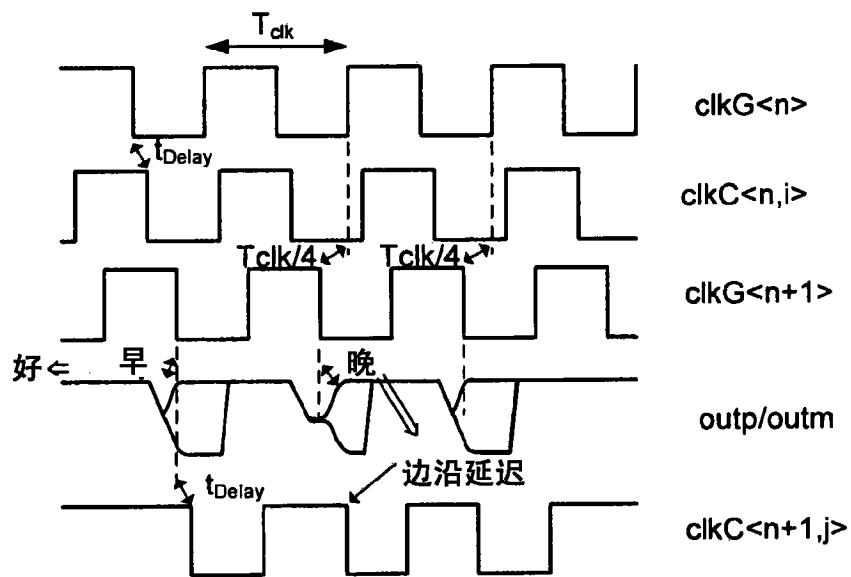


图 12