



(12) 发明专利申请

(10) 申请公布号 CN 102957431 A

(43) 申请公布日 2013. 03. 06

(21) 申请号 201210302533. 6

(22) 申请日 2012. 08. 23

(30) 优先权数据

13/215, 803 2011. 08. 23 US

(71) 申请人 LSI 公司

地址 美国加利福尼亚

(72) 发明人 J·A·贝雷 N·R·阿拉温德

E·F·哈拉特什

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 刘偶

(51) Int. Cl.

H03M 1/36 (2006. 01)

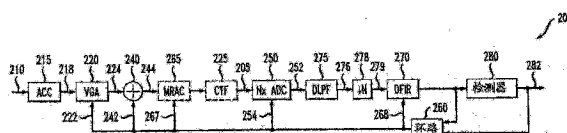
权利要求书 1 页 说明书 15 页 附图 12 页

(54) 发明名称

具有过采样模数转换的读通道

(57) 摘要

本发明涉及具有过采样模数转换的读通道。提供了使用过采样模数转换在读通道中处理信号的方法和装置。对模拟输入信号执行过采样模数转换,以对于给定的位间隔产生与模拟输入信号对应的多个数字样本。然后可以对数字样本中的一个或多个应用数据检测算法以获得检测输出。通过将至少部分的均衡和/或滤波处理转移到数字域,过采样模数转换简化了模拟设计。



1. 一种用于在读通道中处理信号的方法,包括:
获得模拟输入信号;
对所述模拟输入信号执行过采样模数转换以对于给定位间隔产生与所述模拟输入信号对应的多个数字样本;以及
对于所述数字样本中的一个或多个执行数据检测算法以获得检测输出。
2. 如权利要求1的方法,还包括如下的步骤:
在连续时间域中对所述模拟输入信号进行滤波,以及以与所述过采样对应的速率对所述数字样本中的所述的一个或多个进行滤波。
3. 如权利要求1的方法,还包括如下的步骤:
以波特率对所述数字样本中的至少一个进行滤波,以及以与所述过采样对应的速率对所述数字样本中的至少一个进行滤波。
4. 如权利要求1的方法,还包括如下的的步骤:
使用磁阻不对称 MRA 校正滤波器进行滤波。
5. 如权利要求1的方法,其中在所述过采样模数转换之前,使用可变增益放大器对所述模拟输入信号进行滤波,所述可变增益放大器包括低通转角频率,其降低频带外噪声的。
6. 一种读通道,包括:
过采样模数转换器,用于将模拟输入信号转换为数字信号,其中所述数字信号包括对于给定位间隔的与所述模拟输入信号对应的多个数字样本;以及
数字检测器,用于对所述数字样本中的一个或多个执行数据检测算法以获得检测输出。
7. 如权利要求6的读通道,还包括:
用于在连续时间域中对所述模拟输入信号进行滤波的模拟滤波器,以及用于以与所述过采样对应的速率对所述数字样本中的所述一个或多个进行滤波的数字滤波器。
8. 如权利要求6的读通道,还包括磁阻不对称 MRA 校正滤波器。
9. 如权利要求6的读通道,还包括分数间隔的数字有限脉冲响应滤波器,以对于给定的单元间隔滤波所述多个数字样本。
10. 一种集成电路,包括:
过采样模数转换器,用于将模拟输入信号转换为数字信号,其中所述数字信号包括对于给定位间隔的与所述模拟输入信号对应的多个数字样本;以及
数字检测器,用于对所述数字样本中的一个或多个执行数据检测算法以获得检测输出。

具有过采样模数转换的读通道

[0001] 相关申请的交叉引用

[0002] 本申请涉及名称为“Determining Coefficients for Digital Low Pass Filter Given Cutoff and Boost Values For Corresponding Analog Version”的美国专利申请、名称为“Read Channel With Selective Oversampled Analog to Digital Conversion”的美国专利申请、和名称为“Read Channel With Oversampled Analog to Digital Conversion and Parallel Data Detectors”的美国专利申请,其每一个都与此同时提交并通过引用将其并入在此。

技术领域

[0003] 本发明一般地涉及读通道,并且更具体地,涉及使用过模数转换的改进的读通道。

背景技术

[0004] 磁记录读通道将模拟读信号转换成对记录在磁性介质上的用户数据的估计。读出头和磁性介质引入噪声和其它失真到读信号中。例如,随着磁性记录中的信息密度的增加,符号间(intersymbol)干扰(ISI)变得更加严重(即,通道脉冲响应变得更长)。ISI 是一种形式的信号失真,其中一个符号(symbol)干扰一个或多个其它符号。

[0005] 在常规的读通道中,连续时间滤波器(CTF)典型地在模拟域中处理读信号,来执行抗混叠滤波、频带限制滤波以减少电子噪声,以及信号整形滤波以减少 ISI。一般地,抗混叠滤波移除奈奎斯特频率(Nyquist frequency)(等于一半的波特率频率)以上的残留信号分量和噪声以避免混叠。模数转换器(ADC)典型地处理 CTF 输出来产生数字样本以进一步在数字域中进行处理。在存在符号间干扰和其它噪声的情况下,通常在读通道中使用维特比检测器来处理数字样本并检测记录的数据位。

[0006] 随着处理技术变得更小以及数据速率的增加,建立满足读通道的要求严格的性能规格的模拟电路(例如,CTF 滤波器)变得越来越具有挑战性。因此,存在对改进的将一部分信号处理负担从模拟域转移到数字域的读通道的需求,以从而简化模拟电路设计。还需要改进读通道设备的信噪比(SNR)和错误率性能。因此,存在对改进的允许更复杂的信号处理技术应用于数字域的读通道的需求。

发明内容

[0007] 总的来说,提供了用于使用过采样模数转换在读通道中处理信号的方法和装置。所公开的过采样模数转换通过将至少一部分的平衡和 / 或滤波处理转移到数字域来简化模拟设计。根据本发明的一个方面,提供了一种在读通道中处理信号的方法。对模拟输入信号执行过采样模数转换来对于给定的位间隔生成与模拟输入信号对应的多个数字样本。然后,可以对所述数字样本中的一个或多个应用数据检测算法来获得检测输出。

[0008] 可选地,可以使用模拟磁阻不对称(MRA)校正滤波器来对模拟输入信号进行滤波,或者,可选地,可以使用数字 MRA 校正滤波器对数字样本进行滤波。可选地,也可以在过采

样模数转换之前,使用可变增益放大器(例如,包括低通转角频率,其减少频带外噪声)来对模拟输入信号进行滤波。

[0009] 在另一变化中,对于给定的单元间隔的所述多个数字样本被施加到分数间隔的数字有限脉冲响应(finite impulse response, FIR)滤波器。分数间隔的数字 FIR 滤波器还可以包括用于将对于给定的单元间隔的所述多个数字样本下采样成单个数字样本的装置(means)。

[0010] 检测输出被施加到一个或多个反馈环路。例如,反馈环路可以包括下列中的一个或多个:(i)数字锁相环电路,其通过模数转换器自适应地调整使用的采样周期;(ii)偏移电路,其从接收到的模拟输入自适应地调整任何 DC 偏移;(iii)增益计算电路,其自适应地调整在预处理接收到的模拟输入信号中使用的增益;和(iv)用于产生用于数字 MAR 校正滤波器的反馈值以及一组用于数字有限脉冲响应(FIR)滤波器的均衡器系数的一个或多个电路。

[0011] 所述多个数字样本可以被下采样来对于给定的位间隔产生单个数字样本。可选地,可以由包括数字低通滤波器的集成装置来执行下采样。

[0012] 通过参考以下的具体描述和附图将获得对本发明以及本发明进一步的特征和优点的更全面的理解。

附图说明

[0013] 图 1 示出了包括不同反馈环路的示例性常规数据检测系统;

[0014] 图 2A 示出了整合有本发明的多个不同方面的示例性数据检测系统;

[0015] 图 2B 示出了图 2A 的可变增益放大器的输入处的信号和噪声的功率谱密度;

[0016] 图 2C 示出了作为频率的函数的图 2A 的有限带宽可变增益放大器的输出处的信号和噪声的功率谱密度;

[0017] 图 2D 示出了作为频率的函数的对于没有量化噪声的 ADC 的图 2A 的过采样 ADC 输出处的信号和噪声的功率谱密度;

[0018] 图 2E 和 2F 分别示出了作为频率的函数的图 2A 的 DLPF 和下采样器的输出处的信号、噪声和 ADC 量化噪声的功率谱密度;

[0019] 图 3A 和 3B 示出了用于确定用于图 2A 的 DLPF 的滤波器系数的示例性技术;

[0020] 图 3C 示出了图 2A 的 DLPF 和下采样器的集成版本的示例性实现方式;

[0021] 图 4 示出了包含数字 MRA 校正滤波器的另一示例性数据检测系统;

[0022] 图 5A 和 5B 分别是图 2A 和图 4 的示例性模拟和数字 MRA 校正块的框图;

[0023] 图 6 示出了包含分数间隔的数字有限脉冲响应(DFIR)滤波器的另一示例性数据检测系统;

[0024] 图 7 是图 6 的示例性分数间隔的 DFIR 均衡器的框图;

[0025] 图 8 是可以和图 6 的示例性数据检测系统中的图 7 的示例性分数间隔的 DFIR 均衡器结合使用的示例性检测器的方框图;

[0026] 图 9A 和 9B 分别示出了示例性的最小均方(LMS)调整算法和示例性的迫零(ZF)算法;

[0027] 图 10 示出了包含用于数据检测系统和分数均衡的所有元件的完全过采样的另一

示例性数据检测系统；

[0028] 图 11 示出了根据本发明不同实施方式的存储系统；以及

[0029] 图 12 示出了根据本发明一个或多个实施方式的包括接收器的通讯系统。

具体实施方式

[0030] 本发明提供了一种每个位周期产生多个数字样本的过采样 ADC。这样，可以通过将抗混叠和噪声频带限制滤波和 / 或均衡处理的至少一部分转移到数字域，来简化 CTF 电路。过采样 ADC 允许部分的滤波和 / 或均衡在模拟域执行而部分的滤波和 / 或均衡在数字域执行。例如，为了减少带外噪声的频带限制滤波和为了补偿符号间干扰的脉冲形状滤波现在可以在数字域执行。

[0031] 图 1 示出了包括不同反馈环路的示例性的常规数据检测系统 100。数据检测系统 100 包括模拟前端 (AFE)，其通过 AC 耦接 115 接收模拟输入信号 110。例如，在输入信号 110 是从磁存储介质感测的磁信号的情况下，AC 耦接 115 可以包括能够将感测的磁场转换为相应模拟电信号的电路。

[0032] 使用可变增益放大器 120 放大 AC 耦接 115 的输出。可变增益放大器 120 施加的增益由增益计算电路 130 提供的增益反馈值 122 控制。增益计算电路 130 可以是本领域已知的任何能够基于输入误差信号提供可变增益输出的电路。

[0033] 使用求和元件 140 将放大的输入 124 和偏移值 142 相加。偏移值 142 由偏移电路 195 提供。和 144 被提供到连续时间滤波器 (CTF) 125，如上所述，其操作来从接收到的模拟信号中滤除不希望的噪声。连续时间滤波器 125 提供表示模拟输入信号 110 的数据输入 105。连续时间滤波器 125 可以是本领域已知的任何能够从接收到的模拟信号中减少或消除噪声的滤波器。例如，连续时间滤波器 125 可以是能够从信号中减少或消除高频噪声的低通滤波器。如本领域普通技术人员将清楚的，根据本发明的不同实施方式，可以使用多种滤波器或滤波器结构。

[0034] 数据输入 105 被提供到模数转换器 (ADC) 150，其将连续的模拟信号转换成一系列相应的数字样本 152。根据由数字锁相环电路 160 基于接收到的数据产生的时钟信号 154 获得数字样本 152。数字样本 152 被提供到数字滤波器 170，其提供滤波后的输出 172 给数据检测器 180。数字滤波器 170 可以被实现为，例如，本领域已知的数字有限脉冲响应滤波器。数据检测器 180 提供理想输出 182，其被使用求和元件 190 从相应的数字样本 152 中减去。数据检测器 180 可以是任何已知的数据检测器电路，例如维特比算法数据检测器。

[0035] 求和元件 190 的结果输出是误差信号 184，其被用于驱动数字锁相环电路 160、偏移电路 195 和增益计算电路 130。

[0036] 示例性的数据检测系统 100 使用三个自适应反馈环路。第一环路包括数字锁相环电路 160 并操作来自适应地调整由模数转换器 150 所使用来采样数据输入 105 的采样周期 (即，调整时钟信号的相位和 / 或频率)。第二环路包括偏移电路 195，其用于自适应地调整接收到的模拟输入的任何 DC 偏移。第三环路包括增益计算电路 130，其用于自适应地调整在对接收到的模拟输入信号预处理时使用的增益。

[0037] 示例性的常规数据检测系统 100 还可以包括磁阻不对称 (MRA) 校正滤波器 (图 1 中未示出)，例如，在 CTF125 之前。通常，用于磁性记录的磁阻 (MR) 头呈现非线性传递函数

(non-linear transfer functions)。理想地,来自该头的输出电流与读取的磁通量(x)线性相关。然而,大多数的头呈现二次非线性,结果是输出电流被表示为 $s = kx + \alpha x^2$, 其中 k 是比例系数, α 控制头中的非线性水平。这种现象被称为头中的 MR 不对称(MRA)。在常规读通道中,模拟部分可能具有 MRA 校正(MRAC)块,其逼近对头输出进行线性化所需的逆传递函数,如将在下面结合图 5A 进一步讨论的。

[0038] 如上所述,本发明认识到,一些信号处理负担可以从模拟域(在图 1 的 ADC 之前)转移到数字域。根据本发明的一个方面,过采样 ADC 每个位周期产生多个数字样本。除其他益处之外,通过将至少部分的均衡处理转移到数字域,过采样的数字样本允许 CTF 电路设计简化。

[0039] 图 2A 示出了包括本发明的多个方面的示例性的数据检测系统 200。数据检测系统 200 包括模拟前端(AFE),其以和图 1 的常规数据检测系统类似的方式通过 AC 耦接 215 接收模拟输入信号 210。此外,以和图 1 类似的方式,使用可变增益放大器 220 放大 AC 耦接 215 的输出,并且通过由反馈环路 260 提供的增益反馈值 222 控制 AC 耦接 215 的输出。下面将结合附图 2B 和 2C 进一步讨论可变增益放大器 220 的输出。使用求和元件 240 将放大的输入 224 和偏移值 242 相加。偏移值 242 以和图 1 类似的方式由反馈环路 260 提供。

[0040] 如图 2A 所示,和 244 被提供到可选的 MRA 校正滤波器 265,其逼近对读取头的输出进行线性化所需的逆传递函数,如下面将结合图 5A 进一步讨论的。MRA 校正滤波器 265 的输出被施加到可选的 CTF225,如上所述地,其可以操作来从接收到的模拟信号中滤除不希望的噪声。根据本发明的一个方面,通过将至少部分的均衡处理过程转移到数字域来简化 CTF225。例如,在一个实施方式中,CTF225 执行抗混叠滤波,以及电子噪声的部分频带限制滤波。本发明认识到,电子噪声额外的频带限制滤波,以及减少 ISI 的信号整形滤波,可以在数字域更好的执行,如下面将结合附图 2F 进一步讨论的。用于 CTF225 的合适的传递函数 $H(s)$ 将在下面的标题为“确定数字 LPF 的系数”的部分给出,其中分子级指示零点而分母指示极点。

[0041] CTF 225 提供表示模拟输入信号 210 的数据输入 205。CTF 225 可以是本领域中已知的任何能够减少或消除接收到的模拟信号中的噪声的滤波器。如本领域普通技术人员将很容易理解的,根据本发明的不同实施方式可以使用多种滤波器和滤波器架构。

[0042] 数据输入 205 被提供到过采样 ADC 250,其对于每一位间隔将连续的模拟信号 205 转换成多个(N 个)相应的数字样本 252。例如,对于每一位间隔,该过采样可以生成 $N=2$ 或 $N=4$ 个数字样本 252。尽管这里使用 $N=4$ 的示例性过采样率描述本发明,然而如本领域普通技术人员将很容易理解的,可以采用任何过采样率。总之,过采样率可以是大于 1 的任何整数或分数倍。

[0043] 如上结合图 1 讨论的那样,根据例如通过环路 260 中的数字锁相环电路基于接收到的数据产生的时钟信号 254 获得数字样本 252。

[0044] 然后过采样数字样本 252 由数字低通滤波器(DLPF) 275 滤波,如下面将结合附图 3A 到 3C 进一步讨论的。一般地,根据本发明,DLPF 275 执行电子噪声额外的频带限制滤波,以及用于降低 ISI 的信号整形滤波。

[0045] 在图 2A 的示例性实施例中,由 DLPF 275 产生的滤波输出 276 然后被下采样电路 278 下采样到波特率。如下面将结合附图 3C 进一步讨论的,可选地,可以将 DLPF 275 和下

采样电路 278 实现为单个电路。由下采样电路 278 产生的下采样输出 279 包括对于每一位间隔的单个数字样本。以和图 1 类似的方式,下采样输出 279 被提供到数字 FIR 滤波器 270 (DFIR),其提供滤波输出给数据检测器 280。数据检测器 280 (诸如,维特比算法数据检测器) 提供被反馈环路 260 处理的理想输出 282。数据检测器 280 可以是任何已知的数据检测器电路。示例性的数据检测器 680 将在下面结合附图 8 进一步讨论。

[0046] 反馈环路 260 可以包括,例如,图 1 的增益计算电路 130、偏移电路 195 和数字锁相环电路 160,其分别以和图 1 类似的方式产生增益反馈值 222、偏移值 242 和时钟信号 254。

[0047] 此外,反馈环路 260 以已知的方式产生用于 MRA 校正滤波器 265 的反馈值 267 (下面将结合附图 5A 进一步讨论) 以及用于 DFIR 滤波器 270 的一组均衡器系数 268 (下面将结合附图 9A 和 9B 进一步讨论)。

[0048] 如下面将讨论的,图 2B 到 2F 示出了示例性的数据检测系统 200 中不同点上的各种功率谱密度。虽然电子和 ADC 量化噪声被示出作为实例,但是本领域普通技术人员来书将很容易理解,这些解释说明也可以应用于存在于 VGA218 的输入处的任何其他噪声成分的功率谱密度。

[0049] 图 2B 示出了可变增益放大器 220 的输入处的信号 218 和噪声 287 的功率谱密度,其中 f_{baud} 是波特率频率, f_{nyq} 是奈奎斯特频率(等于一半的波特率频率)。不失一般性地,功率谱密度在图 2B 中是理想化的。典型地,数据承载信号 218 将在从 0 到高达奈奎斯特频率 f_{nyq} 的奈奎斯特频带内具有显著的功率密度分量,而噪声 287 可以是存在于任何频率。出于解释的目的,在图 2B 中示出电子噪声 287,其典型地跨所有频率上是白的且恒定的。现实中的信号 218 也可能包含具有其它频率特性的噪声源。

[0050] 如果可变增益放大器不执行信号整形或频带限制滤波(即,如果可变增益放大器 220 具有高带宽),则可变增益放大器 220 的输出处的信号 224 和噪声 287 的功率谱密度会看起来类似于图 2B。

[0051] 图 2C 示出了作为频率的函数的图 2A 的可变增益放大器 220 的输出处的信号 224 和噪声 287 的功率谱密度,其中可变增益放大器 220 具有有限的带宽。在示例性实施例中,可变增益放大器 220 具有低通滤波器传递函数,其具有覆盖直至大约波特频率 f_{baud} 的频率的通带,和在大约波特频率处的低通转角频率。在这种情况下,示例性的可变增益放大器 220 应该保持模拟信号 224 而不失真直至波特频率 f_{baud} ,并且切断在波特频率以上的噪声 287。在替换的实施方式中,CTF225 执行低通滤波功能而不是可变增益放大器 220,或者,低通滤波功能分布在可变增益放大器 220 和 CTF225 之间。

[0052] 通常,这种低通滤波的低通转角频率应该位于在奈奎斯特频率和一半过采样频率(其在示例性实施方式中是波特频率的四倍)之间的某处。为了避免过采样 ADC250 的输出处信号和噪声分量的混叠,低通滤波器转角频率不应该高于一半的过采样频率。为了降低模拟可变增益放大器 220 或 CTF225 的实现复杂性,选择低通转角频率在奈奎斯特频率之上(例如,波特率频率)是有利的。在这种情况下,低通转角频率处传递函数的滚降(rolloff)并不必须设计成象常规波特系统中那样陡。

[0053] 图 2D 示出了作为频率的函数的对于没有量化噪声的 ADC (即,具有无限精确度的理想 ADC) 的图 2A 的过采样 ADC250 的输出处的信号 252 和噪声 287 的功率谱密度。由于过采样,在四倍(4x)波特频率处存在噪声 287 的噪声密度 287a、287b 和信号 252 的假拷贝

(spurious copies) 252a、252b。如图 2D 所示,由于在示例性实施方式中过采样率是 4,因此假拷贝 252a、252b、287a、287b 是双侧的,并且以 $4f_{\text{baud}}$ 为中心。在 $4x$ 外的其他倍数(例如, $8x$ 和 $16x$)处存在噪声 287 和信号 252 的另外的双侧假拷贝,并且为了解释方便起见这些假拷贝在图 2D 中没有示出。通常,对于 N 的过采样率,双侧假拷贝发生在 N 倍波特率频率的倍数处,例如 Nf_{baud} 、 $2Nf_{\text{baud}}$ 和 $3Nf_{\text{baud}}$ 。注意,对于有限精确度 ADC,ADC 量化噪声也会存在。

[0054] 图 2E 示出了作为频率的函数的图 2A 的 DLPF275 的输出处的信号 276、噪声 287 和 ADC 量化噪声 289 的功率谱密度。如本领域普通技术人员将理解的,由于过采样,在四倍($4x$)波特率频率处存在信号 276 的假拷贝 276a、276b;噪声密度 287 的假拷贝 287a、287b;以及 ADC 量化噪声 289 的假拷贝 289a、289b,但为了图示方便起见在图 2E 中没有示出。如图 2E 所示,由于在示例性实施方式中,过采样率是 4,因此假拷贝 276a、276b、287a、287b、289a、289b 是双侧的并且以 $4f_{\text{baud}}$ 为中心。由于 DLPF 实现在大约奈奎斯特频率处的低通转角频率,因此信号 276、噪声 287 和 ADC 量化噪声 289 的功率谱密度是频带受限制的,并且在零和大约 f_{nyq} 之间不为零。此外,假拷贝 276a、276b、287a、287b 反映了该频带限制。在 $4x$ 波特率频率外的其他倍数例如 $8x$ 和 $16x$ 处,存在信号 276、噪声 287 和 ADC 量化噪声 289 的另外的双侧假拷贝,并且这些假拷贝在图 2E 中示出没有。

[0055] 图 2F 示出了作为频率的函数的图 2A 的下采样器 278 的输出处的信号 279、噪声 287 和 ADC 量化噪声 289 的功率谱密度,其中下采样器 278 将信号(包括噪声分量)下采样到波特率。如本领域普通技术人员将理解的,由于下采样到波特率,在波特率频率的不同倍数处有信号 279 的假拷贝 279a、279b;噪声密度 287 的假拷贝 288a、288b;以及 ADC 量化噪声 289 的假拷贝 290a、290b,但是为了解释方便起见在图 2F 中没有示出。如图 2F 所示,假拷贝 279a、279b、288a、288b、290a、290b 是双侧的,并且以波特率频率 f_{baud} 为中心。如上结合图 2D 讨论的,由于在下采样之前利用 DLPF 的低通滤波,信号 279、噪声 287 和 ADC 量化噪声 289 的功率谱密度是带宽受限制的,并且在零和大约 f_{nyq} 之间非零。此外,假拷贝 279a、279b、288a、288b (和所有其它假拷贝)反映了该带宽限制,并且作为结果,在下采样之后没有混叠发生。

[0056] 如上所述,根据本发明,示例性的 DLPF275 可以执行抗混叠滤波,电子噪声(和其它噪声分量)的频带限制滤波、和用于降低 ISI 的信号形状滤波。

[0057] 通常,抗混叠滤波移除在奈奎斯特频率之上的任何残留信号分量和噪声,从而避免下采样器 278 的输出处的混叠。因此,DLPF275 应该具有在大约奈奎斯特频率 f_{nyq} 处的低通转角频率。

[0058] VGA220 和 / 或 CTF225 将执行抗混叠和频带限制滤波,以避免过采样 ADC250 的输出处的混叠,而 DLPF275 将执行抗混叠和频带限制滤波,以避免下采样器 278 的输出处的抗混叠。VGA220 和 / 或 CTF225 的低通转角频率应该在奈奎斯特频率和一半过采样频率之间的某处,而 DLPF275 的低通转角频率应该在奈奎斯特频率附近。本发明认识到,对于过采样系统,由于 VGA220 或 CTF225 的传递函数在低通转角频率处的斜率与没有过采样的现有技术波特率系统相比可以是较不陡的,因此 VGA 220 或 CTF 225 的设计将不是有挑战性的。通常,过采样率越高,斜率就越不需要陡。

[0059] 在图 2A-2F 所示的示例性实施方式中,VGA 220 限制在波特率频率之上的不需要

的信号分量和噪声,而 DLPF 275 限制在奈奎斯特频率之上的不需要的信号分量和噪声。

[0060] 可选地, VGA 220、CTF 225 或 DLPF 275 可以执行另外的信号形状滤波,以例如使信号均衡来移除一些或所有的符号间干扰。

[0061] 需要注意,如果 VGA 220 实现具有在奈奎斯特频率和一半过采样频率之间某处的低通转角频率的低通滤波功能,则 CTF 225 可以被省略。

[0062] 在进一步的变型中,CTF 225 可以执行低通滤波来降低在过采样 ADC 250 的一半采样频率之上的噪声。在示例性实施方式中,CTF 225 将仅仅实现传递函数中的极点(poles),从而实现低通滤波。在另一变型中,可选地,CTF 225 可以通过提供例如一些高频增强(boost)来执行某些脉冲整形或均衡。在一示例性的实施方式中,CTF 225 也将实现传递函数中的零点(zeros)来提供高频增强。

[0063] 如上所述的,用于 CTF 225 的合适的传递函数 $H(s)$ 将在下面的名称为“确定用于数字 LPF 的系数”的部分中给出,其中分子级指示零点而分母指示极点。

[0064] 确定用于数字 LPF 的系数

[0065] 如上所述,示例性数据检测系统 200 包括 DLPF 275。在示例性实施方式中,DLPF 275 被实现为有限脉冲响应(FIR)滤波器。此外,也可以使用其他的已知的数字滤波器结构,例如无限脉冲响应(IIR)滤波器。图 3A 和 3B 示出了用于确定 DLPF 275 的 FIR 实施方式的滤波器系数的示例性技术。例如,在 Keshab K. Parhi 所著“VLSI Digital Signal Processing Systems: Design and Implementation”(VLSI 数字信号处理系统:设计和实现)(1999 年 1 月 4 日)或 John G. Proakis 和 Dimitris K. Manolakis 所著“Digital Signal Processing”(数字信号处理)(2006 年 4 月 7 日,第 4 版)中,可以找到 FIR 滤波器的设计和实现方式。

[0066] 再次注意,根据本发明的若干方面,示例性 DLPF275 在数字域中执行以前在常规读通道中由 CTF 在模拟域中执行的一个或多个滤波器功能。根据本发明的另一方面,DLPF275 被利用较少的自由度编程。为了提供足够的滤波能力,代替读通道中传统 CTF225 的至少一部分的数字滤波器需要具有数个抽头,还需要对于每个抽头系数支持宽的数值范围。因此,相比对模拟 CTF 的优化,完备地优化数字滤波器是更困难的。为了有助于此,本发明将 DLPF275 的系数空间映射到模拟 CTF225 的数字等价物,并提供了产生所期望的滤波器系数的方法。

[0067] 如下面所述的,可以以与常规模拟 CTF225 类似的方式,仅使用两个自由度来优化数字 DLPF275:截止(cutoff)和增强(boost)。通常,截止频率是传递函数分母部分的幅度响应在 DC 处分母部分的幅度响应之下 3dB 的频率。类似地,增强是截止频率处测量的分子部分的幅度响应贡献。典型地,增强提供了接近奈奎斯特频率的高频处输入功率的放大。这提供一些输入信号的平衡。

[0068] 特别地,DLPF275 被设计成常规波特率系统中 CTF 的双线性变换的版本。该数字滤波器通常是 IIR(无限脉冲响应)。考虑到有限精度细节,通过将其映射到 IIR 滤波器的截断(truncated)脉冲响应而将 DLPF275 进一步改变为 FIR(有限脉冲响应)模式。

[0069] 在一个示例性实施方式中,使用用户指定的截止和增强值生成 DLPF275。在给定的用户指定的截止和增强值的情况下,传递函数 $H(s)$ 被构造用于滤波器的模拟版本,如下:

$$[0070] \quad H(s) = \frac{\frac{s}{a\omega_0} + 1}{\frac{s^2}{\omega_0^2} + \frac{s}{1.086\omega_0} + 1} \times \frac{\frac{-s}{a\omega_0} + 1}{\frac{s^2}{\omega_0^2} + \frac{s}{1.086\omega_0} + 1} \times \frac{1}{\frac{s^2}{\omega_0^2} + \frac{s}{0.6031\omega_0} + 1}$$

[0071] 其中 ω_0 是滤波器截止频率； a 是零位置， s 是模拟频率。

[0072] 此后，利用示例性的双线性变换 300 将传递函数 $H(s)$ 变换为频域特性 $H(z)$ 。如图 3A 所示，从连续时间域到过采样的数字域的示例性双线性变化 300 可以表示为如下：

$$[0073] \quad s = \frac{2}{T_d} \left(\frac{1 - z^{-1}}{1 + z^{-1}} \right).$$

[0074] 在一个示例性实施例中，如下面将结合附图 3B 进一步讨论的，来自示例性的传递函数 $H(s)$ 的五项（两个一阶分子项和三个二阶分母项）每个都被单独地应用到双线性变换 300，来产生用于多级 IIR 滤波器的给定级 i 的相应的一组系数：

[0075] $(\alpha^0, \alpha^1, \beta^0, \beta^1)$ 。

[0076] 因此，示例性变换输出包括 20 个 IIR 系数（对于示例性的五级 IIR 滤波器，每级四个系数）。

[0077] 在另一变型中，可以对于多个截止 / 增强组合预先计算 DLPF 系数，并见其存储在查找表中。因此，在给定用户指定的截止和增强值的情况下，可以从查找表获得 DLPF 系数。以这样的方式，可以更快地获得所述系数（利用查找表要比电路计算快）。

[0078] 因此，利用截止 / 增强组合来编程 DLPF 275，其中基于截止和增强来使用系数计算滤波器或查找表来确定 DLPF 系数。系数计算滤波器如上例如结合附图 3A 和 3B 所述地基于截止和增强计算 DLPF 系数。替代地，可以对于不同地截止 / 增强组合，预计算（使用，例如，所述的系数计算滤波器或其他分析手段）DLPF 系数，并将其存储在查找表中。在正常操作期间，于是对于特定的截止 / 增强对，从查找表中取回 DLPF 系数。通常，查找表采用截止和增强对的值作为输入，并且提供 DLPF 系数作为输出。截止 / 增强计算滤波器或查找表可以以硬件实现，例如，在读通道中或以固件。硬件实现具有更容易使用并且允许更快地计算 DLPF 系数的额外优点，而固件实现提供了灵活性（查找表或计算滤波器可以容易地通过对固件重新编程来改变）。

[0079] 此外，双线性变换 300 或查找表可以以硬件实现，例如，在数据检测系统 200 中，或以固件实现。硬件实现可以更容易使用并且可以允许更快地计算 DLPF 系数，而固件实现提供了灵活性（查找表或计算滤波器可以通过对固件重新编程而容易地改变）。

[0080] 图 3B 示出了用于确定 DLPF 275 的系数的示例性地多级 IIR 滤波器 350。如图 3B 所示，示例性地多级 IIR 滤波器 350 包括五级，360-1 到 360-5。给定的级 360- i 包括多个加法器（+）、乘法器（X）和延迟元件（D），如图 3B 所示。通过双线性变换 300 产生的用于每级的系数被施加到相应的乘法器（X），如图 3B 所示。脉冲被施加到五级 IIR 滤波器 350 的输入，在五级 IIR 滤波器 350 的输出处产生用于 DLPF 275 的系数。如上所述的，在一个示例性实施方式中，在五级 IIR 滤波器 350 的输出处产生的系数截断到最多 24。

[0081] 因此，示例性 DLPF 275 具有 24 个滤波器抽头系数。以这样的方式，本发明的一个方面允许以与 LPF 的模拟实现类似的方式从仅仅两个自变量（截止和增强（即，零点））获得 24 个系数。因此，用户可以可选地指定用于 DLPF 275 的期望的截止和增强值。之后，使用

指定的截止和增强值来计算该 24 个系数,其代表固定点 DLPF 275。

[0082] 图 3C 示出了与图 2A 的 DLPF 275 和下采样器 278 对应的集成 DLPF 和下采样器 380 的示例性的替代实施方式。总的来说,根据本发明,集成的 DLPF 和下采样器 380 执行下采样,同时还执行另外的对电子噪声的频带限制滤波,以及用于减少 ISI 的信号形状滤波。

[0083] 针对过采样率 $N=4$,示出了示例性的集成的 DLPF 和下采样器 380。需要注意,示例性的 ADC 250 每个位持续时间产生四个采样。对于四分之一速率实现方式而不用过采样,每 $4T$ 周期处理四波特率采样(其中 T 与一个位周期对应),这与对于波特率实现方式而不用过采样的每个周期一个采样相反。处理速率(吞吐量)保持每个位持续时间一个采样,但是现在,采样被并行处理。对于具有 $N=4$ 的过采样率的四分之一速率实现方式,示例性的集成的 DLPF 和下采样器 380 (处于四分之一速率)每 $4T$ 处理 16 个采样,并且每 $4T$ 产生四个采样,其将被保持跟随下采样操作。换句话说,集成的 DLPF 和下采样器 380 每 $4T$ 并不产生将被下采样器 278 丢弃的另外的 12 个采样。

[0084] 如图 3C 所示,示例性的集成的 DLPF 和下采样器 380 包括三个延迟元件 390-1 到 390-3,其每个将 ADC 250 的输出 252 延迟 4 个采样。此外,示例性的集成的 DLPF 和下采样器 380 包括四个并行的 DLPF 395-1 至 395-4,其每个处理 ADC 250 的输出 252 的四个时间延迟的版本。每个并行的 DLPF 395 可以被实现为具有由图 3B 的 IIR 滤波器 350 产生的系数的 DLPF。

[0085] 图 4 示出了包括本发明的多个不同方面的替代的示例性数据检测系统 400,其包括数字 MRA 校正滤波器。总的来说,图 4 的实施方式认识到,过采样 ADC 输出允许 MRA 校正节点移动到数字域中的 DLPF 输入。

[0086] 以与图 1 和 2A 的数据检测系统 100、200 类似的方式,数据检测系统 400 包括模拟前端,其经由 AC 耦接 415 接收模拟输入信号 410 的。此外,以与图 1 类似的方式,AC 耦接 415 的输出被使用可变增益放大器 420 放大,由反馈环路 460 提供的增益反馈值 422 控制。使用求和元件 440 将放大后的输入 424 和偏移值 442 求和。以与图 1 类似的方式,偏移值 442 由反馈环路 460 提供。

[0087] 如图 4 所示,和 444 (其代表模拟输入信号 410) 被提供到过采样 ADC 450,其将连续的模拟信号 444 转换为对于每个位间隔的多个(N)相应的数字样本 452,其中 N 可以是大于 1 的整数或非整数值。例如,该过采样可以对于每个位间隔产生 $N=2$ 或 $N=4$ 个数字样本 452。

[0088] 然后,过采样的数字样本 452 被数字 MRA 校正滤波器 455 处理,下面将结合附图 5B 进一步讨论。通常,DMRA 校正滤波器 455 在过采样的数字域中实现,并且逼近对读取头的输出进行线性化所需的逆传递函数。示例性的 DMRA 校正滤波器 455 处理过采样的信号。此外,反馈环路 460 产生用于 DMRA 校正滤波器 455 的反馈值 456 (β),下面将结合附图 5B 进一步讨论。

[0089] DMRA 校正滤波器 455 的输出被施加到 DLPF 475,其可以以与图 2A 和 3A 到 3C 的 DLPF 275 类似的方式来实现。然而,在图 4 的不包含模拟 CTF 的实施方式中,DLPF 475 在数字域中执行如上面结合附图 2B 到 2F 讨论的抗混叠滤波、电子噪声的全频带限制滤波、以及用于减少 ISI 的信号形状滤波。DLPF 475 可以使用上面结合图 3A 和 3B 描述的技术来实现。

[0090] 在图 4 的示例性实施方式,由 DLPF475 产生的滤波后输出 476 接着由下采样电路 478 下采样到波特率。如上面结合附图 3C 讨论的那样,可选地,DLPF475 和下采样电路 478 能够被实现为单个集成电路。由下采样电路 478 产生的下采样输出 479 对于每个位间隔包括一个数字样本。下采样输出 479 被提供到数字 FIR 滤波器 470,其以与图 1 和 2A 类似的方式提供滤波后输出到数据检测器 480。数据检测器 480 (诸如,维特比算法数据检测器)提供由反馈环路 460 处理的理想输出 482。数据检测器 480 可以是任何已知的数据检测器电路。在下文中将结合附图 8 进一步讨论示例性的数据检测器 680。

[0091] 反馈环路 460 可以包括,例如,图 1 的增益计算电路 130、偏移电路 195 和数字锁相环电路 160,其以与图 1 类似的方式分别产生增益反馈值 422、偏移值 442 和时钟信号 454。此外,反馈环路 460 产生用于 DFIR470 的一组均衡器系数 468,在下文中将结合附图 9A 和 9B 进一步讨论。

[0092] 图 5A 是示例性模拟 MRA 校正模块 265 (图 2A) 的框图。如先前所述,用于磁记录系统中的磁阻(MR)头典型地呈现非线性传递函数。理想地,来自该头的输出电流(s)与被读取的磁通量(x)线性相关。然而,大多数读取头呈现二次非线性,结果是输出电流被表示如下:

$$[0093] \quad s = kx + \alpha x^2,$$

[0094] 其中 k 是比例因子, α 控制头中非线性水平。这种现象被称为头中的 MR 不对称(MRA)。在常规的读通道中,模拟部分可以具有 MRA 校正(MRAC)模块 265 (图 2A),其逼近对读取头的输出进行线性化所需的逆传递函数。特别地,下式是 MRAC 模块的传递函数,其使用二次传递函数逼近线性传递函数:

$$[0095] \quad y = k_2 s - \beta s^2,$$

[0096] 其中 k_2 是比例因子,系数 β 被选择为使得与理想的线性传递函数相比 MRAC 模块输出中的残余误差最小化。如图 5A 所示,在被加法器 540 从 VGA220 输出中减去之前,图 2A 的 VGA 220 的输出在级 520 处被 MRAC 265 平方,并且在乘法器 530 处被利用校正因子 β 进行比例缩放。这保证了到连续时间滤波器(CTF)255 的输入被线性化。需要注意,为了图示方便,在图 5A 中省略了由图 2A 的加法器 240 执行的 DC 校正。

[0097] 如上所述的,本发明认识到使用模数转换器(ADC) 250 产生的采样,替代地可以在数字域中实现 MRAC 模块 265 (图 2A)。这导致数字的 MRAC (DMRAC) 模块 255。

[0098] 图 5B 是示例性的数字 MRA 校正模块 455(图 4)的框图。其也可以利用图 2A 和 5A 的模拟 MRAC 模块 265 所使用的二次式来实现,但是由于在 ADC 450 的数字化之前的模拟域中的滤波,选择其它(线性或非线性)传递函数来使与线性输出相比的残余误差最小化可能是有益的。

[0099] 如图 5B 所示,在被加法器 580 从 VGA 450 的输出中减去之前,来自 ADC 450 的输出采样在级 560 处被 DMRAC 455 平方,并且在乘法器 570 处被使用校正因子 β 依比例缩放。这保证了到 DLPF 475 的输入是线性化的。

[0100] 图 6 示出了包含本发明多个不同方面的替代的示例性数据检测系统 600,包括分数间隔的 DFIR 滤波器 670。总的来说,图 6 的分数间隔的均衡实施方式通过滤波器系数的调整提供改进的性能,如下面将结合图 9A 和 9B 进一步讨论的。此外,如下面将讨论的,可选地,图 6 的分数间隔的均衡实施方式使用模拟 CTF 625 来执行总体滤波需求的一部分。在

示例性实施方式中,过采样率是 $N=2$,但也可以选择其它过采样比例,其中 N 是大于1的整数(例如4)或非整数(如1.5)。以与图1、2A和4的数据检测系统100、200、400类似的方式,数据检测系统600包括模拟前端,其经由AC耦接615接收模拟输入信号610。此外,以与图1类似的方式,AC耦接615的输出被使用可变增益放大器620放大,并且由反馈环路660提供的增益反馈值622控制。放大后的输入624被利用求和元件640与偏移值642求和。偏移值642以与图1类似的方式由反馈环路660提供。

[0101] 如图6所示,和644被施加到可选的CTF 625,如上所述的,CTF 625可以操作来从接收到的模拟信号中滤除不期望的噪声。CTF625提供代表模拟输入信号610的数据输入605。CTF 625可以是本领域中已知的能够从接收到的模拟信号中减少或消除噪声的任何滤波器。如本领域普通技术人员将理解的,根据本发明不同的实施方式,可以使用多种滤波器和滤波器架构。

[0102] 数据输入605被提供到过采样ADC 650。示例性的过采样ADC650将连续模拟信号605转换为对于每个位间隔多个(N)相应的数字样本652。示例性的过采样ADC 650对于每个位间隔产生 $N=2$ 个数字样本652。数字样本652根据时钟信号654获得,该时钟信号654例如由环路660中的数字锁相环电路基于接收到的数据而产生。

[0103] 过采样的数字样本652然后被数字MRA校正滤波器655处理,如上结合图5B所述的。通常,DMRA校正滤波器655逼近对读取头的输出进行线性化所需的逆传递函数。此外,反馈环路660产生用于DMRA校正滤波器655的反馈值655(β),如上结合图5B所讨论的。

[0104] DMRA校正滤波器655的输出被施加到分数间隔的DFIR 670,其可以如下面结合附图7讨论的那样或以与图3C的集成的DLPF和下采样器380类似的方式实现。通常,根据本发明,集成的DLPF和下采样器380执行下采样,同时还执行对电子噪声和其它噪声分量的另外的频带限制滤波,以及用于降低ISI的信号形状滤波。

[0105] 因此,在图6的示例性实施方式中,由分数间隔的DFIR 670产生的滤波后输出676已经被下采样到波特率。由分数间隔的DFIR 670产生的滤波后输出676对于每个位间隔包括单个数字样本。滤波后输出676被提供到数据检测器680,下文中将结合附图8进一步讨论。数据检测器680(例如,维特比算法数字检测器)提供由反馈环路660和675处理的理想输出682。数据检测器680可以是任何已知的数据检测电路。

[0106] 反馈环路660可以包括,例如,图1的增益计算电路130、偏移电路195和数字锁相环电路160,其以和图1类似的方式分别产生增益反馈值622、偏移值642和时钟信号654。反馈环路675产生用于分数间隔的DFIR670的一组均衡器系数678,下文中将结合附图9A和9B进一步讨论。

[0107] 需要注意,分数间隔的DFIR 670也被过采样,因此潜在地改善了错误率性能(不仅仅是由于系数被调整,而且还由于过采样,这可以帮助使错误率性能更鲁棒并且独立于过采样ADC的采样误差)。

[0108] 图7是包含本发明的若干特征的示例性的分数间隔的FIR均衡器670的框图。如图7所示,示例性的分数间隔的FIR均衡器670在过采样域中处理来自图6的ADC 650或可选的DMRA校正滤波器655的输入710。示例性的分数间隔的FIR均衡器720基于均衡器系数730(固定或自适应的)在过采样域中产生FIR输出740作为中间输出,并且使用下采样器750在波特率域中最终产生FIR输出采样760。如上所述的,替代地,该示例性的分数

间隔的 FIR 均衡器 670 可以以与图 3C 的集成的 DLPF 和下采样器 380 类似的方式实现为单个模块,其在波特率时刻来自输出分数间隔的 FIR 滤波器 670 的采样。

[0109] 分数间隔的 FIR 滤波器 670 的目的是:(i)使信号均衡;(ii)将信号塑形为部分响应目标信号;或(iii)移除一些或所有符号间干扰(例如,前体(precursor)符号间干扰)。分数间隔的 FIR 滤波器 670 之所以被称为分数是因为:由于过采样,输入采样间的间隔是分数的(例如,对于过采样比率 2,间隔是 $0.5T$)。

[0110] 图 8 是在图 6 的示例性数据检测系统 600 中可以图和图 7 的示例性的分数间隔的 FIR 均衡器 670 一起使用的示例性的检测器 680 的框图。需要注意,示例性的检测器 680 也可以用来分别实现图 2、4 和 10 的数据检测器 280、480 和 1080。如图 8 所示,示例性的检测器 680 处理输入 810,该输入 810 包括来自分数间隔的 FIR 均衡器 670 的下采样的滤波后输出 676。示例性的检测器 680 使用噪声预测 FIR 滤波器 820 的库(bank)来提供波特率域中的 FIR 输出采样的数据依赖的均衡。该滤波器 820 的库的输出 830 由分支度量计算单元 840 处理来产生分支度量 850,其用于在级 870 处以已知的方式进一步处理来产生判决和/或软信息作为输出 880。对于合适的噪声预测 FIR 滤波器 820 和分支度量计算单元 840 的讨论,可以参见例如 2004 年 5 月 5 日提交的名称为“Method and Apparatus for Generating Filter Tap Weights and Biases for Signal Dependent Branch Metric Computation”的美国公开申请 No. 2005/0249273,通过引用将其合并在此。

[0111] 如先前所指出的,图 6 的反馈环路 675 产生用于分数间隔的 DFIR670 的一组均衡器系数。图 9A 和 9B 示出了用于调整该组均衡器系数 678 的示例性技术。通常,如下面将结合图 9A 和 9B 进一步讨论的,用于过采样均衡的调整算法类似于用于波特率均衡的调整算法。对于波特率系统,设 $\{x_k\}$ 是到具有系数 $\{f_n\}_{n=0}^{M-1}$ 的长度 M 有限脉冲响应(FIR)滤波器的输入序列,并且设 $\{y_k\}$ 是输出序列。设 $\{d_k\}$ 是 FIR 滤波器输出处的期望的序列,其基于均衡目标和判决序列(来自检测器或基于先验信息)。在时间 kT 处,均衡误差为 $e_k = y_k - d_k$ 。

[0112] 图 9A 示出了示例性的最小均方(LMS)调整算法 900。通常,示例性 LMS 调整算法 900 如下调整均衡系数: $f^{k+1} = f^k - \mu e_k x^k$,其中 μ 控制调整速度, f^k 是在时间 k 处均衡器系数的向量,而 x^k 是最新近的 N 个 FIR 输入的向量。

[0113] 不是像常规波特率系统那样每个 T 采集一个采样,该示例性的过采样最小均方(LMS)调整算法 900 每个波特率间隔与过采样率 N 对应地采集 N 个采样。对于该过采样系统,设 $\{x_k\}$ (ADC650 的输出)是到具有系数 $\{f_n\}_{n=0}^{M-1}$ 的长度 M 有限脉冲响应(FIR)滤波器 670 的输入序列,并设 $\{y_k\}$ 是从滤波器 670 的输出序列。具有 M 个系数的 FIR 滤波器 670 现在跨展 MT/N 而不是像波特率系统中的 MT 。如前面那样,设 $\{d_k\}$ (检测器 680 的输出)是 FIR 滤波器输出处的期望的波特率序列。需要注意,过采样的数字样本可以在反馈环路中可用。因此, LMS 调整算法 900 能够以过采样率或波特率计算系数。如果 LMS 调整算法 900 以波特率计算系数,则每个位间隔产生的系数重复 N 次来以过采样率提供均衡系数。

[0114] 图 9B 示出了示例性的迫零(ZF)算法 950。通常,示例性 ZF 算法 950 如下不同地调整均衡系数: $f^{k+1} = f^k - \mu e_k d^k$ 。对于过采样系统,设 $\{x_k\}$ (ADC650 的输出)是到具有系数 $\{f_n\}_{n=0}^{M-1}$ 的长度 M 有限脉冲响应(FIR)滤波器 670 的输入序列,并设 $\{y_k\}$ 是从滤波器 670 的输出序列。具有 M 个系数的 FIR 滤波器 670 现在跨展 (span) MT/N ,而不是像波特率系统那

样跨展 MT。如前面那样, 设 $\{d_k\}$ (检测器 680 的输出) 是 FIR 滤波器输出处的期望的波特率序列。需要注意, 在图 9B 的实施方式中, DFIR 调整环路以波特率操作。因此, 示例性的 ZF 算法 950 每个位间隔产生单个均衡系数, 并且所产生的系数重复 N 次来以过采样率提供均衡系数。

[0115] 在一个实施方式中, 基于波特率间隔处的过采样滤波器的输出计算误差项 e_k , 结果是, 即使利用过采样系统, 也可以每个 T 都应用更新的均衡。当在被检测器和解码器进一步处理之前将过采样系统的输出下采样到波特率时, 这是有用的。

[0116] 在另一实施例中, 每 T/N 计算误差项 e_k 。为此, 须对波特率期望序列 $\{d_k\}$ 插指来产生与压波特率 (sub-baud-rate) 采样时刻对应的期望的值。然后, 使用插值的期望的值来产生误差项 e_k , 并且在每 T/N 的 LMS 均衡中使用。对于 ZF 情况, 插值的期望的值还代替 d_k 在更新均衡中使用。当过采样域中的 FIR 滤波器 670 的输出在检测器 680 中处理而没有下采样时, 该第二示例性实施方式是期望的。更新均衡中包括与压波特率时刻对应的误差项保证了整个过采样域序列表现出期望的均衡化特性, 和第一实施方式相反, 其仅在波特率时刻采样执行均衡约束。

[0117] 图 10 示出了包含本发明多个不同方面的替代的示例性数据检测系统 1000, 包括分数均衡和数据检测系统 100 的所有元件的全过采样 (full oversampling)。

[0118] 以与图 1 和 2A 的数据检测系统 100、200 类似的方式, 数据检测系统 1000 包括经由 AC 耦接 1015 接收模拟输入信号 1010 的模拟前端。此外, 以与图 4 类似的方式, AC 耦接 1015 的输出被使用可变增益放大器 1020 放大, 并且被反馈环路 1075 提供的增益反馈值 1022 控制。使用求和元件 1040 将放大后的输入 1024 与偏移值 1042 求和。以与图 4 类似的方式, 偏移值 1042 由反馈环路 1075 提供。

[0119] 如图 10 所示, 代表模拟输入信号 1010 的和 1044 被提供到过采样 ADC 1050, 其将连续模拟信号 1044 转换为每个位间隔的多个 (N) 相应的数字样本 1052。示例性的过采样对于每个位间隔产生 $N = 4$ 个数字样本 1052。根据例如由环路 1075 中的数字锁相环电路基于接收到的数据产生的时钟信号 1054 而获得数字样本 1052。

[0120] 如上结合附图 5A 和 5B 讨论的, 过采样的数字样本 1052 然后被数字 MRA 校正滤波器 1055 处理。通常, DMRA 校正滤波器 1055 逼近对读取头的输出进行线性化所需的逆传递函数。此外, 以与上面结合附图 5B 的讨论类似的方式, 反馈环路 1075 产生用于 DMRA 校正滤波器 1055 的反馈值 1056 (β)。

[0121] DMRA 校正滤波器 1055 的输出被施加到过采样数字电路 1070。通常, 示例性的过采样数字电路 1070 执行时序调整、增益校正、基线校正 (BLC)、DC 偏移校正和均衡。时序调整、增益校正、和基线校正 (BLC) 以及 DC 偏移校正可以由过采样数字电路 1070 通过例如使用 N 个并行分支执行如上面结合图 2A 所述的每个功能, 来以过采样率 N 执行。在图 10 的不包含模拟 CTF 的实施方式中, 过采样数字电路 1070 在数字域中以过采样率执行均衡, 如上面结合图 4 所述的, 例如, 抗混叠滤波、全频带限制滤波和信号形状滤波。

[0122] 数据检测器 1080 (例如, 维特比算法数据检测器) 以过采样率操作, 并且提供被反馈环路 1075 处理的理想输出 1082。示例性的数据检测器 680 在上文中已经结合图 8 作了讨论。反馈环路 1075 以过采样率操作来产生增益反馈值 1022、偏移值 1042 和时钟信号 1054。此外, 反馈环路 1075 产生用于过采样数字电路 1070 的一组均衡器系数 1078。

[0123] 在进一步的变型中,过采样数字电路 1070 可以在其输出处下采样信号到波特率,并且检测器 1080 可以以波特率处理信号。

[0124] 图 11 示出了根据本发明不同实施方式的存储系统 1100。存储系统 110 可以是,例如,硬盘驱动器。存储系统 1100 包括读通道 1110。此外,存储系统 1100 包括接口控制器 1120、前置放大器 (preamp) 1170、硬盘控制器 1166、电机控制器 1168、主轴电动机 1172、盘片 1178 和读 / 写头 1176。接口控制器 1120 控制到 / 来自盘片的数据的寻址和定时。盘片 1178 上的数据包括多组磁信号,当读 / 写头组件 1176 正确地定位在盘片 1178 上时其可以被读 / 写头组件检测到。在典型的读操作中,读 / 写头组件 1176 由电机控制器 1168 精确地定位在盘片 1178 上需要的数据轨道上。通过在硬盘控制器 1166 的指引下移动读 / 写头组件到盘片 1178 上的正确的数据轨道,电机控制器 1168 既与盘片 1178 相关地定位读 / 写头组件 1176 又驱动主轴电动机 1172。主轴电机 1172 使盘片 1178 以确定的旋转速率 (RPM) 旋转。

[0125] 一旦读 / 写头组件 1178 被定位临近合适的数据轨道,随着盘片 1178 被主轴电机 1172 旋转,盘片 1178 上的代表数据的磁信号被读 / 写头组件 1176 感测。感测到的磁信号被提供作为代表盘片 1178 上磁性数据的连续的微小模拟信号。该微小的模拟信号经由前置放大器从读 / 写头组件 1176 传送到读通道模块 1110。前置放大器 1170 可操作来放大从盘片 1178 得到的微小的模拟信号。此外,前置放大器 1170 可操作来放大来自读通道模块 1110 的被指定写入盘片 1178 的数据。读通道模块 1110 又解码并数字化接收到的模拟信号来重新生成最初写入盘片 1178 的信息。该数据作为读数据 1103 从读通道模块 1110 提供到硬盘控制器 1166,并且又被提供到接收电路。写操作基本上与前述读操作相反,其中写数据 1101 被从硬盘控制器 1166 提供到读通道模块 1110。该数据然后被编码并写入盘片 1178。

[0126] 图 12 示出了根据本发明一个或多个实施方式的包括接收器 1220 的通讯系统 1200。通讯系统 1200 包括发射器,其如本领域中已知地操作来经由传输介质 1230 发送编码的信息。编码的数据被接收器 1220 从传输介质 1230 接收。

[0127] 如先前所指出的,通过将至少部分的滤波和 / 或均衡处理转移到数字域,本发明的过采样 ADC 允许 CTF 电路被简化或消除。例如,(i)减少频带外噪声的频带限制滤波和 / 或抗混叠,以及(ii)补偿符号间干扰的脉冲形状滤波,现在都可以在数字域中执行。

[0128] 此外,本发明的过采样 ADC 允许可选磁阻不对称 (MRA) 校正滤波器在模拟域中实现,例如,在可选的 CTF 225 之前,如图 2A 和 5A 所示,或者在数字域中实现,例如,在 ADC 之后,如图 4 和 5B 中所示。

[0129] 在其它示例性变型中,这里所述的 DLPF 和下采样设备可以实现为分立的且不同的电路,如图 2A 所示,或者实现为集成装置,如图 3C 所示。

[0130] 在一个实施例中,所公开的方法和装置可以用在图 11 的存储系统中或图 12 的通讯系统中。

[0131] 如先前所指出的,这里所述的数据检测系统和读通道的布置相对于常规布置提供多个优点。如上所述,所公开的用于实现具有过采样 ADC 的读通道的技术允许均衡、抗混叠滤波和 / 或噪声频带限制滤波处理的至少一部分在数字域中实现,这降低了模拟 CTF 电路的设计难度。此外,由于数字电路的面积随着工艺几何尺寸的减小而成比例减小,而模拟电路的面积并不随之显著减小,因此所公开的将一些模拟信号处理功能移动到数字域的技术

将有助于设计集成电路和芯片,与常规技术相比,其具有较小的面积,尤其是在未来的工艺几何尺寸的情况下更是如此。

[0132] 再一次强调,上述本发明的实施方式意图仅仅是说明性的。本领域普通技术人员将理解,一般地,示例性地数据检测系统可以被修改以包含过采样 ADC 并允许至少部分的均衡处理或其它滤波在数字域中执行。此外,所公开的用于在每个位间隔产生多个数字样本的技术可以用于任何数据检测系统或读通道中。

[0133] 尽管已经参考数字逻辑模块描述了本发明的示例性实施方式,但是本领域技术人员将理解,各种功能可以在数字域中被实现为软件程序中的处理步骤,在硬件中通过电路元件或状态机实现,或者以软件和硬件的组合来实现。这种软件可以用在例如数字信号处理器、专用集成电路、微控制器或通用计算机中。这种硬件和软件可以在集成电路中实现的电路内实施。

[0134] 在本发明的集成电路实施方式中,多个集成电路管芯(die)典型地以重复的方式形成在晶片的表面上。每个这种管芯可以包括如在此所描述的装置,并且可以包括其它结构或电路。管芯被从晶片中切出或切片,然后被封装为集成电路。本领域技术人员将知道如何对晶片切片和封装管芯来制造封装的集成电路。这样制造的集成电路被认为是本发明的一部分。

[0135] 因此,本发明的功能可以以方法和用于践行这些方法的装置的形式实施。本发明的一个或多个方面可以以程序代码的形式实施,例如,不管是存储在存储介质中、加载到机器和/或由机器执行、或通过某些传输介质传送,其中,当该程序代码被加载到机器(例如,计算机)中并由该机器执行时,该机器成为用于实施本发明的装置。当在通用处理器上实现时,程序代码段与处理器组合来提供与专用逻辑电路类似地操作的设备。本发明也可以在集成电路、数字信号处理器、微处理器和微控制器中的一个或多个中实现。

[0136] 应当理解,这里所示并描述的实施方案和变型仅仅是解释本发明的原则,并且本领域技术人员可以进行各种修改而不脱离本发明的范围和精神。

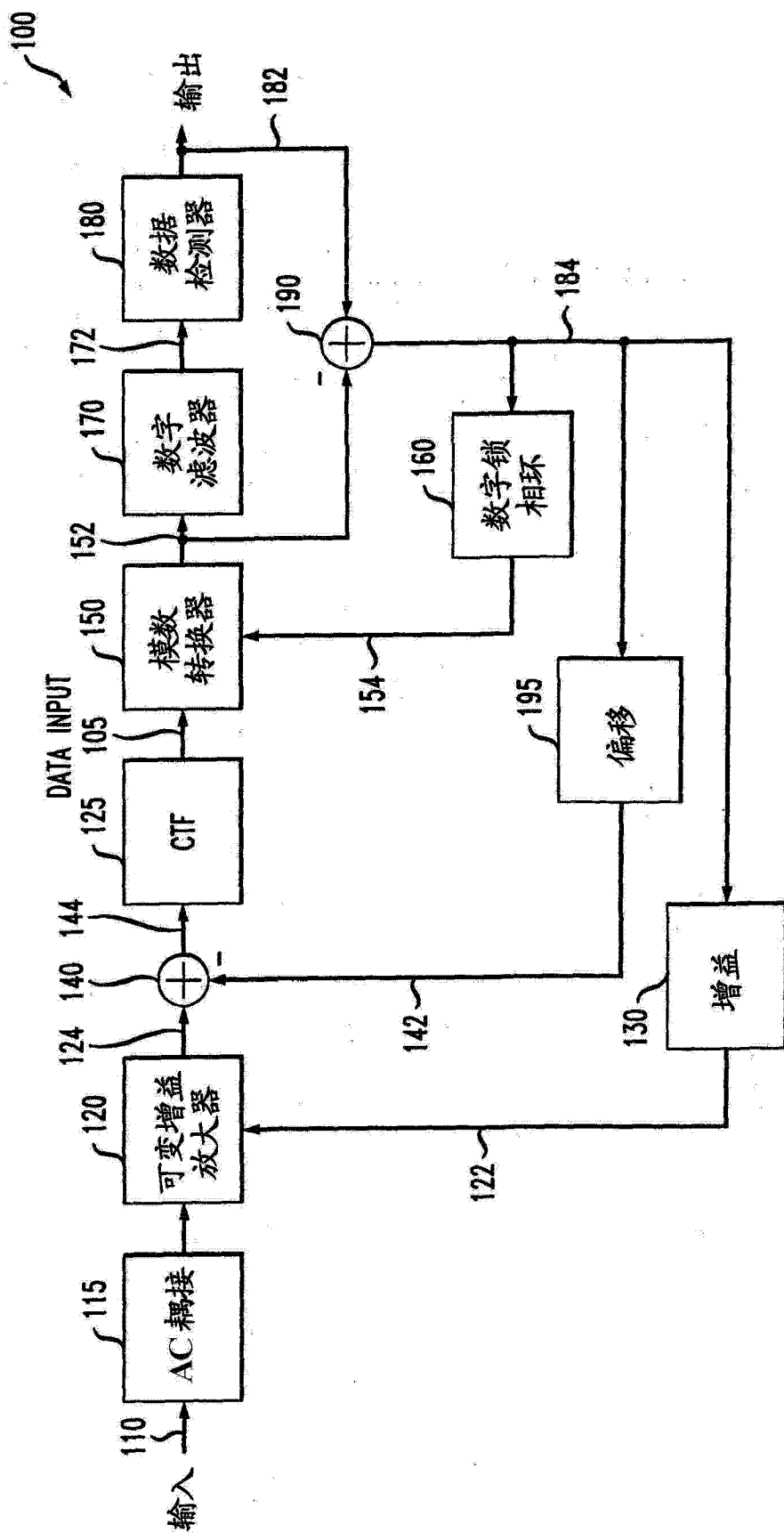


图 1 现有技术

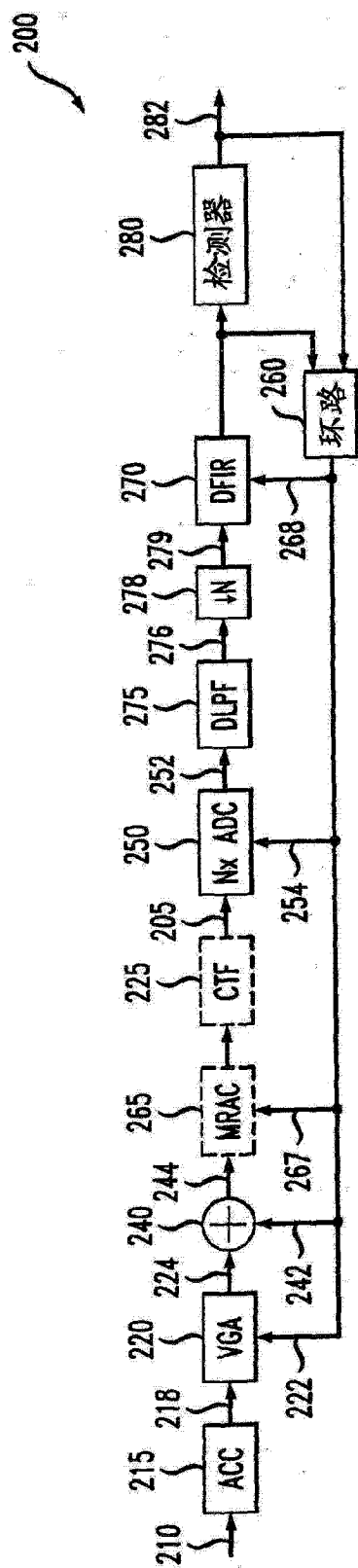


图 2A

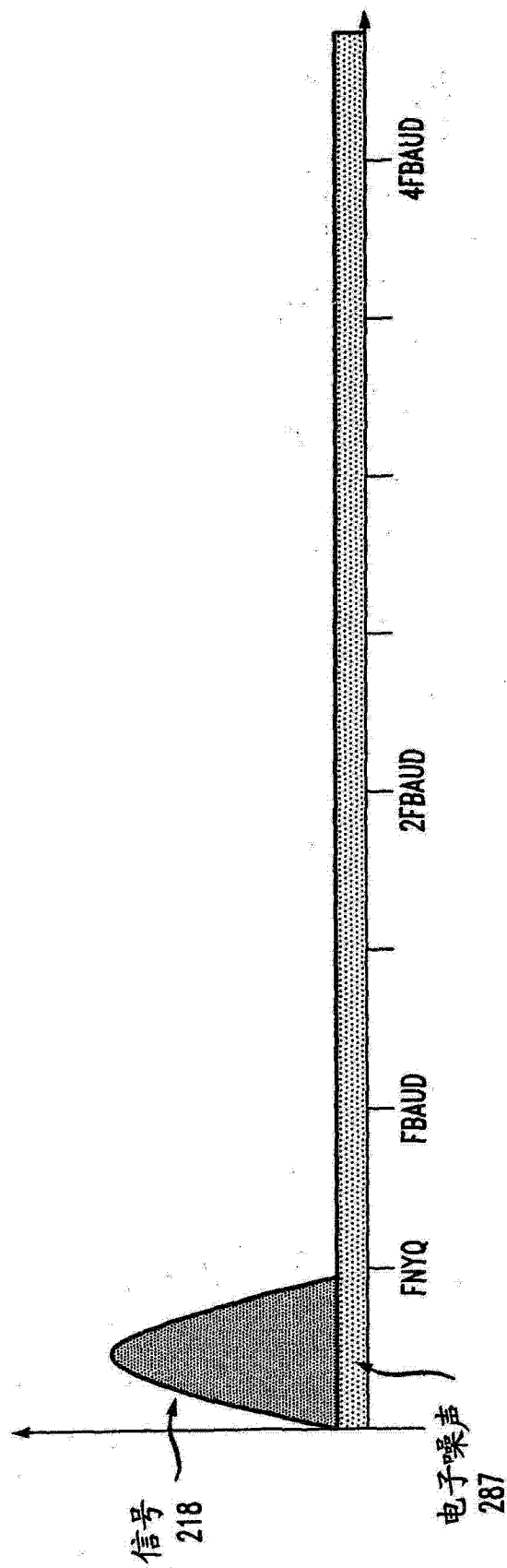


图 2B

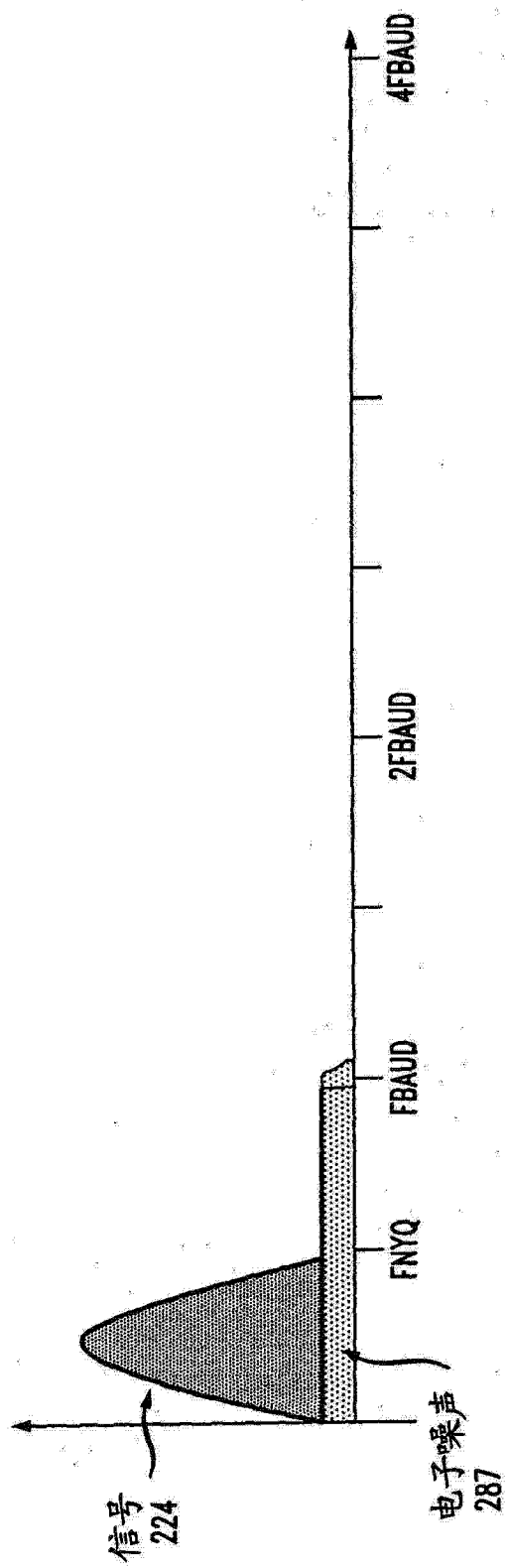


图 2C

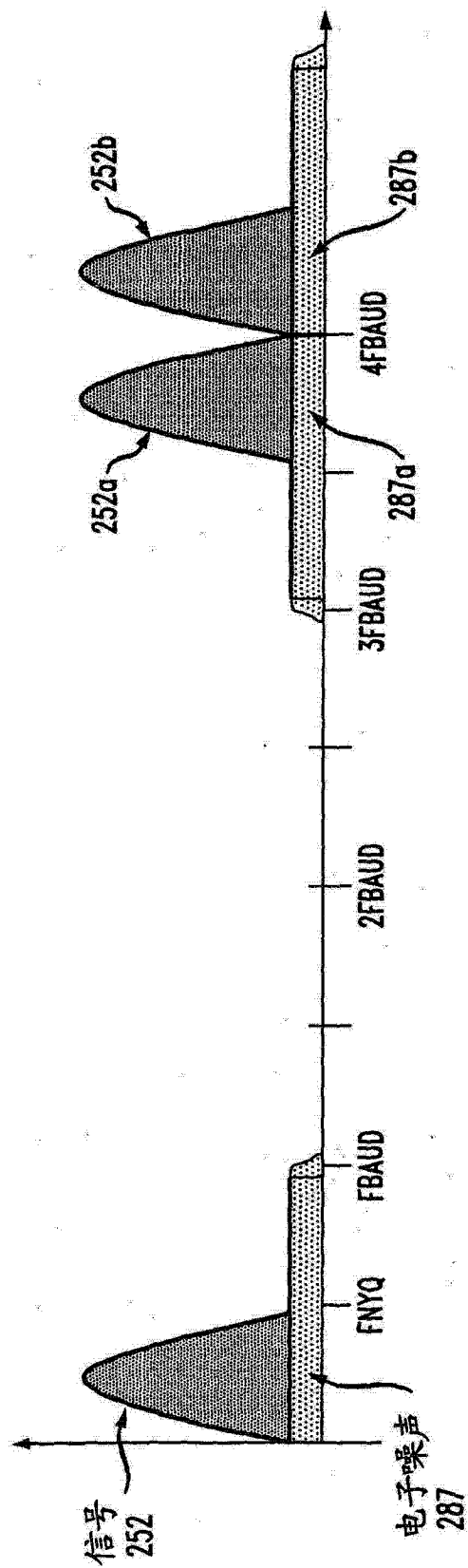


图 2D

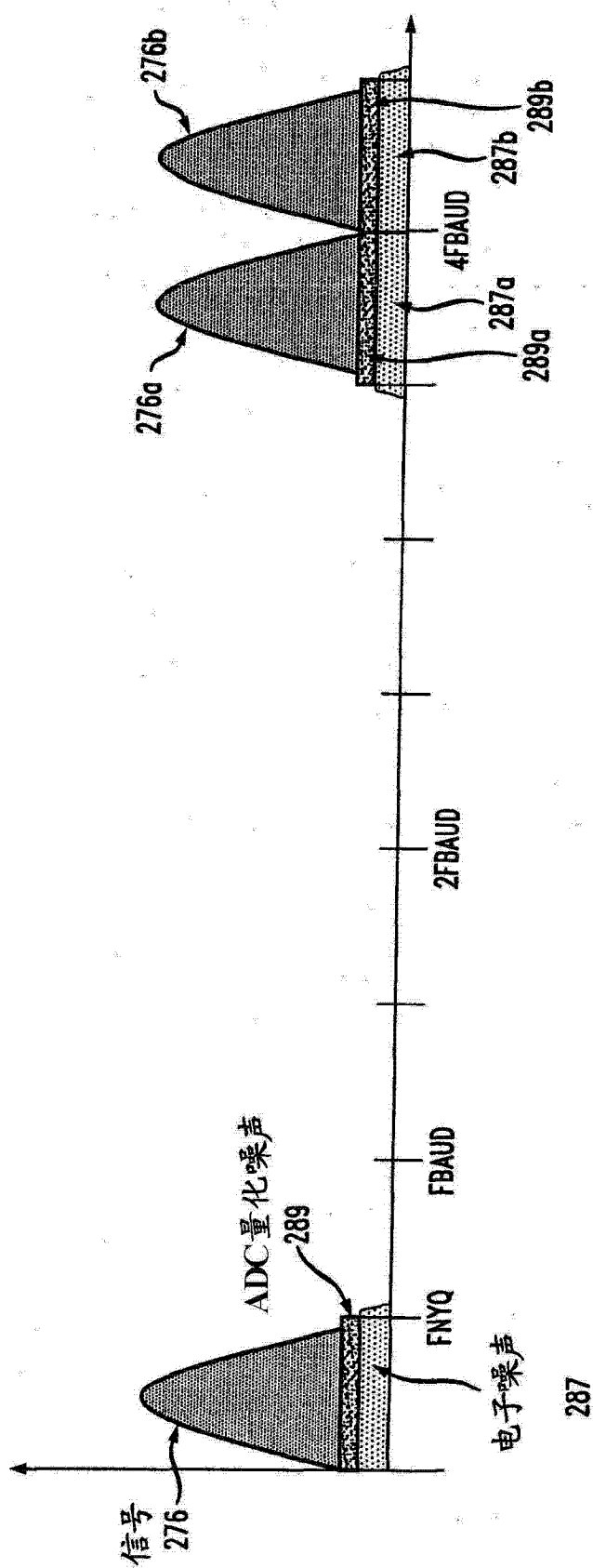


图 2E

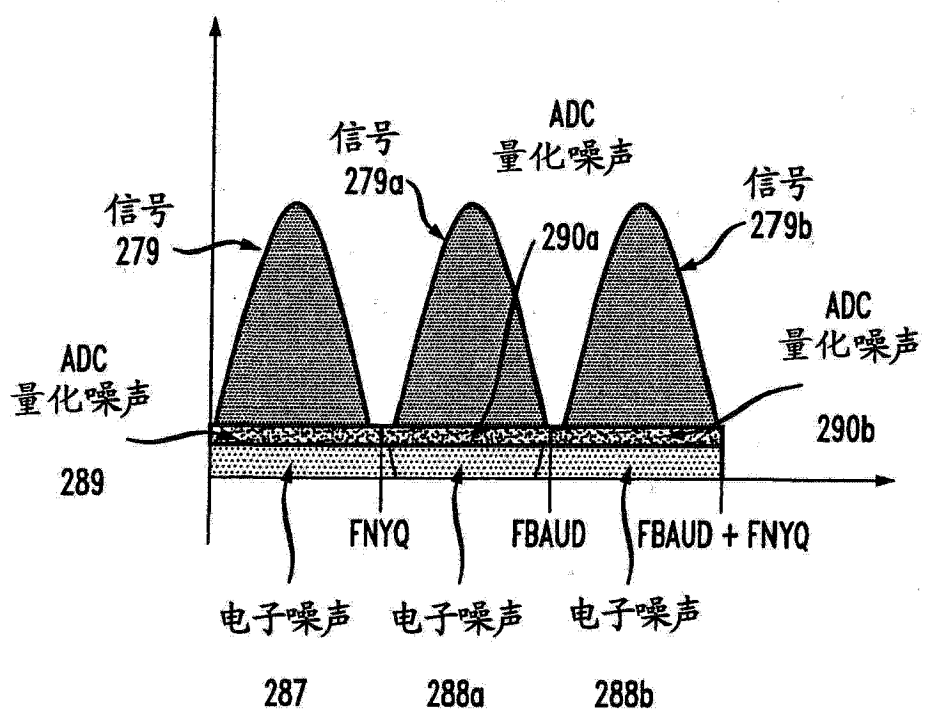


图 2F

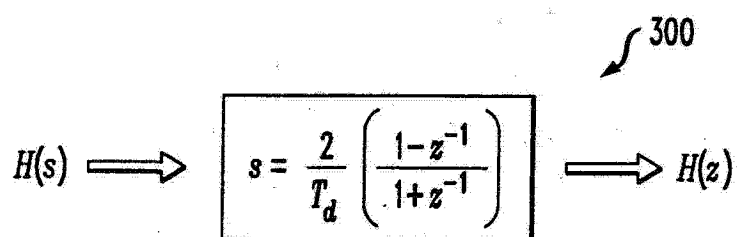


图 3A

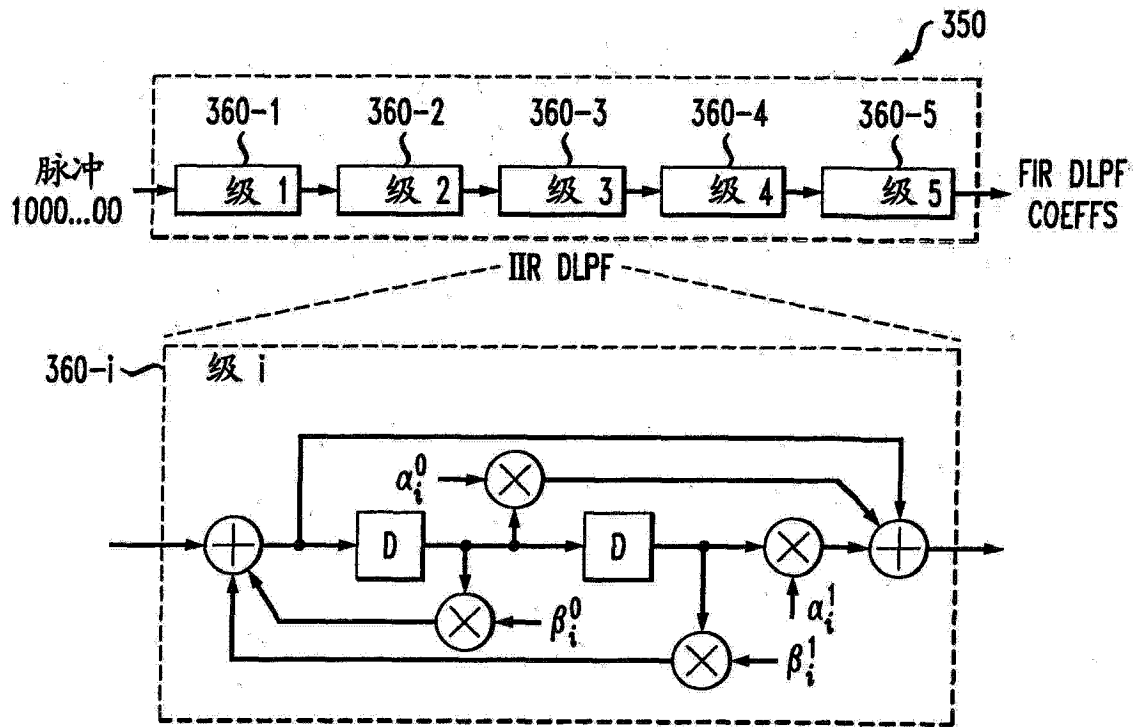


图 3B

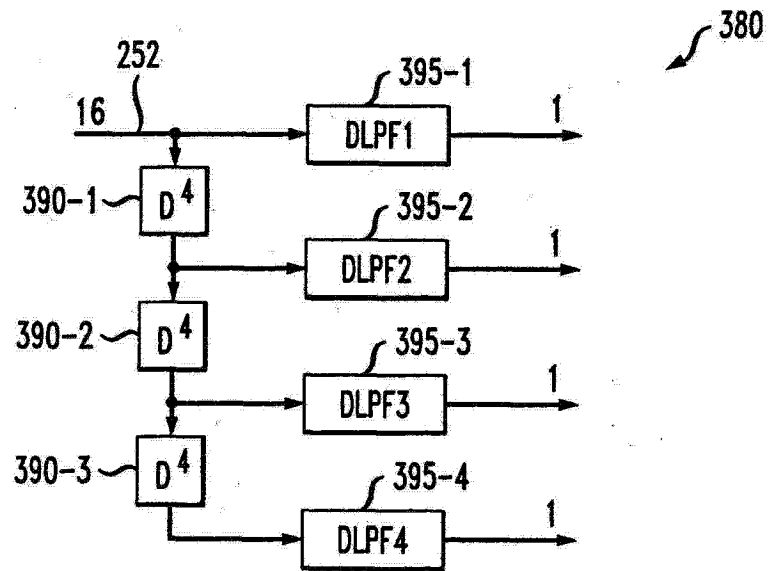


图 3C

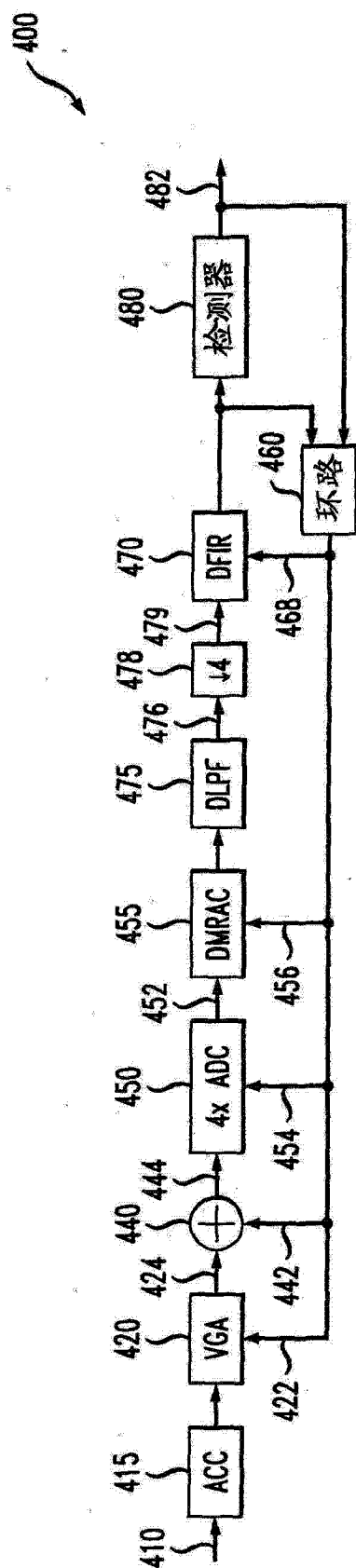


图 4

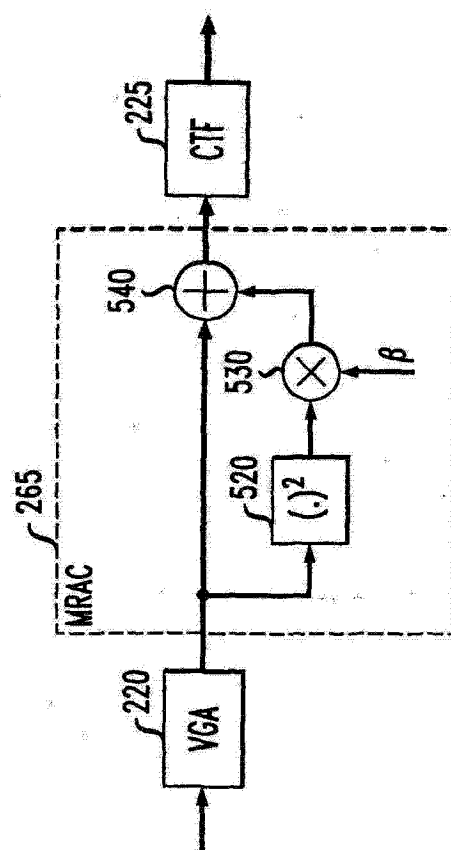


图 5A

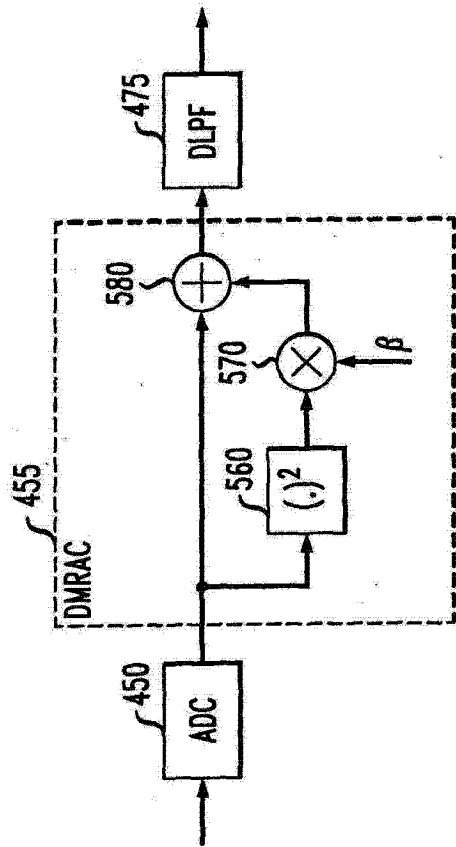


图 5B

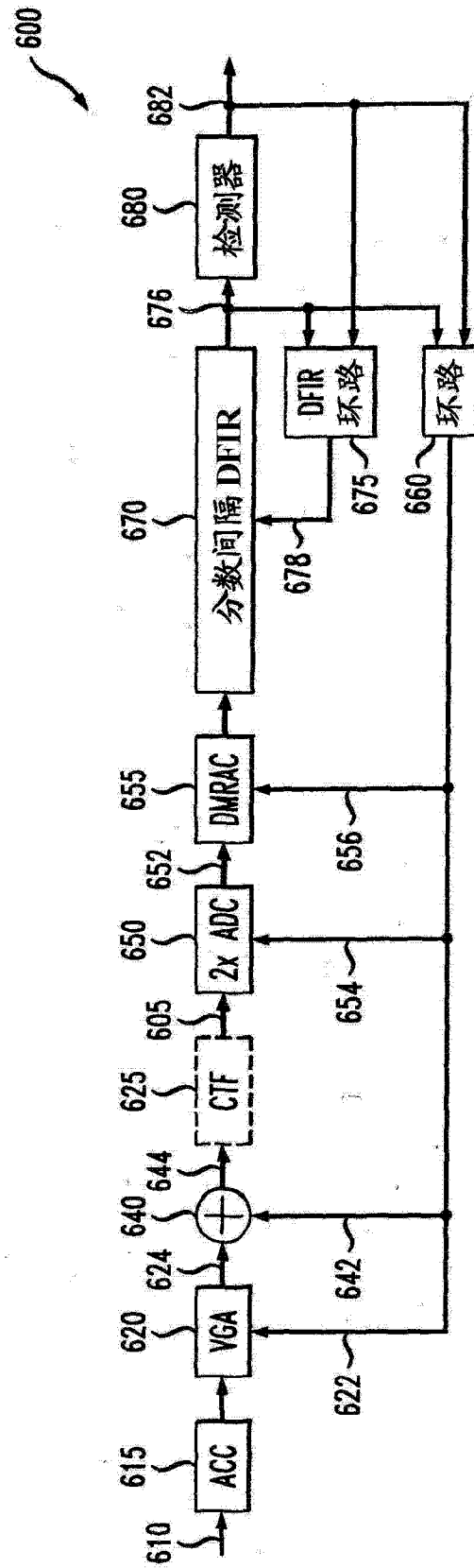


图 6

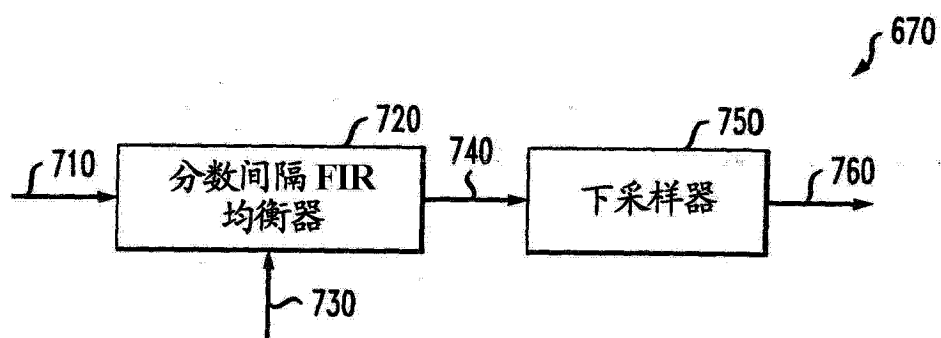


图 7

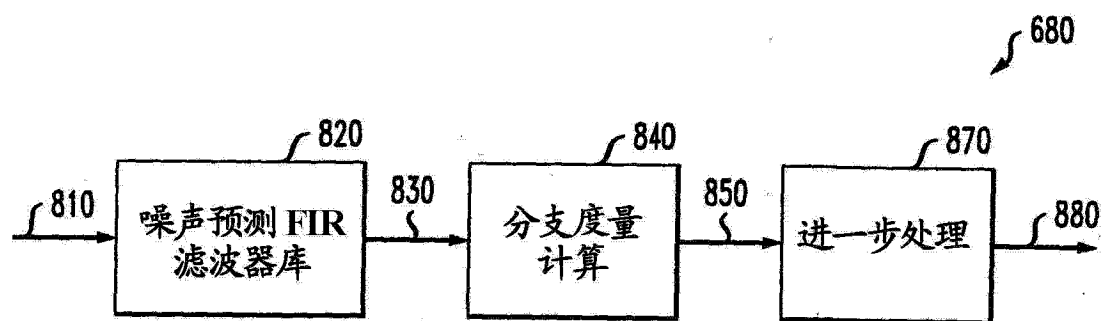


图 8

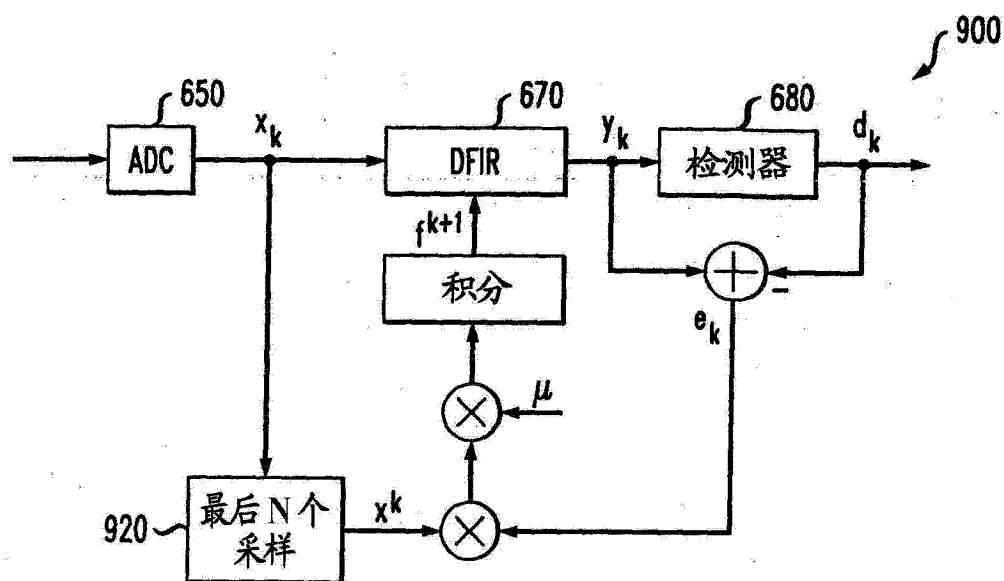


图 9A

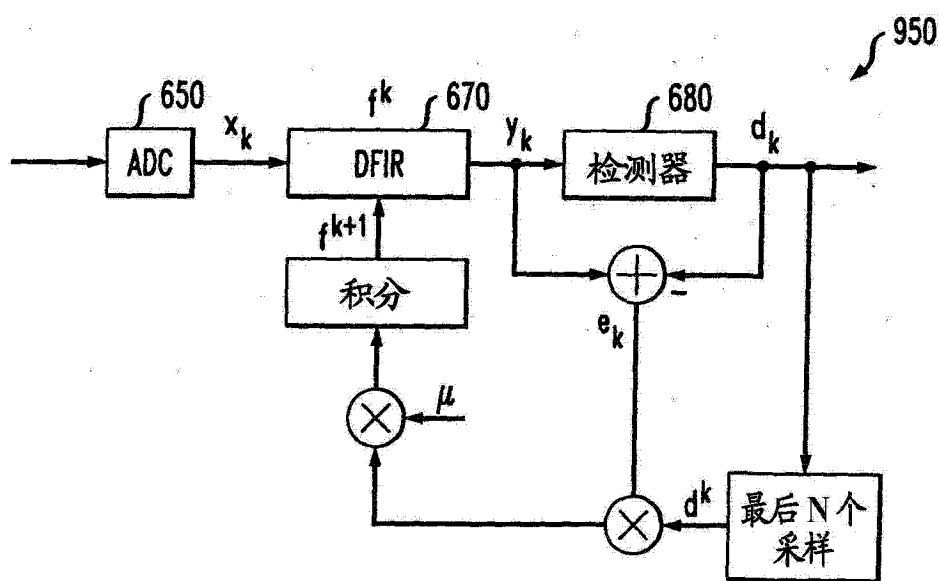


图 9B

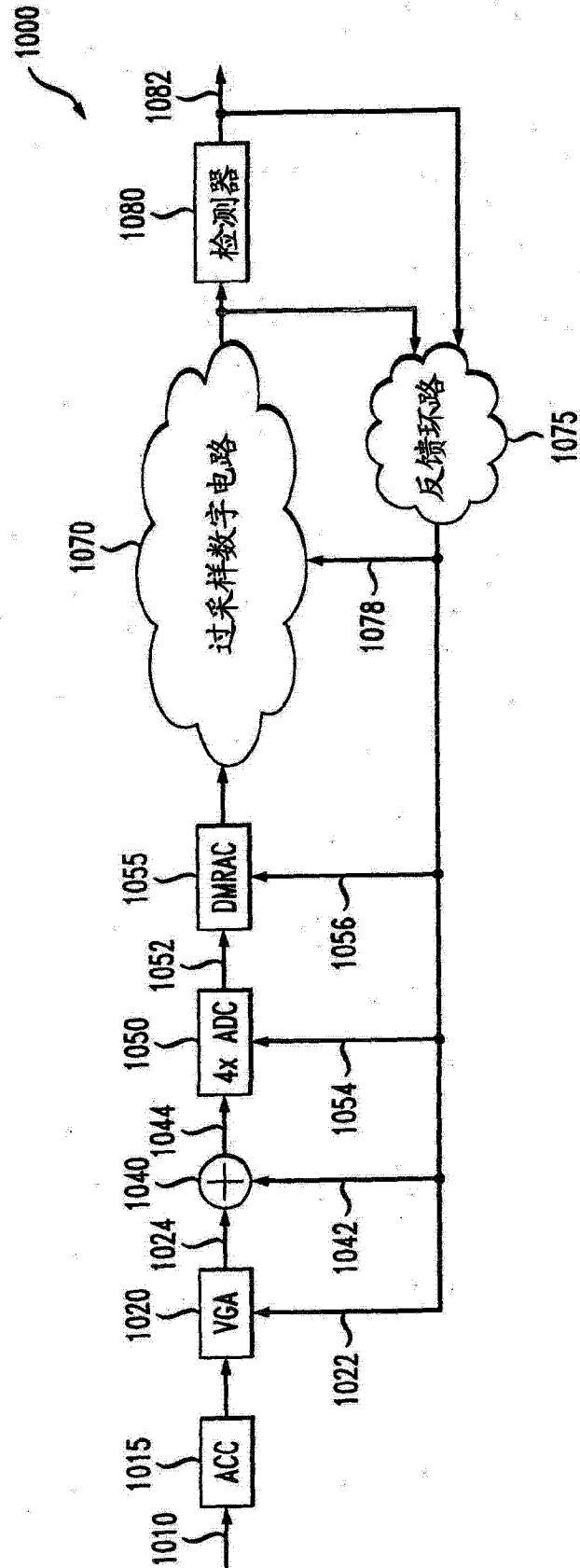


图 10

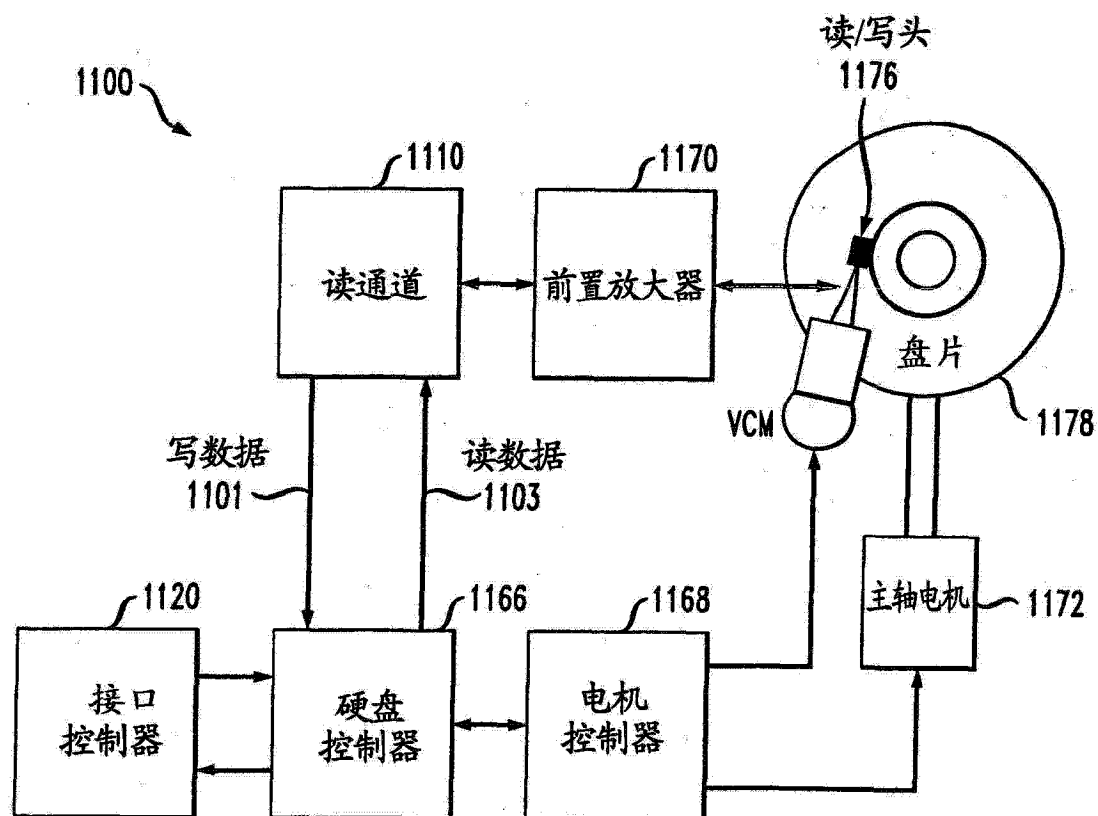


图 11

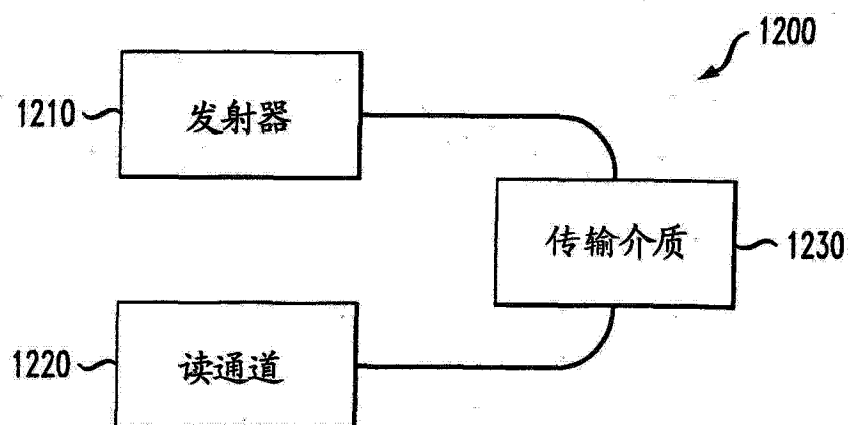


图 12