



(12) 发明专利

(10) 授权公告号 CN 102065270 B

(45) 授权公告日 2013. 09. 25

(21) 申请号 201110008097. 7

(22) 申请日 2007. 11. 19

(30) 优先权数据

0623100. 5 2006. 11. 20 GB

0623098. 1 2006. 11. 20 GB

0623097. 3 2006. 11. 20 GB

0623096. 5 2006. 11. 20 GB

(62) 分案原申请数据

200780049264. 4 2007. 11. 19

(73) 专利权人 科蒂安有限公司

地址 英国斯劳市

(72) 发明人 西蒙·詹姆斯·温·埃万斯

(74) 专利代理机构 中原信达知识产权代理有限

责任公司 11219

代理人 周亚荣 安翔

(51) Int. Cl.

H04N 7/15(2006. 01)

(56) 对比文件

US 2004/0015633 A1, 2004. 01. 22, 说明书摘

要,附图 1.

US 6442758 B1, 2002. 08. 27, 全文.

US 6584077 B1, 2003. 06. 24, 全文.

US 5175824 A, 1992. 12. 29, 全文.

US 6760776 B1, 2004. 07. 06, 全文.

CN 1372416 A, 2002. 10. 02, 全文.

CN 1553710 A, 2004. 12. 08, 全文.

审查员 陈柳叶

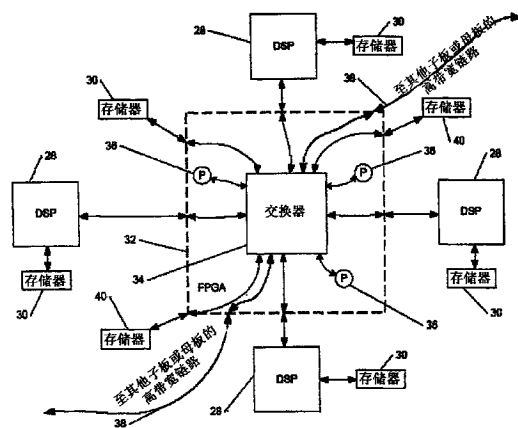
权利要求书2页 说明书7页 附图5页

(54) 发明名称

用于视频会议的硬件架构

(57) 摘要

本发明涉及用于视频会议的硬件架构。提供了用于多点控制单元的视频处理架构、系统和方法。在一个示例中,视频处理系统包括:多个处理器,所述多个处理器适于执行对代表视频图像的数据的处理;多个链路,所述多个链路将所述多个处理器互连;以及多个流处理器,所述多个流处理器被配置成当数据通过所述链路在所述多个处理器之间穿过时执行视频数据的视频缩放。



1. 一种用于多点控制单元的视频处理系统,包括:  
多个处理器,所述多个处理器适于执行对代表视频图像的数据的处理;  
多个链路,所述多个链路将所述多个处理器互连;以及  
多个流处理器,所述多个流处理器被配置成当数据通过所述链路在所述多个处理器之间穿过时执行视频数据的视频缩放

其中所述多点控制单元被配置成执行在所述多个流处理器的第一流处理器中将视频数据视频缩放至第一目的地所要求的第一缩放级别,以及执行使用第二流处理器将所述视频数据随后缩放至用于第二目的地的第二、更小的缩放级别。

2. 根据权利要求 1 所述的视频处理系统,其中,所述流处理器形成现场可编程门阵列的部分。

3. 根据权利要求 2 所述的视频处理系统,其中,所述流处理器与共同位于所述现场可编程门阵列上的存储器相关联。

4. 根据权利要求 3 所述的视频处理系统,其中,所述流处理器具有预定逻辑,并且通过将位屏蔽或数据加载到所述存储器中,所述流处理器在操作中也是至少部分可编程的。

5. 根据权利要求 2 所述的视频处理系统,其中,所述流处理器与在所述现场可编程门阵列之外的存储器相关联。

6. 根据权利要求 5 所述的视频处理系统,其中,所述流处理器具有预定逻辑,并且通过将位屏蔽或数据加载到所述存储器中,所述流处理器在操作中也是至少部分可编程的。

7. 根据权利要求 1 所述的视频处理系统,其中,所述流处理器可操作来对穿过所述处理器的视频数据执行带宽压缩。

8. 根据权利要求 1 所述的视频处理系统,其中,所述流处理器与存储器相关联,并且所述流处理器可操作来存储与已经穿过所述处理器的所述视频数据的先前部分有关的历史信息。

9. 根据权利要求 1 所述的视频处理系统,其中,所述流处理器被布置成对穿过所述处理器的视频数据执行带宽解压缩。

10. 一种利用包括多个处理器的 MCU 来执行视频处理的方法,所述多个处理器可操作来执行对代表视频图像的数据的处理,所述多个处理器由多个链路互连,并且多个流处理器可操作来在数据通过所述多个链路在所述处理器之间穿过时处理所述数据,所述方法包括:

在所述流处理器中的第一流处理器中将视频数据视频缩放至第一目的地所要求的第一缩放级别,以及使用第二流处理器将所述视频数据随后缩放至用于第二目的地的第二、更小的缩放级别。

11. 根据权利要求 10 所述的方法,包括存储保持代表所述 MCU 具有的架构的网络拓扑的数据的网络地图,并且参考所述地图做出缩放决定。

12. 一种用于在具有多个信号处理器的多点控制单元中路由视频数据的系统,所述系统包括:

用于在第一流处理器中将视频数据视频缩放至第一目的地所要求的第一缩放级别的装置,以及

使用第二流处理器将所述视频数据随后缩放至用于第二目的地的第二、更小的缩放级

别的装置。

13. 根据权利要求 12 所述的系统,其中,所述系统进一步包括:

存储保持代表所述多点控制单元具有的架构的网络拓扑的数据的网络地图的装置,以及

参考所述地图做出缩放决定的装置。

## 用于视频会议的硬件架构

### [0001] 相关申请

[0002] 本申请属于 2007 年 11 月 19 日提交的题为“用于视频会议的硬件架构”的中国专利申请 200780049264.4 的分案申请。

### 技术领域

[0003] 本发明总体上涉及用于多点控制单元的硬件架构和相关联方法。

### 背景技术

[0004] 视频会议和相关联硬件大体上分成两个阵营。在第一阵营中，“会议”仅在两个参与者之间发生，并且参与者通过某种形式的计算机网络彼此直接连接。在这种形式的网络中，仅涉及两个端点，并且仅当多个参与者处于两个端点站点中的一个时才发生真实的会议。在低端技术的情况下，这种类型的会议的示例是使用诸如 NetMeeting® 或 Skype® 的软件互连的 PC 使能的端点，并且在较高端的情况下是使用例如经由 ISDN 链路互连的专用端点硬件的设备。

[0005] 在第二阵营中，视频会议允许两个以上端点彼此交互。这通过提供至少一个集中的协调点来实现；从端点接收视频和音频流的所谓“多点控制单元 (MCU)”以期望的方式将这些视频和音频流组合，并且将组合的合成音频/视频流重新传送至参与者。通常，传送给端点的会议视图对于每一个端点相同。该合成可以随时间改变，但是对所有参与者相同。

[0006] 只提供单个合成是一个显著问题，因为每个参与者因此必须接收被调整成能够由会议中的最低性能的端点所接受的视频会议流。因此，在这种情形下，许多端点未被充分使用，并且可能因此体验到劣化的图像和音频。

[0007] 最近，诸如 Codian MCU 4200® 系列的现代 MCU 已经被设计成允许为每个参与者生成独特 (unique) 的视图。这允许每个端点的全部性能被使用，并且也允许针对不同参与者的不同合成，以便例如在会议中的特定参与者的重点对于不同用户可以不同。然而，视频数据的实时处理是高处理器强度的任务。它也包括大量数据的移动。一旦数据已经被解压以执行高品质处理时，这尤其是如此。因此，处理能力和带宽约束在允许产生多个会议视图的高品质视频会议 MCU 的生成中是显著瓶颈。

[0008] 图 1 示出了典型的现有技术的 MCU 架构。该示例性架构具有诸如德州仪器 TMS 系列的多个数字信号处理器 2，它们经由时分复用 (TDM) 总线 4 互连。控制器和网络接口 6 也连接至 TDM 总线。每个 DSP 2 在 TDM 总线上被分配了一个或多个时隙。应当理解，TDM 总线是显著的瓶颈。虽然通过添加更多强大的 DSP 或附加的 DSP 可以实现为 MCU 提高处理功率，但在 DSP 之间和在网络 8 和 DSP 之间的所有数据流动必须适合在 TDM 总线 4 上的有限数目的时隙。因此，这种形式的架构一般缩放，并且无法适应对每个参与者合成的处理要求。

[0009] 图 2 示出了替代的现有技术配置。在该示例中，多个 DSP 2-1 中的每一个连接至外围组件互连 (PCI) 总线 10-1。类似地，多个 DSP 2-2、2-3 和 2-4 连接至相应的 PCI 总线 10-2、10-3 和 10-4。PCI 总线 10-2、10-3 和 10-4 进而经由缓冲器 12 连接至进一步的 PCI

总线 14。这种架构较之图 1 所示的架构的显著优点是在组 2-1 中的 DSP 可以彼此之间进行通信,唯一的瓶颈是 PCI 总线 10-1。对组 2-2、2-3 和 2-4 也是如此。然而,如果在组 2-1 中的 DSP 希望与例如在组 2-3 中的 DSP 通信,则必须使用 PCI 总线 14。因此,虽然该架构就可缩放性和有效使用多个 DSP 的能力而言较之图 1 所示的架构有显著改善,但仍然必须将 PCI 总线 14 用于内部 DSP 通信的某些组合,并且因此可能成为对于 MCU 架构的性能限制因素。

[0010] 已经做出将处理从 DSP 卸载的尝试。例如, IDT 生成部分号码为 IDT70K2000 的“预处理交换 (PPS)”,用于与 DSP 一起使用。PPS 在递送至诸如 DSP 或 FPGA 之前执行预定功能。基于在包被发送到的交换器上的地址范围来确定处理。芯片被设计用于例如在 3G 电话中使用,并且被设计成例如从 DSP 卸载通常由 DSP 低效率地执行的基本任务。美国专利 No. 6, 883, 084 也建议使用路径处理;然而,在该情况下,它被建议为冯·诺依曼型序列处理器的替代。

### 发明内容

[0011] 根据本发明的一个方面,提供了一种用于多点控制单元的视频处理架构和系统。在一个示例中,视频处理系统包括母板和至少一个子板,每一个子板具有经由子板交换器互连的多个处理器,其中,子板交换器被配置成在多个处理器之间和在母板和子板之间交换数据。在一个示例中,处理器包括数字信号处理器 (DSP)。

[0012] 该视频处理系统可以进一步包括多个子板,每一个子板具有相同的硬件和 / 或机械配置。多个子板可以被配置成以能够任意顺序机械地和电气地耦接在一起,并且可以是可叠加的,以形成从母板延伸的子板的系列链,每一个相应的子板交换器进一步被配置成将数据交换至在另一个子板上的子板交换器,以允许沿着所述系列链的数据流。母板可以进一步包括被布置成在多个子板之间交换数据的母板交换器。母板交换器和 / 或子板交换器可以包括现场可编程门阵列的至少部分。

[0013] 根据本发明的另一方面,提供了一种用于在多点控制单元中处理视频的方法。多点控制单元可以包括母板和至少一个子板,该至少一个子板中的每一个子板具有经由子板交换器互连的多个处理器,该方法包括在与子板相关联的多个处理器之间以及在母板和子板之间交换数据。该方法可以进一步包括将数据交换至在另一子板上的子板交换器,以允许沿着从母板延伸的可叠加的子板的系列链的数据流。

[0014] 根据本发明的另一方面,用于多点控制单元的视频处理系统包括适于执行对代表视频图像的数据的处理的多个处理器、将多个处理器互连的多个链路(例如,在处理器之间的物理链路、交换结构等)、以及被配置成当数据通过链路在多个处理器之间穿过时处理所述数据的流处理器(例如,处理器或处理单元)。

[0015] 该流处理器可以形成为现场可编程门阵列的部分。而且,流处理器可以与共同位于现场可编程门阵列上或在现场可编程门阵列之外的存储器相关联。流处理器可以包括预定逻辑,并且通过将一个或两个位屏蔽和数据加载到所述存储器中,在操作中是至少部分可编程的。

[0016] 该流处理器可以进一步可操作来对穿过处理器的视频流执行带宽压缩和 / 或解压缩。而且,流处理器可以与存储器相关联,该存储器可操作来存储与已经穿过处理器的视

频流的先前部分有关的历史信息。

[0017] 根据本发明的另一方面,提供了一种用于将经缩放的视频图像传送至处于不同的相应缩放级别的不同目的地的方法。在一个示例中,经由具有多个处理器的 MCU 执行该方法,多个处理器可操作来执行对代表视频图像的数据的处理,多个处理器通过多个链路互连,并且多个流处理器可操作来在数据通过多个链路在处理器之间穿过时处理所述数据。该方法包括在流处理器中的第一流处理器中将视频数据视频缩放至第一目的地所要求的第一缩放级别,并且使用第二流处理器将所述视频数据随后缩放至用于第二目的地的第二、更小的缩放级别。该方法可以进一步包括存储保持代表该架构的网络拓扑的数据的网络地图,并且参考该地图做出缩放决定。

[0018] 根据本发明的另一方面,一种用于多点控制单元的视频处理系统包括多个处理器,该多个处理器适于执行对代表视频图像的数据的处理,该多个处理器经由交换器互连,交换器可操作来在接收到的数据的单播和多播前向传送之间选择。

[0019] 该视频处理系统可以进一步包括拓扑存储,该拓扑存储包含代表在处理器之间的链路的数据,并且其中,交换器访问拓扑存储,以做出路由决定,并且也在数据的单播或多播前向传送之间做出选择。在另一示例中,视频处理系统可以包括拓扑存储,该拓扑存储包含代表在处理器和控制器之间的链路的数据;以及控制器,该控制器可操作来在与跨越所述链路的期望路线相关的数据被传送以前将路由信息附接到所述数据。

[0020] 根据本发明的另一方面,提供了一种用于在具有多个信号处理器的多点控制单元中路由视频数据的方法。该方法包括存储或检索网络地图,该网络地图保持代表将信号处理器互连的网络拓扑的数据,并且选择性地切换多个交换器中的一个或多个,以根据网络地图以单播或多播模式在信号处理器之间交换数据。该方法可以进一步包括以单播模式传送信息直至到达数据在其处需要沿多个链路前进的路由分支,并且然后在该路由分支处以多播模式传送信息。

[0021] 另外,这里提供了一种编码有用于在具有多个信号处理器的多点控制单元中操作和路由视频数据的计算机程序指令的计算机可读介质。该计算机程序指令可以包括用于执行此处所描述的一个或多个方法的指令。

[0022] 在结合附图审阅了对于本发明的特定实施例的下列描述之后,本发明的其他方面和特征对于本领域的技术人员将变得显而易见。

#### 附图说明

[0023] 图 1 是现有技术的 MCU 架构的示意性框图;

[0024] 图 2 是替代的现有技术的 MCU 架构的示意性框图;

[0025] 图 3 是示出根据本发明的一个示例的母板和多个子板的示意性框图;

[0026] 图 4 是根据本发明的一个示例的子板的示意性框图;以及

[0027] 图 5 图示了可以被用于实现在此处所提供的实施例中的处理功能的示例性计算系统。

#### 具体实施方式

[0028] 呈现下列描述,以使得本领域的普通技术人员能够制造和使用本发明的各个方面

和示例。对于特定设备、技术和应用的描述仅作为示例而提供。对于此处所描述的示例的各种修改对于本领域的普通技术人员将是显而易见的,并且在不脱离本发明的精神和范围的情况下,此处所定义的一般原理可以应用于其他示例和应用。因此,本发明的并不意在限于此处所描述且示出的示例,而是应被赋予与权利要求一致的范围。

[0029] 参考图 3, 母板 20 带有现场可编程门阵列 (FPGA) 和其他相关联的组件。母板 20 可以包括控制电路系统, 控制电路系统例如使得自动值机员 (auto attendant) 接口能够被生成以允许用户配置 MCU, 并且它也可以控制 MCU 中的数据流。如本技术中所已知的, 这些组件可以替代地在独立的板上。

[0030] 母板 20 也包括连接器, 所述连接器允许安装一个或多个子板 22。在一个示例中, 可以将四个子板连接至母板 20。该连接例如可以使用可插拔的连接器制作。通过使用多个这样的连接器, 在优选实施例中, 子板通过这样的连接器电气地耦接并且机械地安装到母板。

[0031] 母板 20 带有 FPGA 24, FPGA 24 执行路由功能 (除了其他功能之外)。主要地, FPGA 24 在控制器 (未示出)、网络接口 (未示出) 以及多个子板 22 之间路由数据。在一个示例中, FPGA 24 具有四个高带宽链路 26, 高带宽链路 26 可以具有例如 3Gb/秒或更高的带宽, 并且将母板 20 与子板的第一层相连接。注意到, 链路 26 (以及下文的 38) 可以包括物理链路、交换结构或用于连接母板、子板和 DSP 的其他适当的结构或系统。如下文所更详细解释的, 至末端的子板的数据流通过子板的第一层被路由。

[0032] 在一个示例中, 并且也参考图 4, 每一个子板 20 具有四个 DSP 28, 每一个 DSP 28 具有相关联的存储器 30。每一个子板也具有并入有交换器 34 的 FPGA 32。交换器 34 可以包括用于在输入处接收分组的结构或逻辑, 并且以可选择的方式例如与网络交换器类似的方式, 向外发送分组。FPGA 32 包括下文更详细地描述的流处理器 36 (例如, 被配置成当数据通过链路在多个处理器之间穿过时处理所述数据的处理器或处理单元), 以及两个高带宽链路 38。

[0033] 在一个示例中, 子板 22 的每一个是机械并且电气相同的, 并且链路 38 可以被用于连接至另一子板或母板 20。以这种方法, 仅通过添加另外的子板就可以将额外的处理能力添加至该架构。在最小的配置中, 可以将单个子板安装在母板上。在最大的配置中, 在该示例中, 可以将四个子板安装在母板, 并且每一个子板可以具有叠加于其上的另外的子板 (在该示例中是三个)。如上文所解释的, 每一个子板本身可以包括四个 DSP, 并且因此, 在该特定示例, 包括四个子板的配置中, 该配置可以具有 64 个 DSP。当然, 可以使用各种数目的 DSP 和 / 或子板, 并且最大配置仅参考该 16 个子板的特定示例, 每一个子板包括四个 DSP。

[0034] 可以使用几种策略, 以消除在 DSP 之间的链路或互连上的带宽拥堵。在一个说明性示例中, 在子板之间的每个链路或互连以 3Gb/秒或更高的带宽操作, 该带宽实质上高于现有技术中的带宽。另外, 每一个子板可以具有四个 DSP, 四个 DSP 共享本地互连, 本地互连可以在不使用该架构中的任何其他互连上的带宽的情况下在彼此之间进行通信。因此, 利用适当的资源分配, 在任何一个子板上的 DSP 可以在不对架构的整体造成显著带宽影响的情况下, 体验高利用率。此外, 在不使用其他分支可用的带宽的情况下, 数据可以在图 3 所示的四个分支的任何一个中的 DSP 之间流动。

[0035] 在另一方面和示例中,子板 22 中的每一个包括位于子板 FPGA 32 的每一个中的流处理器 36。流处理器 36 被配置成利用如下文所解释的视频会议的不寻常特征,并且可以包括任何适当的处理器或处理单元,该处理器或处理单元被配置成当数据通过链路在多个处理器之间穿过时处理所述数据。

[0036] 通常,由于带宽的约束,在视频会议中的端点之间流动的数据被高度压缩,例如,具有互联网连接的端点。然而,该压缩通常防止了对图像的操纵。因此,在 MCU 内部,在非压缩的数据上执行视频处理。通常,这使数据量以 10 到 100 之间的某个倍数而增加,并且通常以大约 80 的倍数而增加。因此,例如,典型的视频流可以具有 50Mb/秒的带宽要求。这是视频会议所特有的显著问题,因为处理对于许多同时发生的流执行,并且实时执行。然而,由于处理的最终结果将以压缩的形式被传送,并且也通常通过有损耗的网络,在 MCU 内部执行压缩是可接受的。这样的压缩可以是无损耗的,或者在给定输出网络的本质情况下,是有损耗的。因此,在此处所提供的示例中,通过对在 DSP 之间传送的数据在 MCU 内执行压缩和解压缩,可以缓解在 MCU 内的常规带宽约束。然而,这本身在计算上是昂贵的。因此,在此处所提供的示例中,示例性系统包括在每一个子板 FPGA 32 中形成的流处理器 36,流处理器 36 可以包括任何形式的处理单元。当执行压缩时,媒体流处理器 36 可以作用于若干像素,并且因此,FPGA 可以在相关联存储器 40 中保存帧或视频帧的一部分,使得在该模式中的流处理器 36 并非严格地是流处理器。而且,流处理器 36 可以包括被配置成当数据通过链路在多个处理器之间穿过时处理所述数据的任何适当的处理器或处理单元。

[0037] 处理器 36 可以执行进一步的操作,包括但不限于,合成、阿尔法混合(alpha blending)、运动补偿、可变长度编码和解码、帧比较及其组合等。通过当数据在 DSP 28 之间穿过时即时(on the fly)执行这些步骤,将处理负载从 DSP 移除,并且带宽限制也被减轻。

[0038] 在另一示例中,去往若干不同 DSP 的数据可以以单播格式被发送,直到要求路由分支,在该情况下,一些数据可以以多播形式被发送。这避免了相同数据的多个流沿着相同链路经过。例如,如果在图 3 的最左侧的子板 22 希望与在该图的底部的子板 22' 上的 DSP 通信,并且也与在该图的最右侧的子板 22'' 通信,则数据可以被单播,直到它到达母板 20,在该点,它可以被多播至从母板放射出的子板的两个相应的分支的每一个,并且然后沿着每个分支进行单播。该步骤可以在 FPGA 24 中作为它的路由算法而执行。为了使这一点更容易,每个交换器可以例如以树状的形式维护整个 MCU 架构的拓扑的代表,并且可操作来操控该树以及确定用于下一跳或多个跳的适当的多播或单播格式。替代地,该路由可以在数据源被确定,并且与数据一起被携带的路由信息在途中由交换器进行解译。

[0039] 媒体流处理器 36 也可以使用因数化缩放,以协助减少在 DSP 之间的通信带宽。例如,如果不同的参与者合成要求不同缩放版本的相同图像,诸如对于一个参与者图像缩成一半而对于另一参与者图像缩成四分之一,FPGA 可以被配置成做出明智的缩放决定。在该示例中,FPGA 可以将整个图像缩成一半,将因此减少的数据传送至路由分支,该路由分支在将处理所述一半图像的 DSP 和将处理所述四分之一图像的 DSP 之间选择,并且在该点,进一步将图像缩小成四分之一,以向前传送给处理该四分之一缩小图像的 DSP。

[0040] 由每个子板 FPGA 执行智能路由、多播和缩放/压缩操作,并且因此,用于这些智能路由决定的处理负载在每个子板之间分布。



[0041] 通过这种方法,因此,通过确保数据被理想地分配至本地 DSP,以及在数据必须在更远的 DSP 之间传送的情况下确保数据以有效的格式传送,上述架构可以增加或最大化 DSP 的利用。此外,通过使用在 DSP 之间的非常高的带宽链路,极大地避免了带宽瓶颈。因此,该架构为构成多会议视频会议的每个参与者提供了高分辨率的高度可缩放和非常强大的处理平台。

[0042] 当然,其他特征和优点对于本领域的技术人员将显而易见。前面的系统概述代表了一些示例性实现,但是其他实现对于本领域的技术人员将显而易见,并且所有这样的替代被认为是等同的并且在仅由权利要求所限定的本发明的精神和范围内。

[0043] 本领域的技术人员将进一步认识到,根据情况使用硬件、软件、固件或它们的组合可以实现各种实施例的操作。例如,使用在软件、固件或硬线逻辑控制下的处理器或其他数字电路可以执行一些处理。(如执行所记载的功能的本领域技术人员所认识到的,此处的术语“逻辑”指的是固定硬件、可编程逻辑和 / 或它们的适当组合)。可以将软件和固件存储在计算机可读介质上。如本领域的普通技术人员所公知的,使用模拟电路可以实现一些其他处理。另外,存储器或其他存储器,以及通信组件可以用于本发明的实施例。

[0044] 图 5 图示了可以被用于实现在本发明实施例中的处理功能的典型的计算系统 500。这种类型的计算系统可以被用于例如 MCU、控制器、母板、子板或 DSP 中的任何一个或多个中。相关领域的技术人员也将认识到如何使用其他计算机系统或架构来实现本发明的实施例。计算系统 500 可以包括一个或多个处理器,诸如处理器 504。使用通用或专用处理引擎(诸如,例如微处理器、微控制器或其他控制逻辑)可以实现处理器 504。在该示例中,将处理器 504 连接至总线 502 或其他通信介质。

[0045] 计算系统 500 也可以包括主存储器 508,诸如随机存取存储器 (RAM) 或其他动态存储器,用于存储由处理器 504 执行的信息和指令。主存储器 508 也可以被用于在由处理器 504 执行的指令的执行期间存储临时变量或其他中间信息。计算系统 500 同样可以包括耦接至总线 502 的只读存储器 (ROM) 或其他静态存储设备,用于为处理器 504 存储静态信息和指令。

[0046] 计算系统 500 也可以包括信息存储系统 510,信息存储系统 510 可以包括,例如,介质驱动器 512 和可移除存储接口 520。介质驱动器 512 可以包括支持固定或可移除存储介质的驱动器或其他机构,诸如硬盘驱动器、软盘驱动器、磁带驱动器、光盘驱动器、压缩磁盘 (CD) 或数字多用磁盘 (DVD) 驱动器 (R 或 RW)、或其他可移除或固定介质驱动器。存储介质 518 可以包括,例如,硬盘、软盘、磁带、光盘、CD 或 DVD、或由介质驱动器 514 读取或写入的其他固定或可移除介质。如这些示例所说明的,存储介质 518 可以包括其中已经存储了特定计算机软件或数据的计算机可读存储介质。

[0047] 在替代实施例中,信息存储系统 510 可以包括其他类似组件,用于允许计算机程序或其他指令或数据被加载到计算系统 500 中。这样的组件可以包括,例如,可移除存储单元 522 和接口 520,诸如程序盒式存储器和盒式存储器接口、可移除存储器(例如,闪存或其他可移除存储模块)和存储器插槽,以及允许软件和数据从可移除存储单元 518 传输至计算系统 500 的可移除存储单元 522 和接口 520。

[0048] 计算系统 500 也可以包括通信接口 524。通信接口 524 可以被用于允许软件和数据在计算系统 500 和外部设备之间传输。通信接口 524 的示例可以包括调制解调器、网络

接口（诸如以太网或其他网络接口卡（NIC）、通信端口（诸如 USB 端口）、PCMCIA 插槽和卡等。

[0049] 经由通信接口 524 传输的软件和数据是信号的形式，这些信号可以是电子的、电磁的、光或能够被通信接口 524 接收的其他信号。这些信号经由信道 528 被提供至通信接口 524。该信道 528 可以携带信号，并且可以使用无线介质、线或电缆、光纤、或其通信介质来实现。信道的一些示例包括电话线、蜂窝电话链路、射频链路、网络接口、局域或广域网络以及其他通信信道。

[0050] 在本文献中，术语“计算机程序产品”、“计算机可读介质”等可以被一般地用于指诸如例如存储器 508、存储设备 518 或存储单元 522 的介质。这些或其他形式的计算机可读介质可以存储供处理器 504 使用的一个或多个指令，以使得处理器执行指定操作。这样的指令一般被称为“计算机程序代码”（它可以被分组为计算机程序的形式或其他分组），当被执行时，使得计算系统 500 能够执行本发明的实施例的功能。注意到，代码可以直接使得处理器执行指定操作，被编译来执行指定操作，和 / 或与其他软件、硬件和 / 或固件元件（例如，用于执行标准功能的库）组合来执行指定操作。

[0051] 在使用软件来实现元件的实施例中，使用例如可移除存储驱动器 514、驱动器 512 或通信接口 524，可以将软件存储在计算机可读介质中，并且可以将软件加载到计算系统 500 中。控制逻辑（在该示例中，软件指令或计算机程序代码）当被处理器 504 执行时，使得处理器 504 执行如此处所描述的本发明的实施例的功能。

[0052] 应当理解，出于清楚的目的，上面的描述已经参考不同功能单元和处理器描述了本发明的实施例。然而，显而易见，在不脱离本发明的实施例的情况下，可以使用在不同功能单元、处理器或者域之间的任何适当的功能分布。例如，所图示的由分离的处理器或控制器所执行的功能可以由相同的处理器或控制器执行。因此，对于特定功能单元的引用仅应当被视为对于用于提供描述的功能的适当装置的引用，而非表示严格的逻辑或物理结构或组织。

[0053] 虽然已经结合一些实施例描述了本发明的实施例，但是本发明并不意在限于此处所阐述的特定形式。相反，本发明的实施例的范围仅由权利要求来限定。另外，虽然看起来可以结合特定实施例描述特征，但是本领域的技术人员应当认识到，所描述的实施例的各种特征可以根据本发明的实施例进行组合。

[0054] 此外，虽然个别列出，但是多个装置、元件或方法步骤可以由例如单个单元或处理器来实现。另外，虽然个别特征可能被包含在不同权利要求中，但是这些可能被有利地组合，并且在不同权利要求中包括并不暗示特征的组合是不可行的和 / 或有利的。而且，在一种类别的权利要求中包括的特征并不暗示限于该类别，相反，根据情况，该特征可以同样应用于其他权利要求类别。

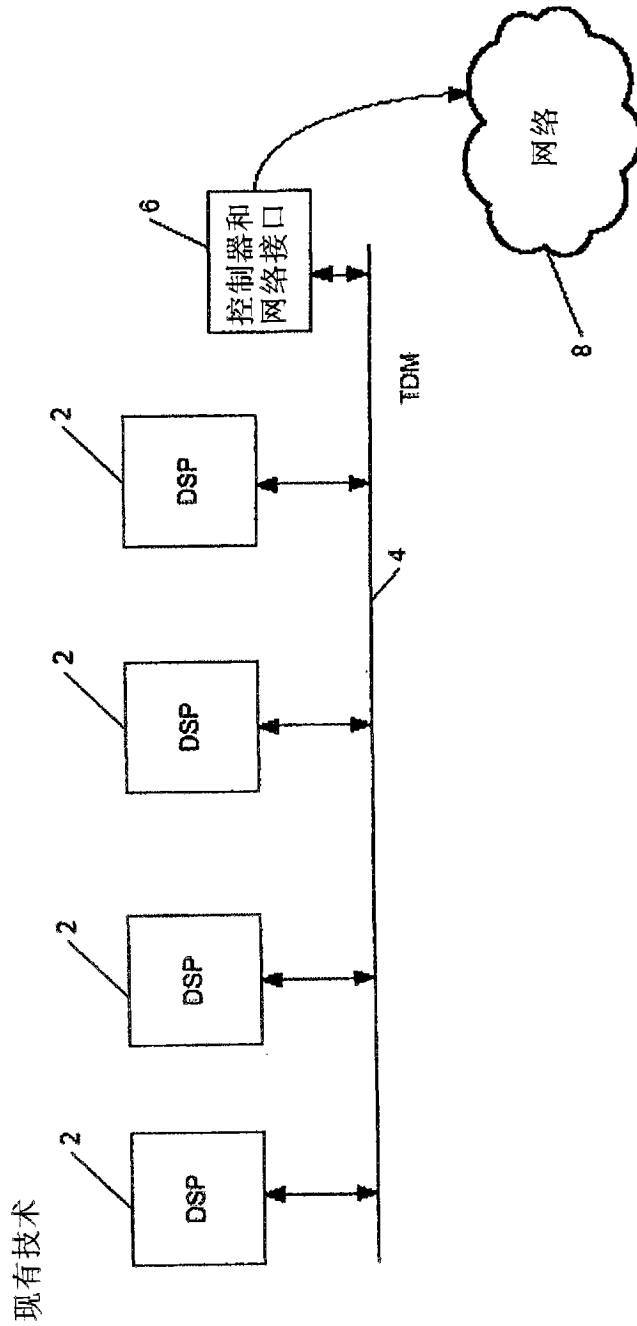
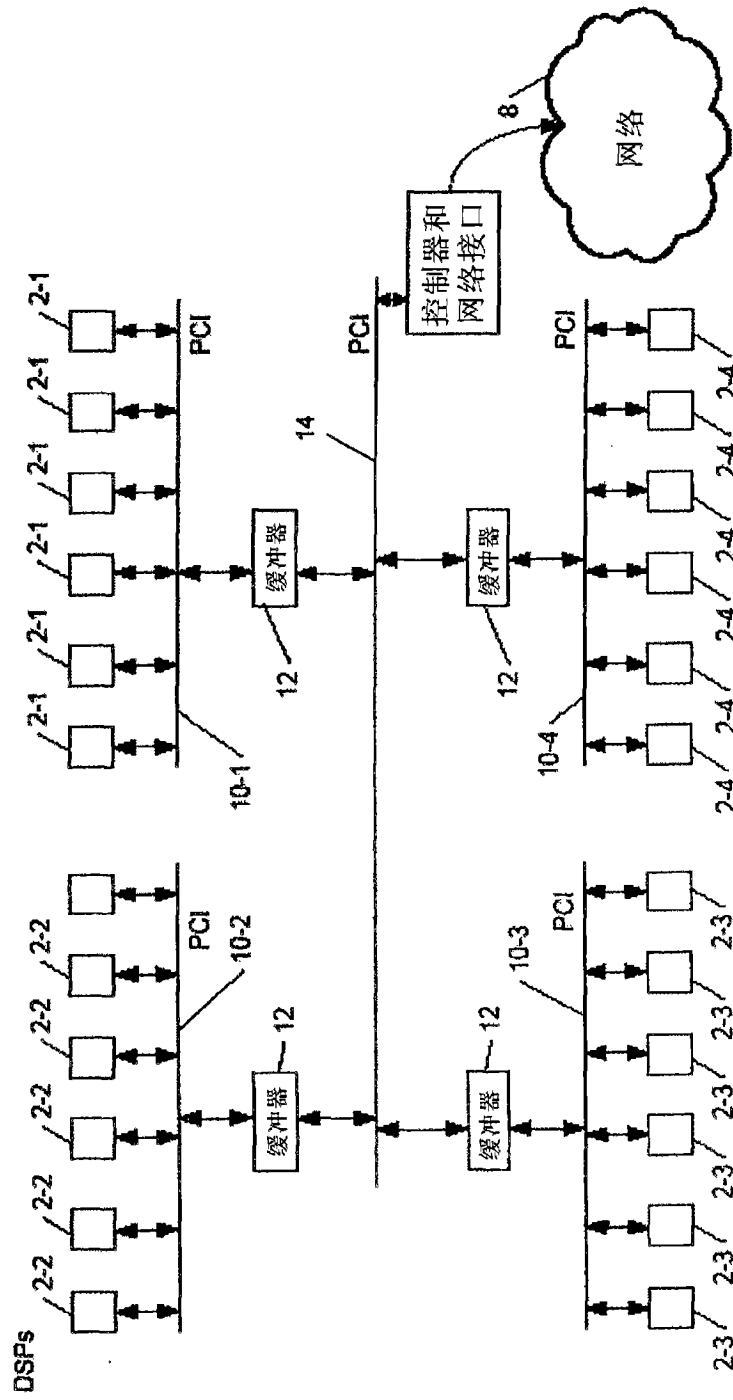


图 1



现有技术

图 2

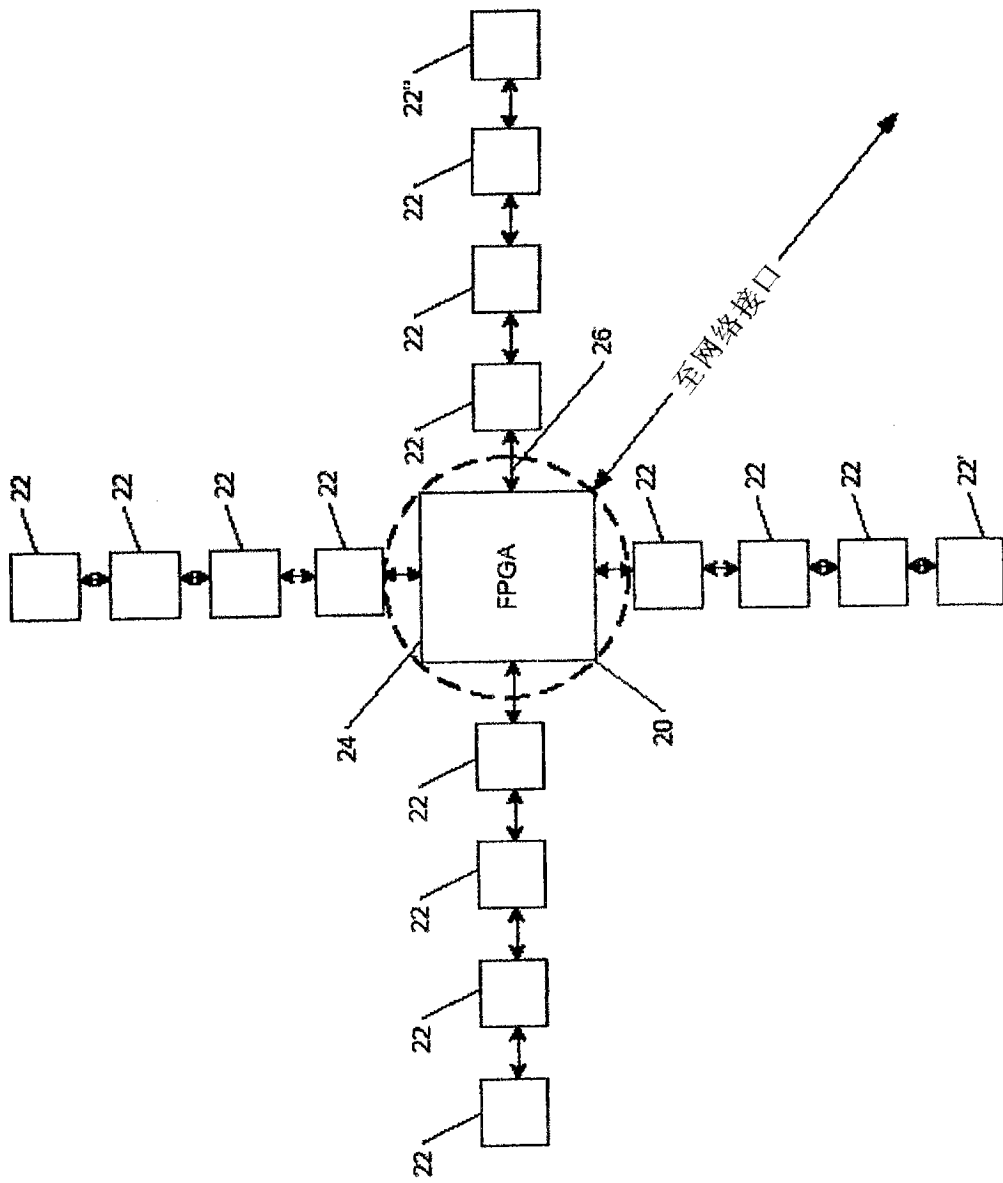


图 3

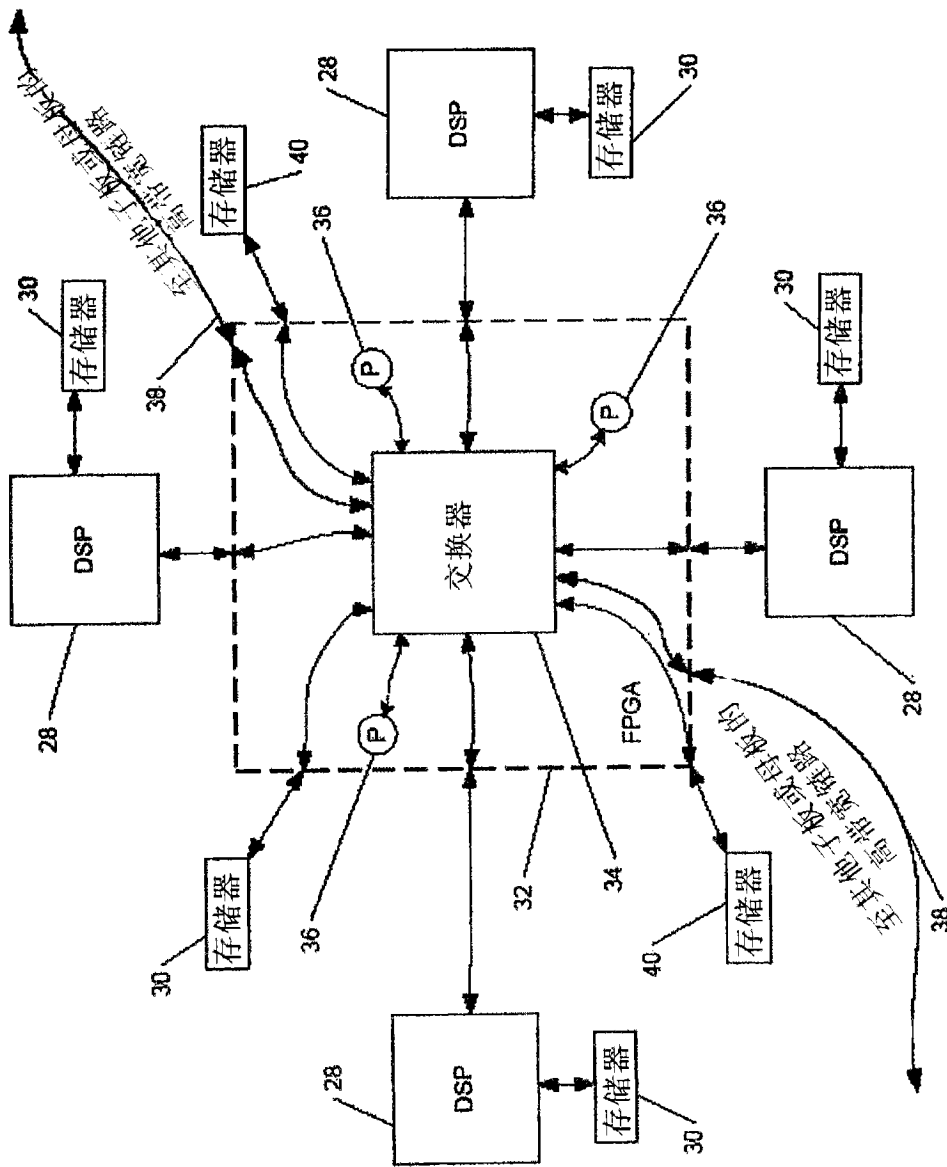


图 4

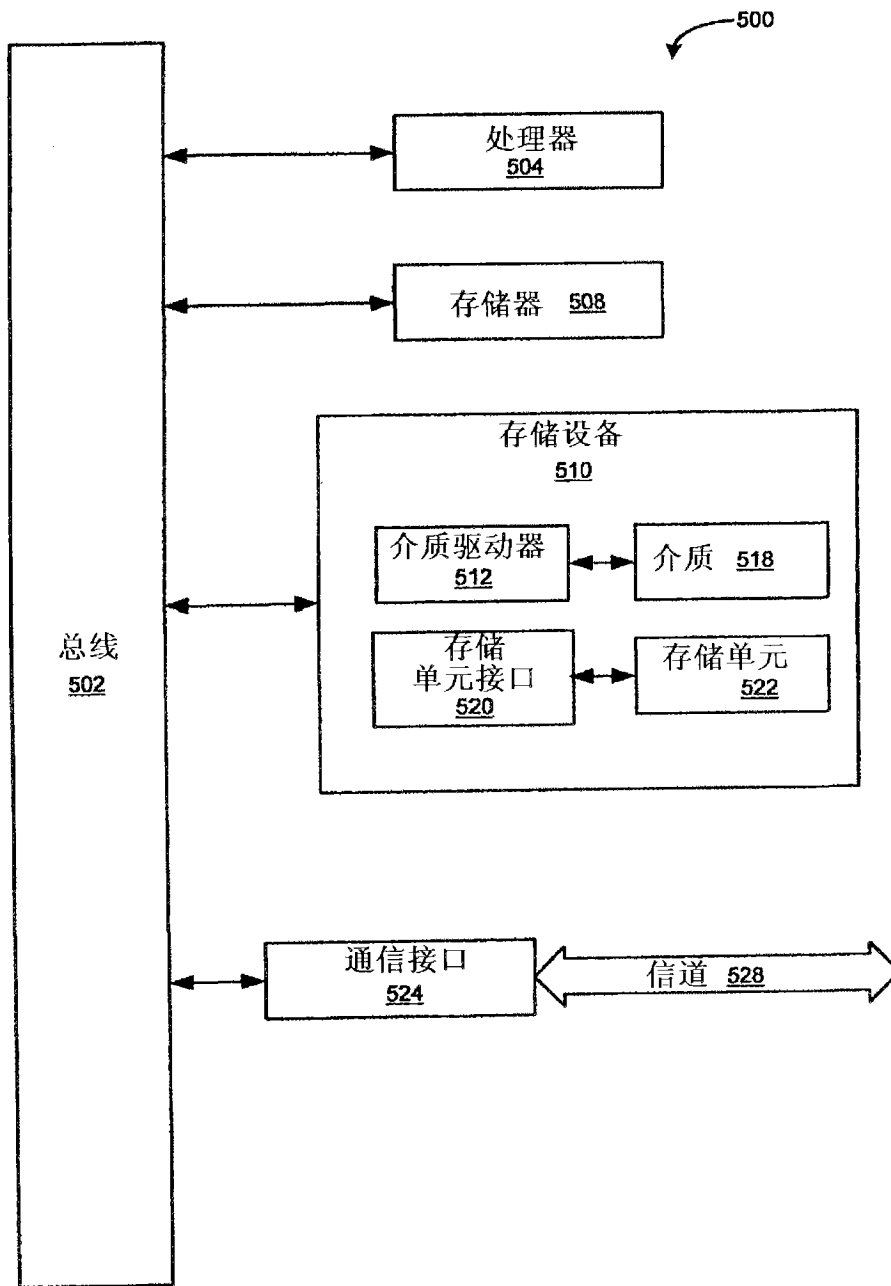


图 5