

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷
G06F 11/00

(11) 공개번호 특2000-0052472
(43) 공개일자 2000년08월25일

(21) 출원번호	10-1999-0057468
(22) 출원일자	1999년12월14일
(30) 우선권주장	98-354198 1998년12월14일 일본(JP)
(71) 출원인	닛폰 덴키 주식회사 가네코 히사시
(72) 발명자	일본 도쿄도 미나토구 시바 5-7-1 오쿠다이쿠타로
(74) 대리인	일본도쿄도미나토구시바5-7-1닛폰덴키(주)(내) 이병호

심사청구 : 있음

(54) 플래시 메모리 탑재형 싱글 칩 마이크로 컴퓨터

요약

세큐리티 대책이 고려된 플래시 메모리의 기록, 판독 및 소거 관리를 용이하게 행할 수 있으며, 저작권 보호 등을 위해 필요한 세큐리티 기능을 갖는 싱글 칩 마이크로 컴퓨터를 제공한다.

싱글 칩 마이크로 컴퓨터(1)는 플래시 메모리(2)와, 내장 ROM(3)과, CPU(4)와, 통신 포트(5) 및 프로그래밍 제어 회로(6)로 구성되어 있다. 플래시 메모리(2)는 프로그래밍하는 영역(A)과 해당 영역(A)으로의 관리 정보인 기록 플래그, 판독 플래그 및 소거 플래그를 지정하기 위한 영역(B)을 상대 영역으로 하여 배치한다. CPU(4)는 외부로부터의 프로그래밍 요구가 있으면, 상기 영역(B)의 상기 관리 정보를 참조하여 상기 영역(A)의 프로그래밍 실행의 가부를 판단한다.

대표도

도1

색인어

플래시 메모리, 싱글 칩 마이크로 컴퓨터, 기록 플래그, 판독 플래그, 소거 플래그

명세서

도면의 간단한 설명

- 도 1은 본 발명의 싱글 칩 마이크로 컴퓨터의 제 1 실시형태 예를 도시하는 블록도.
 도 2는 본 발명의 싱글 칩 마이크로 컴퓨터의 제 2 실시형태 예를 도시하는 블록도.
 도 3은 세큐리티 대책을 장비하지 않은 싱글 칩 마이크로 컴퓨터를 도시하는 블록도.
 도 4는 일본국 공개 특허 공보 제(평) 4-17477호에 기재된 IC 카드의 데이터 구성을 도시하는 블록도.

※도면의 주요 부분에 대한 부호의 설명※

- | | |
|------------------|----------------|
| 1: 싱글 칩 마이크로 컴퓨터 | 2: 플래시 메모리 |
| 3: 내장 ROM | 4: CPU |
| 5: 통신 포트 | 6: 프로그래밍 제어 회로 |
| 7: 내장 RAM | 8: 프로그래밍 알고리즘 |
| 9: 통신 알고리즘 | 10: 로더 프로그램 |
| 20: IC 카드 | 21: 마이크로 컴퓨터 |
| 22: 외부 메모리 | 23: 인터페이스 |
| 24: CPU | 25: 내부 메모리 |
| 26: 사용자 프로그램 에리어 | 27: 데이터 에리어 |

28: 단말 장치

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 플래시 메모리를 탑재한 싱글 칩 마이크로 컴퓨터에 관한 것이다.

플래시 메모리와 마이크로 프로세서를 1개의 칩에 넣은 플래시 메모리 탑재형 싱글 칩 마이크로 컴퓨터(이하, 싱글 칩 마이컴이라 부른다)가 사용되고 있다. 종래의 싱글 칩 마이컴에 대해서, 도 3을 참조하여 설명한다. 이 싱글 칩 마이컴(1)은 플래시 메모리(2)와, 통신 포트(5)와, CPU(4)와, 내장 ROM(3) 및 프로그래밍 제어 회로(6)로 이루어지는 각 기능부로 구성되어 있다.

플래시 메모리(2)는 이 내부 영역을 임의의 영역(A 또는 B)으로 분할하여 관리되며, 분할한 각 영역에 있어서 기록, 판독 및 일괄 소거의 각 동작이 가능하다.

통신 포트(5)는 플래시 메모리(2)에 대해 외부로부터 기록을 행하는 외부의 기록 장치와 접속하여, 기록 데이터나 전용 코맨드 등의 정보를 교환한다.

CPU(4)는 싱글 칩 마이컴(1) 전체를 관리하여, 내장 ROM(3)이나 플래시 메모리(2) 등의 프로그램에 근거한 처리를 실행한다.

내장 ROM(3)에는, 통신 포트(5)를 개재시켜 교환한 정보를 주고 받기 위한 순서를 기술한 통신 알고리즘(9)과, 플래시 메모리(2)의 임의의 영역으로의 기록, 판독 및 소거를 행하기 위한 순서를 기술한 프로그래밍 알고리즘(8)이 미리 격납되어 있다.

프로그래밍 제어 회로(6)는, CPU(4)의 제어에 근거하여 플래시 메모리(2)로의 실제 기록, 판독 및 소거 처리를 실행한다.

싱글 칩 마이컴(1)에서는, 프로그래밍 전용의 동작 모드에 있어서 기록 장치로부터 전용 코맨드가 입력되면, CPU(4)가 프로그래밍 알고리즘(8) 중의 순서에 따라서 프로그래밍 제어 회로(6)를 제어함으로써, 플래시 메모리(2)의 임의의 영역에 대해 기록, 판독 및 일괄 소거가 실행된다.

종래의 싱글 칩 마이컴(1)에서는, 플래시 메모리(2) 내의 영역으로의 기록, 판독 및 소거의 프로그래밍 동작은 전용 코맨드로 무제한으로 실행되기 때문에, 그 실행에 대해서는, 기록 장치 측에 모든 권한이 주어지며, 플래시 메모리(2) 상의 정보에 대해セキュリティ 대책이 고려되어 있지 않다. 이 경우, 내장 플래시 메모리에 이미 격납된 프로그램의 해석이나 개변 등이 행해져, 소프트웨어의 저작권 보호를 할 수 없다.

일본국 공개 특허 공보 제(평) 4-17477호에는, IC 카드의 제어에 관한 기술이 기재되어 있다. 도 4는 해당 공보에 기재된 IC 카드의 데이터 구성을 도시하는 블록도이다. 마이컴(21)은 내부 메모리(25)를 가지며, 내부 메모리(25)에는, 버스를 개재시켜 단말 장치(28) 및 외부 메모리(22)와의 사이에서 통신을 실행하는 통신 프로그램, 통신 시의 정보가 옳은지의 여부 체크를 행하는 체크 프로그램 및 패스 워드 등의 비밀 보존을 행하는 비밀 보존 프로그램 등의 기본 처리 프로그램이 미리 기록되어 있다. 더욱이 상기 내부 메모리(25)의 프로그램 등에 의해 필요한 처리를 실행하는 CPU(24)나, 그 밖의 인터페이스가 설치되어 있다.

마이크로 컴퓨터(21)와 병렬로 배치된 외부 메모리(22)는 PROM으로서 구성되며, 사용자가 필요한 처리를 행하는 프로그램이 자유롭게 기록할 수 있는 사용자 프로그램 에리어(26)와, 원하는 데이터를 기록하는 데이터 에리어(27)의 2개의 에리어를 설정하고 있다.

내부 메모리(25)에는, 외부 메모리(22) 내의 사용자 프로그램 에리어(26)의 어드레스와, 데이터 에리어(27)의 선두 및 최종 어드레스가 미리 기록되어 있다. 따라서, 사용자 프로그램의 로드 완료 시에는, 사용자 프로그램 에리어(26)의 최종 어드레스에 사용자 프로그램 기록 종료의 마크가 설정된다.

그 때문에, 사용자 프로그램 에리어(26)로의 사용자 프로그램의 재 로드 금지 등은 사용자 프로그램 기록 종료의 마크 유무에 의해 행하며, 데이터 에리어(27)로의 기록 및 판독 금지 등은 패스 워드 기능이나 코드 체크나 암호화하는 것을 프로그램으로 하여, 사용자 프로그램 에리어(26) 중에 작성함으로써 실행했다.

발명이 이루고자 하는 기술적 과제

상기 공보에 기재된 내용은 일반적인 IPL(Initial Program Loader) 기능에 대해서 서술한 것이며, 초기적인 퍼스널 컴퓨터로 이미 실현되어 있는 것으로, 저작권 보호 등을 위해 필요한セキュリティ 기능을 위해 행하는 데이터의 취급 방법이나 처리 수단은 명시되어 있지 않다.

또, 외부 메모리(22)에 EEPROM을 사용한 경우에는, 블록 단위로 전기적 소거가 가능해지지만, 상기 싱글 칩 마이크로 컴퓨터에서는, 그 전기적인 소거에 대해서는 기재가 없다.

본 발명은 상기한 바와 같은 종래 기술이 갖는 문제점을 해결하기 위해 이루어진 것으로,セキュリティ 대책이 고려된 플래시 메모리의 기록, 판독 및 소거 관리를 용이하게 행할 수 있으며, 저작권 보호 등을 위해 필요한セキュリティ 기능을 갖는 싱글 칩 마이컴을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

(과제를 해결하기 위한 수단)

상기 목적을 달성하기 위해, 본 발명의 싱글 칩 마이컴은 플래시 메모리와 마이크로 프로세서를 하나의 기관 상에 배치한 싱글 칩 마이크로 컴퓨터에 있어서, 상기 플래시 메모리에 제 1 영역과 해당 제 1 영역 프로그래밍의 가부를 지정하기 위한 제 2 영역을 배치하여, 상기 마이크로 프로세서는 외부로부터의 프로그래밍 요구가 있으면, 상기 제 2 영역을 참조하여 상기 제 1 영역의 프로그래밍 실행의 가부를 판단하는 것을 특징으로 한다.

본 발명의 싱글 칩 마이컴에 의하면, 기록 플래그, 판독 플래그, 소거 플래그의 각 관리 정보를 참조함으로써, 해당 플래시 메모리로의 기록, 판독, 소거의 각 동작에 관한 금지나 허가 등의 관리를 용이하게 행할 수 있다.

본 발명의 싱글 칩 마이컴의 바람직한 양태에서는, 상기 제 1 영역에 프로그래밍을 실행했을 때에, 상기 제 1 영역의 프로그래밍을 금지하는 명령을 상기 제 2 영역에 기록하는 것을 특징으로 한다.

이러한 구성에 의해, 프로그램의 저작권 보호나 시스템의 안정성 보호 등의 관점에서, 내장 플래시 메모리 상의 소프트웨어의 해석이나 개변을 목적으로 한 플래시 메모리로의 의도적인 기록, 판독 및 소거의 프로그래밍 동작을 임의로 금지할 수 있다.

상기 마이크로 프로세서는 프로그래밍 실행의 가부를 판단하는 알고리즘을 미리 내장 ROM에 기록하는 구성을 채용하는 것도, 혹은, 그러한 알고리즘을 내장 ROM에 미리 기록하고 있는 로더 프로그램에 따라서 외부로부터 로드하는 구성을 채용할 수도 있다. 어느 경우에도 프로그래밍 실행의 가부를 판단하는 것이 가능해진다.

(발명의 실시형태)

다음으로, 본 발명의 싱글 칩 마이컴이 행하는セキュリティ 대책이 고려된 플래시 메모리로의 기록, 판독 및 소거에 대한 동작을 도면을 참조하여 설명한다. 도 1은 본 발명의 제 1 실시형태 예의 싱글 칩 마이컴의 블록도이다. 싱글 칩 마이컴(1)은 플래시 메모리(2)와, 내장 ROM(3)과, CPU(4)와, 통신 포트(5) 및 프로그래밍 제어 회로(6)로 구성된다.

플래시 메모리(2)는 미리 영역(A)와 영역(B)로 분할되며, 영역(B)는 영역(A)의 관리 정보인 소거 금지 플래그와 기록 금지 플래그와 판독 금지 플래그를 갖는다. 즉, 영역(A)와 영역(B)는 상대 영역으로서 구성된다. 플래시 메모리(2)에는 이러한 상대 영역이 다수 배치된다.

내장 ROM(3)은 통신 포트(5)를 개재시켜 교환한 정보를 주고 받기 위한 순서를 기술한 통신 알고리즘(9)과, 플래시 메모리(2)의 임의의 영역을 기록, 소거하기 위한 순서를 기술한 프로그래밍 알고리즘(8)이 격납되어 있다.

CPU(4)는 싱글 칩 마이컴(1)을 관리하여 실행한다. 통신 포트(5)는 외부의 기록 장치와 접속하여 기록 데이터나 전용 코맨드 등 정보를 교환한다. 프로그래밍 제어 회로(6)는 CPU(4)의 제어에 근거하여, 플래시 메모리(2)로의 실제 기록, 판독 및 소거 처리를 실행한다.

초기 상태에서는, 플래시 메모리(2)를 구성하는 개개의 메모리 셀은 소거 상태인 1을 보존하고 있다. CPU(4)는 통신 알고리즘(9)에 따라서, 통신 포트(5)를 개재시켜 외부 기록 장치와의 사이에서 정보를 교환한다. CPU(4)는 기록 장치로부터의 정보가 플래시 메모리(2)의 영역(A)에 대한 기록, 판독 또는 소거를 지시하는 것일 경우에는, 프로그래밍 알고리즘(8)에 따라서, 영역(B)의 각 플래그를 참조하여 프로그래밍 제어 회로(6)를 제어하여 영역(A)을 위한 프로그래밍 동작을 행한다.

프로그래밍이 소거 동작일 경우에는, CPU(4)는 영역(B)의 소거 금지 플래그를 참조하여, 금지를 나타내는 0이면 소거 동작을 거부하고, 허가를 나타내는 1이면 프로그래밍 알고리즘(8)에 따라서, 프로그래밍 제어 회로(6)를 제어하여 영역(A)의 소거 동작을 실행한다.

프로그래밍이 기록 동작일 경우에는, CPU(4)는 영역(B)의 기록 금지 플래그를 참조하여, 금지를 나타내는 0이면 기록 동작을 거부하고, 허가를 나타내는 1이면 프로그래밍 알고리즘(8)에 따라서, 프로그래밍 제어 회로(6)를 제어하여 영역(A)의 기록 동작을 실행한다.

프로그래밍이 판독 동작일 경우에는, CPU(4)는 영역(B)의 판독 금지 플래그를 참조하여, 금지를 나타내는 0이면 판독 동작을 거부하고, 허가를 나타내는 1이면 프로그래밍 알고리즘(8)에 따라서, 프로그래밍 제어 회로(6)를 제어하여 영역(A)의 판독 동작을 실행한다.

상기 실시예에 의하면, 플래시 메모리로의 프로그래밍 동작을 각 영역마다 용이하게 금지 및 허가를 할 수 있다.

도 2는 본 발명의 싱글 칩 마이컴의 제 2 실시형태 예를 도시하는 블록도이다. 본 실시형태 예의 싱글 칩 마이컴은 내장 RAM(7)을 구비하는 점에 있어서 앞의 실시형태 예와는 다르다.

내장 ROM(3)에는, 통신 알고리즘과 프로그래밍 알고리즘을 통신 포트(5) 경유로 내장 RAM(7)에 다운 로드하기 위한 순서를 기술한 로더 프로그램(10)이 미리 격납되어 있다.

초기 상태에서는, 플래시 메모리(2)를 구성하는 개개의 메모리 셀은 소거 상태인 1을 보존하고 있다. CPU(4)는 내장 ROM(3)에 미리 격납된 로더 프로그램(10)을 실행하여, 통신 포트(5) 경유로 통신 알고리즘과 프로그래밍 알고리즘을 내장 RAM(7)에 다운 로드한다. 그 후, CPU(4)는 내장 RAM(7)에 배치된 통신 알고리즘(9)에 따라서, 통신 포트(5)를 개재시켜 외부의 기록 장치와의 사이에서 정보를 교환한다.

CPU(4)는 그 정보가 플래시 메모리(2)의 영역(A)에 대한 기록, 판독 및 소거의 프로그래밍 동작을 지시할 경우에는, 프로그래밍 알고리즘에 따라서, 영역(B)의 각 플래그를 참조하여 프로그래밍 제어 회로(6)를 제어하여 영역(A)의 프로그래밍 동작을 행한다. 기록, 판독 및 소거 프로그래밍 동작의 실제에 대해서는, 제 1 실시형태 예와 동일하기 때문에, 그 설명을 생략한다.

내장 ROM(3)은 일반적으로 마스크 ROM으로서 구성되며, 예를 들면 제조 후에 애플리케이션 등의 관계로 프로그래밍 알고리즘 및 통신 알고리즘을 변경하는 등의 경우에 용이하게 대응할 수 있다.

또, 상기 제 1 및 제 2 실시형태 예의 싱글 칩 마이크로는 상기 프로그래밍 알고리즘 외에, 플래시 메모리(2)를 전소거 상태로 할 수 있는 테스트 모드를 구비한다. 이 테스트 모드는 싱글 칩 마이크로 제품의 출하할 때에, 플래시 메모리를 디폴트로서 전소거할 때에 이용된다.

발명의 효과

플래시 메모리에 설정한 영역 단위로 기록, 판독 및 소거 프로그래밍 동작에 관한 금지나 허가 등의 관리를 용이하게 실현할 수 있기 때문에, 프로그램의 개변이나 해석 등에 의한 저작권 침해를 미연에 방지할 수 있다. 이 경우, 관리하는 영역 단위에서의 금지나 허가 등의 상태가 명확하기 때문에, 다수로 분할하여 관리할 수도 있다.

(57) 청구의 범위

청구항 1

플래시 메모리와 마이크로 프로세서를 하나의 기판 상에 배치한 싱글 칩 마이크로 컴퓨터에 있어서,

상기 플래시 메모리에 제 1 영역과 해당 제 1 영역의 프로그래밍의 가부를 지정하기 위한 제 2 영역을 배치하여, 상기 마이크로 프로세서는, 외부로부터의 프로그래밍 요구가 있으면, 상기 제 2 영역을 참조하여 상기 제 1 영역의 프로그래밍 실행의 가부를 판단하는 것을 특징으로 하는 싱글 칩 마이크로 컴퓨터.

청구항 2

제 1 항에 있어서,

상기 마이크로 프로세서는, 상기 제 1 영역에 프로그래밍을 실행했을 때에, 상기 제 1 영역의 프로그래밍을 금지하는 명령을 상기 제 2 영역에 기록하는 싱글 칩 마이크로 컴퓨터.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 마이크로 프로세서는, 상기 플래시 메모리의 프로그래밍 알고리즘이 기록된 싱글 칩 마이크로 컴퓨터 내장 ROM에 의해, 상기 제 2 영역을 참조하도록 제어되는 싱글 칩 마이크로 컴퓨터.

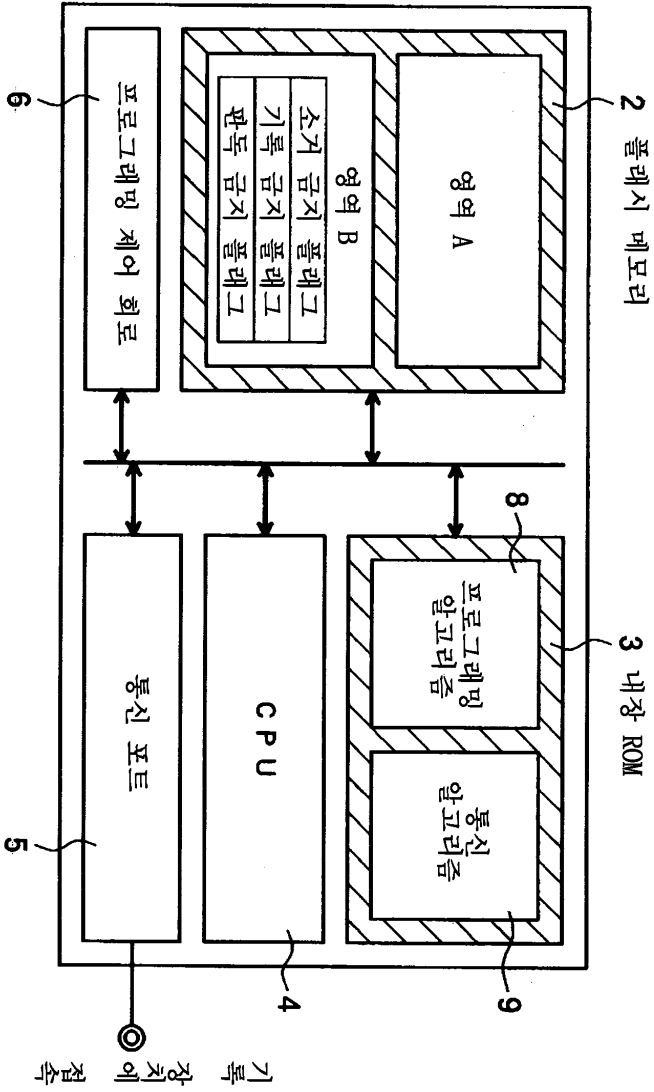
청구항 4

제 1 항 또는 제 2 항에 있어서,

상기 마이크로 프로세서는, 로더 프로그램이 기록된, 싱글 칩 마이크로 컴퓨터 내장 ROM에 의해, 상기 제 2 영역을 참조하도록 제어되는 싱글 칩 마이크로 컴퓨터.

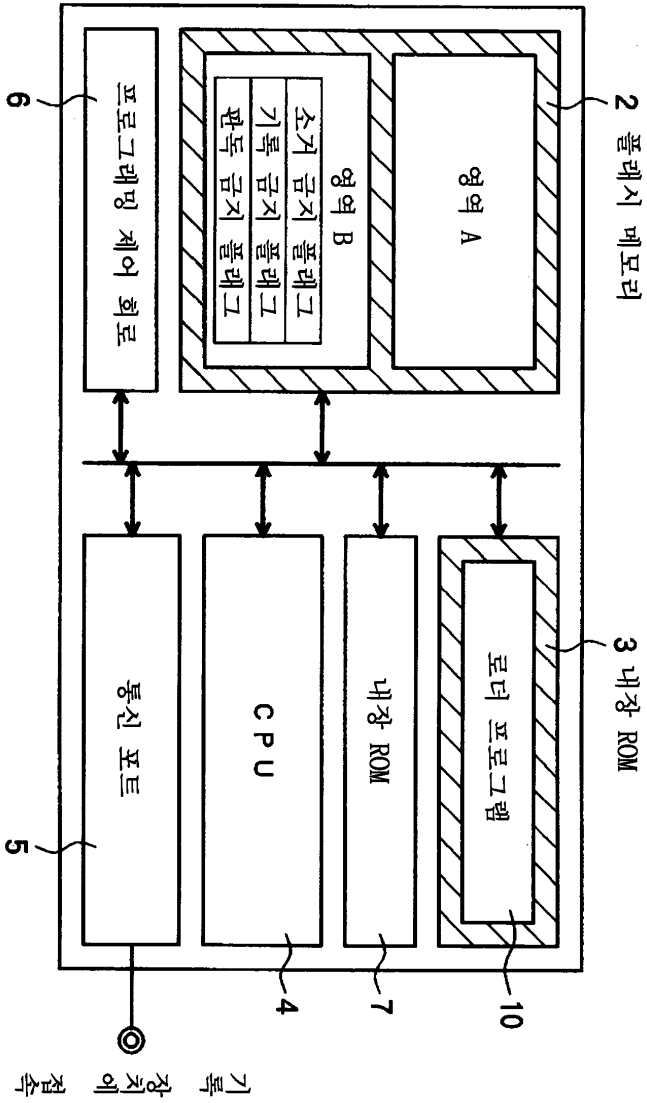
도면

1 상글 칩 마이컴



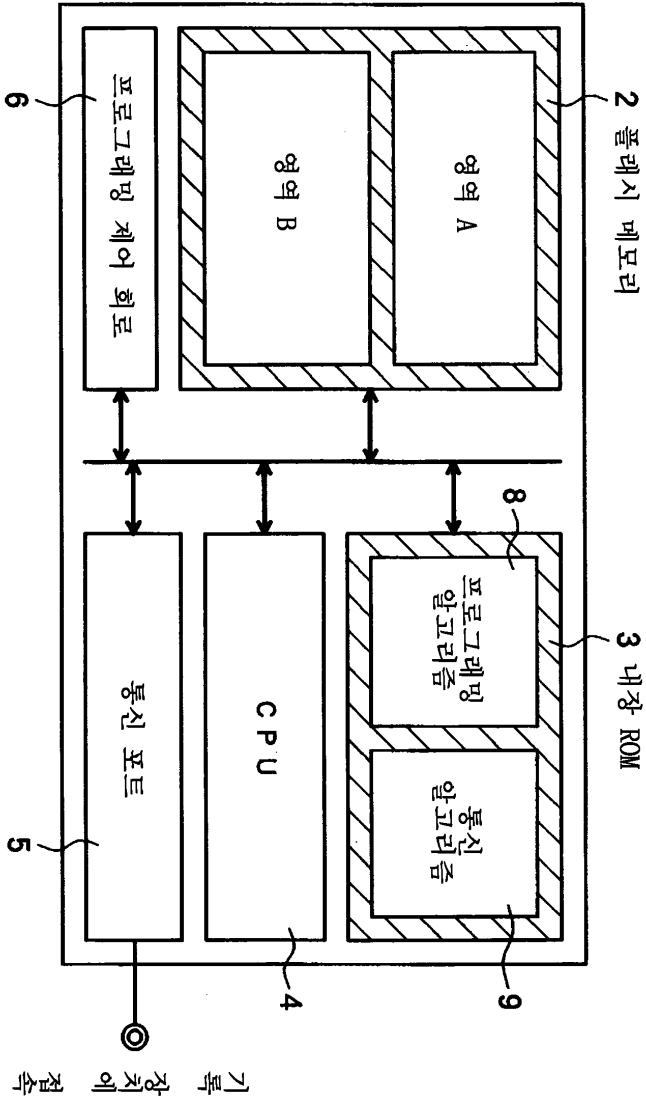
도면1

도면2



1A 상클 칩 마이컨

도면3



도면4

