

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年12月24日(24.12.2020)



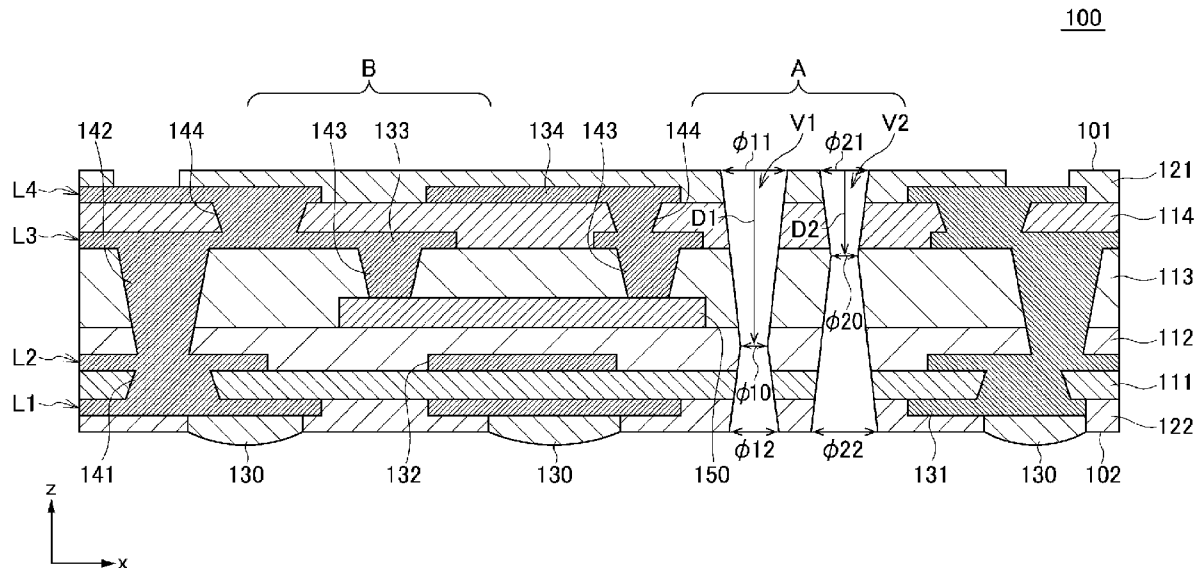
(10) 国際公開番号

WO 2020/255745 A1

- (51) 国際特許分類:
G01H 3/00 (2006.01) *H01L 23/12* (2006.01)
G01L 9/00 (2006.01) *H04R 1/06* (2006.01)
G01L 19/00 (2006.01) *G01D 11/00* (2006.01)
G01L 19/06 (2006.01)
- (21) 国際出願番号: PCT/JP2020/022240
- (22) 国際出願日: 2020年6月5日(05.06.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-113959 2019年6月19日(19.06.2019) JP
- (71) 出願人: T D K株式会社(TDK CORPORATION)
[JP/JP]; 〒1036128 東京都中央区日本橋二丁目5番1号 Tokyo (JP).
- (72) 発明者: 露谷 和俊 (TSUYUTANI Kazutoshi);
〒1036128 東京都中央区日本橋二丁目5番1号 T D K株式会社内 Tokyo (JP). 鈴木 義弘 (SUZUKI Yoshihiro); 〒1036128 東京都中央区日本橋二丁目5番1号 T D K株式会社内 Tokyo (JP).
- (74) 代理人: 鷲頭 光宏, 外 (WASHIZU Mitsuhiro et al.); 〒1040061 東京都中央区銀座一丁目5番1号第三太陽ビル7F Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ,

(54) **Title:** SENSOR PACKAGE SUBSTRATE, SENSOR MODULE COMPRISING SAME, AND SENSOR PACKAGE SUBSTRATE MANUFACTURING METHOD

(54) 発明の名称: センサー用パッケージ基板及びこれを備えるセンサーモジュール、並びに、センサー用パッケージ基板の製造方法



(57) **Abstract:** [Problem] To suppress foreign substance intrusion through a through hole into a sensor package substrate having the through hole while suppressing substrate strength reduction. [Solution] This sensor package substrate 100 has through holes V1, V2 provided at positions overlapping a sensor chip mounting area A. Through hole V1 has a minimum inner diameter at a depth position D1. Through hole V2 has a minimum inner diameter at a depth position D2 different from depth position D1. Because a plurality of through holes are provided at positions overlapping the sensor chip mounting area A, a design can be adopted in which the diameters of the through holes are small. As a result, foreign substance intrusion via the through holes becomes less likely and substrate strength reduction is suppressed. Additionally, because

BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告 (条約第21条(3))

depth position D1 and depth position D2 are different, the substrate strength in the area between through hole V1 and through hole V2 is also ensured.

(57) 要約: 【課題】貫通孔を有するセンサー用パッケージ基板において、貫通孔を介した異物の侵入を抑制するとともに、基板の強度低下を抑制する。【解決手段】センサー用パッケージ基板100は、センサーチップ搭載領域Aと重なる位置に設けられた貫通孔V1、V2を有する。貫通孔V1は深さ位置D1において最も内径が小さく、貫通孔V2は深さ位置D1とは異なる深さ位置D2において最も内径が小さい。このように、センサーチップ搭載領域Aと重なる位置に複数の貫通孔が設けられていることから、それぞれの貫通孔の径を小さく設計することができる。これにより、貫通孔を介した異物の侵入が生じにくくなるとともに、基板の強度低下が抑制される。しかも、深さ位置D1と深さ位置D2が互いに異なることから、貫通孔V1と貫通孔V2の間に位置する基板の強度も確保される。

明 細 書

発明の名称：

センサー用パッケージ基板及びこれを備えるセンサーモジュール、並びに、センサー用パッケージ基板の製造方法

技術分野

[0001] 本発明はセンサー用パッケージ基板及びこれを備えるセンサーモジュールに関し、特に、空気の振動、圧力、温度又は組成を検出するセンサーを搭載するためのセンサー用パッケージ基板及びこれを備えるセンサーモジュールに関する。また、本発明は、このようなセンサー用パッケージ基板の製造方法に関する。

背景技術

[0002] マイクロフォンなどのセンサーチップを備えるセンサーモジュールとしては、特許文献1に記載されたセンサーモジュールが知られている。特許文献1に記載されたセンサーモジュールは、貫通孔を有する基板と、貫通孔と重なるよう基板に搭載されたセンサーチップを有しており、貫通孔を介して進入する空気の振動（音）がセンサーチップによって検出される。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-187277号公報

発明の概要

発明が解決しようとする課題

[0004] しかしながら、特許文献1に記載されたセンサーモジュールにおいては、1つのセンサーチップに対して径の大きな単一の貫通孔が割り当てられていることから、貫通孔を介してゴミや埃などの異物が侵入しやすいだけでなく、基板の強度が不足しやすいという問題があった。

[0005] したがって、本発明は、貫通孔を有するセンサー用パッケージ基板及びこ

れを備えるセンサーモジュールにおいて、貫通孔を介した異物の侵入を抑制するとともに、基板の強度低下を抑制することを目的とする。また、本発明は、このようなセンサー用パッケージ基板の製造方法を提供することを目的とする。

課題を解決するための手段

- [0006] 本発明によるセンサー用パッケージ基板は、センサーチップを搭載するためのセンサーチップ搭載領域と、平面視でセンサーチップ搭載領域と重なる位置に設けられ、一方の表面から他方の表面に亘って貫通する複数の貫通孔を有するセンサー用パッケージ基板であって、複数の貫通孔は第1及び第2の貫通孔を含み、第1の貫通孔は第1の深さ位置において最も内径が小さく、第2の貫通孔は第2の深さ位置において最も内径が小さく、第1の深さ位置と第2の深さ位置が互いに異なることを特徴とする。
- [0007] また、本発明によるセンサーモジュールは、上記のセンサー用パッケージ基板と、センサーチップ搭載領域に搭載されたセンサーチップとを備えることを特徴とする。
- [0008] 本発明によれば、センサーチップ搭載領域と重なる位置に複数の貫通孔が設けられていることから、それぞれの貫通孔の径を小さく設計することができる。これにより、貫通孔を介した異物の侵入が生じにくくなるが、基板の強度低下が懸念される。しかしながら、第1の貫通孔が最小径となる第1の深さ位置と第2の貫通孔が最小径となる第2の深さ位置が互いに異なることから、第1の貫通孔と第2の貫通孔の間に位置する基板の強度を確保することが可能となる。
- [0009] 本発明において、第1の貫通孔は、第1の深さ位置から一方及び他方の表面に近づくにつれて内径が拡大する形状を有し、第2の貫通孔は、第2の深さ位置から一方及び他方の表面に近づくにつれて内径が拡大する形状を有していても構わない。これによれば、第1及び第2の貫通孔を介して空気が流通しやすくなる。
- [0010] 本発明において、一方の表面における第1及び第2の貫通孔の径が互いに

異なっても構わない。これによれば、例えばブラスト法によって第1及び第2の貫通孔を形成することにより、第1の深さ位置と第2の深さ位置を互いに異ならせることが可能となる。

[0011] 本発明において、複数の貫通孔の内壁が保護膜で覆われていても構わない。これによれば、基板に含まれるフィラーやガラスクロス等の貫通孔からの脱落を防止することが可能となる。この場合、保護膜は絶縁材料からなるものであっても構わないし、金属材料からなるものであっても構わない。前者によれば、貫通孔の内壁に基板内部の配線パターンが露出している場合であってもショート不良が生じることがない。また、後者によれば、音響特性を高めることが可能となる。

[0012] 本発明において、センサーチップは、空気の振動、圧力、温度又は組成を検出するセンサーであっても構わない。これによれば、複数の貫通孔を介して空気の振動、圧力、温度又は組成を検出することが可能となる。

[0013] 本発明の一側面によるセンサー用パッケージ基板の製造方法は、センサーチップを搭載するためのセンサーチップ搭載領域を有する基板を用意し、平面視でセンサーチップ搭載領域と重なる位置に開口部を有するメタルマスクを形成する工程と、メタルマスクを介してレーザー加工、ブラスト加工またはその両方を行うことにより、基板の一方の表面から他方の表面に亘って貫通する第1及び第2の貫通孔をメタルマスクの開口部と重なる位置に形成する工程とを備え、第1の貫通孔に対応するメタルマスク開口部の径は、第2の貫通孔に対応するメタルマスク開口部の径と異なることを特徴とする。

[0014] 本発明の他の側面によるセンサー用パッケージ基板の製造方法は、センサーチップを搭載するためのセンサーチップ搭載領域を有する基板を用意し、平面視でセンサーチップ搭載領域と重なる位置にレーザービームを照射することによって、基板の一方の表面から他方の表面に亘って貫通する複数の貫通孔を形成する工程を備え、複数の貫通孔は第1及び第2の貫通孔を含み、第1の貫通孔を形成する際におけるレーザービームの強度は、第2の貫通孔を形成する際におけるレーザービームの強度と異なることを特徴とする。

[0015] いずれの方法によっても、第１の貫通孔が最小径となる第１の深さ位置と第２の貫通孔が最小径となる第２の深さ位置が互いに異なる構造を得ることが可能となる。

[0016] 本発明によるセンサー用パッケージ基板の製造方法は、複数の貫通孔の内壁を保護膜で覆う工程をさらに備えるものであっても構わない。これによれば、基板に含まれるフィラーやガラスクロスの貫通孔からの脱落を防止することが可能となる。この場合、保護膜で覆う工程は、ＣＶＤ法によって絶縁材料を成膜することにより行っても構わないし、メッキ法によって金属材料を成膜することにより行っても構わない。前者によれば、貫通孔の内壁に基板内部の配線パターンが露出している場合であってもショート不良が生じることがない。また、後者によれば、音響特性を高めることが可能となる。

発明の効果

[0017] このように、本発明によれば、センサー用パッケージ基板及びこれを備えるセンサーモジュールにおいて、貫通孔を介した異物の侵入を抑制することができるとともに、基板の強度低下を抑制することが可能となる。また、本発明によれば、このようなセンサー用パッケージ基板の製造方法を提供することが可能となる。

図面の簡単な説明

[0018] [図１]図１は、本発明の一実施形態によるセンサー用パッケージ基板１００の構造を説明するための略断面図である。

[図２]図２は、センサー用パッケージ基板１００を用いた第１の実施形態によるセンサーモジュール１００Ａの構造を説明するための略断面図である。

[図３]図３は、センサー用パッケージ基板１００の製造方法を説明するための工程図である。

[図４]図４は、センサー用パッケージ基板１００の製造方法を説明するための工程図である。

[図５]図５は、センサー用パッケージ基板１００の製造方法を説明するための工程図である。

[図6]図6は、センサー用パッケージ基板100の製造方法を説明するための工程図である。

[図7]図7は、センサー用パッケージ基板100の製造方法を説明するための工程図である。

[図8]図8は、センサー用パッケージ基板100の製造方法を説明するための工程図である。

[図9]図9は、センサー用パッケージ基板100の製造方法を説明するための工程図である。

[図10]図10は、センサー用パッケージ基板100の製造方法を説明するための工程図である。

[図11]図11は、センサー用パッケージ基板100の製造方法を説明するための工程図である。

[図12]図12は、第2の実施形態によるセンサーモジュール100Bの構造を説明するための略断面図である。

発明を実施するための形態

[0019] 以下、添付図面を参照しながら、本発明の好ましい実施形態について詳細に説明する。なお、上下左右等の位置関係は、特に断らない限り、図面に示す位置関係に基づくものとする。また、図面の寸法比率は、図示の比率に限定されるものではない。さらに、以下の実施の形態は、本発明を説明するための例示であり、本発明をその実施の形態のみに限定する趣旨ではない。さらに、本発明は、その要旨を逸脱しない限り、さまざまな変形が可能である。

[0020] 図1は、本発明の一実施形態によるセンサー用パッケージ基板100の構造を説明するための略断面図である。

[0021] 図1に示すように、本実施形態によるセンサー用パッケージ基板100は、4層の絶縁層111～114と、絶縁層111～114の各表面に位置する配線層L1～L4を有している。特に限定されるものではないが、最下層に位置する絶縁層111及び最上層に位置する絶縁層114は、ガラス繊維

などの芯材にガラスエポキシなどの樹脂材料を含浸させたコア層であっても構わない。これに対し、絶縁層 112, 113 は、ガラスクロスなどの芯材を含まない樹脂材料からなるものであっても構わない。特に、絶縁層 111, 114 の熱膨張係数は、絶縁層 112, 113 の熱膨張係数よりも小さいことが好ましい。

[0022] 最上層に位置する絶縁層 114 及びその表面に形成された配線層 L4 の一部は、ソルダーレジスト 121 によって覆われている。一方、最下層に位置する絶縁層 111 及びその表面に形成された配線層 L1 の一部は、ソルダーレジスト 122 によって覆われている。ソルダーレジスト 121 はセンサー用パッケージ基板 100 の一方の表面 101 を構成し、ソルダーレジスト 122 はセンサー用パッケージ基板 100 の他方の表面 102 を構成する。

[0023] 配線層 L1 ~ L4 には、それぞれ配線パターン 131 ~ 134 が形成されている。配線パターン 131 のうち、ソルダーレジスト 122 によって覆われていない部分には、外部端子 130 が形成されている。外部端子 130 は、後述するマザーボードへの接続端子である。また、配線パターン 134 のうち、ソルダーレジスト 121 によって覆われていない部分は、ボンディングパッドとして用いられる。配線パターン 131 ~ 134 は、絶縁層 111 ~ 114 を貫通するスルーホール導体 141 ~ 144 を介して相互に接続されている。

[0024] 本実施形態においては、センサー用パッケージ基板 100 の一方の表面 101 にセンサーチップ搭載領域 A 及び B が定義されている。さらに、平面視でセンサーチップ搭載領域 A と重なる位置には、センサー用パッケージ基板 100 を一方の表面 101 から他方の表面 102 に亘って貫通する複数の貫通孔 V1, V2 が設けられている。貫通孔 V1, V2 は閉塞されることなく、一方の表面 101 及び他方の表面 102 の両方に開口しており、このため、貫通孔 V1, V2 を介した空気の流通が可能である。尚、図 1 には 2 つの貫通孔 V1, V2 のみが示されているが、センサーチップ搭載領域 A と重なる位置に 3 つ以上の貫通孔を形成しても構わない。このように、本実施形態

によるセンサー用パッケージ基板 100 は、センサーチップ搭載領域 A と重なる位置に径の大きな単一の貫通孔を設けるのではなく、より径の小さい複数の貫通孔を設けていることから、貫通孔を介した異物の侵入が生じにくくなり、貫通孔 V1、V2 の径が最も小さくなる深さ位置が互いに異なるよう加工することにより、基板の強度低下が抑制される。

[0025] 図 1 に示すように、貫通孔 V1 の一方の表面 101 における径は $\phi 11$ であり、貫通孔 V1 の他方の表面 102 における径は $\phi 12$ である。また、貫通孔 V1 は、所定の深さ位置 D1 にて内径が最も小さくなる。深さ位置 D1 における貫通孔 V1 の径は $\phi 10$ である。深さ位置 D1 は、基板の厚み方向における中心位置ではなく、他方の表面 102 側にオフセットしている。ここで、径 $\phi 10 \sim \phi 12$ の関係は、

$$\phi 11 > \phi 12 > \phi 10$$

である。そして、貫通孔 V1 は、深さ位置 D1 から一方及び他方の表面 101、102 に近づくにつれて内径が拡大するテーパ形状を有している。

[0026] 同様に、貫通孔 V2 の一方の表面 101 における径は $\phi 21$ であり、貫通孔 V2 の他方の表面 102 における径は $\phi 22$ である。また、貫通孔 V2 は、所定の深さ位置 D2 にて内径が最も小さくなる。深さ位置 D2 における貫通孔 V2 の径は $\phi 20$ である。深さ位置 D2 は、基板の厚み方向における中心位置ではなく、一方の表面 101 側にオフセットしている。ここで、径 $\phi 20 \sim \phi 22$ の関係は、

$$\phi 22 > \phi 21 > \phi 20$$

である。そして、貫通孔 V2 は、深さ位置 D2 から一方及び他方の表面 101、102 に近づくにつれて内径が拡大するテーパ形状を有している。

[0027] 特に限定されるものではないが、本発明においては、

$$\phi 11 > \phi 21、\text{且つ、}\phi 22 > \phi 12$$

である。また、

$$\phi 11 = \phi 22、\text{且つ、}\phi 12 = \phi 21$$

であっても構わない。

[0028] 図1に示すように、貫通孔V1の径が最も小さくなる深さ位置D1と、貫通孔V2の径が最も小さくなる深さ位置D2は、互いに相違している。図1に示す例では、

$$D1 > D2$$

である。これにより、貫通孔V1、V2がテーパ形状を有しているにもかかわらず、貫通孔V1と貫通孔V2の間に位置するセンサー用パッケージ基板100の肉厚（x方向における幅）の厚み方向（z方向）に対する変化が小さくなる。

[0029] つまり、深さ位置D1と深さ位置D2が一致している場合、貫通孔V1と貫通孔V2の間に位置するセンサー用パッケージ基板100の肉厚（x方向における幅）が厚み方向（z方向）に大きく変化するため、センサー用パッケージ基板100の強度が不足するおそれがある。特に、表面101、102の近傍における肉厚が非常に薄くなり、この部分においてセンサー用パッケージ基板100に割れや欠けが生じる可能性がある。これに対し、本実施形態においては、深さ位置D1と深さ位置D2をずらしているため、センサー用パッケージ基板100の強度を十分に確保することが可能となる。

[0030] 本実施形態によるセンサー用パッケージ基板100は、絶縁層112と絶縁層113の間にコントローラチップ150が埋め込まれている。コントローラチップ150は、センサーチップ搭載領域A、Bに搭載されるセンサーチップに接続される電子部品である。当然ながら、コントローラチップ150は貫通孔V1、V2を避けて配置される。しかしながら、コントローラチップ150とセンサーチップ搭載領域A、Bは、平面視で一部重なりを有していても構わない。本発明において、コントローラチップ150などの電子部品の種類は特に制限されず、例えば、MEMS（Micro Electro Mechanical Systems）、CPU（Central Processing Unit）、DSP（Digital Signal Processor）、GPU（Graphics Processing Unit）、ASIC（Application Specific Integrated Circuit）のように動作周波数が非常に高いデジタルICであっても構わないし、F-RomやSDRAM等のメモリ系ICで

あっても構わないし、増幅器、アンテナスイッチ、高周波発振回路といったアナログIC等の能動素子であっても構わないし、バリスタ、抵抗、コンデンサ等の受動素子であっても構わない。

[0031] なお、本明細書において、「センサー用パッケージ基板」とは、電子部品が内蔵又は搭載された単位基板である個別基板（個片、個品）のみを指すのではなく、その個別基板を複数有する集合基板（ワークボード、ワークシート）であっても構わない。

[0032] 図2は、センサー用パッケージ基板100を用いた第1の実施形態によるセンサーモジュール100Aの構造を説明するための略断面図である。

[0033] 図2に示すセンサーモジュール100Aは、センサー用パッケージ基板100のセンサーチップ搭載領域Aにセンサーチップ160が搭載され、センサーチップ搭載領域Bにセンサーチップ170が搭載された構成を有している。

[0034] センサーチップ160は、例えば空気の振動、圧力、温度又は組成を検出するセンサー、つまりマイクロフォン、圧力センサー、温度センサー、ガスセンサーなどであり、センサー用パッケージ基板100に形成される貫通孔V1、V2と対向する位置に検出部161が設けられている。センサーチップ160が例えばマイクロフォンである場合、検出部161はメンブレン構造を有する振動板を含む。センサーチップ160内における検出部161の位置は特に限定されないが、検出部161の少なくとも一部は、貫通孔V1、V2に露出している。これにより、センサーチップ160の検出部161が貫通孔V1、V2を介して雰囲気中に晒されることから、空気の振動、圧力、温度又は組成を検出することが可能となる。

[0035] センサーチップ170も空気の振動、圧力、温度又は組成を検出するセンサー、つまりマイクロフォン、圧力センサー、温度センサー、ガスセンサーなどであり、センサーチップ160とは異なる物理量を測定するセンサーを選択することができる。

[0036] センサーチップ160、170の出力信号は、ボンディングワイヤ181

を介して配線パターン１３４に接続される。また、センサーチップ１６０とセンサーチップ１７０は、ボンディングワイヤ１８２を介して直接接続されていても構わない。但し、センサー用パッケージ基板１００とセンサーチップ１６０、１７０の接続方法がこれに限定されるものではなく、フリップチップ接続を用いても構わない。図２に示す例では、センサーチップ１６０、１７０がダイアタッチフィルム１８３によってセンサー用パッケージ基板１００の表面１０１に接着されている。また、センサーチップ１６０、１７０は、平面視でコントローラチップ１５０と重なりを有している。

[0037] さらに、センサー用パッケージ基板１００の表面１０１は、キャップ１９０で覆われている。キャップ１９０は、センサーチップ１６０、１７０を保護するとともに、センサーチップ１６０、１７０による検出特性を高める役割を果たす。特に、センサーチップ１６０、１７０の少なくとも一方がマイクロフォンである場合、キャップ１９０によって形成される空間１９１の体積は、音響特性に大きな影響を与える。

[0038] 図２に示すように、本実施形態によるセンサーモジュール１００Ａは、マザーボード２００に搭載することができる。図２に示すように、マザーボード２００には貫通孔Ｖ３が形成されており、平面視で貫通孔Ｖ１、Ｖ２と貫通孔Ｖ３が重なるよう、マザーボード２００にセンサーモジュール１００Ａが搭載される。これにより、センサーチップ１６０の検出部１６１は、貫通孔Ｖ１～Ｖ３を介して雰囲気中に晒される。その結果、矢印Ｓで示すように、空気の振動、圧力、温度又は組成がセンサーチップ１６０に伝わることから、これらの物理量を検出することが可能となる。また、本実施形態においては、センサーモジュール１００Ａの裏面に電子部品などが搭載されていないことから、センサーモジュール１００Ａとマザーボード２００の隙間を非常に小さくすることができる。これにより、センサーの感度を高めることが可能となる。尚、センサーモジュール１００Ａとマザーボード２００の隙間をアンダーフィルなどで埋めても構わない。

[0039] 次に、本実施形態によるセンサー用パッケージ基板１００の製造方法につ

いて説明する。

[0040] 図3～図11は、本実施形態によるセンサー用パッケージ基板100の製造方法を説明するための工程図である。

[0041] まず、図3に示すように、ガラス繊維などの芯材を含む絶縁層111の両面にCu箔等の金属膜131a、132aが貼合されてなる基材（ワークボード）、すなわち両面CCL（Copper Clad Laminate）を準備する。その後の工程における貫通孔V1、V2の形成を容易にするとともに、ハンドリングを容易にするための適度な剛性を確保するため、絶縁層111に含まれる芯材の厚みは40 μ m以下であることが望ましい。なお、金属膜131a、132aの材質については特に制限されず、上述したCuの他、例えば、Au、Ag、Ni、Pd、Sn、Cr、Al、W、Fe、Ti、SUS材等の金属導電材料が挙げられ、これらの中でも、導電率やコストの観点からCuを用いることが好ましい。後述する他の金属膜についても同様である。

[0042] また、絶縁層111に用いる樹脂材料は、シート状又はフィルム状に成形可能なものであれば特に制限されず使用可能であり、ガラスエポキシの他、例えば、ビニルベンジル樹脂、ポリビニルベンジルエーテル化合物樹脂、ビスマレイミドトリアジン樹脂（BTレジン）、ポリフェニレエーテル（ポリフェニレンエーテルオキサイド）樹脂（PPE、PPO）、シアネートエステル樹脂、エポキシ+活性エステル硬化樹脂、ポリフェニレンエーテル樹脂（ポリフェニレンオキサド樹脂）、硬化性ポリオレフィン樹脂、ベンゾシクロブテン樹脂、ポリイミド樹脂、芳香族ポリエステル樹脂、芳香族液晶ポリエステル樹脂、ポリフェニレンサルファイド樹脂、ポリエーテルイミド樹脂、ポリアクリレート樹脂、ポリエーテルエーテルケトン樹脂、フッ素樹脂、エポキシ樹脂、フェノール樹脂、若しくはベンゾオキサジン樹脂の単体、又は、これらの樹脂に、シリカ、タルク、炭酸カルシウム、炭酸マグネシウム、水酸化アルミニウム、水酸化マグネシウム、ホウ酸アルミウイスカ、チタン酸カリウム繊維、アルミナ、ガラスフレーク、ガラス繊維、窒化タンタル、窒化アルミニウム等を添加した材料、さらに、これらの樹脂に、マグネ

シウム、ケイ素、チタン、亜鉛、カルシウム、ストロンチウム、ジルコニウム、錫、ネオジウム、サマリウム、アルミニウム、ビスマス、鉛、ランタン、リチウム及びタンタルのうち少なくとも1種の金属を含む金属酸化物粉末を添加した材料を用いることができ、電気特性、機械特性、吸水性、リフロー耐性等の観点から、適宜選択して用いることができる。さらに、絶縁層111に含まれる芯材としては、ガラス繊維、アラミド繊維等の樹脂繊維等を配合した材料を挙げることができる。

[0043] 次に、図4に示すように、例えばフォトリソグラフィー法など公知の手法を用いて金属膜132aをパターニングすることにより、配線パターン132を形成する。このとき、最終的に貫通孔V1、V2が形成される位置においては、金属膜132aが全て削除される。さらに、配線パターン132を埋め込むよう、絶縁層111の表面に例えば未硬化（Bステージ状態）の樹脂シート等を真空圧着等によって積層することにより、絶縁層112を形成する。

[0044] 次に、図5に示すように、絶縁層112上にコントローラチップ150を載置する。コントローラチップ150は、例えば、ベアチップ状態の半導体ICであり、略矩形板状をなす主面151が上側を向くよう、フェースアップ方式で搭載される。コントローラチップ150の主面151には、図示しない多数の外部端子が設けられている。コントローラチップ150は、裏面を研磨する事により通常の半導体ICに比して薄くされている。具体的には、コントローラチップ150の厚さは、例えば200 μ m以下、より好ましくは50～100 μ m程度とされる。この場合、コスト的にはウエハの状態では多数のコントローラチップ150に対して一括して加工する事が望ましく、加工順序は裏面を研削し、その後ダイシングにより個別のコントローラチップ150に分離することができる。その他の方法として、研磨処理によって薄くする前にダイシングによって個別のコントローラチップ150に裁断分離又はハーフカット等する場合には、熱硬化性樹脂等によってコントローラチップ150の主面151を覆った状態で裏面を研磨することもできる。

。従って、絶縁膜研削、電子部品裏面研削、ダイシングの順序は多岐に亘る。さらに、コントローラチップ150の裏面の研削方法としては、エッチング、プラズマ処理、レーザー処理、ブラスト加工、グラインダーによる研磨、バフ研磨、薬品処理等による粗面化方法が挙げられる。これらの方法によれば、コントローラチップ150を薄型化することができるだけでなく、絶縁層112に対する密着性を向上させることも可能となる。

ある。

[0045] 次に、図6に示すように、コントローラチップ150を覆うように絶縁層113及び金属膜133aを形成する。絶縁層113の形成は、例えば、未硬化又は半硬化状態の熱硬化性樹脂を塗布した後、未硬化樹脂の場合それを加熱して半硬化させ、さらに、プレス手段を用いて金属膜133aとともに硬化成形することが好ましい。絶縁層113は、コントローラチップ150の埋め込みを妨げる繊維が含まれない樹脂シートが望ましい。これにより、絶縁層113と、金属膜133a、絶縁層112及びコントローラチップ150との密着性が向上する。

[0046] 次に、図7に示すように、例えばフォトリソグラフィ法など公知の手法を用いて金属膜133aの一部をエッチングにより除去した後に、金属膜133aが除去された所定の箇所に対して公知のレーザー加工やブラスト加工を行うことにより、絶縁層112、113にスルーホールを形成する。その後、無電解メッキ及び電解メッキを施し、さらに、金属膜133aを公知の手法によってパターンニングすることにより、配線パターン133、スルーホール導体142、143を形成する。このとき、最終的に貫通孔V1、V2が形成される位置においては、金属膜133aを削除することが好ましい。スルーホール導体142は、絶縁層113、112を貫通することによって配線パターン132と配線パターン133を接続するものであり、スルーホール導体143は、絶縁層113を貫通することによって配線パターン133とコントローラチップ150を接続するものである。

[0047] 次に、図8に示すように、配線パターン133を埋め込むよう、絶縁層1

1 4 と金属膜 1 3 4 a が積層されたシートを真空熱プレスする。絶縁層 1 1 4 に用いる材料及び厚みは、絶縁層 1 1 1 と同じであっても構わない。

[0048] 次に、図 9 に示すように、例えばフォトリソグラフィー法など公知の手法を用いて金属膜 1 3 1 a, 1 3 4 a の一部をエッチングにより除去した後に、金属膜 1 3 1 a, 1 3 4 a が除去された所定の箇所に対して公知のレーザー加工やブラスト加工を行うことにより、絶縁層 1 1 1, 1 1 4 にスルーホールを形成する。その後、無電解メッキ及び電解メッキを施すことにより、スルーホール導体 1 4 1, 1 4 4 を形成する。スルーホール導体 1 4 1 は、絶縁層 1 1 1 を貫通することによって配線パターン 1 3 1 と配線パターン 1 3 2 を接続するものであり、スルーホール導体 1 4 4 は、絶縁層 1 1 4 を貫通することによって配線パターン 1 3 3 と配線パターン 1 3 4 を接続するものである。その後、金属膜 1 3 1 a, 1 3 4 a の表面に感光性のドライフィルム 1 7 1, 1 7 2 を形成する。

[0049] 次に、図 10 に示すように、フォトリソグラフィー法により、貫通孔 V 1, V 2 を形成すべき平面位置のドライフィルム 1 7 1, 1 7 2 を除去するとともに、ドライフィルム 1 7 1, 1 7 2 から露出する金属膜 1 3 1 a, 1 3 4 a を除去することによって開口部 A 1 1, A 1 2, A 2 1, A 2 2 を形成する。開口部 A 1 1, A 1 2, A 2 1, A 2 2 が形成されたドライフィルム 1 7 1, 1 7 2 及び金属膜 1 3 1 a, 1 3 4 a は、メタルマスクを構成する。

[0050] このとき、上面側に位置するドライフィルム 1 7 2 については、貫通孔 V 1 に対応する開口部 A 1 1 の径を $\phi 1 1$ とし、貫通孔 V 2 に対応する開口部 A 2 1 の径を $\phi 2 1$ ($< \phi 1 1$) とする。また、下面側に位置するドライフィルム 1 7 1 については、貫通孔 V 1 に対応する開口部 A 1 2 の径を $\phi 1 2$ とし、貫通孔 V 2 に対応する開口部 A 2 2 の径を $\phi 2 2$ ($> \phi 1 2$) とする。これにより、金属膜 1 3 4 a に形成される開口径も $\phi 1 1$, $\phi 2 1$ となり、金属膜 1 3 1 a に形成される開口径も $\phi 1 2$, $\phi 2 2$ となる。また、ドライフィルム 1 7 1, 1 7 2 の開口径は、後述するブラスト加工を経ることに

よって拡大することから、ブラスト加工を行う前の初期状態においては設計値よりもやや小さくしておき、ブラスト加工を経ることによって設計値となるよう、調整しても構わない。

[0051] この状態で、図 1 1 に示すように、表裏からレーザー加工、ブラスト加工又はその両方を施すことにより、絶縁層 1 1 1 ~ 1 1 4 を貫通する貫通孔 V 1 , V 2 を形成する。ブラスト加工においては、開口部の径が大きいほど加工速度が速くなる傾向があるとともに、表面 1 0 1 , 1 0 2 からの深さ位置が深くなるにつれて加工径が縮小する傾向がある。このため、表面 1 0 1 側からのブラスト加工においては、開口部 A 1 1 に対応する部分の加工速度の方が開口部 A 2 1 に対応する部分の加工速度よりも若干速くなる。また、表面 1 0 2 側からのブラスト加工においては、開口部 A 2 2 に対応する部分の加工速度の方が開口部 A 1 2 に対応する部分の加工速度よりも若干速くなる。これにより、貫通孔 V 1 において最も内径が小さくなる深さ位置 D 1 と貫通孔 V 2 において最も内径が小さくなる深さ位置 D 2 は、互いに異なる深さに位置することになる。尚、貫通孔 V 1 , V 2 の形成は、ドライフィルムを剥離した後に行っても構わない。

[0052] 次に、ドライフィルム 1 7 1 , 1 7 2 を除去した後、公知のフォトリソグラフィ法等によって金属膜 1 3 1 a , 1 3 4 a をパターニングすることにより、配線パターン 1 3 1 , 1 3 4 を形成する。そして、図 1 に示すように、絶縁層 1 1 4 , 1 1 1 の表面にそれぞれソルダーレジスト 1 2 1 , 1 2 2 を形成し、ソルダーレジスト 1 2 1 , 1 2 2 から露出する配線パターン 1 3 4 , 1 3 1 に対して部品実装用の表面処理を行う。表面処理は、例えば Cu - O S P 処理、Ni / Au めっき処理、ENEPIG 処理、はんだレベラー処理等が挙げられ、配線パターンの酸化膜防止及び後工程の部品実装への品質を目的としたものであれば、これに限らない表面処理方法でも可能である。

[0053] 以上により、本実施形態によるセンサー用パッケージ基板 1 0 0 が完成する。

[0054] このように、本実施形態においては、ドライフィルム１７１の開口部Ａ１１，Ａ２１の径を互いに異なるサイズとし、ドライフィルム１７２の開口部Ａ１２，Ａ２２の径を互いに異なるサイズとした状態でブラスト加工を行っていることから、貫通孔Ｖ１において最も内径が小さくなる深さ位置Ｄ１と、貫通孔Ｖ２において最も内径が小さくなる深さ位置Ｄ２が互いに異なる構造を得ることが可能となる。

[0055] 但し、本発明において、貫通孔Ｖ１，Ｖ２を形成するための開口径を上記のように設定することは必須でなく、レーザー加工によって貫通孔Ｖ１，Ｖ２を形成する場合、開口部Ａ１１に照射するレーザービームの強度を開口部Ａ２１に照射するレーザービームの強度よりも強く設定し、開口部Ａ２２に照射するレーザービームの強度を開口部Ａ１２に照射するレーザービームの強度よりも強く設定しても構わない。これによれば、レーザービームの強度の差に応じて加工深さが変化するため、深さ位置Ｄ１とＤ２が互いに異なる構造を得ることが可能となる。

[0056] 図１２は、第２の実施形態によるセンサーモジュール１００Ｂの構造を説明するための略断面図である。

[0057] 第２の実施形態によるセンサーモジュール１００Ｂは、貫通孔Ｖ１，Ｖ２の内壁が保護膜Ｃで覆われている点において、第１の実施形態によるセンサーモジュール１００Ａと相違している。保護膜Ｃは、ＳｉＮなどの無機絶縁材料又はポリイミドなどの有機絶縁材料からなるものであっても構わないし、金属材料からなるものであっても構わない。このように、貫通孔Ｖ１，Ｖ２の内壁を保護膜Ｃコーティングすれば、貫通孔Ｖ１，Ｖ２の内壁に露出したフィラーやガラスクロスなどの脱落を防止することが可能となる。特に、保護膜Ｃの材料として絶縁材料を用いれば、貫通孔Ｖ１，Ｖ２に内壁に配線パターンの一部が露出している場合であっても、ショート不良の発生を防止することが可能となる。一方、保護膜Ｃの材料として金属材料を用いれば、貫通孔Ｖ１，Ｖ２の音響特性を向上させることが可能となる。

[0058] 保護膜Ｃの形成方法としては、ＳｉＮなどの無機絶縁材料を選択する場合

にはCVD法を用いることが可能であり、金属材料を選択する場合にはメッキ法を用いることが可能である。

[0059] 以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

符号の説明

- [0060] 100 センサー用パッケージ基板
100A, 100B センサーモジュール
101 一方の表面
102 他方の表面
111～114 絶縁層
121, 122 ソルダレジスト
130 外部端子
131～134 配線パターン
131a～134a 金属膜
141～144 スルーホール導体
150 コントローラチップ
151 主面
160, 170 センサーチップ
161 検出部
171, 172 ドライフィルム
181, 182 ボンディングワイヤ
183 ダイアタッチフィルム
190 キャップ
191 空間
200 マザーボード
A, B センサーチップ搭載領域

A 1 1, A 1 2, A 2 1, A 2 2 開口部

C 保護膜

D 1, D 2 深さ位置

L 1 ~ L 4 配線層

V 1 ~ V 3 貫通孔

請求の範囲

- [請求項1] センサーチップを搭載するためのセンサーチップ搭載領域と、平面視で前記センサーチップ搭載領域と重なる位置に設けられ、一方の表面から他方の表面に亘って貫通する複数の貫通孔を有するセンサー用パッケージ基板であって、
- 前記複数の貫通孔は、第1及び第2の貫通孔を含み、
- 前記第1の貫通孔は、第1の深さ位置において最も内径が小さく、
- 前記第2の貫通孔は、第2の深さ位置において最も内径が小さく、
- 前記第1の深さ位置と前記第2の深さ位置が互いに異なることを特徴とするセンサー用パッケージ基板。
- [請求項2] 前記第1の貫通孔は、前記第1の深さ位置から前記一方及び他方の表面に近づくにつれて内径が拡大する形状を有し、
- 前記第2の貫通孔は、前記第2の深さ位置から前記一方及び他方の表面に近づくにつれて内径が拡大する形状を有することを特徴とする請求項1に記載のセンサー用パッケージ基板。
- [請求項3] 前記一方の表面における前記第1及び第2の貫通孔の径が互いに異なることを特徴とする請求項1又は2に記載のセンサー用パッケージ基板。
- [請求項4] 前記複数の貫通孔の内壁が保護膜で覆われていることを特徴とする請求項1乃至3のいずれか一項に記載のセンサー用パッケージ基板。
- [請求項5] 前記保護膜が絶縁材料からなることを特徴とする請求項4に記載のセンサー用パッケージ基板。
- [請求項6] 前記保護膜が金属材料からなることを特徴とする請求項4に記載のセンサー用パッケージ基板。
- [請求項7] 請求項1乃至6のいずれか一項に記載のセンサー用パッケージ基板と、前記センサーチップ搭載領域に搭載されたセンサーチップとを備えることを特徴とするセンサーモジュール。
- [請求項8] 前記センサーチップは、空気の振動、圧力、温度又は組成を検出す

るセンサーであることを特徴とする請求項 7 に記載のセンサーモジュール。

[請求項9] センサーチップを搭載するためのセンサーチップ搭載領域を有する基板を用意し、平面視で前記センサーチップ搭載領域と重なる位置に開口部を有するメタルマスクを形成する工程と、

前記メタルマスクを介してレーザー加工、ブラスト加工またはその両方を行うことにより、前記基板の一方の表面から他方の表面に亘って貫通する第 1 及び第 2 の貫通孔を前記メタルマスクの開口部と重なる位置に形成する工程と、を備え、

前記第 1 の貫通孔に対応する前記メタルマスク開口部の径は、前記第 2 の貫通孔に対応する前記メタルマスク開口部の径と異なることを特徴とするセンサー用パッケージ基板の製造方法。

[請求項10] センサーチップを搭載するためのセンサーチップ搭載領域を有する基板を用意し、平面視で前記センサーチップ搭載領域と重なる位置にレーザービームを照射することによって、前記基板の一方の表面から他方の表面に亘って貫通する複数の貫通孔を形成する工程を備え、

前記複数の貫通孔は、第 1 及び第 2 の貫通孔を含み、

前記第 1 の貫通孔を形成する際における前記レーザービームの強度は、前記第 2 の貫通孔を形成する際における前記レーザービームの強度と異なることを特徴とするセンサー用パッケージ基板の製造方法。

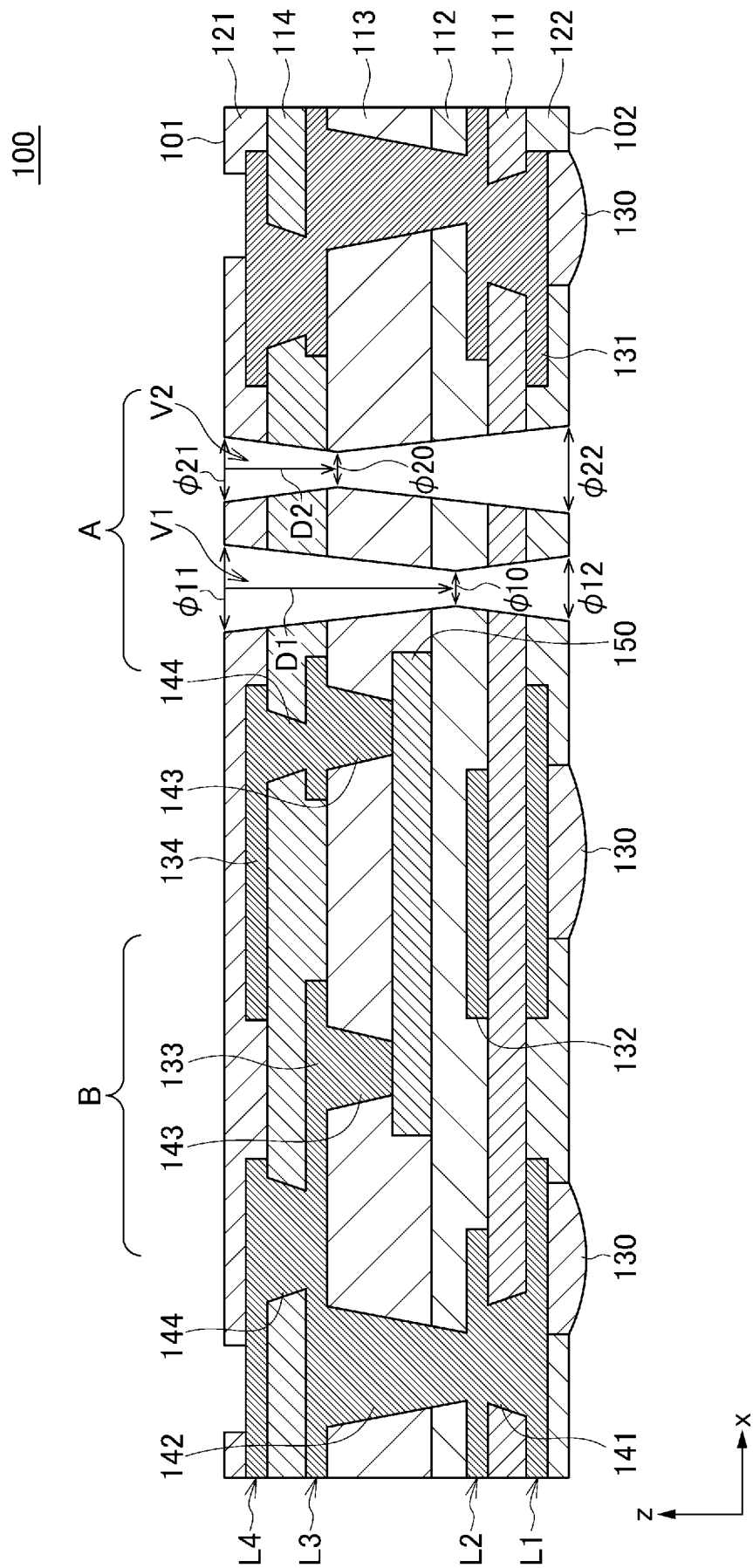
[請求項11] 前記複数の貫通孔の内壁を保護膜で覆う工程をさらに備えることを特徴とする請求項 9 又は 10 に記載のセンサー用パッケージ基板の製造方法。

[請求項12] 前記保護膜で覆う工程は、CVD法によって絶縁材料を成膜することにより行うことを特徴とする請求項 11 に記載のセンサー用パッケージ基板の製造方法。

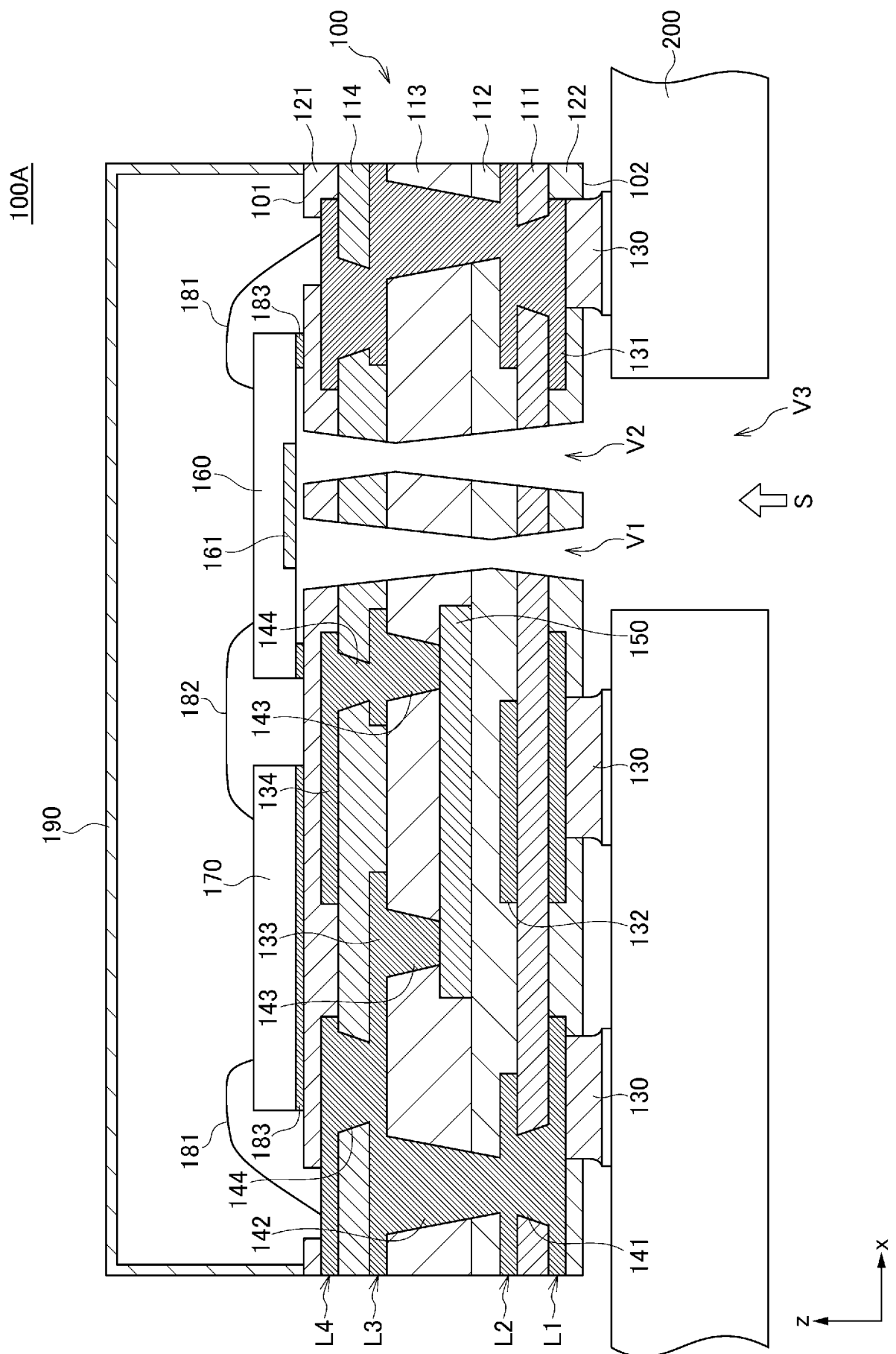
[請求項13] 前記保護膜で覆う工程は、メッキ法によって金属材料を成膜することにより行うことを特徴とする請求項 11 に記載のセンサー用パッ

ーシ基板の製造方法。

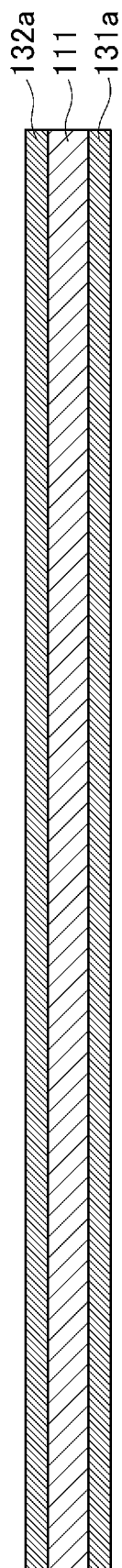
[図1]



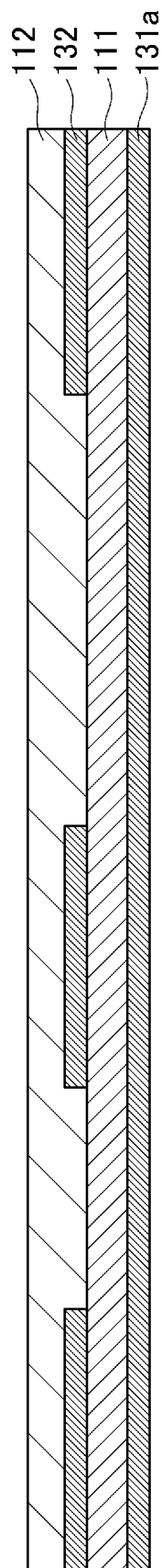
[図2]



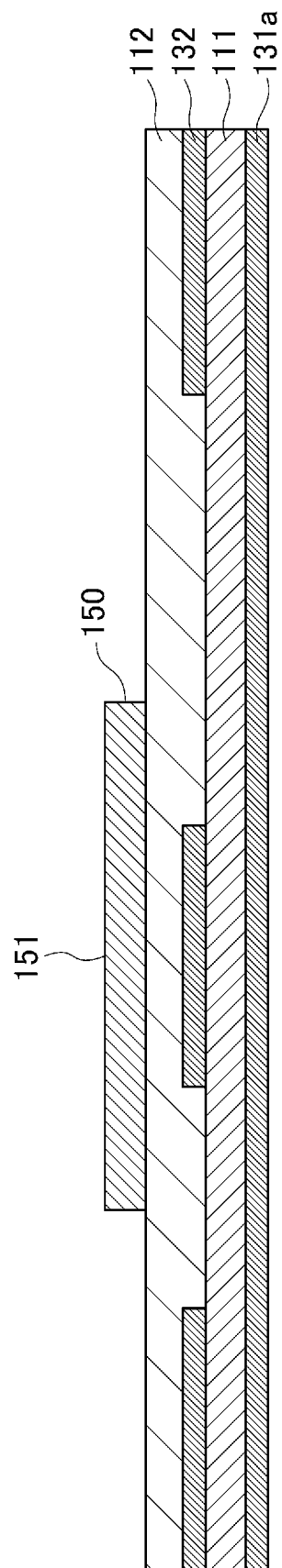
[図3]



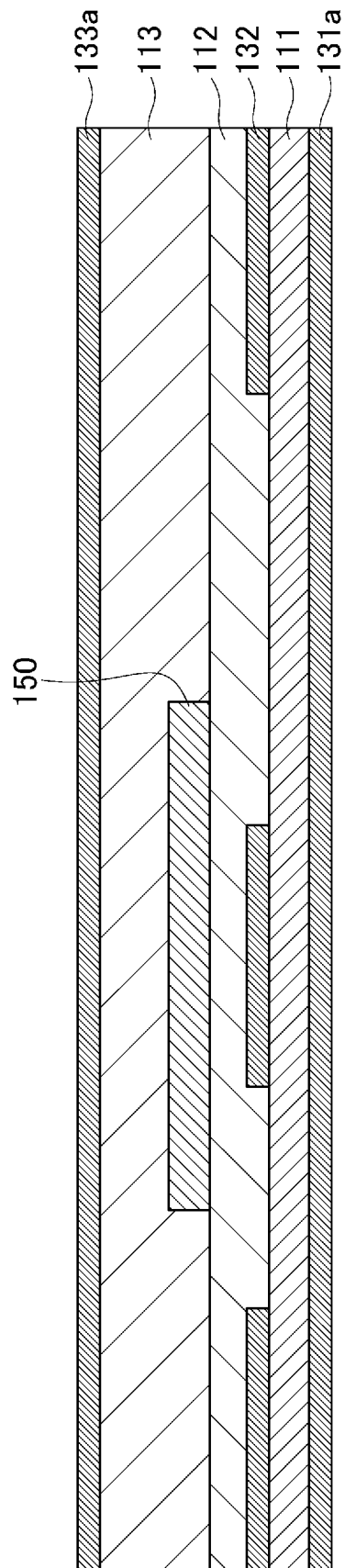
[図4]



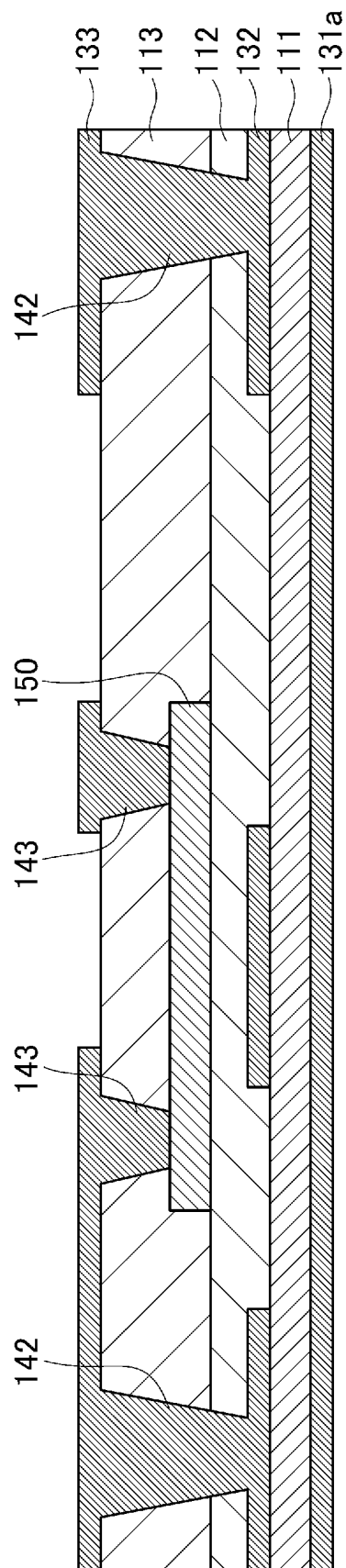
[図5]



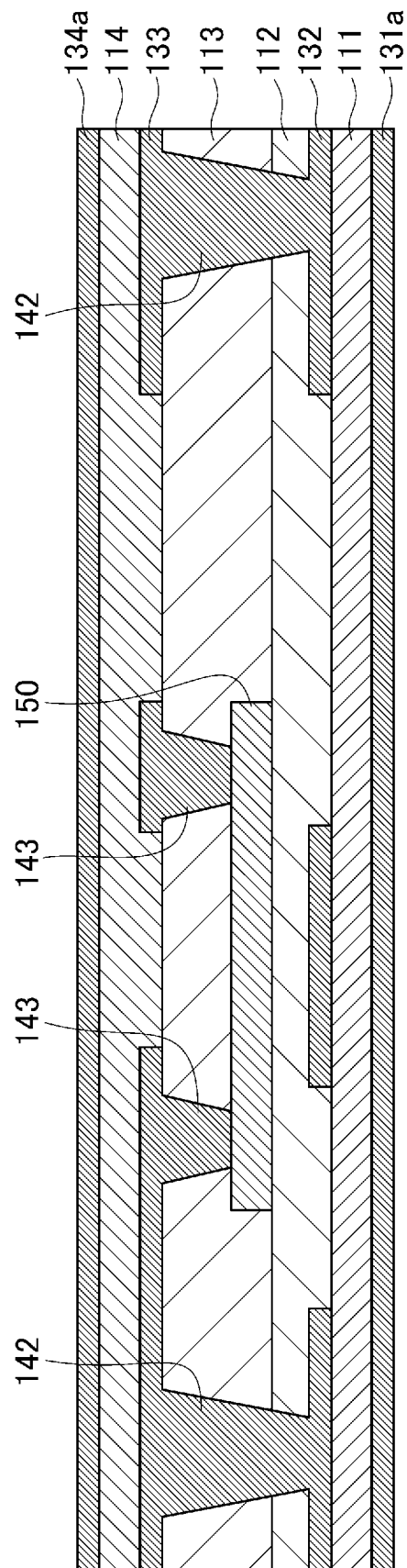
[図6]



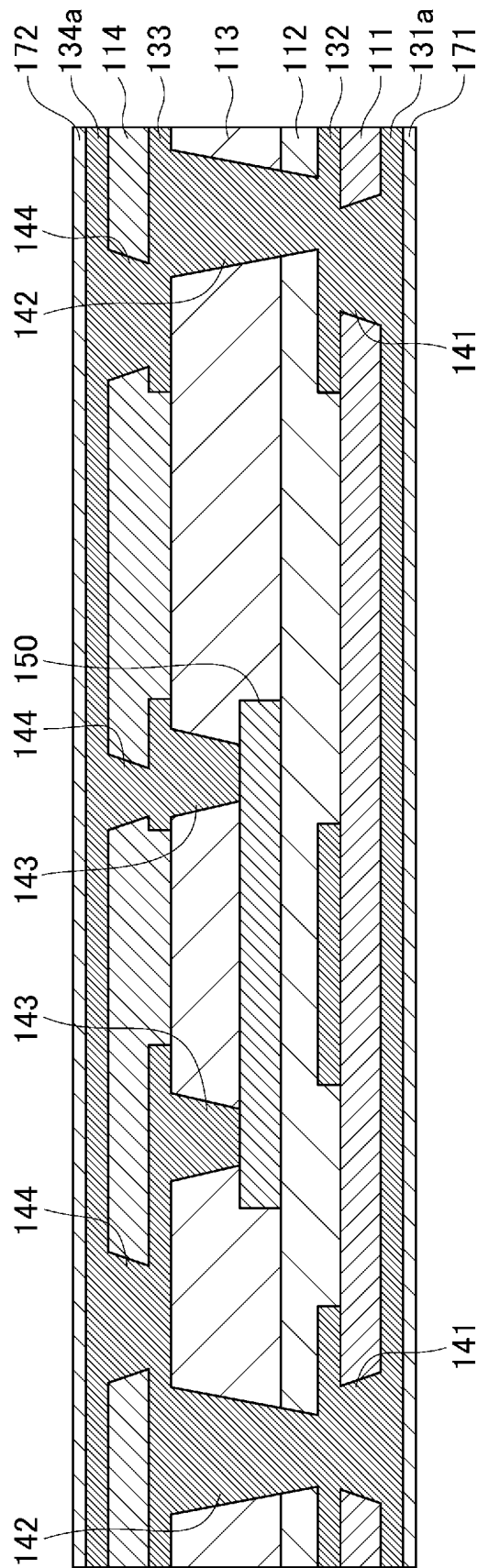
[図7]



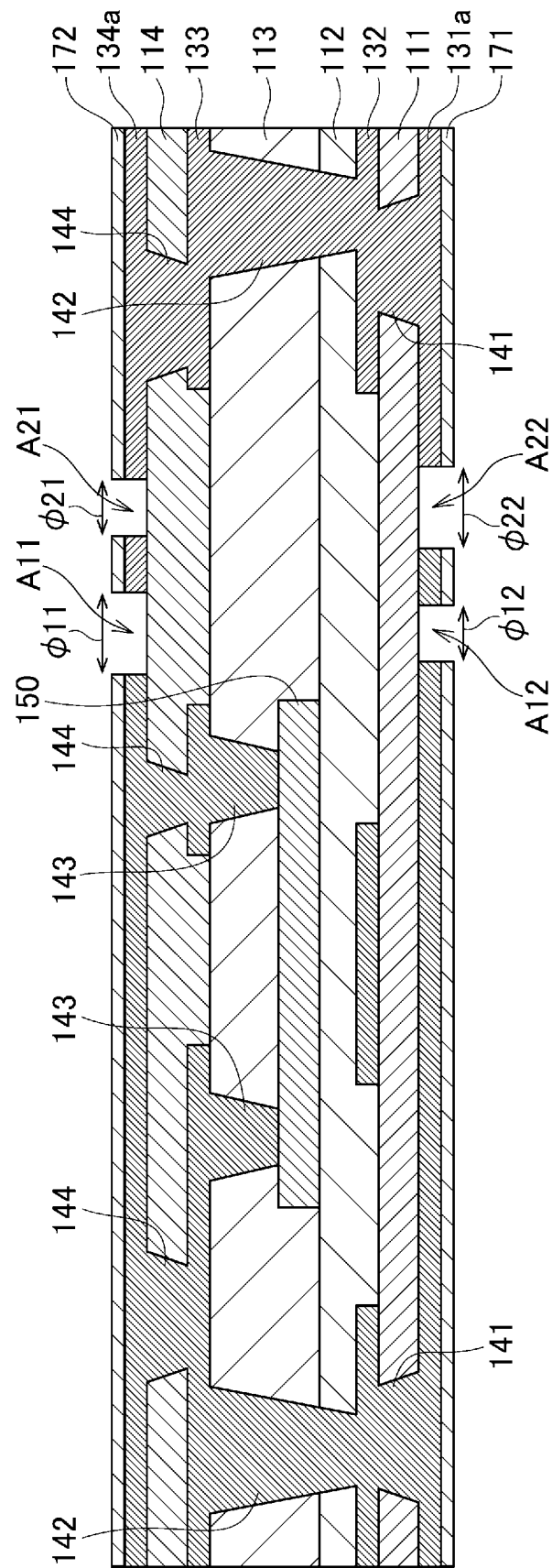
[図8]



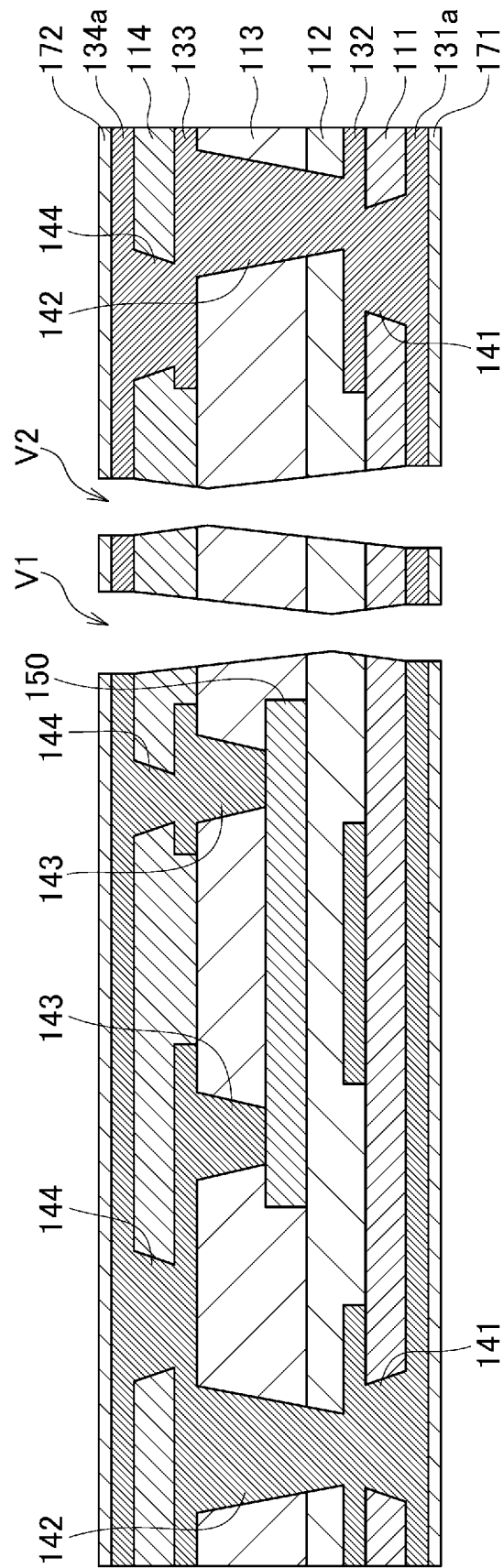
[図9]



[図10]



[図11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/022240

A. CLASSIFICATION OF SUBJECT MATTER

G01H 3/00(2006.01)i; G01L 9/00(2006.01)i; G01L 19/00(2006.01)i; G01L 19/06(2006.01)i; H01L 23/12(2006.01)i; H04R 1/06(2006.01)i; G01D 11/00(2006.01)i

FI: G01L9/00 301Z; H01L23/12 F; G01L19/00 A; H04R1/06 320; G01D11/00 Z; G01H3/00 Z; G01L19/06 Z

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G01L9/00; G01L13/00; G01L19/00; G01L19/06; H01L23/12; H01L29/84; H04R1/06; G01D11/00; G01H3/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2018-159595 A (AZBIL CORPORATION) 11.10.2018 (2018-10-11) paragraphs [0023]-[0101], fig. 1-5	1-3, 7-8
Y	paragraphs [0023]-[0101], fig. 1-5	9-10
X	JP 2009-186378 A (DAINIPPON PRINTING CO., LTD.) 20.08.2009 (2009-08-20) paragraphs [0002]-[0004], [0012]-[0023], fig. 1-5	1, 3-4, 6-9, 11, 13
Y	paragraphs [0002]-[0004], [0012]-[0023], fig. 1-5	5, 9-10, 12-13
Y	JP 2016-034030 A (DAINIPPON PRINTING CO., LTD.) 10.03.2016 (2016-03-10) paragraphs [0029]-[0049], fig. 1-6	5, 12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
14 August 2020 (14.08.2020)

Date of mailing of the international search report
01 September 2020 (01.09.2020)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/022240

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-282902 A (HAKODATE ELECTRONICS CO., LTD.) 20.11.2008 (2008-11-20) paragraphs [0017]-[0048], fig. 1-8	13
A	paragraphs [0017]-[0048], fig. 1-8	1-12
A	US 9212054 B1 (MICROLUX TECHNOLOGY) 15.12.2015 (2015-12-15) column 4, line 41 to column 9, line 46, fig. 1-11	1-13

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No.

PCT/JP2020/022240

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2018-159595 A	11 Oct. 2018	(Family: none)	
JP 2009-186378 A	20 Aug. 2009	(Family: none)	
JP 2016-034030 A	10 Mar. 2016	(Family: none)	
JP 2008-282902 A	20 Nov. 2008	(Family: none)	
US 9212054 B1	15 Dec. 2015	CN 105527042 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） G01H 3/00(2006.01)i; G01L 9/00(2006.01)i; G01L 19/00(2006.01)i; G01L 19/06(2006.01)i; H01L 23/12(2006.01)i; H04R 1/06(2006.01)i; G01D 11/00(2006.01)i FI: G01L9/00 301Z; H01L23/12 F; G01L19/00 A; H04R1/06 320; G01D11/00 Z; G01H3/00 Z; G01L19/06 Z		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） G01L9/00; G01L13/00; G01L19/00; G01L19/06; H01L23/12; H01L29/84; H04R1/06; G01D11/00; G01H3/00		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2020年 日本国実用新案登録公報 1996-2020年 日本国登録実用新案公報 1994-2020年		
国際調査で利用した電子データベース（データベースの名称、調査に利用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2018-159595 A（アズビル株式会社）11.10.2018（2018-10-11） 段落0023-0101, 図1-5	1-3, 7-8
Y	段落0023-0101, 図1-5	9-10
X	JP 2009-186378 A（大日本印刷株式会社）20.08.2009（2009-08-20） 段落0002-0004, 0012-0023, 図1-5	1, 3-4, 6-9, 11, 13
Y	段落0002-0004, 0012-0023, 図1-5	5, 9-10, 12-13
Y	JP 2016-034030 A（大日本印刷株式会社）10.03.2016（2016-03-10） 段落0029-0049, 図1-6	5, 12
Y	JP 2008-282902 A（函館電子株式会社）20.11.2008（2008-11-20） 段落0017-0048, 図1-8	13
A	段落0017-0048, 図1-8	1-12
A	US 9212054 B1（MICROLUX TECHNOLOGY）15.12.2015（2015-12-15） Column4, line41-Column9, line46, Figs.1-11	1-13
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 14.08.2020		国際調査報告の発送日 01.09.2020
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 大森 努 2F 8352 電話番号 03-3581-1101 内線 3216

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/022240

引用文献			公表日	パテントファミリー文献	公表日
JP	2018-159595	A	11.10.2018	(ファミリーなし)	
JP	2009-186378	A	20.08.2009	(ファミリーなし)	
JP	2016-034030	A	10.03.2016	(ファミリーなし)	
JP	2008-282902	A	20.11.2008	(ファミリーなし)	
US	9212054	B1	15.12.2015	CN	105527042 A