



(12) 发明专利申请

(10) 申请公布号 CN 103378100 A

(43) 申请公布日 2013. 10. 30

(21) 申请号 201310126397. 4

(22) 申请日 2013. 04. 12

(30) 优先权数据

102012205977. 6 2012. 04. 12 DE

(71) 申请人 格罗方德半导体公司

地址 英属开曼群岛大开曼岛

(72) 发明人 T·施勒塞尔 P·巴尔斯

(74) 专利代理机构 北京戈程知识产权代理有限

公司 11314

代理人 程伟 王锦阳

(51) Int. Cl.

H01L 27/105(2006. 01)

H01L 27/115(2006. 01)

H01L 21/8247(2006. 01)

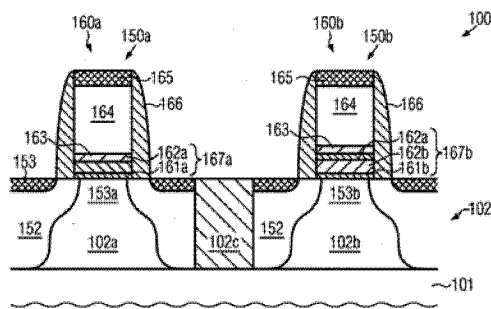
权利要求书2页 说明书11页 附图5页

(54) 发明名称

包括铁电组件及快速高介电金属栅极晶体管的半导体设备

(57) 摘要

本发明揭露一种包括铁电组件及快速高介电金属栅极晶体管的半导体设备,其中,基于氧化铪可形成铁电电路组件,例如场效晶体管或电容器,在制造快速晶体管的精密高介电金属栅极电极结构期间也可使用氧化铪。为此目的,在任何适当的制造阶段可图案化有适当厚度及材料组合物的铪基氧化物,而不会不适当地影响用于制造精密高介电金属栅极电极结构的整体工艺流程。



1. 一种半导体设备,其包含:

第一电路组件,其包括包含第一高介电常数介电层的第一电极结构,该第一高介电常数介电层有第一厚度以及包含铅;以及

第二电路组件,其包括包含具有铁电性能的第二高介电常数介电层的第二电极结构,该第二高介电常数介电层有第二厚度及包含铅,该第二厚度大于该第一厚度。

2. 根据权利要求1所述的半导体设备,其中,该第一及该第二电路组件中的至少一组件为场效晶体管。

3. 根据权利要求1所述的半导体设备,其中,该第二电路组件为储存晶体管。

4. 根据权利要求3所述的半导体设备,其中,该第一厚度等于5纳米或更小。

5. 根据权利要求4所述的半导体设备,其中,该第二厚度等于8纳米或更大。

6. 根据权利要求1所述的半导体设备,其中,该第一及该第二电极结构中的至少一结构为栅极电极结构以及包括含金属电极材料及半导体电极材料。

7. 根据权利要求6所述的半导体设备,其中,该第一及该第二电极结构进一步包括金属硅化物。

8. 根据权利要求1所述的半导体设备,其中,该第一及该第二电极结构包括由形成于该第一及该第二电极结构的侧壁及底部区上的第一含金属电极材料构成的第一层,以及由第二含金属电极材料构成的第二层,其中,该第二层是形成于该第一层上。

9. 根据权利要求1所述的半导体设备,其中,该第二高介电常数介电层包含氧及硅。

10. 一种方法,其包含下列步骤:

形成高介电常数介电层于第一主动区及第二主动区上面以使用作铁电层;

去除在该第一主动区上面的该高介电常数介电层以及保留在该第二主动区上面的该高介电常数介电层;以及

在该第一主动区上面形成第一电极结构以及在该第二主动区上面形成第二电极结构。

11. 根据权利要求10所述的方法,其中,去除在该第一主动区上面的该高介电常数介电层的步骤包括:建立该高介电常数介电层的非晶态以及在该高介电常数介电层处于该非晶态时执行蚀刻工艺。

12. 根据权利要求11所述的方法,其中,建立该高介电常数介电层的非晶态的步骤包括执行植入工艺。

13. 根据权利要求10所述的方法,进一步包括:形成第二高介电常数介电层于该第一主动区的至少一部分上面以及于该高介电常数介电层的至少一部分上面。

14. 根据权利要求13所述的方法,其中,该高介电常数介电层及该第二高介电常数介电层包含铅。

15. 根据权利要求13所述的方法,其中,在形成该第二高介电常数介电层后,形成该第一及该第二电极结构。

16. 根据权利要求15所述的方法,其中,形成该第一及该第二电极结构的步骤包括:用在该第二主动区上面作为中止材料的该高介电常数介电材料图案化形成于该第一及该第二主动区上面的层堆栈,以及去除该高介电常数介电层的暴露部分同时屏蔽该第一电极结构。

17. 根据权利要求16所述的方法,其中,形成该第一及该第二电极结构的步骤进一步

包括：在去除该高介电常数介电层的该暴露部分前，形成保护间隔体于该第二电极结构的侧壁上。

18. 根据权利要求 13 所述的方法，其中，在形成该第一及该第二电极结构后，形成该第二高介电常数介电层。

19. 一种方法，其包含下列步骤：

形成第一栅极电极结构于第一主动区上面，该第一栅极电极结构包含有第一厚度的第一铅基介电材料；

形成第二栅极电极结构于第二主动区上面，该第二栅极电极结构包含具有铁电性能的第二铅基介电材料，该第二铅基介电材料有大于该第一厚度的第二厚度；以及

在该第一及该第二主动区中形成漏极和源极区。

20. 根据权利要求 19 所述的方法，进一步包括形成该第二铅基介电材料于该第一及该第二主动区上面以及选择性地去除在该第一主动区上面的该第二铅基介电材料。

## 包括铁电组件及快速高介电金属栅极晶体管的半导体设备

### 技术领域

[0001] 本揭示内容大体涉及集成电路的领域,且更特别的是,涉及包含场效晶体管及非挥发性信息储存区的半导体。

### 背景技术

[0002] 集成电路根据特定电路布局通常包含在给定芯片区域上的大量电路组件,其中先进设备可包含可用场效晶体管(在此也被称作 MOS 晶体管)形成的数百万个信号节点。因此,场效晶体管可为现代半导体产品的主要组件,其中向提高效能及压低整合体积的推进主要与减小基本晶体管结构的尺寸有关连。一般是实施多种工艺技术,其中对于复杂的电路,例如微处理器、储存芯片、ASIC(特殊应用集成电路)及其类似者,MOS 技术是目前最有前景的方法之一,因为由操作速度及/或耗电量及/或成本效率看来,它具有优异的特性。在用 MOS 技术制造复杂集成电路期间,在包含结晶半导体层的衬底上形成数百万个场效晶体管,也就是,n 型信道晶体管及/或 p 型信道晶体管。不论考量的是 n 型信道晶体管还是 p 型信道晶体管,MOS 晶体管都包含所谓的 pn 界面,其由配置于漏极区、源极区之间的高度掺杂漏极/源极区与逆向或弱掺杂信道区的接口形成。用形成于信道区域附近以及用细薄绝缘层隔离的栅极电极来控制信道区的导电率,也就是,导电信道的驱动电流能力。

[0003] 由于电路组件减小尺寸,不仅可增加个别晶体管组件的效能,也可改善它们的封装密度(packing density),从而有潜力增加给定芯片区内的功能。因此之故,已开发出高度复杂的电路,这些可包括不同类型的电路,例如模拟电路、数字电路及其类似者,从而在单芯片(SoC)上可提供整个系统。此外,在精密微处理器设备及其它复杂电路中,在芯片上可提供越来越多的储存容量,从而也显著增强复杂电子系统的整体效能。同样,在许多类型的控制电路中,可加入不同的类型的储存设备以便在晶粒面积耗用量及信息储存密度与操作速度之间提供可接受的折衷。例如,在 CPU 核心附近可提供快速或暂时缓冲存储器,即所谓的高速缓存,其中可将各个高速缓存设计成相比于外部储存设备有减少的存取时间。

[0004] 另一方面,有越来越多的非挥发性存储器可能必须加入精密半导体设备,其中闪存技术为有前景的技术之一,其中 MOS 技术可有效地用来形成储存单元。为此目的,基本上,提供场效晶体管,其中一方面是用栅极电极控制晶体管操作,另一方面,如上述,它另外包含“浮动”栅极,其与控制栅极电极以及与场效晶体管的信道区及漏极区电性绝缘。浮动栅极为在场效晶体的控制栅极电极内的介电电荷储存区以及可保存“静止”电荷载子,接着它会影响场效晶体的电流流动性能。在建立特定的操作模式时,可注入浮动栅极中的静止电荷载子,这也被称作存储器单元的程序化,其中可利用任何一种的泄露电流产生机构以便导致电荷载子加入电荷储存区域。结果,在正常操作模式下,电荷储存区域的注入电荷载子因而可显著影响流动通过晶体管的信道区的电流,这可用适当的控制电路侦测。另一方面,在“抹除”存储器单元时,可去除电荷储存区域的电荷载子,例如通过建立适当的电压条件,从而建立场效晶体管在正常操作模式期间可侦测的不同操作性能,也就是,在用标准供给电压操作期间。尽管闪存单元(也就是,包含浮动栅极的场效晶体管)的概念提供

有中高信息密度及短存取时间的非挥发性储存机构,然而仍有显著的缺点,例如相对长的写入时间以及复杂的抹除周期和耐用性降低的储存机构可能导致此法吸引力较差,特别是与快速逻辑电路组件(例如,基于精密高介电金属栅极的晶体管)结合。

[0005] 除了闪存设备以外,其它概念已成为深入调查的主题,以便提供非挥发性存储器设备。在此方面,已调查过铁电材料(ferroelectric material),因为铁电性一般可为用以实作非挥发性存储器的极具吸引力概念。例如,基于铁电介电材料,可形成高效电容器,其中基于施加至铁电材料的适当电场,可调整铁电材料的极化状态,以便“程序化”该电容器。由于可保留极化状态,除非施加对应高电场或高温,因而在切断电容器的供给电源后可保留极化状态所反映的信息。因此,与习知储存电容器相反,也不需要更新电容器的状态。因此,基于铁电介电材料所形成的电容器不仅可供用于非挥发性设备,也可有优于习知电容器的效能。

[0006] 此外,关于进一步减小必要的芯片区域,可基于铁电栅极介电材料来形成场效晶体管,由此在适当地调整铁电栅极介电材料的极化度后实现稳定的晶体管状态。也就是,取决于可得到显著不同的驱动电流/栅极电压特性的极化状态,因而这可用来定义不同的逻辑状态。也在此情形下,极化状态是稳定的,除非施加充分高的电压及/或高温使得场效晶体管本身可用作非挥发性记忆单元。

[0007] 尽管铁电场效晶体管或铁电电容器对于非挥发性储存设备为极有前景的概念,然而已证明识别适当的铁电材料是困难的任务,特别是,在铁电组件(例如,铁电场效晶体管)要与常用于复杂逻辑电路的精密晶体管结构组合时。不过,最近的研究结果显示基于氧化铪的介电材料可为提供铁电性能的材料的前景的候选者。例如,在 T. S. Böske, J. Müller, D. Bräuhäus, U. Schröder, U. Böttger 发表于 IEDM2011 的“Ferroelectricity in Hafnium Oxide:CMOS compatible Ferroelectric Field Effect Transistors”中,其全部内容并入本文作为参考资料,掺杂二氧化硅的氧化铪已被确定为材料,因此可建立考虑到铁电性能的适当结晶状态。结果,可基于掺杂二氧化硅的氧化铪来形成电路组件(例如,场效晶体管、电容器及其类似者)以便提供复杂集成电路的优异机能,例如与开发铁电性能有关的,以便形成非挥发性储存组件。另一方面,上述文献与工艺技术及半导体设备无关,其中可提供与铁电电路组件结合以及通常使用于逻辑电路的精密晶体管。

[0008] 鉴于上述情况,本揭示内容涉及数种制造技术及包含铁电电路组件(特别是,铁电场效晶体管)的半导体设备,同时避免或至少减少上述问题中的一或更多的影响。

## 发明内容

[0009] 本揭示内容大体提供数种制造技术及半导体设备,其中基于有效的制造流程可形成与精密晶体管设备结合的介电电路组件,它可包含高介电金属栅极电极结构因此可适用于需要优异晶体管特性的信号部件,例如在切换速度、电流驱动能力及其类似者方面。为此目的,在一些示范具体实施例中,基于其中已加入铪的介电材料,可形成精密晶体管的栅极电极结构的高介电常数介电材料,同时基于铪也可形成铁电电路组件的介电材料,然而,不会干扰精密晶体管的栅极介电层的特性。在一些示范具体实施例中,可以非挥发性储存设备(例如,电容器或铁电场效晶体管)的形式提供铁电电路组件。以此方式,基于与用以形

成精密场效晶体管的工艺流程高度兼容的工艺,可使非挥发性存储器区成为复杂集成电路的一部分,精密场效晶体管为用于逻辑电路的优异操作特性或需要优异晶体管特性的任何其它集成电路所需。因此,根据揭示于本文的原理,可调整精密栅极电极结构的电子特性与介电层(例如,晶体管的铁电栅极介电层)的特性而没有不适当的附加工艺复杂度而且实质不影响工艺流程以及精密高介电金属栅极结构的最终达成特性。

[0010] 揭示于本文的一示范半导体设备包括:第一电路组件,其包括包含第一高介电常数介电层的第一电极结构,其中该第一高介电常数介电层包含铪以及有第一厚度。该半导体设备进一步包括第二电路组件,其包括包含具有铁电性能的第二高介电常数介电层的第二电极结构,其中该第二高介电常数介电层有第二厚度以及包含铪,以及其中该第二厚度大于该第一厚度。

[0011] 揭示于本文的一示范方法包括:形成高介电常数介电层于第一主动区及第二主动区上面以便用作铁电层。该方法进一步包括:由该第一主动区上面去除该高介电常数介电层以及保留在该第二主动区上面的该高介电常数介电层。另外,该方法包括形成第一电极结构于该第一主动区上面以及形成第二电极结构于该第二主动区上面。

[0012] 揭示于本文的另一示范方法包括:形成第一栅极电极结构于第一主动区上面,以及该第一栅极电极结构包含有第一厚度的第一铪基介电材料。该方法进一步包括形成第二栅极电极结构于第二主动区上面,其中该第二栅极电极结构包含具有铁电性能的第二铪基介电材料,以及其中该第二铪基介电材料有大于该第一厚度的第二厚度。另外,该方法包括在该第一及该第二主动区中形成漏极和源极区。

#### 附图说明

[0013] 本揭示内容的其它具体实施例皆定义于随附权利要求书中,阅读以下参考附图的详细说明可更加明白所述具体实施例,其中:

[0014] 图 1a 至图 1h 的横截面图根据示范具体实施例示意图在不同制造阶段的半导体设备,其形成与铁电电路组件(例如,可用作非挥发性储存设备的场效晶体管)结合的精密晶体管;以及

[0015] 图 2a 及图 2b 的横截面图根据其它示范具体实施例示意图在基于高介电常数介电材料用取代栅极法形成与铁电晶体管结合的快速晶体管期间的半导体设备。

#### 具体实施方式

[0016] 尽管用如以下详细说明及附图所图解说明的具体实施例来描述本揭示内容,然而应了解,以下详细说明及附图并非旨在限定本揭示内容为所揭示的特定示范具体实施例,而是所描述的具体实施例只是用来举例说明本揭示内容的各种态样,本发明的范畴是由随附的权利要求书定义。

[0017] 本揭示内容大体提供数种制造技术及半导体设备,其中铪基高介电常数介电材料可用来形成形式为快速晶体管的精密电路组件而可提供精密应用(例如,逻辑电路)的必要效能特性,同时此材料也可用来实现其它电路组件(例如,场效晶体管或电容器)的铁电性能,由于有铁电性能而可作为非挥发性储存设备。

[0018] 众所周知,基于氧化铪的介电材料在复杂制造策略中可用来提供栅极结构的高介

电常数介电层而可展现优异的温度稳定性,从而使得精密栅极电极结构的必要电子特性能够调整。根据最近的研究结果,如上述,基于氧化铪的材料(可包含一定比例的二氧化硅)有铁电性能而可以晶体管的栅极介电材料形式开发及/或作为电容器电介质,其中通过施加适当的电场可调整铪基介电材料的极化度。然后,在用不超过临界电场的工作电压操作电路组件(例如,晶体管或电容器)后,可按照要求保留经调整的极化度,用以改变前一个调整极化度。根据揭示于本文的原理,可形成有适当材料特性的铪基介电材料,也就是,有必要厚度、材料组合物及结晶状态,以便呈现必要的铁电性能,同时在另一方面,可使用公认有效的工艺技术,而不会不适当地干扰用于调整精密栅极电极结构的铪基介电材料的特性所需的其它工艺。

[0019] 例如,当基于氧化铪的材料处于实质非晶态时,基于多个公认有效的湿化学蚀刻处方或基于等离子的蚀刻技术,可高效率蚀刻基于氧化铪的介电材料。在建立实质非晶态时,可去除其它设备区的氧化铪基介电材料(就层厚度及材料组合物而言,已针对可达成所欲铁电性能来选定它的特性)而不会不适当地影响底下的任何材料,例如精密晶体管的主动区。以此方式,可局部选择性地提供铁电材料,同时可在其它设备区提供铪基介电材料以便符合精密晶体管的要求。此外,在一些示范具体实施例中,基于有调整厚度及材料组合物的铪来提供铁电材料的步骤可整合于用以形成快速晶体管的精密栅极电极结构的工艺流程,其中在有些情形下,在早期制造阶段可形成栅极电极结构。也就是,在此情形下,在图案化栅极电极结构后以及在完成基本晶体管配置前,可建立最终配置及电子特性。

[0020] 在其它示范具体实施例中,通过应用所谓的取代栅极法,在很前面的制造阶段可提供快速晶体管的精密栅极电极结构的最终特性,也就是,在完成基本晶体管配置后。也在此情形下,可提供铁电电路组件(例如,晶体管及/或电容器),而不会不适当地干扰取代栅极法。

[0021] 此时参考附图更详细地描述其它的示范具体实施例。

[0022] 图 1a 的横截面图示意图包含上面可形成半导体层 102 的衬底 101 的半导体设备 100。当形成埋藏绝缘层(未图标)于半导体层 102 下时,衬底 101 与半导体层 102 可形成 SOI(绝缘体上半导体或硅)配置。另一方面,在块状配置下,半导体层 102 可与衬底 101 的结晶半导体材料直接接触。此外,应了解,半导体层 102 可能已有多个隔离结构 102c 形成于其中,它们可根据设备 100 的整体布局适当地横向划定各个设备区的界限。例如,第一设备区 110a 可为设备 170 中可形成一个或多个精密晶体管的区域,它有适当的特性以便符合用于精密应用的晶体管(例如,逻辑电路的晶体管及其类似者)的要求。为此目的,在设备区 110a 中,提供例如半导体区的主动区 102a,在其中及上面要基于高介电金属栅极电极结构来形成至少一个晶体管。不过,应了解,设备区 110a 可包含多个主动区,在其中及上面可根据整体设备要求形成对应的 p 型信道晶体管及/或 n 型信道晶体管,例如用以实现精密信号路径及其类似者。

[0023] 同样,可用隔离结构 102c 定义第二设备区 110b 的横向尺寸及形状,其中,为了方便,也图标单一主动区 102b 以便代表其中及上面将会形成铁电电路组件的主动区。在一个示范具体实施例中,可提供形式为场效晶体管的对应铁电电路组件,这在以下会有更详细的解释,而在其它情形下,在主动区 102b 中及上面可提供例如形式为电容器的任何其它铁电电路组件。

[0024] 此外,在图标制造阶段中,可形成高介电常数介电层 162b 于主动区 102a、102b 上面,其中介电层 162b 可包含形式为氧化铪的铪以及一定比例的硅,由此赋予层 162b 的所欲铁电性能,若进一步加工期间可建立想要的结晶状态,例如在任何热处理及其类似者期间。例如,上述文献有指出用于氧化铪基介电材料的适当材料特性。例如,在一些示范具体实施例中,可提供厚度 8 纳米及更大(例如,10 纳米及更大)的介电层 162b,其中根据用以得到所欲铁电性能的要求,可选定硅在层 162b 中的含量。此外,在一些示范具体实施例中,在适当的基底层或接口层 161b 上可形成基于氧化铪的介电层 162b,它可由任何适当的材料组成,例如二氧化硅、氮及富硅二氧化物 (riched silicon dioxide)、氮化硅及其类似者。应了解,可选定基底层 161b 的特性以便符合待形成于主动区 102b 中及上面的铁电电路组件的要求。例如,若要形成铁电晶体管,基底层 161b 可具有适当的特性以便得到整体电子性能,例如在临界电压、功函数及其类似者方面,结合铪基介电层 162b 以及可能结合在后面的制造阶段要形成于层 162b 上面的其它材料层。

[0025] 此外,在一些示范具体实施例中,若认为后续基于阻剂材料来图案化所述层不适当时,例如以氮化硅及其类似者的形式提供的硬屏蔽层 (hard mask layer) 103 可形成于介电层 162b 上面。

[0026] 基于下列工艺,可形成如图 1a 所示的半导体设备 100。

[0027] 基于公认有效的微影、蚀刻、沉积、退火及平坦化技术,可形成隔离结构 102c 以便提供浅沟槽隔离区以便定义设备区 110a、110b 的横向尺寸及形状。此外,在更精细缩放的隔离结构 102c 上也可定义对应主动区 102a、102b 的横向尺寸及位置,其中应了解,设备区 110a、110b 以及主动区 102a、102b 不一定为如图 1a 所示的相邻区域,而可用任何中间的其它主动或隔离区域(未图标)隔开。在形成隔离结构 102c 前或后,可建立主动区 102a、102b 的整体电子条件,例如通过用公认有效的屏蔽方案及植入处方来植入各个掺杂物种。接下来,如有必要,可形成基底层 161b,例如通过氧化、氮化及其类似者,或通过沉积技术,这取决于所欲材料组合物及特性。以此方式,基于公认有效的工艺技术,可调整基底层 161b 的厚度及其材料组合物以便得到待形成于主动区 102b 上面的电极结构的最后所欲整体特性。之后,用任何适当的沉积技术可形成铪基介电层 162b,例如基于公认有效的前驱物材料的原子层沉积。应了解,在形成精密高介电金属栅极电极结构时,铪基材料的沉积为公认有效的工艺步骤。此外,在沉积工艺期间,可加入有所欲含量的硅,也如以上所明示的,以便制备考虑到得到铁电特性的介电层 162b,在用层 162b 的材料(例如,经受高温处理)来得到所欲结晶状态时,这通常在进一步的制造流程期间需要。应了解,在一些示范具体实施例中,可选择在沉积层 162b 期间的工艺条件以便得到材料 162b 的实质非晶态,从而考虑到基于公认有效的湿化学蚀刻处方及 / 或等离子辅助蚀刻工艺可有效地蚀刻层 162b 的材料的可能性。

[0028] 之后,如有必要,用任何公认有效的沉积处方可沉积硬屏蔽层 103。也在此情形下,可选定材料 103 的厚度以便得到想要的抗蚀性 (etch resistivity) 以便保护主动区 102b 上面的层 162b。

[0029] 图 1b 示意图标处于更进一步制造阶段的半导体设备 100,其中在蚀刻工艺 105 期间可使用屏蔽 104,例如阻剂屏蔽,以便由设备区 110a 上面从而由主动区 102a 上面去除至少层 162b。为此目的,在一些示范具体实施例中,屏蔽 104 可用来图案化硬屏蔽材料 103,



然后在工艺 105 期间,它可用来作为另一蚀刻屏蔽以便去除材料 162b。在其它情形下,如上述,阻剂屏蔽 104 对于层 162b 可提供足够的保护。去除材料 162b 的蚀刻工艺 105 可包括基于湿化学蚀刻化学(例如,热磷酸,以乙二醇(HFEG)稀释的氢氟酸或氢氟酸及盐酸(HF/HCl)的混合液)来执行的蚀刻步骤。在其它情形下,可应用公认有效的等离子辅助蚀刻处方,其中在图案化高介电金属栅极电极结构期间通常也可使用任何此类处方。在一些具体实施例中,如图 1b 所示,蚀刻工艺 105 可包含额外的蚀刻步骤以便由主动区 102a 上面去除基底层 161b,这也可用公认有效的湿化学蚀刻处方(例如用于去除二氧化硅、氮化硅及其类似者)实现。应了解,若使用对于基底层 161b 有显著蚀刻选择性的对应蚀刻处方,在去除介电层 162b 的暴露部分时,基底层 161b 可用来作为有效的蚀刻中止材料。在其它示范具体实施例(未图标)中,基底层 161b 可在蚀刻工艺 105 后去除,例如在去除屏蔽 104 及/或硬屏蔽 103 时,这也可基于任何公认有效的蚀刻处方来实现。例如,用湿化学去除工艺或等离子灰化工艺(plasma ash process)可有效地去除阻剂材料,而在硬屏蔽材料的情形下,可应用任何其它湿化学或等离子辅助蚀刻处方。结果,可由主动区 102a 上面去除介电层 162b 的暴露部分而不会不适当地影响半导体材料的表面,因而它可用来形成精密栅极电极结构的适当介电材料。

[0030] 应了解,至少在工艺 105 的蚀刻步骤(其去除介电材料 162b 的暴露部分)期间,至少在材料 162b 的暴露部分可建立非晶态,以便增强应用蚀刻化学的效率。在一些示范具体实施例中,如果认为提供或处理材料 162b 以便处于用以实现铁电特性的实质结晶状态是适当的,通过应用植入工艺 131,可显著破坏从而非晶化该结晶结构,在此期间,可使用有适当能量的适当植入物种,例如锗及其类似者,以及可制备层 162b 的暴露部分以用于后续去除工艺者。应了解,基于有给定材料特性的层 162b 的仿真及实验,可轻易决定工艺 131 的适当工艺参数,以避免植入物种不适当地渗入主动区 102a。

[0031] 图 1c 示意图标处于更进一步制造阶段的半导体设备 100,在此可形成高介电常数介电材料 162a 于主动区 102a 及主动区 102b 上面,其中层 162a 的材料可包含基于氧化铪的材料而有特性得以符合待形成于主动区 102a 上面的精密栅极电极结构的要求。例如,取决于仍待形成的晶体管的要求,层 162a 可以形成为有适当厚度(例如,1 纳米至 5 纳米)的氧化铪材料。在图标于图 1c 的具体实施例中,可形成与适当基底层 161a(例如,二氧化硅层、富氮二氧化硅材料及其类似者)结合的介电层 162a,以便提供想要的接口特性。因此,可提供有适当特性的层 161a 及 162a 以便符合精密的传导晶体管(pass transistor)的要求,而实质不受层 161b、162b 的存在影响,接着是提供层 161b、162b 以便得到所欲铁电性能,如上述。

[0032] 应了解,介电层 162a 可包含两种或更多不同的高介电常数介电材料,其中至少有一者是以铪基材料的形式提供。例如,可提供与另一高介电常数介电组件结合的适度薄二氧化铪材料,其中基于该适度薄二氧化铪材料可调整相关电子特性,例如通过在沉积另一高介电常数介电材料前,加入适当的功函数金属物种。

[0033] 在一些示范具体实施例中,至少也可形成层 162a 于材料 162b 上以及在形成适当的电极结构于主动区 102b 上面时,至少可部分保留层 162a。另一方面,例如通过局部氧化、局部加氮(local nitrogen incorporation)及其类似者,可在主动区 102A 中局部形成基底层 161a。在其它情形下,当认为主动区 102b 上面的这些材料中的任一的存在不合适时,

可图案化层 162a、161a 以便由主动区 102b 上面去除彼的一部分。为此目的,可应用与蚀刻化学结合的适当屏蔽方案,也如以上在说明层 162b 的图案化时所述。不过,应了解,相比于层 162b 的厚度,层 162a 的厚度通常明显较小,使得层 162a 可用作附加缓冲层,这不会不适当地影响层 162b 的整体介电特性。此外,由于层 162a 的材料特性及层厚度事先已知,在调整层 162b 的适当材料特性时,这些特性也可纳入考量,以便一起得到所欲铁电性能。应了解,基于公认有效的工艺技术,可形成层 161a、162a。

[0034] 图 1d 示意图标处于更进一步制造阶段的半导体设备 100。如图标,由材料层组成的堆栈包含先前形成的介电层 162a、162b,可能结合对应的基底层 161a、161b,以及例如形式为氮化钛及其类似者的至少一个含金属电极材料 163。此外,该层堆栈(layer stack)可包含例如形式为半导体材料(例如,多晶硅、硅/锗及其类似者)的另一电极材料 164。另外,可提供形式为氮化硅、二氧化硅及其类似者的一个或多个牺牲层 165,例如介电盖层。

[0035] 至少一个含金属电极材料 163 的形成可根据任何适当的制造策略,按照需要调整待形成于主动区 102a 上面的精密栅极电极结构的电子特性。例如,可提供材料 163 以便得到所欲功函数,这可通过沉积可扩散至底下介电材料 162a 的任何适当功函数金属物种来实现,接着是去除及/或沉积另一含金属电极材料,例如氮化钛,作为层 162a。应了解,通常要在设备区 110a(参考图 1a)中提供不同类型的晶体管,例如 p 型信道晶体管与 n 型信道晶体管,这通常是加入不同类型的功函数物种,这可通过对应的沉积及图案化方案来实现。如果认为对应的图案化策略不适合于待形成于主动区 102b 上面的电极结构的电子特性,可修改图案化及/或沉积策略,以便,除材料 162a 外或替换地,提供不同类型的电极材料 163b。例如,材料 163b 可为数种含金属电极材料的组合,所述含金属电极材料可独立地提供给在其它设备区的不同类型晶体管。结果,如有必要,对于形成于主动区 102a 上面的层堆栈的特性,可独立地调整在主动区 102b 上面的所得的层堆栈的电子特性。

[0036] 在提供含金属电极材料 163(可能结合材料 163b)后,基于任何公认有效的沉积处方,可沉积材料 164、165。

[0037] 图 1e 示意图标半导体设备 100,其具有第一电极结构 160a,在一些示范具体实施例中,为仍待形成于主动区 102a 中及上面的晶体管的栅极电极结构。同样,第二电极结构 160b 可形成于主动区 102b 上面,以及根据一个示范具体实施例,可为仍待形成于主动区 102b 中及上面的铁电晶体管的栅极电极结构。在此制造阶段中,电极结构 160b 可能不被完全地图案化,因为层 162b、161b 可能仍然覆盖整个主动区 102b。

[0038] 根据任何适当的图案化策略,可图案化如图 1d 所示的层堆栈,例如应用精密微影技术,以便图案化一个或多个牺牲层 165(参考图 1d),然后它们可当作硬屏蔽用以转印(transfer)所欲横向尺寸至底下的材料层。为此目的,可应用任何公认有效的技术,例如用高效及公认有效的等离子辅助蚀刻处方蚀刻电极材料 164。此外,可蚀刻含金属电极材料 163,接着是公认有效的蚀刻处方用以蚀刻穿过材料 162a,通常其经设计成可避免不适当地腐蚀层 163 的材料。最后,在一些示范具体实施例中,可去除层 161a 的暴露部分,而在其它情形下,在后面的制造阶段可实现该层的去除。在上述图案化顺序期间,形成于主动区 102b 上面的层 162b 可用作控制材料用以可靠地控制蚀刻工艺而不会不适当地促进横向去除栅极电极结构 160b 的层 163 材料。为此目的,在一些示范具体实施例中,在工艺准则是由栅极电极结构 160a 决定时,可停止用于图案化电极结构 160a 的工艺顺序。结果,由于可适当

地调整工艺参数,例如避免栅极电极结构 160a 的层 163 不适当地损失材料,也可防止栅极电极结构 160b 损失新材料。

[0039] 在一些示范具体实施例中,可用任何适当的沉积技术形成有适当厚度(例如,1 至数个纳米)、例如由氮化硅及其类似者组成的内衬(liner)160 以便覆盖栅极电极结构 160b 的材料 163,特别是它的暴露侧壁部分。在其它情形下,可继续进一步加工而不沉积内衬材料 106。

[0040] 图 1f 示意图标半导体设备 100,其有屏蔽 107 形成于主动区 102a 上面由此可靠地覆盖主动区 102a 与栅极电极结构 160a 的暴露部分。为此目的,可使用任何适当的硬屏蔽材料,例如二氧化硅及其类似者,而在其它情形下,可施加聚合物材料及其类似者,如果在用以去除层 162b 的暴露部分的后续蚀刻工艺期间,这些材料可提供充分抗蚀性的话。基于公认有效的微影技术,可实现蚀刻屏蔽 107 的图案化,其中用可用于图案化屏蔽 107 的阻剂材料可适当地覆盖没有材料层 162b 的设备区,例如设备区 110a(参考图 1a)。在一些示范具体实施例中,可应用蚀刻顺序 132 以便首先去除一部分的内衬 106(若有的话),由此得到在栅极电极结构 160b 侧壁上的个别间隔体 106s,从而在可去除材料 162b 的暴露部分的进一步加工 132 期间可靠地覆盖电极材料 163 的侧壁。应了解,材料 162b 可处于非非晶态(non-amorphous),例如由前面的沉积处方及/或任何在前的热处理,彼等是已执行以便调整电极结构 160a、160b 的整体特性。就此情形而言,可应用以等离子为基础基于高温的适当蚀刻处方以便蚀刻穿过层 162b,其中基底层 161b 可用作保护材料以免不适当地损坏主动区 102b 的暴露部分。

[0041] 在其它示范具体实施例中,在实际去除材料 162b 前,可应用另一植入工艺 133 以便显著破坏暴露的材料部分,不过,而不会不适当地影响栅极电极结构 160b 中的材料 162b。如上述,也在此情形下,在层 162b 的暴露部分中可建立实质非晶态,由此大幅增强公认有效的湿化学蚀刻处方及等离子辅助蚀刻处方的去除速率。应了解,在此制造阶段,非晶化植入 133 不会不适当地影响栅极电极结构 160b,因为牺牲盖层(sacrificial cap layer)165 仍在原位。

[0042] 之后,在有些情形下,可去除基底层 161B,而在其它情形下,可去除屏蔽 107,同时基底层 161B 仍可保护,至少在一定的程度上,底下的区域 102b 的半导体区。在有些情形下,在继续加工设备 100 前,可去除剩余内衬 106 及间隔体 106s,而在其它情形下,可保留内衬 106 或图案化为对应的间隔体(未图标)以便在栅极电极结构 160a 中提供有优异完整性的敏感材料。

[0043] 图 1g 示意图标处于更进一步制造阶段的半导体设备 100。如图标,栅极电极结构 160a 可包含保护间隔体 107s,接着它可为内衬 106(参考图 1f)的一部分,可能结合额外的内衬材料。同样,电极结构 160b 可包含间隔体 107s,可能结合间隔体 106s(参考图 1f),这可基于任何公认有效的沉积及图案化方案来实现。应了解,敏感栅极材料在精密晶体管设备中的囊封为公认有效的程序,因而可应用于栅极电极结构 160a 及电极结构 160b。此外,在一些示范具体实施例中,在主动区 102a、102b 中的一或两者中实作额外的效能增强机构。例如,应变诱发半导体合金 151(例如,硅/锗合金)可加入主动区 102a,这可基于任何公认有效的工艺策略来实现,例如各自形成空腔于其中,同时覆盖其它设备区,例如主动区 102b。之后,可应用外延成长技术以便形成想要的半导体材料 151,同时基于适当的屏蔽材

料,可抑制此材料沉积于主动区 102b 中。不过,应了解,可根据需求应用任何其它效能增强机构于精密晶体管。此外,如果认为对于考量到的铁电电路组件的整体电子特性是合适的话,在待形成于主动区 102b 中及上面的设备中也可实作任何此类效能增强机构。例如,如果要提供铁电场效晶体管,则另外基于对应的效能增强机构来调整电子特性是有利的。例如,如有必要,对应的应变诱发材料也可加入主动区 102b 用以调整整体晶体管特性。

[0044] 之后,通过应用用以完成晶体管结构的任何公认有效工艺策略可继续该加工,其中,在一些示范具体实施例中,这些其它工艺可共同应用于形成于主动区 102b 及主动区 102b 中及上面的两个设备。在其它情形下,可应用适当的屏蔽方案以便在例如需要特别调整工艺参数时,在主动区 102b 中及上面形成阻剂屏蔽及其类似者。

[0045] 图 1h 示意图标处于更进一步制造阶段的半导体设备 100。如图标,晶体管 150a 可形成于主动区 102a 中及上面而且可包含栅极电极结构 160a。因此,栅极电极结构 160a 可包含为基底层 161a(若有的话)与高介电常数介电层 162a 的组合的栅极介电层 167a,接着是电极材料 163 及 164。此外,在栅极电极结构 160a 中可形成金属硅化物 168 与间隔体结构 166。如上述,例如考虑到通常由用于逻辑电路的快速精密晶体管提供的快速切换性能、电流驱动能力及其类似者,可按需要选择栅极电极结构 160a 的特性,例如栅极长度、功函数及其类似者以便得到晶体管 150a 的效能特性。此外,在主动区 102a 中可形成与金属硅化物区 153 结合的漏极/源极区 152,其中如有必要,信道区 153a 中也可存在特定的应变条件(strain condition)。

[0046] 同样,在一个示范具体实施例中,为铁电晶体管的铁电电路组件 150b 可包括栅极电极结构 160b,其中对应的栅极介电层 167b 可由材料 161b、162b、162a 组成,其中,特别是,层 162b 可赋予栅极电极结构 160b 的铁电特性。此外,材料 163,可能结合任何附加含金属电极材料,如前述,以及另一电极材料 164 可用作与金属硅化物 168 结合的有效电极材料。此外,可提供间隔体结构 166。因此,基本上,栅极电极结构 160b 可具有与栅极电极结构 160a 相同的配置,除了铁电性能以及可能其它横向尺寸(例如,栅极长度与栅极宽度)以外。同样,设备 150b 可包含与金属硅化物区 153 结合的漏极/源极区 152,同时信道区 153b 的长度及应变条件可与晶体管 150a 的对应特性不同。

[0047] 如上述,用于完成如图 1h 所示的晶体管配置的工艺策略通常可应用于晶体管 150a、150b,其中,如有必要,应用适当的屏蔽方案,可建立对应的不同的工艺参数。在图标具体实施例中,如果设备 150a、150b 的导电型一样的话,可在共同工艺顺序中形成各种组件使得漏极/源极区在掺质分布(dopant profile)有类似的特性。另一方面,如上述,通过施加适当的电场,取决于建立于栅极电极结构 160b 的极化状态,晶体管 150b 在电流驱动能力方面有显著的差异。结果,在此情形下,晶体管 150b 有可视为不同逻辑状态的两个可区别操作性能,而施加适当的电场并越过栅极电极结构 160b 的电压允许调整晶体管 150b 的所欲极化状态以及操作性能。因此,此晶体管可有效地用作非挥发性储存设备,因而可供减少面积耗用量以及没有任何不适当的工艺修改。因此,可一起提供铁电晶体管的优异特性(例如,快速的读写时间及其类似者)与包括高介电金属栅极电极结构的精密晶体管的优异效能特性。

[0048] 此时参考图 2a 及图 2b,更详细地描述其它的示范具体实施例,其中应用所谓的取代栅极法,在完成基本晶体管配置后,可完成栅极电极结构的最终配置。

[0049] 图 2a 的横截面图示意图包含半导体层 202 可形成于其上的衬底 201 的半导体设备 200, 半导体层 202 接着可包括设于对应设备区 210a、210b 的多个主动区 202a、202b。区域 210a、210b 及主动区 202a、202b 横向可以隔离结构 202c 为界。所述组件也可适用先前在说明半导体设备 100 时所述的准则。

[0050] 在图标制造阶段中, 晶体管 250a 可包含形成于主动区 202a 的漏极 / 源极区 252, 可能结合金属硅化物区 253。同样, 第二晶体管 250B 可包含形成于主动区 202b 的漏极 / 源极区。此外, 晶体管 250a 可包含栅极电极结构 260a, 其中可去除对应材料 264、269。因此, 在图标制造阶段中, 栅极电极结构 260a 可包含横向以侧壁间隔体结构 266 为界的开口或沟槽, 接着使它埋入接触层级 220, 这可包括例如形式为氮化硅的适当介电材料, 例如层 221, 以及例如以二氧化硅的形式提供的层 222, 及其类似者。

[0051] 另一方面, 晶体管 250b 可包含栅极电极结构 260b, 其中对应沟槽或开口横向可以间隔体结构 266 为界, 同时开口的底部可由高介电常数介电材料 262b 形成, 其是铁电钪基材料, 也如先前在说明半导体设备 100 时所述。此外, 在高介电常数介电层 262b 下面可形成介电基底层 261b。

[0052] 基于下列工艺可形成如图 2a 所示的设备 200。基于如以上在说明设备 100 时所述的工艺策略, 可形成主动区 202a、202b 与隔离结构 202c。之后, 根据任何适当的工艺策略可形成层 261b、262b, 以及可实现所述层的图案化, 也如以上在说明设备 100 时所述。应了解, 基底层 269 在层 262b 的图案化后可用个别工艺步骤形成, 而在其它情形下, 材料 269 基本上可为基底层 261b 的一部分, 它可留在主动区 202a 中。之后, 可继续进一步加工, 如上述, 图案化栅极电极结构 260a、260b 以及在形成漏极 / 源极区 252 时完成基本晶体管配置。如有必要, 可形成金属硅化物 253, 而在其它情形下, 接触层级 220 的介电材料可直接形成于主动区的暴露部分上。在适当地平坦化所得结构后, 基于公认有效的蚀刻处方, 可去除电极或占位材料 (place holder material) 264, 其中材料 269 及 262b 可用作有效的蚀刻中止层。之后, 可去除层 269 以便暴露一部分的主动区 202a 以便必要时在其上形成适当的基础介电材料, 例如二氧化硅、氮化硅、彼等的任何组合及其类似者。应了解, 如有必要, 在对应工艺期间, 可屏蔽材料 262b, 如果认为与对应工艺环境的相互作用不适当的话。在其它情形下, 可个别去除栅极电极结构 260b 的材料 264 以避免材料 262b 在形成栅极电极结构 260a 的开口时暴露。

[0053] 图 2b 示意图处于更进一步制造阶段的设备 200。如图标, 如有必要, 可在栅极电极结构 260a 中形成基底层 261a 以及可在侧壁 260s 上及主动区 202a 上或上面形成高介电常数介电层 262a 而有适当的材料特性及厚度以便符合晶体管 250a 的要求。层 262a 可包含钪, 可能结合其它高介电常数介电材料, 这取决于整体的设备要求。此外, 可提供至少一个含金属电极层 263 以便调整栅极电极结构 260a 的适当功函数, 接着是至少一个高导电电极金属 268, 例如铝、铝合金及其类似者。在图标具体实施例, 在栅极电极结构 260b 中也可提供材料层 262a、263 及 268, 其中, 如有必要, 例如通过改变材料层的数目及类型 (如果认为适当的话) 可实现电子特性的其它修改。应了解, 通过不同类型的晶体管可能必须提供不同的功函数金属, 例如层 263, 这可能需要个别的沉积及图案化策略。结果, 如果认为材料在栅极电极结构 260a、260b 中的相同顺序不合适的话, 可适当地修改对应的工艺顺序以便在栅极电极结构 260b 中提供有想要类型及数目的功函数金属。

[0054] 之后,用适当的平坦化技术可去除任何多余材料,由此提供作为电隔离结构的栅极电极结构 260a、260b。结果,也在此情形下,由于设有层 262b 而可提供有介电性能的栅极电极结构 260b,而实质不影响用以提供晶体管 250a 的精密高介电金属栅极电极结构的取代栅极法。

[0055] 在如图 2a 及图 2b 所示的具体实施例中,在取代栅极法的后期制造阶段,可提供基于用于栅极电极结构 260a 的钨的高介电常数介电材料,而在其它情形下,可在早期制造阶段提供此一材料,如以上在说明设备 100 时所述,同时在取代栅极法期间,可沉积高导电电极金属,例如材料 268。此外,就此情形而言,上述工艺顺序可有利地用来得到精密栅极电极结构同时另外提供铁电电路组件。

[0056] 结果,本揭示内容提供数种制造技术及半导体设备,其可有效地制造铁电电路组件以及包括高介电金属栅极电极结构的精密晶体管。为此目的,用含有钨的至少一个介电材料可形成铁电电路组件及精密栅极电极结构,其中可实现铁电材料层的有效图案化而不干扰用于实作高介电金属栅极电极结构的公认有效工艺策略。以此方式,非挥发性储存设备可加入精密电路设计而不会不适当地修改整体工艺流程。此外,铁电电路组件可供作为其中栅极电极结构可与有精密栅极电极结构的快速晶体管一起形成的晶体管,而在其它情形下,电极结构可以形成为电容器的组件,它可用来作为与适当晶体管组件结合的非挥发性组件。就此情形而言,根据如上所述的工艺策略,可形成精密晶体管的栅极电极结构与电容器的电极结构,同时可实现对应的修改以根据公认有效的电容器配置在主动区中装设电容器电极。

[0057] 本领域技术人员基于本说明可明白本揭示内容的其它修改及变体。因此,本说明应被视为仅供图解说明而且目的是用来教导本领域技术人员实施本揭示内容的一般方式。应了解,应将图标及描述于本文的形式应视为目前为较佳的具体实施例。

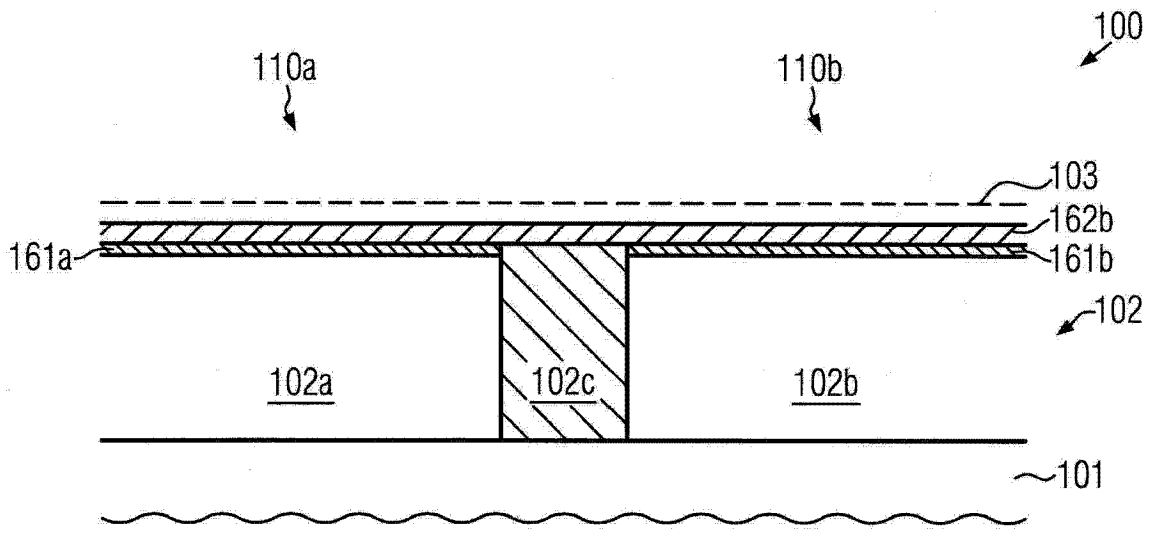


图 1a

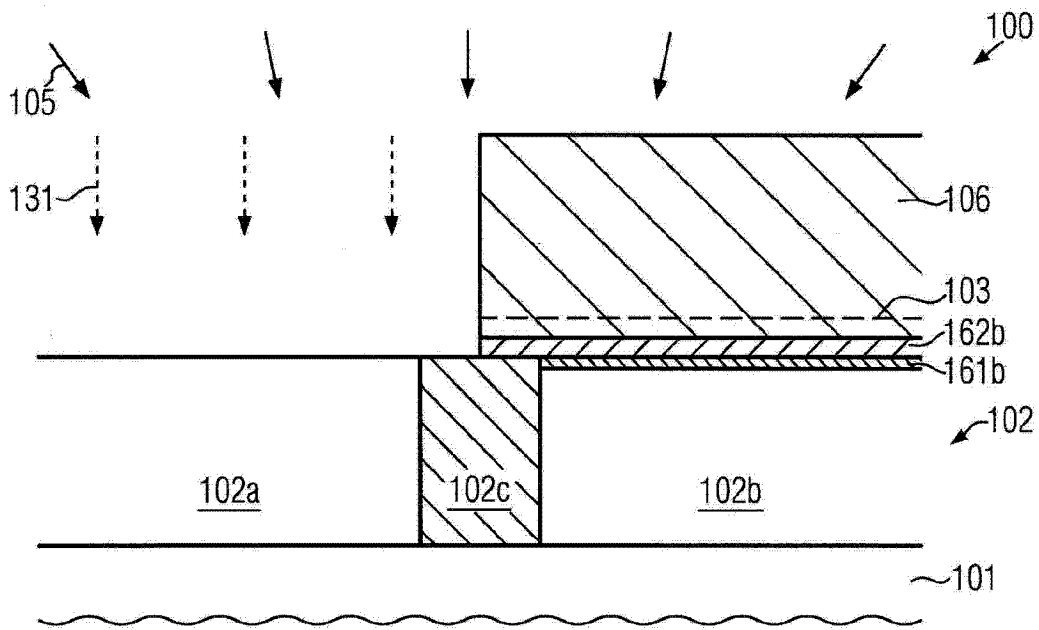


图 1b

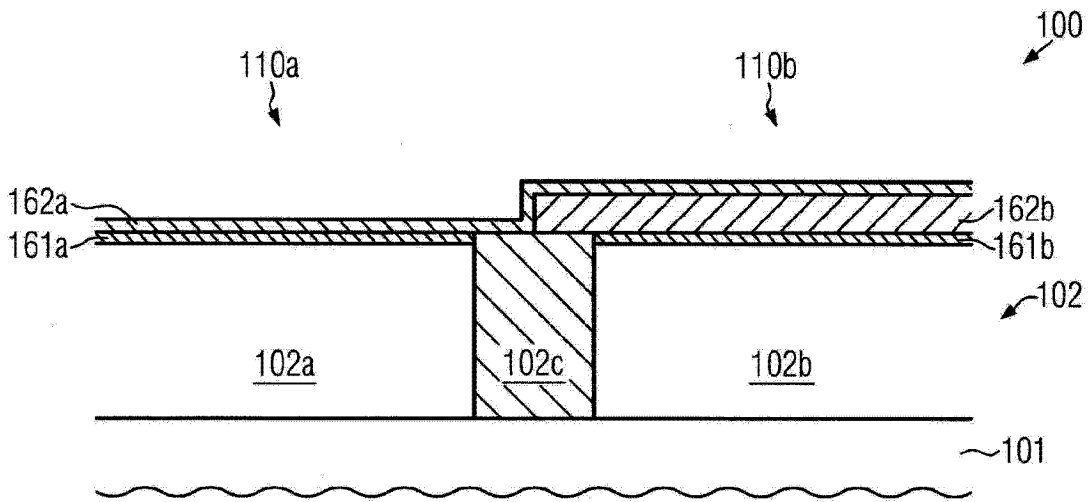


图 1c

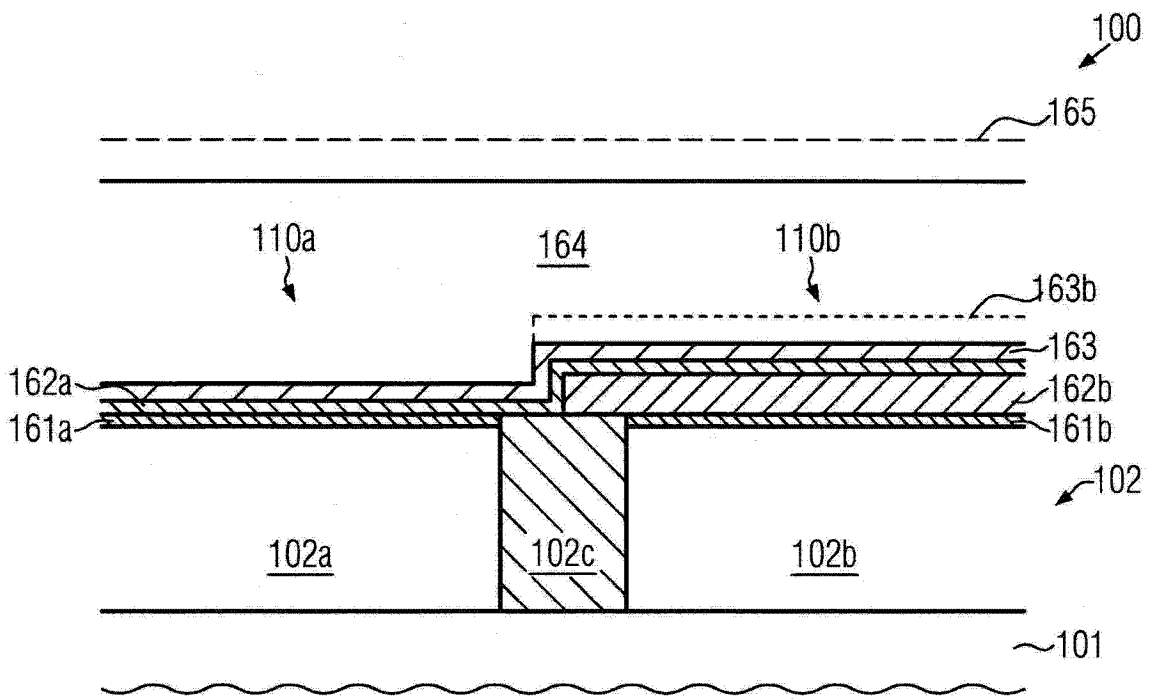


图 1d



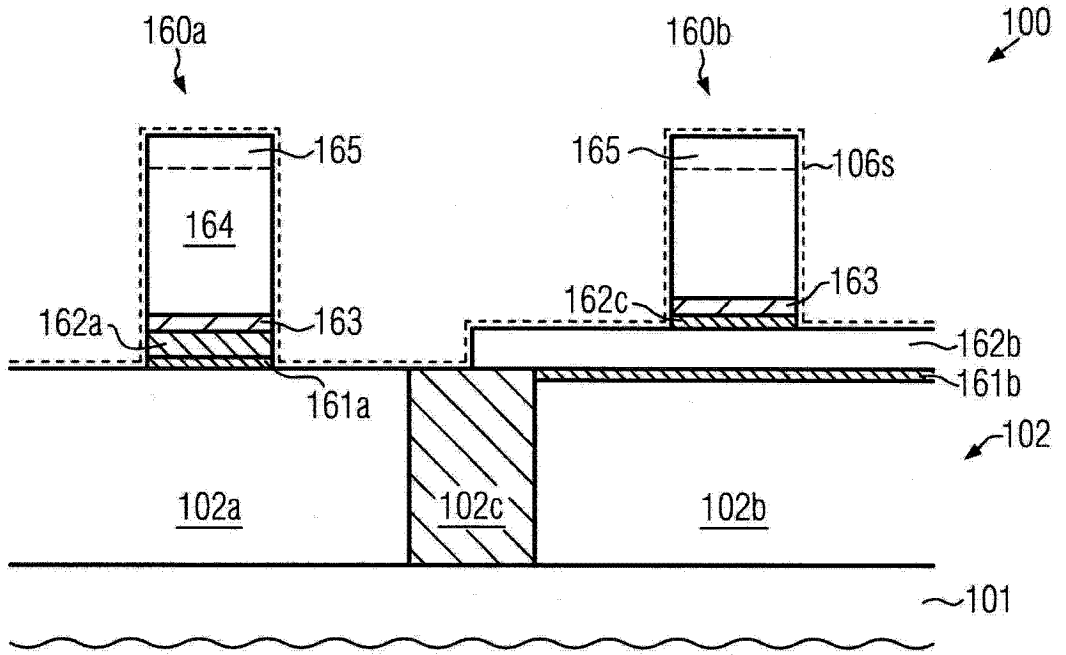


图 1e

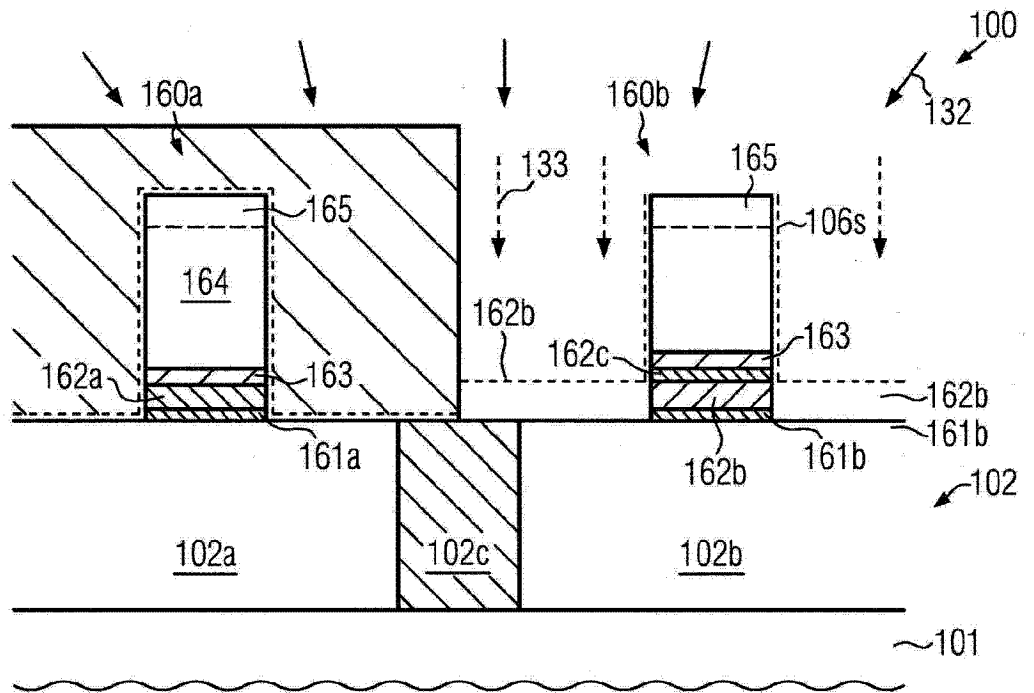


图 1f

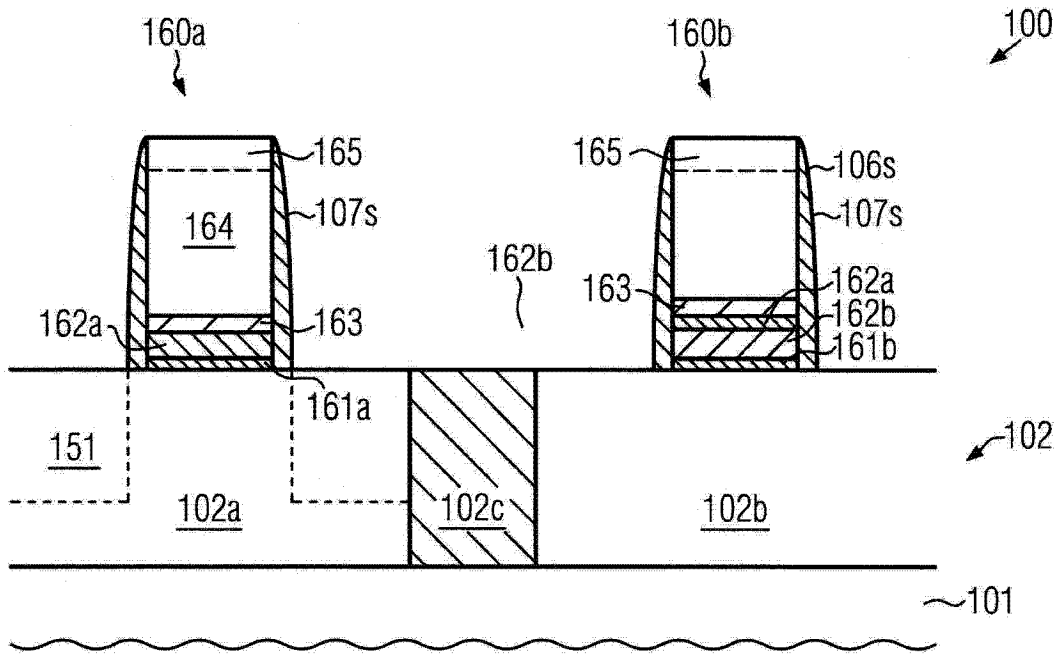


图 1g

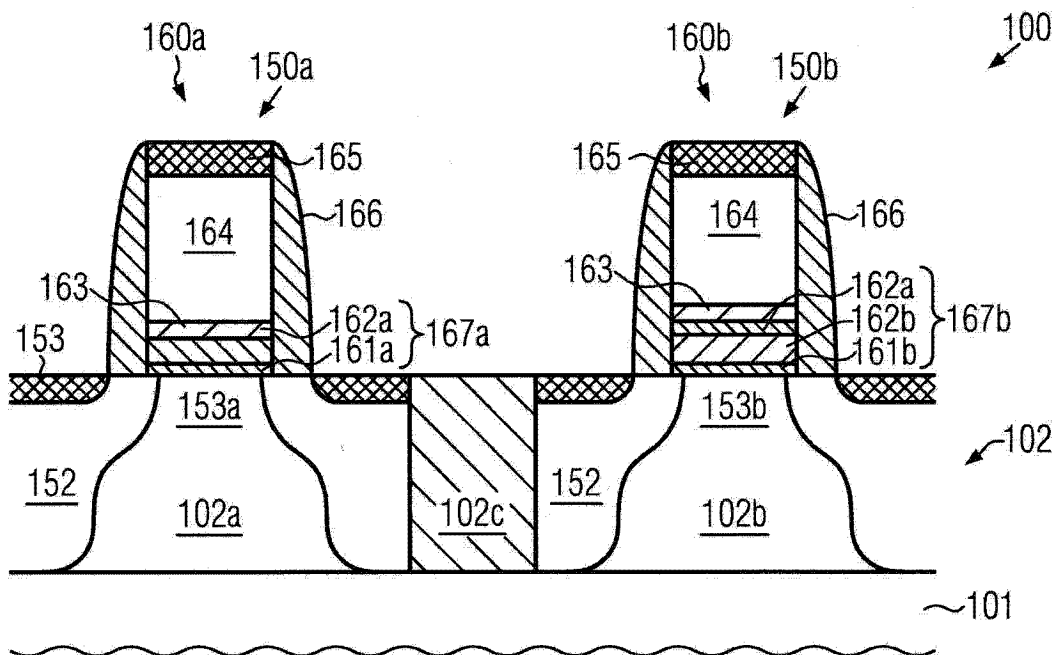


图 1h

