(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl. [7]
G02F 1/133

(45) 공고일자 2002년07월03일
(11) 등록번호 10-0326528
(24) 등록일자 2002년02월18일

(21) 출원번호 10-1996-0011127
(22) 출원일자 1996년04월13일

(65) 공개번호 특1996-0039487
(43) 공개일자 1996년11월25일

(30) 우선권주장 95-113572 1995년04월14일 일본(JP)

(73) 특허권자 가부시키가이샤 한도오따이 에네루기 켄큐쇼
야마자끼 순페이
일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자 고야마 준
일본국 229 가나가와켄 사가미하라시 니시 하시모토 1-4-23

(74) 대리인 황의만

심사관 : 고종욱

(54) 표시장치의제조방법

요약

액티브 매트릭스형 액정표시장치에 있어서, 박막트랜지스터들로 구성된 박막집적회로의 게이트선들이 알루미늄으로 형성된다. 게이트선들을 형성하는데 있어서, 게이트선들의 출발막을 패터닝하기 전에, 힐록과 휘스커의 발생에 의해 누화 또는 단락을 야기할 수 있는 영역에 슬릿들을 형성하고, 그 슬릿들내의 게이트선 부분들을 양극산화시킨다. 슬릿들이 형성된 영영들을 이용하여 배선들을 형성한다. 그 결과, 양극산화중에 바람직하지 않은 응력이 발생하는 문제와, 복잡한 배선 패턴으로 인해 양극산화에 충분한 양의 전류가 공급되지 않게 되는 문제가 해결될 수 있다. 화소영역의 게이트선에 대해서도 별도의 양극산화가 행해진다.

대표도
도 1a

명세서

도면의 간단한 설명

제 1A 도 및 제 lB 도는 본 발명의 실시예 l에 따른 박막 집적회로의 예를 나타내는 도면.

제 2A 도 및 제 2B 도, 제 3A 도 및 제 3B 도, 제 4A 도 제 4D 도, 제 5A 도 및 제 5B 도는 실시예 1에 따른 박막 집적회로의 제작공정을 나타내는 도면.

제 6 도 및 제 7 도는 액티브 매트릭스형 액정표시장치의 개략적인 구성을 나타내는 도면.

제 8A 도 제 8C 도는 실시예 1에 따른 화소 박막트랜지스터의 제작공정을 나타내는 도면.

* 도면의 주요부분에 대한 부호의 설명 *

101: 제 1 층 배선(게이트선) 103, 104: 제 2 층 배선

201 204: 섬형상 영역(활성층) 205: 슬릿

206: 알루미늄막 207: 배선 패턴

301, 303: 게이트선 302: 양극산화막

304 306: 콘택트 홀 307 309: 제 2 층 배선

401: 유리기판 402: 하지막(산화규소막)

403: 게이트 절연막 404: 층간절연막

701: 소스 구동회로 702: 게이트 구동회로

703: 화소영역 704: 쇼트 링(short ring)

801: 활성층 802: 게이트 전극

803: 양극산화막 805: 화소전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 금속 전극과 금속 배선을 사용한 집적회로를 가지는 액티브 매트릭스형 액정표시장치에 관한 것이다. 또한, 본 발명은 매트릭스 구조를 갖는 화소영역과 그 화소영역에 배치된 스위칭 소자들을 구동하기 위한 구동회로들이 모놀리식(monolithic)으로 형성된 표시장치에 관한 것이다.

다수의 화소가 화소영역에 수 백 × 수 백의 매트릭스로 배열되고, 화소전극의 출입하는 전하를 제어하기 위해 각 화소에 박막트랜지스터가 설치되는 것을 특징으로 하는 액티브 매트릭스형 액정표시장치들이 알려져 있다.

현재, 화소영역에 배치된 박막트랜지스터들을 구동하기 위한 구동회로들은 외부 IC회로로서 구성되어 있다. 이 외부 IC회로는, 주변 구동회로들이 우수한 특성을 갖는 트랜지스터 회로들을 필요로 하기 때문에 단결정 웨이퍼상에 형성된다.

한편, 차세대 액티브 매트릭스형 액정표시장치로서, 주변 구동회로들과 화소영역을 동일 기판(대개는 유리기판)상에 집적화한 구성이 필요하게 된다. 이 경우, 유리기판상에 형성되는 박막트랜지스터들을 사용하여 주변 구동회로들을 구성하는 것이 필요하게 된다.

또한, 주변 구동회로들을 일체로 구비한 액티브 매트릭스형 액정표시장치에 있어서는, 주변 구동회로들이 차지하는 면적을 가능한 한 작게 하여 화소영역 이외의 면적을 최소화 하여야 한다.

디자인 롤(design rule)에서의 그러한 축소된 칫수의 요구는 배선을 형성하는 것을 더욱 어렵게 한다. 또한, 미세화가 진행함에 따라, 배선들 자체의 저항이 무시할 수 없게 된다. 따라서, 배선을 형성하기 위해서는 알루미늄 또는 알루미늄을 주성분으로 하는 재료와 같은, 가능한 한 작은 저항을 갖는 재료를 사용하는 것이 필요하다.

그러나, 알루미늄을 주성분으로 하는 금속재료로 배선을 형성하는 것은, 힐록(hillock), 휘스커(whisker) 등과 같은, 알루미늄 성분의 이상(異常) 성장에 기인한 배선 형태의 변형이나 의도하지 않는 형태를 갖는 배선의 형성의 문제를 수반한다.

힐록과 휘스커는, 예를 들어, 성막시의 가열, 레지스트 에싱(ashing)(즉, 산소 플라즈마에 의한 레지스트 제거)시의 가열, 및 어닐을 위한 레이저광 조사에 의한 가열에 의해 발생될 수 있다.

힐록은 알루미늄의 이상 성장으로 인해 발생한다. 더 구체적으로는, 알루미늄 성분의 부분적인 이상 성장이 일어날 때, 성장하는 부분들이 서로 충돌하여 산형상의 돌기물을 형성하게 된다. 한편, 휘스커는 알루미늄의 이상 성장으로 인해 형성되는 가시 또는 침 형상의 돌기물이다. 힐록과 휘스커의 정확한 형성원인은 알려져 있지 않지만, 알루미늄내의 어떤 불순물 또는 알루미늄 결정구조의 불균일에 기인하는 것으로 믿어진다.

힐록과 휘스커는 수 마이크미터 이상 성장하기 때문에, 배선 및 소자들이 수 마이크미터의 간격을 두고 집적화되어 있는 집적회로를 형성하는데 있어서는 심각한 문제를 야기할 수 있다.

힐록과 휘스커의 발생을 억제하는 방법으로서는, 알루미늄에 매우 소량의 희토류 원소, 규소, 또는 다른 원소를 혼합하는 방법이 있다. 그러나, 이러한 방법으로도, 약 400℃ 이상의 온도로 가열된 때에는 힐록과 휘스커가 여전히 발생한다.

또한, 게이트선의 경우에는, 알루미늄 배선을 공정의 초기 단계에서 형성하는 것이 더욱 요구된다. 이 경우, 힐록과 휘스커의 문제가 더욱 심각하게 되는데, 그 이유는 알루미늄 배선들이 필수적으로 가열공정 및 불가피하게 가열을 수반하는 이온 주입과 같은 공정을 장시간 받아야 하기 때문이다.

힐록과 휘스커는, 수직방향 또는 수평방향으로 서로 인접하는 배선들을 단락시킬 수 있기 때문에 문제가 된다. 이러한 문제는 디자인 롤의 칫수 및 배선 사이의 피치가 감소됨에 따라 더욱 두드러지게 된다. 특히, 배선 사이의 피치가 2 ㎛ 이하인 경우에는, 횡방향의 힐록과 휘스커가 수직방향 및 수평방향으로 서로 인접하는 배선들 사이의 단락을 더욱 야기할 수 있다.

배선들이 상하로 교차하는 장소에서는, 상부 배선이 층간절연막(예를 들어, 산화규소막)을 사이에 두고 하부 배선 위에 형성될 필요가 있다. 이 경우, 층간절연막이 적절한 스텝 커버리지(step coverage)를 제공하지 않으면, 상부 배선은 계단진단선부를 가지거나 또는 국부적인 저항 증가를 초래할 수 있다. 알루미늄만으로 만들어지거나 또는 알루미늄을 주성분으로 하는 배선의 형성 후에 층간절연막이 퇴적되고, 그 다음, 제 2 층 배선이 형성되는 경우, 상기한 바와 같이 불가피하게 발생하는 힐록과 휘스커가 층간절연막의 스텝 커버리지를 악화시킨다. 그 결과, 층간절연막상에 형성되는 제 2 층 배선에는 계단진 단선부와 같은 문제가 발생하게 된다.

이러한 문제를 해결하기 위해, 알루미늄 배선을 형성한 후 이것을 양극으로 하여 양극산화를 행함으로써 그 알루미늄 배선의 노출된 표면에 양극산화물 피막을 형성하는 기술이 제안되었다. 예를 들어, 알루미늄만으로 되어 있거나 알루미늄을 주성분으로 하는 재료가 배선 재료로 사용되는, 경우에는, 알루미늄만으로 되어 있거나 알루미늄을 주성분으로 하는 재료의 산화막을 배선의 상면 및 측면에 형성함으로써 힐록과 휘스커의 발생을 억제할 수 있다.

그러나, 양극산화를 행하기 위해서는, 모든 배선을 통해 전류를 흐르게 하기 위해 실제의 회로의 배선 패턴과는 다른 배선 패턴을 형성하고, 양극산화 후에 필요로 하는 배선 패턴으로 에칭하는 것이 필요하다. 이러한 절차는 제작공정의 수를 증가시키기 때문에 바람직하지 않다. 특히, 이러한 재패터닝(re-patterning)은 생산 수율면에서 바람직하지 않은데, 그 이유는 의도된 회로의 배선의 형성후 에칭이 행해기 때문에 불필요한 부분이 에칭되기 쉽기 때문이다.

또한, 디자인 룰의 칫수가 감소하고, 그에 따라 배선이 보다 가늘게 됨에, 따라, 양극산화시에 가해지는 응력이 배선들을 변형 또는 단선시키는 불량 모드를 더욱 빈번하게 야기한다. 이러한 문제는 특히 배선이 복잡한 형상을 가지는 경우에 두드러지게 된다.

이 외에도, 디자인 룰의 칫수가 감소하고, 그에 따라 배선이 보다 가늘게 됨에 따라, 배선들의 저항에 기인하는 양극산화시의 전압강하의 양향이 나타나게 된다. 즉, 그 전압강하는 형성되는 양극산화막의 두께의 차이를 야기한다.

이 문제는, 배선의 단면을 필요로 하는 것보다 크게 하여 양극산화시의 배선의 전압강하를 감소시킴으로써 해결될 수 있다. 그러나, 배선의 단면을 증가시키는 것은 회로의 집적도를 증가시키는데 방해가 된다.

양극산화 기술은, 알루미늄만으로 만들어지거나 또는 알루미늄을 주성분으로 하는 배선 및 전극들을 형성하는데 있어서의 힐록과 휘스커의 발생을 방지할 수 있다. 그러나, 한편으로는, 상기한 바와 같은 여러 문제들을 야기한다. 알루미늄 이외에, 양극산화될 수 있는 도전성 재료(예를 들어, 탄탈)가 알려져 있지만, 그러한 재료를 사용하더라도 상기한 문제들이 여전히 존재한다.

따라서, 본 발명의 목적은, 알루미늄만으로 되어 있거나 또는 알루미늄을 주성분으로 하는 재료를 사용하여 배선 및 전극을 형성하는 경우에 발생할 수 있는 힐록과 휘스커를 양극산화 기술을 이용하여 억제하는 기술을 제공하는데 있다. 또한, 본 발명의 목적은, 양극산화될 수 있는 각종 재료들중 하나를 사용하여 배선을 형성하는태 있어서 양극산화의 사용과 관련된 상기한 문제들을 해결하는 기술을 제공하는데 있다. 특히, 본 발명의 목적은, 주변 구동회로들과 화소영역이 모놀리식으로 형성되는 액티브 매트릭스형 표시장치의 제작에 있어서 양극산화 기술을 효과적으로 이용하는 기술을 제공하는데 있다.

예를 들어, 본 발명의 목적은, 주변 구동회로들과 화소영역이 유리기판상에 모놀리식으로 형성되는 액티브 매트릭스형 표·시장치의 제작에 있어서 양극산화 기술을 효과적으로 이용하는 기술을 제공하는데 있다.

본 발명에 따르면, 제 1 및 제 2 투명기판들 사이에 액정이 보유되어 있고, 화소영역과 주변 구동회로영역이 상기 제 1 투명기판상에 집적화되어 있는 표시장치를 제작하는 방법으로서,

양극산화 가능한 재료로 된 막을 퇴적하는 공정,

적어도 상기 주변 구동회로영역에 있어서의 상기 막의 소정의 영역에 슬릿(slit)을 형성하는 동시에, 각각 상기 주변 구동회로영역과 화소영역이 차지하는 2개의 부분으로 상기 막을 분리시키는 공정,

상기 주변 구동회로영역의 상기 막 부분을 양극으로 사용하여 전해액내에서 양극산화를 행하는 공정,

상기 화소영역의 게이트선들에 공통으로 접속된 배선들을 형성하도록 상기 막을 패터닝하는 공정,

상기 게이트선들에 공통으로 접속된 상기 배선들을 이용하여, 상기 회소 영역의 게이트선들을 양극으로 하여 양극산화를 행하는 공정,

상기 제 1 및 제 2 투명기판들 사이에 액정물질을 충전하는 공정, 및

싱기 배선들을 화소영역의 게이트선들로부터 분리시키기 위해, 상기 게이트선들에 공통으로 접속된 상기 배선을 절단하는 공정을 포함하는 것을 특징으로 하는 표시장치의 제작방법이 제공된다.

상기 제작방법에서, 양극산화 가능한 재료로 된 상기 막은 알루미늄만으로 만들어지거나 또는 알루미늄을 주성분으로 하여 만들어질 수 있다. 또는, 탄탈원소등이 사용될 수도 있다. 그러나, 막 재료의 저항을 고려한다면, 알루미늄만으로 되어 있거나 또는 알루미늄을 주성분으로 재료가 가장 바람직하다.

상기 제작방법에 있어서, 상기 슬릿이 형성되는 상기 소정의 영역으로서 다른 영역들보다 높은 집적밀도를 갖는 영역이 선택되는 경우에는, 슬릿을 형성하는 이점이 최대화된다.

배선 패터닝 공정 전에 필요한 영역에만 슬릿을 형성한 상태에서 양극산화를 행함으로써, 형성된 양극산화막의 두께의 불균일과 응력의 발생이 방지될 수 있다.

양극산화막의 두께의 불균일이 방지되는 이유는, 배선을 위한 출발막의 일부분(이 막의 대부분은 그대로 잔존하여 있다)에 슬릿이 형성된 상태에서 양극산화가 행해지기 때문에 양극산화중에 흐르는 전류에 의해 야기되는 전압강하가 거의 무시될 수 있기 때문이다.

응력 발생이 방지되는 이유는, 복잡하고 가는 배선들의 패턴을 형성한 후에 양극산화가 행해지는 경우와 달리 상기 막의 특정 부분들에 슬릿이 형성된 상태에서 양극산화가 행해지기 때문에 응력이 아무런 문제를 야기하지 않기 때문이다.

주변 구동회로영역의 배선들과 화소영역의 배선들에 대하여 상이한 조건으로 양극산화를 행함으로써, 주변 구동회로에는 힐록과 휘스커의 발생을 억제할 수 있는 정도의 얇은 양극산화막이 형성될 수 있고, 화소영역에는 오프셋 게이트영역을 형성할 수 있게 하는데 충분한 두께의 양극산화막이 형성될 수 있다. 이러한 제작공정으로, 주변 구동회로에서는, 두꺼운 양극산화막의 형성중에 발생되는 응력으로 인한 불량의 발생(미세한 패턴에서 두꺼운 양극산화막을 형성하는 경우일 수록 응력의 영향을 받기 쉽게 된다)이 감소될 수 있다. 또한 동시에, 화소영역에서는 요구되는 오프전류 특성이 얻어질 수 있다.

이하, 첨부도면을 참조하여 본 발명의 실시예를 설명한다.

실시예 1

본 실시예는, 주변 구동회로들을 일체로 포함하는 액티브 매트릭스형 액정표시장치의 제작공정에서, 고집적화가 요구되는 주변 구동회로에 얇은 양극산화막을 부분적으로 형성하고, 낮은 오프전류 특성이 요구되는 화소영역에는 오프셋 게이트 영역을 형성하는데 사용될 두꺼운 양극산화막을 형성하는 기술에 관한 것이다.

제 6 도는 본 실시예와 관련된 액티브 매트릭스형 액정표시장치의 구성을 나타내는 블록도이다. 이 액티브 매트릭스형 액정표시장치에서는, 매트릭스 형태로 배열된 화소들 각각에 화소 박막트랜지스터(화소 TFT)가 배치되어 있다. 그 화소 박막트랜지스터들을 구동하기 위한 주변 구동회로들로서, 소스 구동회로와 게이트 구동회로가 배치되어 있다.

화소영역과 주변 구동회로영역은 동일 유리기판 상에 모놀리식으로 형성된다. 주변 구동회로영역은 수 밀리미터 정도로 폭이 좁게 되어 있고, 고밀도로 집적화되어 있다.

제 7 도는 제 6 도에 도시된 액티브 매트릭스형 액정표시장치의 개요를 나타낸다. 제 7 도에서, 부호 701, 702, 703은 각각 소스 구동회로, 게이트 구동회로, 화소영역을 나타낸다.

부호 704는 표시장치의 제조중에 모든 게이트선에 공통으로 접속된 배선 패턴인 쇼트 링(short ring)을 나타낸다. 이 쇼트 링(704)은 게이트선들과 동시에 형성된다. 제작공정중에, 쇼트 링(704)은 모든 게이트선들을 단락(短絡)시키도록, 즉, 수십만개의 화소 박막트랜지스터들의 게이트 전극들의 전위를 균등화시키도록 작용한다.

박막트랜지스터의 제작공정과 액정표시장치의 패널 조립단계에서는, 많은 양의 정전기가 단일의 박막트랜지스터에 인가되는 일이 종종 발생한다. 개개의 박막트랜지스터가 매우 작은 크기를 가지기 때문에, 미소한 대전(帶電)으로도 박막트랜지스터에 정전파괴 또는 고장이 일어날 수 있다. 쇼트 링(704)은 그러한 사고를 방지한다.

액정표시장치가 완성된 후에는 쇼트 링(704)은 불필요하기 때문에, 최종 단계에서 레이저광 조사에 의해 게이트전극들로부터 분리된다. 본 실시예의 제작방법에서는, 쇼트 링(704)을 사용하여, 화소영역에 배치된 박막트랜지스터들의 게이트선들 주위에 양극산화막을 형성하는 것을 특징으로 한다.

제 1A 도 및 제 1B 도는 제 6 도의 아날로그 버퍼회로의 일례를 나타낸다. 즉, 제 1A 도 및 제 1B 도는 실제의 아날로그 버퍼회로를 구성하는데 기본이 되는 기본적인 아날로그 버퍼회로의 예를 나타낸다. 특히, 제 1A 도 및 제 1B 도는, N채널형 및 P채널형 박막트랜지스터들의 조합으로 구성되는 2단(스테이지)의 인버터회로들이 서로 직렬로 접속되어 있는 구성을 나타낸다. 이러한 타입의 인버터회로는 시프트 레지스터회로 및 다른 집적회로에 사용된다.

제 1B 도는 제 1A 도의 등가회로이다. 제 1A 도 및 제 1B 도의 회로에서, 부호 101은 게이트선(제 1A 도에서 빗금친 부분)(그 게이트선의 연장된 부분들이 게이트 전극을 구성한다)을 나타낸다. 부호 103은 첫번째 단의 인버터회로의 출력과 두번째 단의 인버터회로의 입력을 접속하는 배선을 나타낸다. 이 배선(103)은 게이트선(101)상에 형성된 층간절연막(도시되지 않음)상에 형성되는 제 2 층 배선이 된다. 설명의 편의상, 배선(게이트선)(101)을 제 1층 배선이라 부르고, 배선(103)을 제 2 층 비선이라 부른다.

일반적으로, 층간절연막은 5,000 Å 그 이상의 두께로 형성된다. 따라서, 제 1층 배선인 게이트선(101)과 제 2 층 배선인 배선(103)은 상기 층간절연막에 의해 5,000 Å 이상의 간격을 두고 상하로 떨어져 있게 된다.

제 2A 도 및 제 2B 도 내지 제 5A 도 및 제 5B 도와 제 8A 도 내지 제 8C 도는 제 1A 도 및 제 1B 도의 박막 반도체 회로의 제작공정과 화소영역의 박막트랜지스터의 제작공정을 도시한다. 본 실시예는 기판으로서 유리기판을 사용하는 경우이다. 액정 전기광학장치에서는, 기판에 투광성이 요구되기 때문에, 일반적으로 유리기판 또는 석영기판이 사용된다.

먼저, 유리기판(제 2A 도 및 제 2B 도에는 도시되지 않음)상에 하지막(下地膜)으로서 산화규소막을 형성하고, 그 위에 플라즈마 CVD법 또는 감압 열 CVD법에 의해 비정질 규소막(도시되지 않음)을 성막한다. 예를 들어, 하지막과 비정질 규소막은 각각 3,000 Å과 500 Å의 두께를 갖는다. 그 다음, 가열이나 레이저광 조사 또는 그들을 조합한 방법에 의해 비정질 규소막을 결정화시킨다.

그 다음, 제 2A 도에 도시된 바와 같이, 결정성 규소막을 패터닝하여 박막트랜지스터들의 활성층이 되는 섬형상 영역(201 204)들을 형성한다. 상기 패터닝은 공지의 포토리소그래피 공정에 의해 행해질 수 있다. 즉, 섬형상 영역(201 204)들은, 레지스트 마스크를 형성한 다음, 습식 에칭 또는 건식 에칭에 의해 결정성 규소막의 불필요한 부분을 제거함으로써 형성될 수 있다. 이 공정과 동시에, 제 8A 도에 도시된 바와 같이 화소 박막트랜지스터의 활성층(801)이 형성된다.

제 4A 도는 제 2A 도의 점선 A-A'를 따라 취한 단면도이다. 제 4A 도에서, 부호 ,401, 402는 각각 유리기판과 그 유리기판 상에 형성된 하지(下地) 산화규소막을 나타낸다.

이어서, 플라즈마 CVD법 또는 스퍼터링법에 의해 게이트 절연막으로서 산화규소막(제 2A 도 및 제 2B 도에는 도시되지 않음)을 성막한다. 이 산화규소막의 두께는 일반적으로 1,000 1,500 Å으로 설정된다.

그후, 게이트 전극들과 그로부터 연장하는 배선들을 구성하기 위한, 알루미늄을 주성분으로 하는 막을 스퍼터링법 또는 전자비임 증착법에 의해 성막한다. 이 막의 두께는, 예를 들어, 5,000 Å으로 설정된다.

본 실시예에서는, 알루미늄을 주성분으로 하는 재료로서, 알루미늄내에 스칸듐이 0.2 중량% 함유되어 있는 재료가 사용되었다. 이것은, 후의 공정들에서의 가열 또는 레이저광 조사에 의해 힐록과 휘스커가 발생하는 것을 억제하기 위한 것이다. 알루미늄에 희토류 원소를 혼합한 것에 의해 힐록과 휘스커의 발생을 억제할 수 있지만, 힐록과 휘스커의 발생을 완전히 방지할 수는 없다. 희토류 원소 대신에 규소가 사용될 수도 있다.

전체 표면에 알루미늄을 주성분으로 하는 막을 성막한 후, 힐록 또는 휘스커의 발생이 방지되어야 하는 부분들에 슬릿(slit)을 형성한다. 이것은, 슬릿을 형성할 부분을 노출시키도록 레지스트 마스크를 형성한 다음, 건식 에칭 또는 습식 에칭를 행함으로써 행해진다. 본 실시예에서는, 슬릿이 제 2B 도에서 부호 205로 나타내어진 빗금친 부분에 형성된다. 본 실시예에서는, 슬릿(205)의 폭이 1 30 ㎛로 설정될 수 있다. 이 칫수는 적용되는 디자인 룰에 따라 적절히 결정될 수 있다. 슬릿(205)이 형성되지 않은 영역 전체에는 알루미늄을 주성분으로 하는 막(206)이 잔존한다.

부호 207은, 알루미늄을 주성분으로 하는 막(206)을 패터닝함으로써(현재까지는 그러한 패터닝이 행해지지 않은 상태임) 후에 얻어지는 배선 패턴을 나타낸다.

제 2B 도로부터 보여지는 바와 같이, 슬릿(205)은 양극산화막을 선택적으로 형성할 배선 패턴(207)의 부분의 측면을 노출시키도록 형성된다.

슬릿(205)은 박막트랜지스터들을 형성할 화소영역의 부분에는 형성되지 않는다. 따라서, 화소영역에서는, 알루미늄을 주성분으로 하는 막(206)이 전체 표면에 존재하는 상태로 된다.

이 상태에서, 알루미늄을 주성분으로 하는 막(206)을 양극으로 사용하여 전해액 속에서 양극산화를 행한다. 이 양극산화 공정에서, 상기 막(206)의 표면에 약 600 Å의 두께를 가지는 치밀한 양극산화막이 형성된다. 본 실시예에서는, 전해액으로서, 3% 주석산을 암모니아로 중화시킨 후 에틸렌 글리콜로 10배 희석시켜 얻은 용액이 사용되었다. 양극산화 중에, 최대 인가전압은 40 V로 설정된다. 그 결과, Al_2O_3를 주성분으로 하는 단단하고 치밀한 양극산화막이 형성된다.

이 양극산화 공정에서, 슬릿(205)의 내부에도 양극산화막이 형성된다. 거의 전체 표면이 알루미늄을 주성분으로 하는 막(206)으로 덮혀 있기 때문에, 이 양극산화 공정은 다음과 같은 문제들을 억제할 수 있다:

- 양극산화시의 응력 발생으로 인한 패턴의 변형;

- 전압강하로 인한 양극산화막의 불균일.

전압강하로 인한 문제가 억제되는 이유는 양극산화막이 형성되는 영역이 긴 배선의 부분이 아니기 때문이다. 긍극적으로는, 미세 패턴의 형성이 가능해진다.

제 4B 도는 제 2B 도의 선 B-B'의 단면도이다. 제 4B 도에서, 부호 403은 게이트 절연막으로서 기능하는 산화규소막을 나타내고, 부호 206은 후에 게이트 전극을 구성할 알루미늄을 주성분으로 하는 막을 나타낸다. 알루미늄을 주성분으로 하는 막(206)은 제 4B 도에 나타낸 바와 같이 거의 전체 영역에 잔존하기 때문에, 상술한 바와 같이 응력발생 및 전압강하로 인한 문제들을 억제할 수 있다.

제 4C 도는 제 2B 도의 선 C-C'의 단면도이다. 양극산화 공정에서 형성된 양극산화막(302)이 제 4C 도에는 도시되어 있지만, 제 2B 도에는 도시되어 있지 않다. 부호 205는 슬릿을 나타낸다.

양극극산화의 완료후, 알루미늄을 주성분으로 하는 막(206)을 패터닝하여, 의도하는 패턴(207)을 갖는 배선들을 형성한다. 이 패터닝과 동시에, 화소영역에 게이트선들이 형성된다. 또한, 모든 게이트선에 접속된 배선인 쇼트 링(short ring)(704)도 형성된다. 이 상태에서, 화소영역의 게이트선들은 게이트 구동회로에 접속되지 않는다. 즉, 상기 패터닝 공정에서 슬릿(205)들이 형성될 때, 알루미늄을 주성분으로 하는 막(206)은 주변 구동회로영역과 화소영역이 각각 차지하는 2개의 부분으로 분리된다. 이것을 각 영역들에 대해 개별적으로 양극산화를 행하기 위한 것이다.

화소영역이 주변 구동회로영역만큼 고집적화될 필요가 없기 때문에, 화소영역의 게이트선들은 양극산화시의 전압강하를 고려하여 다소 두껍게 형성될 수도 있다.

이와 같이 하여, 제 3A 도에 도시된 바와 같이 게이트선(301, 303)들이 형성된다. 게이트선(301, 303)들의 측면에는 양극산화막(302)이 선택적으로 형성된다. 또한, 게이트선(301, 303)들의 상면 전체에도 양극산화막이 형성된다. 이 상태가 제 3A 도에 도시되어 있다.

이 상태에서, 제 7 도에 도시된 쇼트 링(704)에 전압을 인가함으로써 상기한 것과 동일한 전해액 속에서 양극산화를 재차 행한다. 이 양극산화 공정에서는 약 150 V의 비교적 높은 전압이 인가된다. 그 결과, 게이트선들 주위에 약 2,000 Å의 두께를 갖는 양극산화막이 형성된다.

제 8B 도는 이 상태의 화소 박막트랜지스터를 나타낸다. 제 8B 도에는, 게이트선으로부터 연장하는 게이트 전극(802)과 그 게이트 전극 주위에 형성된 양극산화막(803)이 나타내어져 있다.

이어서, 인 이온을 주입한다. 그리고, 영역(202, 204)들을 레지스트 마스크로 덮은 상태에서 붕소 이온을 주입한다. 그 결과, 활성층(201, 203)에 N형 소스/드레인 영역이 형성되고, 활성층(202, 204)에 P형 소스/드레인 영역이 형성된다. 화소영역의 박막트랜지스터의 활성층(801)에는 N형 소스/드레인 영역이 형성된다.

이 불순물 이온 주입공정에서, 2,000 Å의 두께를 갖는 양극산화막(803)의 존재로 인해 영역(81, 82)에는 불순물 이온이 주입되지 않기 때문에 오프셋 게이트영역들이 형성될 수 있다. 오프셋 게이트영역들의 형성에 의해, 화소 박막트랜지스터의 오프 전류가 작게 될 수 있다.

이온 주입의 완료후, 주입된 이온을 활성화시키고, 이온 주입에 의해 손상된 활성층을 보수하기 위해, 레이저광 조사에 의한 어닐을 행한다. 그리하여, N채널형 및 P채널형 박막트랜지스터들이 형성된다. 즉, 제 1B 도에 도시된 인버터회로를 구성하기 위한 2쌍의 P채널형 및 N채널형 박막트랜지스터들이 형성된다.

제 3A 도에서, 부호 201, 203은 N채널 박막트랜지스터들의 활성층들을 나타내고, 부호 202, 204는 P채널형 박막트랜지스터들의 활성층들을 나타낸다.

제 4D 도는 제 3A 도의 선 D-D'의 단면도이다.

상기한 이온 주입 및 레이저광 조사중에 게이트선들이 가열되지만, 양극산화막(302)이 형성된 부분에서는 힐록과 휘스커가 발생하지 않는다. 한편, 양극산화막(302)이 형성되어 있지 않은 부분에서는 힐록과 휘스커가 발생한다.

여기서 중요한 것은, 힐록과 휘스커가 발생하는 것에 의해, 서로 수직방향 또는 수평방향으로 인접하는 배선들을 단락시킬 가능성이 있는 부분에만 양극산화막(302)을 형성하는 것이다.

제 3A 도의 상태에서, 게이트선(301, 303)들을 덮도록 층간절연막으로서 산화규소막(제 3A 도 및 제 3B 도에는 도시되지 않음)을 플라즈마 CVD법에 의해 약 6,000 Å의 두께로 성막한다. 이 산화규소막은 양호한 스텝 커버리지를 제공할 수 있는 방법을 사용하여 성막될 필요가 있다.

그후, 제 3B 도에 도시된 바와 같이, 활성층의 소스/드레인 영역 또는 게이트선과 통하는 콘택트 홀(예를 들어, 300, 304, 305, 306)들을 형성한다. 콘택트 홀(300, 304)들은 각각 활성층(201, 202)의 드레인영역과 통하고, 콘택트 홀(305)은 게이트선(30])과 통하며, 콘택트 홀(306)은 활성층(204)의 소스영역과 통한다.

그 다음, 제 2 층 배선들을 형성하기 위한, 알루미늄을 주성분으로 하는 막(제 4A 도 제 4D 도에는 도시되지 않음)을 성막한다. 제 1 층 배선들은 게이트선(301, 303)들이다. 제 2 층 배선(예를 들어, 307, 308, 309)들은 알루미늄을 주성분으로 하는 막을 패터닝하여 형성된다.

제 3B 도에서, 제 2 층 배선의 부분들이 부호 307, 308, 309로 표시되어 있다. 307은 P채널형 박막트랜지스터의 소스영역에 접속되어 있는 전극(배선)이고, 308로 나타낸 배선은 콘택트 홀(300, 304)을 통해 제 1 단 인버터회로를 구성하는 박막트랜지스터들의 드레인영역들과 접촉할 뿐만 아니라 게이트선(301)과도 접촉하여 있다. 즉, 배선(308)이 제

1 단 인버터회로의 출력을 제 2 단 인버터회로의 입력에 접속하며, 배선(309)은 제 2 단 인버터회로의 출력에 접속되어 있다.

이들 배선(307, 308, 309)은 박막트랜지스터들의 소스/드레인 영역들에 접속되어 있다. 또한, 이들 배선(307, 308, 309)은 층간절연막(도시되지 않음)상에 형성되고, 그 층간절연막에 의해 게이트선(301, 303)들로부터 수직방향으로 분리되어 있다.

제 5A 도는 제 3B 도의 선 F-F'의 단면도이고, 제 5B 도는 제 3B 도의 선 G-C'의 단면도이다. 제 5A 도에서, 부호 404는 산화규소막으로 된 층간절연막을 나타낸다.

제 8C 도는 이 상태의 화소 박막트랜지스터를 나타낸다. 제 8C 도에는, 층간절연막(404)과 그 위에 형성된 소스 전극(807)(소스선으로부터 연장하는)과 ITO로된 화소전극(805)에 접속되는 드레인 전극(806)이 나타내어져 있다. 소스 전극(807)과 드레인 전극(806)은 제 2 층 배선의 재료와 동일한 재료를 사용하여 그 제 2 층 배선과 동시에 형성된다.

제 2 층 배선(307 309)에서는 힐록과 휘스커가 발생하지 않는데, 그 이유는 제 2 층 배선(307 309)의 형성후에는, 힐록과 휘스커를 야기하는 가열처리 또는 레이저광 조사가 행해지지 않기 때문이다. 제 2 층 배선들의 형성후 수소분위기에서의 가열처리는 표시장치의 특성을 향상시키는데 효과적이다. 이 가열처리는 350℃의 온도에서 약 1시간 행해지기 때문에 제 2 층 배선에 힐록을 야기하지 않는다.

그리하여, 제 3B 도에 나타낸 회로가 완성된다. 이 회로는 제 1A 도에 도시된 회로의 등가회로이다. 제 3B 도의 회로에서는, 힐록 또는 휘스커로 인하여 게이트선(301, 303)들 사이에 단락이 발생하는 것이 방지된다. 그 이유는, 힐록과 휘스커가 발생하는 것에 의해 서로 수직방향 또는 수평방향으로 인접하는 배선들을, 단락시킬 가능성이 있는 영역에 양극산화막(302)이 형성되어 있어, 그러한 영역에서는 양극산화막(302)이 장벽으로서 작용함으로써 힐록 또는 휘스커가 발생하지 않기 때문이다.

그 결과, 제 1 단 인버터와 제 2 단 인버터가 서로 근접하여 배치될 수 있다. 즉, 거리(501)(제 5B 도 참조)가 단축될 수 있다. 이것은 집적회로의 집적도를 증가시키는데 중요하다.

게이트선(301, 303)들의 일부분에 형성되어 있는 양극산화막(302)들은 게이트선(301, 303)들과 제 2 층 배선(307, 308, 309)들 사이의 상하 단락도 방지한다. 이것은, 위 또는 아래에서 볼 때, 게이트선(301, 303)들이 제 2 층 배선(307 309)들에 근접하게 위치되는 부분들에서 게이트선(301, 303)들의 상면 및 측면에 양극산화막(302)들이 형성되어 있기 때문이다. 이들 부분에서는, 양극산화막(302)들이 힐록과 휘스커의 발생을 억제하기 때문에, 게이트선(301, 303)들과 제 2 층 배선(307 309)들이 서로 접촉하는 것을 방지할 수 있다.

예를 들어, 게이트선(게이트 전극)의 재료로서 알루미늄이 사용되는 경우, 소스/드레인 영역들의 형성을 위한 불순물 이온 주입중에 그리고 소스/드레인 영역들의 활성화를 위한 레이저광 조사 또는 어닐중에 게이트선(301)이 불가피하게 가열되기 때문에, 게이트선(301)의 측면에 힐록과 휘스커가 발생한다. 그 곁과, 제 5A 도에 나타낸 바와 같이, 게이트선(301)(제 1 층 배선)과 콘택트 홀(306)내로 연장하는 제 2 층 배선(307) 사이에서 단락이 발생하기 쉽게 된다.

이와는 대조적으로, 본 실시예의 구성에 따르면, 제 5A 도에 나타낸 단면에서 양극산화막(302)이 게이트선(301)에서의 힐록과 휘스커의 발생을 억제할 수 있기 때문에, 게이트선(301)과 제 2 층 배선(307) 사이의 단락이 방지될 수 있다. 또한, 게이트선(301)에 발생한 힐록과 휘스커가 콘택트 홀(306)의 형성을 어렵게 하거나 또는 제 2 층 배선(307)과 활성층(203)(이 경우에는 소스영역) 사이의 콘택트를 불량하게 하는 일이 방지될 수 있다.

이것은 또한 박막트랜지스터의 크기를 감소시키고 집적도를 증가시키는데 유리하다.

제 3B 도 및 제 8C도의 상태에서, 또다른 층간절연막이 되는 산화규소막이 플라즈마 CVD법에 의해 성막된다. 이 층간절연막으로서는 공지의 리플로우(reflow) 막이 사용될 수 있다. 이 층간절연막상에는 배향막으로서 유기수지막이 형성된다. 대향전극이 형성되어 있는 유리기판과 상기한 회로가 형성되어 있는 유리기판(401)이 함께 접합되고, 이들 기판 사이에 액정이 주입된다. 그리하여, 액정 패널의 셀(cell) 조립제가 완성된다.

그후, 게이트선들과 쇼트 링(704) 사이의 접속배선(705)(제 7 도 참조)들을 YAG 레이저광의 조사에 의해 절단한다. 이것은 2개의 유리기판을 빗나가게 하여 그 접속배선(705)들을 노출시키고 그 접속배선들에 YGA 레이저광을 조사함으로써 행해진다.

이렇게 하여 제작된 액티브 매트릭스형 액정 패널은 고밀도를 가질 수 있다. 주변 구동회로를에서는, 양극산화와 관련된 문제가 억제될 수 있다. 이와 동시에, 화소영역에서는, 양극산화를 이용하여 오프셋 게이트영역을 형성할 수 있어, 양호한 오프전류 특성을 갖는 박막트랜지스터들을 형성할 수 있다.

화소 박막트랜지스터들을 형성하는데 사용한 접속배선(705)(제 7 도 참조)들이 최종 단계에서 레이저광에 의해 절단되기 때문에, 제작공정의 수가 증가되지 않는다.

실시예 2

본 실시예는 실시예 1의 제작공정에서 화소 박막트랜지스터들의 게이트선을 형성하는데 있어서도 슬릿을 형성하는 것을 특징으로 한다. 실시예 l에서는, 양극산화가 2번 행해진다. 즉, 주변 구동회로의 게이트선들의 슬릿 부분들에 대하여 첫번째 양극산화가 행해지고, 화소영역의 전체 게이트선들에 대해 두번째 양극산화가 행해진다.

실시예 1의 제작공정에서는, 화소영역에 형성된 게이트선 전체에 양극산화막이 형성된다. 이 경우에는, 대면적의 화소영역을 형성하는데 있어서 게이트선의 전압강하로 인해 양극산화막의 두께에 불균일이 발생할 가능성이 있다. 이 문제는 40 인치형과 같은 대면적 액정표시장치 또는 미래의 기술발전에 따라 그 보다 더 큰 장치를 제작하고자 하는 경우에 현저하게 된다.

상기한 점에서, 본 실시예에서는 화소영역의 게이트선들에 대해서도 슬릿을 형성하여 부분적인 양극산화를 행하는 것을 특징으로 한다. 본 실시예에서도 양극산화가 2번으로 나누어 행해진다.

본 실시예의 제작공정은, 양극산화 전에 슬릿을 형성하는데 있어서, 게이트선의 형성을 위한 알루미늄을 주성분으로 하는 막이 주변 구동회로영역과 화소영역을 각각 차지하는 2개의 부분으로 분리된다는 특징을 갖는다. 이것에 의해, 2번의 양극산화공정이 주변 구동회로영역과 화소영역에 대해 개별적으로 행해질 수 있게 된다.

화소영역에서는, 오프셋 게이트영역들이 형성될 필요가 있는 영역들에 슬릿이 형성될 수 있다. 양극산화는 2번으로 나누어 행해진다. 예를 들어, 첫번째 양극산화는 주변 구동회로영역에 대해 행해지고, 두번째 양극산화는 첫번째 양극산화와는 다른 조건하에 화소영역에 대해 행해진다. 화소영역에 대한 양극산화는 쇼트 링(704)으로부터 전류를 인가함으로써 행해진다. 각각의 양극산화 공정의 조건은 실시예 l의 조건과 동일하게 설정될 수 있다.

배선들의 형성을 위한 패터닝 전에, 필요한 부분에만 슬릿을 형성하고 양극산화를 행함으로써, 양극산화시의 전압강하로 인한 양극산화막 두께의 불균일과, 미세 페턴의 형성후 행해지는 양극산화로 인한 응력발생이 억제될 수 있다. 그리고, 배선들과 전극들 주위에의 양극산화막의 형성에 의한 이점이 얻어질 뿐만 아니라, 양극산화와 관련된 문제들이 해소될 수 있다.

주변 구동회로들과 화소영역이 모놀리식으로 형성되는 액티브 매트릭스형 표시장치의 제작공정에 있어서, 주변 구동회로의 형성에 양극산화기슬을 이용함으로써 집적도를 쉽게 증가시킬 수 있다. 특히, 알루미늄만으로 되어 있거나 또는 알루미늄을 주성분으로 하는 저저항 재료로 배선이 형성된 때 회로의 집적도가 증가될 수 있다.

또한, 화소영역의 박막트랜지스터들을 형성하는데 있어서 양극산화기술을 효과적으로 이용함으로써, 작은 오프전류를 가지는 박막트랜지스터들이 제작될 수 있다.

(57) 청구의 범위

청구항 1.

액티브 매트릭스 회로와 그 액티브 매트릭스 회로를 구동하기 위한 구동회로를 포함하고, 상기 액티브 매트릭스 회로와 상기 구동회로가 동일 기판 위에 형성된 표시장치를 제조하는 방법에 있어서,

상기 기판 위에, 양극산화 가능한 재료로 된 도전성 막을 형성하는 공정;

상기 도전성 막의 선택된 부분을 제거하여 상기 도전성 막에 슬릿들을 형성하는 공정;

상기 도전성 막을 양극으로 하여 양극산화를 행하여 상기 도전성 막의 상면과 상기 슬릿들내의 상기 도전성 막의 측면에 양극산화막을 형성하는 공정; 및

상기 양극산화 후에, 상기 도전성 막을 패터닝하여 배선 패턴을 형성하는 공정을 포함하고;

상기 패터닝에서, 상기 배선 패턴의 측면의 일부분이 상기 양극산화에서 형성된 양극산화막으로 덮인 채 남아 있는 것을 특징으로 하는 표시장치 제조방법.

청구항 2.

제 1 항에 있어서, 상기 배선 패턴이 게이트전극을 포함하는 것을 특징으로 하는 표시장치 제조방법.

청구항 3.

제 1 항에 있어서, 상기 양극산화 가능한 재료가 알루미늄인 것을 특징으로 하는 표시장치 제조방법.

청구항 4.

액티브 매트릭스 회로와 그 액티브 매트릭스 회로를 구동하기 위한 구동회로를 포함하고, 상기 액티브 매트릭스 회로와 상기 구동회로가 동일 기판 위에 형성된 표시장치를 제조하는 방법에 있어서,

상기 구동회로를 위한 제1 게이트 배선을 형성할 제1 부분과, 상기 액티브 매트릭스 회로를 위한 제2 게이트 배선을 형성할 제2 부분을 가지고, 양극산화 가능한 재료로 된 도전성 막을 상기 기판 위에 형성하는 공정;

상기 도전성 막을 선택적으로 에칭하여 상기 도전성 막의 상기 제1 부분에 슬릿들을 형성하는 공정;

상기 도전성 막을 양극으로 하여 양극산화를 행하여 상기 도전성 막의 상면과 상기 슬릿들내의 상기 도전성 막의 측면에 양극산화막을 형성하는 공정; 및

상기 양극산화 후에, 상기 도전성 막을 패터닝하여 상기 제1 및 제2 게이트 배선을 형성하는 공정을 포함하고;

상기 패터닝에서, 상기 제1 게이트 배선의 측면의 일부분이 상기 양극산화에서 형성된 양극산화막으로 덮인 채 남아 있는 것을 특징으로 하는 표시장치 제조방법.

청구항 5.

제 4 항에 있어서, 상기 제2 게이트 배선에 대해서만 또다른 양극산화를 행하는 공정을 더 포함하는 것을 특징으로 하는 표시장치 제조방법.

청구항 6.

제 4 항에 있어서, 상기 양극산화 가능한 재료가 알루미늄인 것을 특징으로 하는 표시장치 제조방법.

청구항 7.

제 4 항에 있어서, 상기 슬릿들이 형성되는 상기 제1 부분이 상기 제2 부분보다 높은 집적도를 가지는 것을 특징으로 하는 표시장치 제조방법.

청구항 8.

액티브 매트릭스 회로와 그 액티브 매트릭스 회로를 구동하기 위한 구동회로를 포함하고, 상기 액티브 매트릭스 회로와 상기 구동회로가 동일 기판 위에 형성된 표시장치를 제조하는 방법에 있어서,

상기 구동회로를 위한 제1 게이트 배선을 형성할 제1 부분과, 상기 액티브 매트릭스 회로를 위한 제2 게이트 배선을 형성할 제2 부분을 가지고, 양극산화 가능한 재료로 된 도전성 막을 상기 기판 위에 형성하는 공정;

상기 도전성 막을 선택적으로 에칭하여 상기 도전성 막의 상기 제1 부분 및 제 2 부분에 슬릿들을 형성하는 공정;

상기 슬릿 형성 공정과 동시에, 상기 도전성 막의 상기 제2 부분으로부터 상기 도전성 막의 상기 제 1 부분을 분리하는 공정;

상기 도전성 막의 상기 제1 부분을 양극으로 하여 첫번째 양극산화를 행하여 상기 도전성 막의 상기 제1 부분의 상면과 상기 슬릿들내의 상기 도전성 막의 상기 제1 부분의 측면에 양극산화막을 형성하는 공정;

상기 도전성 막의 상기 제2 부분을 양극으로 하여 두번째 양극산화를 행하여 상기 도전성 막의 상기 제2 부분의 상면과 상기 슬릿들내의 상기 도전성 막의 상기 제2 부분의 측면에 양극산화막을 형성하는 공정; 및

상기 첫번째 및 두번째 양극산화 후에, 상기 도전성 막을 패터닝하여 상기 제1 및 제2 게이트 배선을 형성하는 공정을 포함하고;

상기 패터닝에서, 상기 제1 게이트 배선의 측면의 일부분과 상기 제2 게이트 배선의 측면의 일부분이 상기 첫번째 및 두번째 양극산화에서 형성된 양극산화막으로 덮인 채 남아 있는 것을 특징으로 하는 표시장치 제조방법.

청구항 9.

제 8 항에 있어서, 상기 양극산화 가능한 재료가 알루미늄인 것을 특징으로 하는 표시장치 제조방법.

청구항 10.

액티브 매트릭스 회로와 그 액티브 매트릭스 회로를 구동하기 위한 구동회로를 포함하고, 상기 액티브 매트릭스 회로와 상기 구동회로 모두가 2개의 투명기판중 하나의 기판 위에 형성된 표시장치를 제조하는 방법에 있어서,

상기 구동회로를 위한 제1 게이트 배선을 형성할 제1 부분과, 상기 액티브 매트릭스 회로를 위한 제2 게이트 배선을 형성할 제2 부분을 가지고, 양극산화 가능한 재료로 된 도전성 막을 상기 하나의 기판 위에 형성하는 공정;

상기 도전성 막의 적어도 상기 제1 부분에 슬릿들을 형성하는 공정;

상기 슬릿 형성 공정과 동시에, 상기 도전성 막의 상기 제2 부분으로부터 상기 도전성 막의 상기 제1 부분을 분리하는 공정;

상기 도전성 막의 상기 제1 부분을 양극으로 하여 첫번째 양극산화를 행하는 공정;

상기 도전성 막을 패터닝하여 상기 제2 게이트 배선에 접속된 접속배선을 형성하는 공정;

상기 접속배선을 양극으로 하여 두번째 양극산화를 행하는 공정;

상기 2개의 투명기판들 사이에 액정물질을 주입하는 공정; 및

상기 접속배선을 절단하여 그 접속배선을 상기 제2 게이트 배선으로부터 분리하는 공정을 포함하는 것을 특징으로 하는 표시장치 제조방법.

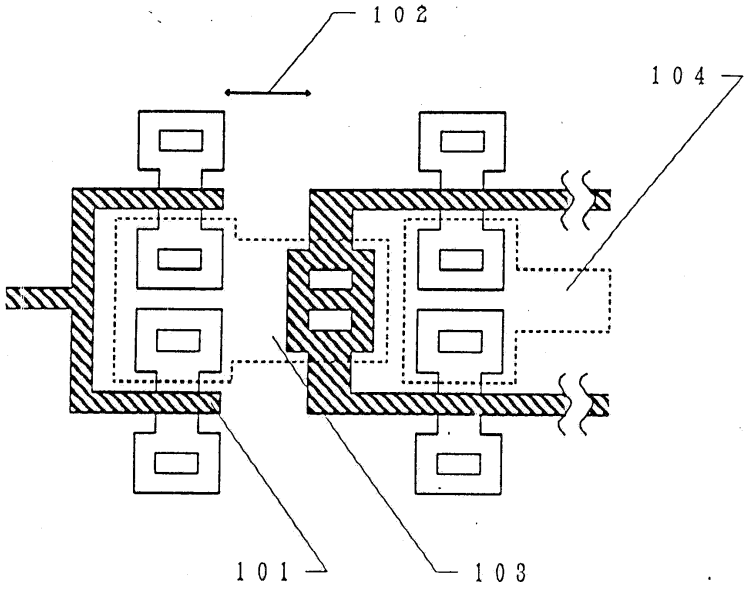
청구항 11.

제 10 항에 있어서, 상기 양극산화 가능한 재료가 알루미늄인 것을 특징으로 하는 표시장치 제조방법.

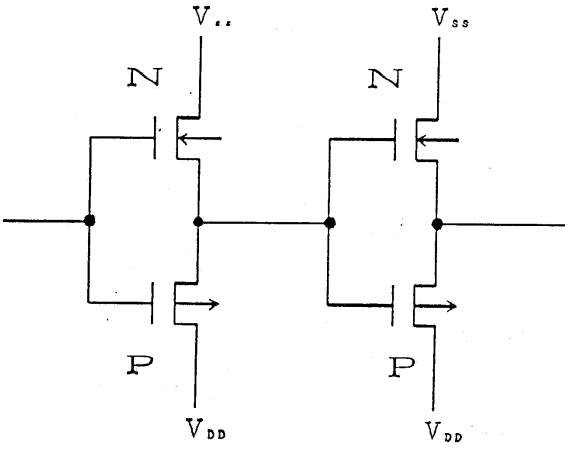
청구항 12.

제 10 항에 있어서, 상기 슬릿들이 형성되는 영역이 다른 영역보다 높은 집적도를 가지는 것을 특징으로 하는 표시장치 제조방법.

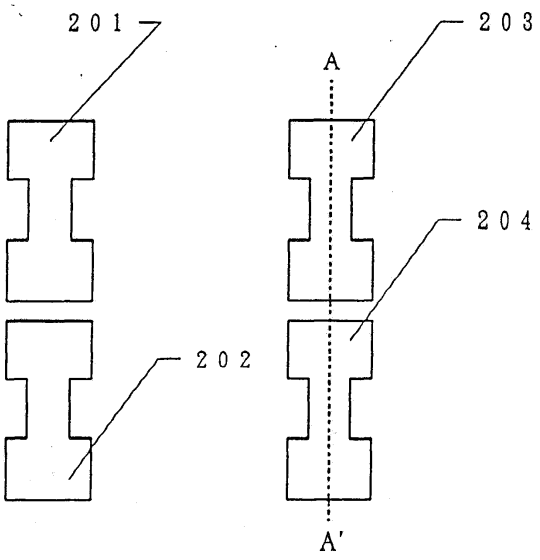
도면 1a



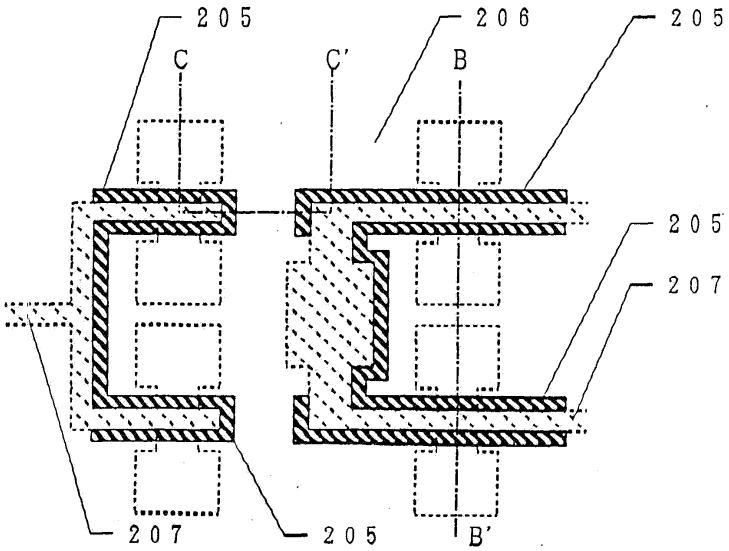
도면 1b



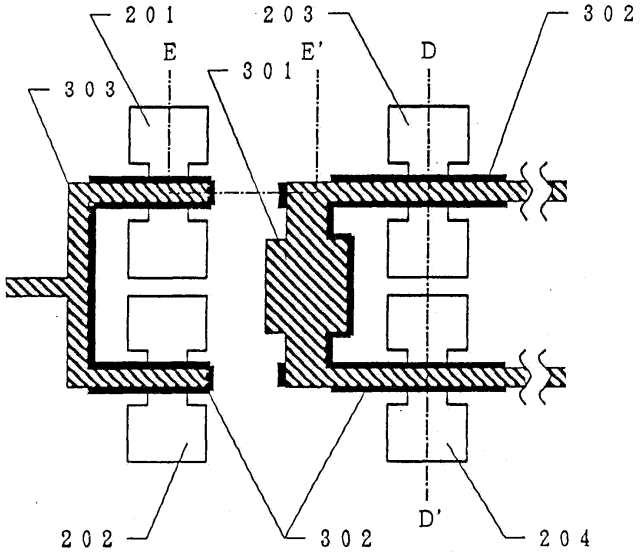
도면 2a



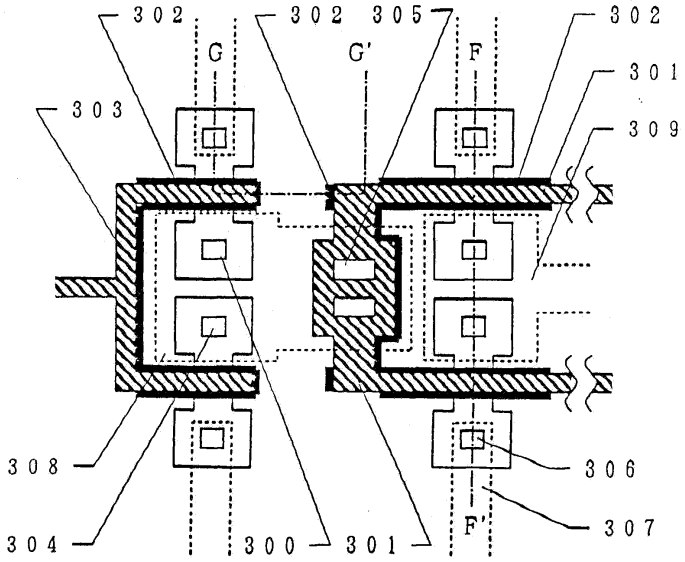
도면 2b


205
C
C'
206
B
205
205
207
207
205
B'

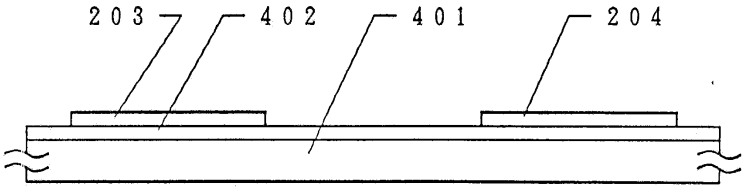
도면 3a


201
E
303
203
E'
301
D
302
202
302
D'
204

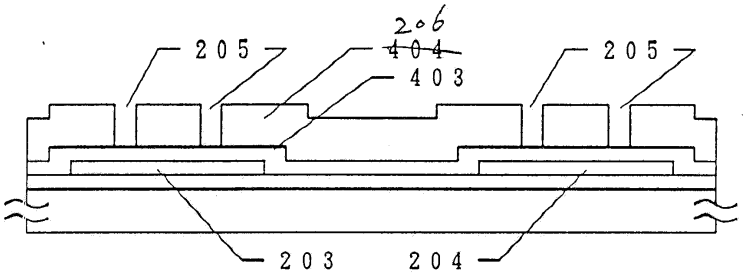
도면 3b



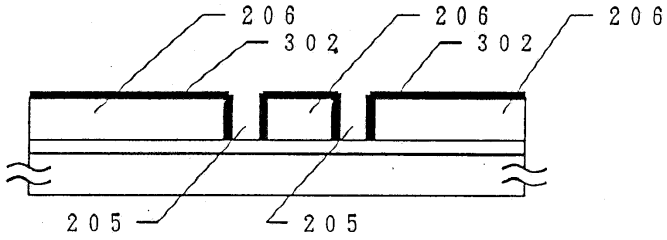
도면 4a



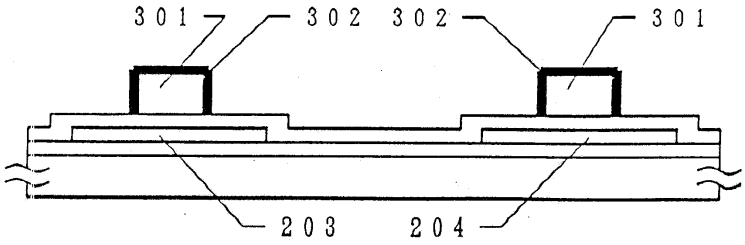
도면 4b



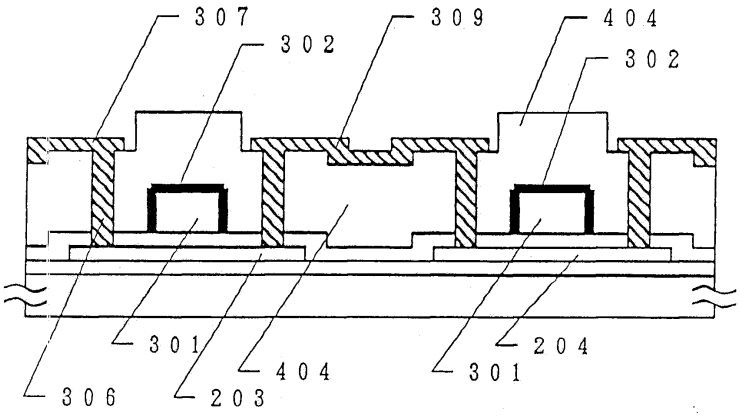
도면 4c



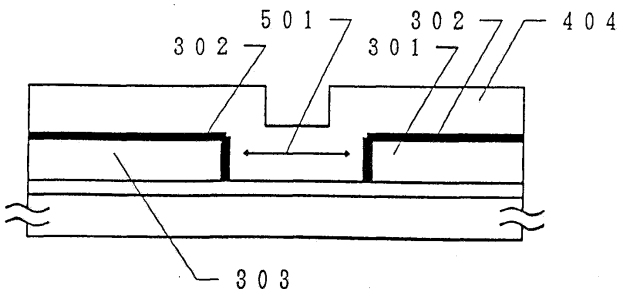
도면 4d



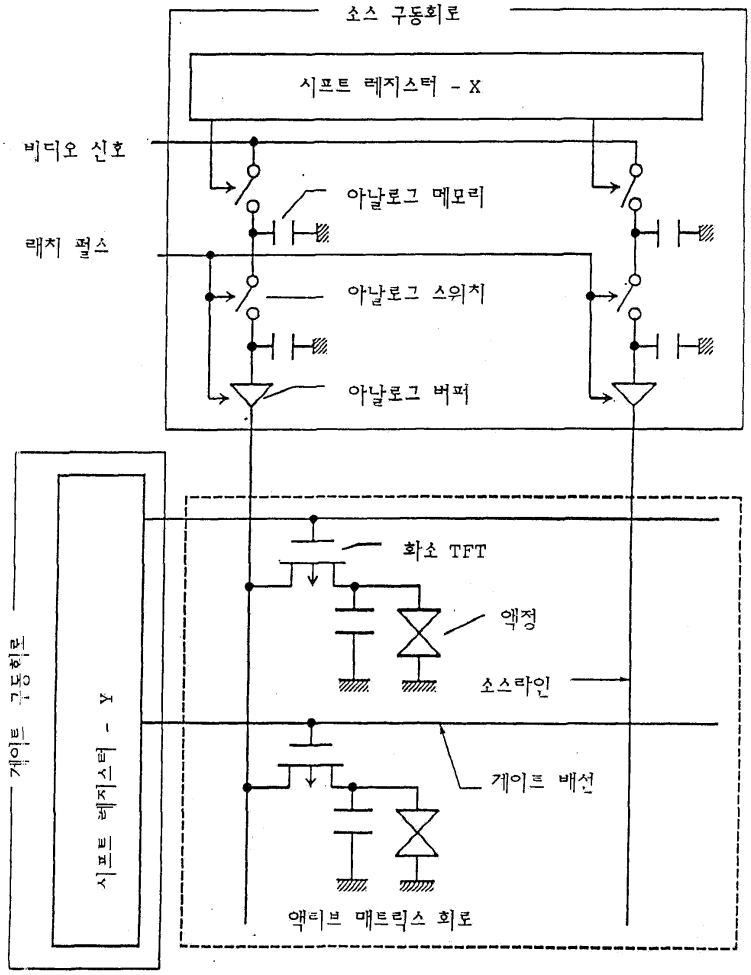
도면 5a



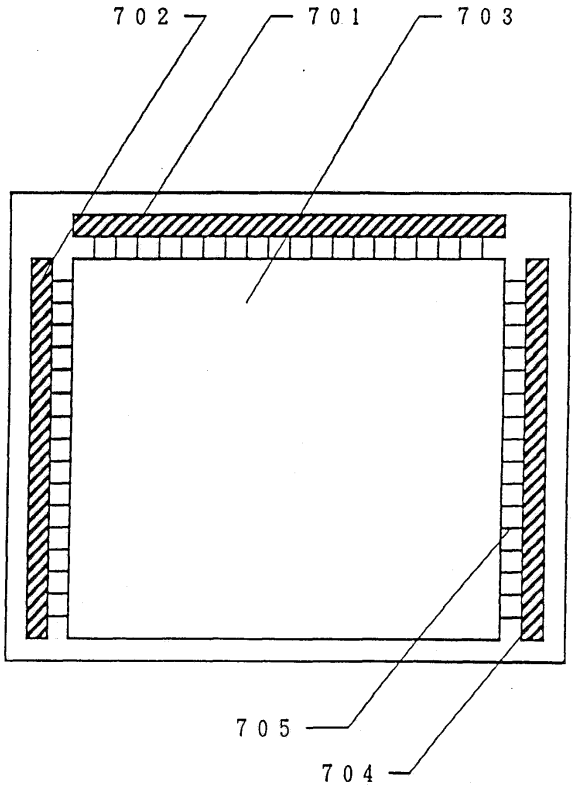
도면 5b


501
302
302
301
404
303

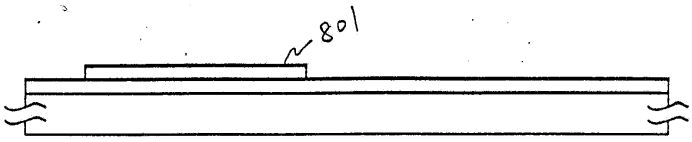
도면 6


소스 구동회로
시프트 레지스터 - X
비디오 신호
래치 펄스
아날로그 메모리
아날로그 스위치
아날로그 버퍼
화소 TFT
액정
소스라인
게이트 배선
액티브 매트릭스 회로
게이트 구동회로
시프트 레지스터 - Y

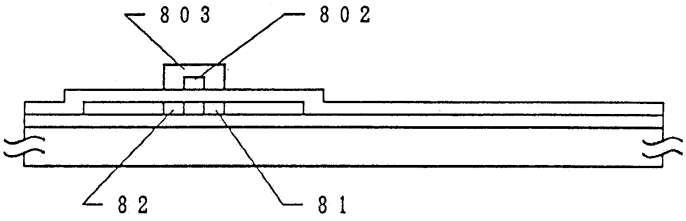
도면 7



도면 8a



도면 8b



도면 8c

