

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2016 年 2 月 11 日 (11.02.2016)



(10) 国际公布号
WO 2016/019651 A1

- (51) 国际专利分类号:
H02M 3/07 (2006.01) G11C 19/28 (2006.01)
G09G 3/36 (2006.01)
- (21) 国际申请号: PCT/CN2014/091062
- (22) 国际申请日: 2014 年 11 月 14 日 (14.11.2014)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201410380566.1 2014 年 8 月 4 日 (04.08.2014) CN
- (71) 申请人: 北京大学深圳研究生院 (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL) [CN/CN]; 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。
- (72) 发明人: 张盛东 (ZHANG, Shengdong); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 廖聪维 (LIAO, Congwei); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 胡治晋 (HU, Zhijin); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。 李文杰 (LI, Wenjie); 中国广东省深圳市南山区西丽深圳大学城北大湾区,

Guangdong 518055 (CN)。 李君梅 (LI, Junmei); 中国广东省深圳市南山区西丽深圳大学城北大湾区, Guangdong 518055 (CN)。

- (74) 代理人: 深圳鼎合诚知识产权代理有限公司 (DHC IP ATTORNEYS); 中国广东省深圳市福田区金田路与福华路交汇处现代商务大厦 2201, Guangdong 518048 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO,

[见续页]

(54) Title: CONTROLLABLE VOLTAGE SOURCE, SHIFT REGISTER AND UNIT THEREOF, AND DISPLAY

(54) 发明名称: 可控电压源、移位寄存器及其单元和一种显示器

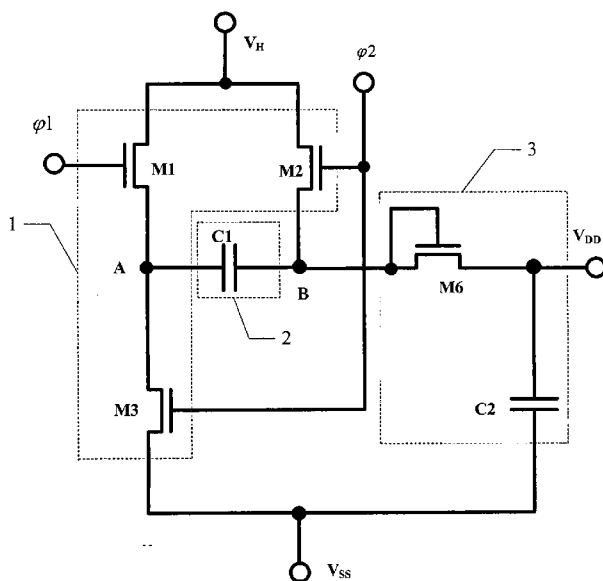


图 2 / FIG. 2

(57) Abstract: A controllable voltage source, comprising a control module (1), a storage module (2) and an output module (3); the control module (1) is coupled between a high level end and a low level end; the storage module (2) comprises a storage capacitor; two ends of the storage capacitor are respectively coupled to the control module (1) to form a first terminal and a second terminal; the output module (3) is coupled to the second terminal, and the signal output end thereof is used to output to an external circuit the voltage signal of the controllable voltage source; the control module (1) responds the effective level of a first clock signal so as to enable the first terminal to be coupled to the high level end, and the first terminal is charged from the high level end; the control module (1) responds the effective level of a second clock signal so as to enable the second terminal to be coupled to the high level end, and the second terminal is charged from the high level end; and the first terminal is coupled to the low level end and discharges via the low level end. The effective level of the first clock signal does not overlap with the effective level of the second clock signal. Also disclosed are a shift register and unit thereof, and display based on the controllable voltage source.

(57) 摘要:

[见续页]



RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, **本国际公布:**

CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, — 包括国际检索报告(条约第 21 条(3))。
TG)。

一种可控电压源，包括控制模块（1）、存储模块（2）和输出模块（3）。控制模块（1）用于耦合至高电平端和低电平端之间；存储模块（2）包括存储电容；存储电容的两端分别耦合至控制模块（1）形成第一端子和第二端子。输出模块（3）耦合至第二端子，其信号输出端用于向外部电路输出可控电压源的电压信号。控制模块（1）响应第一时钟信号的有效电平将第一端子耦合至高电平端，由高电平端向第一端子充电。控制模块（1）响应第二时钟信号的有效电平将第二端子耦合至高电平端，由高电平端向第二端子充电；将第一端子耦合至低电平端，第一端子通过低电平端放电。第一时钟信号的有效电平与第二时钟信号的有效电平不交叠。基于该可控电压源，还公开了一种移位寄存器及其单元以及显示器。

可控电压源、移位寄存器及其单元和一种显示器

技术领域

本申请涉及电子电路领域，具体涉及到一种可控电压源、移位寄存器及其单元和一种显示器。

背景技术

窄边框显示技术日益成为平板显示技术的主流，其技术核心是薄膜晶体管(thin film transistor, TFT)集成的行列驱动电路(Gate-driver on Array, 简称 GOA)。这主要为了减少 TFT 平板上行列驱动芯片的数量，以及相应的连接线数量，从而显著地缩小显示器的边框尺寸，使得整个 TFT 显示面板更加紧凑、美观，而且是为了减少显示模组的后道封装工艺数量。因此，集成行扫描驱动电路可以降低显示器的制造成本、提高显示模组的良率，从而提高 TFT 屏幕的分辨率和整体的可靠性。

TFT 集成化的行扫描驱动电路设计的关键问题在于如何提高其可靠性。在行扫描驱动电路中，起到低电平维持作用的 TFT 长时间处于正极性栅极电压偏置，因此这些低电平维持 TFT 的阈值电压随着工作时间的推移而增加。当低电平维持 TFT 的阈值电压漂移达到一定的量之后，行扫描驱动电路将发生失效。对于台式机显示器或者电视面板而言，由于使用时间长，TFT 集成化的行扫描驱动电路的可靠性问题尤其突出。然而，国际上出现的 TFT 集成的行驱动电路设计都还只是从 TFT 器件着手，主要抑制器件的电学特性漂移，以提高 GOA 电路的可靠性。从电路结构来看，迄今为止所报道的各种 GOA 电路中，低电平维持 TFT 几乎均采用了恒定栅偏压模式。然而，从 GOA 电路的工作原理分析，这样的偏置导致相关 TFT 在很长时间一直处于无必要的过高的栅偏压状态下，使得 TFT 的阈值电压漂移过快，电路的寿命难以延长。以图 14 所示的 GOA 基本电路结构为例，几乎所有的 GOA 电路都包含以下 3 个基本模块：输入、输出和低电平维持模块。其中 T100 是输入器件；T200 是输出器件，输出行线的扫描脉冲信号；T300 和 T400 是低电平维持器件，一般而言 T300 和 T400 的栅极输入的高电平电压为恒定值。通常在 TFT 栅电极和源漏电极之间存在着相当大的交叠电容，如图 14 中所示的 T200 的 C_{GD} 。在低电平维持期间，当 T200 漏端的时钟信号每次从低电平跳变为高电平时，原本处在低电平的 T200 栅电位由于 C_{GD} 的耦合也将随之上升，如果这个上升不能得到有效控制，将使得 T200 进入亚阈值区甚至导通，这将导致相当大的电流给输出端充电，输出端的低电平将不能维持。不过，此时，T300 和 T400 处于导通态，分别抑制 T200 的栅电位上升和给输出端放电，维持了输出端的低电平。但是，TFT 的

一个主要问题是其阈值电压在电应力下随时间不断增加，从而导致导通能力不断减弱，这样，当其阈值电压从初始值（如 V_{TH0} ）增加到某一临界值（如 V_{THC} ）后，T300 和 T400 将不再能有效压制 T200 的栅电位上升和给输出端放电，电路因而失效。

由上述 GOA 电路工作原理可知，需要 T300 和 T400 栅过驱动电压（栅源电压与阈值电压之差）略大于差值（ $V_{GH} - V_{THC} - V_{GL}$ ）才能确保电路正常工作，其中 V_{GH} 和 V_{GL} 分别为驱动 T300 和 T400 的时钟信号的高、低电平。但迄今所有的 GOA 电路中，低电平维持器件的驱动时钟信号的电平为恒定的，因此 T300 和 T400 的栅过驱动电压大部分时间内，特别是早期，远远大于差值（ $V_{GH} - V_{THC} - V_{GL}$ ）。比如， V_{GH} 、 V_{THC} 、 V_{TH0} 和 V_{GL} 分别为 25V、20V、3V 和 0V，则电路工作的早期，T300 和 T400 的栅过驱动电压略大于 5 V 即可，但过驱动电压的实际的值（ $V_{GH} - V_{TH0} - V_{GL}$ ）达到了 22 V。理论和实验研究均已经表明，TFT 的阈值电压的漂移速度随过驱动电压的增加而显著增加。因此，在现行的 GOA 电路中，时钟信号的高电平为恒定的驱动方法造成了相关 TFT 阈值电压漂移过快，电路寿命难以延长。

发明内容

本申请提供一种可控电压源、移位寄存器及其单元和一种显示器，以实现供给外部电路的电压可调。

根据本申请的第一方面，本申请提供一种可控电压源，包括：控制模块、存储模块和输出模块。其中，

控制模块用于耦合至高电平端和低电平端之间；

存储模块包括存储电容；存储电容的两端分别耦合至控制模块形成第一端子和第二端子。

输出模块耦合至第二端子，其信号输出端用于向外部电路输出可控电压源的电压信号。

控制模块响应第一时钟信号的有效电平将第一端子耦合至高电平端，由高电平端向第一端子充电。

控制模块响应第二时钟信号的有效电平将第二端子耦合至高电平端，由高电平端向第二端子充电；将第一端子耦合至低电平端，第一端子通过低电平端放电。

第一时钟信号的有效电平与第二时钟信号的有效电平不交叠。

根据本申请的第二方面，本申请提供一种移位寄存器，包括：至少一个移位寄存器单元、隔离模块和上述可控电压源。其中，

移位寄存器单元包括：

驱动模块，用于通过开关状态切换，将第一信号传送到移位寄存器单元的信号输出端，从而输出扫描信号；

输入模块，用于控制驱动模块切换开关状态；

低电平维持模块，用于通过开关状态切换，在该移位寄存器单元输出扫描信号后将驱动模块的信号输出端维持在低电平。

可控电压源的信号输出端耦合至低电平维持模块的低电平维持使能端；

可控电压源调整输出给低电平维持使能端的供电电压。

根据本申请的第三方面，本申请提供一种显示器，包括：

由多个像素构成的二维像素阵列，以及与阵列中每个像素相连的第一方向的多条数据线和第二方向的多条栅极扫描线；

数据驱动电路，为数据线提供数据信号；

栅极驱动电路，采用上述移位寄存器构成，为栅极扫描线提供栅极驱动信号。

本申请的有益效果是：根据本申请提供的可控电压源，可以通过调整第一时钟信号和/或第二时钟信号的占空比、幅度，以及第一时钟信号和第二时钟信号的时钟时序，来调整输出给外部电路的供电电压，从而能够补偿长时间工作后、或者环境温度变化造成的电路性能劣化。

根据本申请提供的移位寄存器，通过可控电压源调整输出给低电平维持使能端的供电电压，能够尽可能地补偿低电平维持晶体管的阈值电压漂移，从而延长电路的寿命。

附图说明

图 1 是现有移位寄存器单元电路结构图；

图 2 是本申请实施例一公开的一种可控电压源电路结构图；

图 3 是本申请实施例一可控电压源工作时序的 SPICE 模拟结果；

图 4 是本申请实施例二公开的一种可控电压源电路结构图；

图 5 是本申请实施例二可控电压源自适应偏置的 SPICE 模拟结果；

图 6 是本申请实施例三公开的移位寄存器单元电路结构图；

图 7 是本申请实施例三的移位寄存器单元的 SPICE 模拟结果；

图 8 是本申请实施例四公开的现有移位寄存器单元另一种电路结构图；

图 9 是本申请实施例四公开的可控电压源电路结构图；

图 10 是本申请实施例四的移位寄存器单元的 SPICE 模拟结果；

图 11 是本申请实施例四公开的移位寄存器电路结构图；

图 12 是本申请实施例四移位寄存器补偿模拟结果示意图；

图 13 是本申请实施例四还公开的一种显示器结构图；

图 14 是常规驱动情况下移位寄存器单元基本结构示意图。

具体实施方式

下面通过具体实施方式结合附图对本发明作进一步详细说明。

首先对一些术语进行说明：

本申请中的开关管为晶体管。

本申请中的晶体管可以为双极型晶体管或场效应晶体管。当晶体管为双极型晶体管时，其控制极是指双极型晶体管的基极，第一极可以为双极型晶体管的集电极或发射极，对应的第二极可以为双极型晶体管的发射极或集电极；当晶体管为场效应晶体管时，其控制极是指场效应晶体管的栅极，第一极可以为场效应晶体管的漏极或源极，对应的第二极可以为场效应晶体管的源极或漏极。显示器中的晶体管通常为一种场效应晶体管：薄膜晶体管(TFT)。下面以晶体管为场效应晶体管为例对本申请做详细的说明，在其它实施例中晶体管也可以是双极型晶体管。

交叠是指两路信号至少在某一相同时刻都处于有效电平状态，因此，不交叠为两路信号没有共同处于有效电平状态的时刻。

有效电平可以是高电平，也可以是低电平，在本实施例中，有效电平为高电平。

请参考图 1，以移位寄存器单元为例对本实施例所依据的发明构思进行说明。图中，T1~T7 为常规移位寄存器单元的逻辑功能实现器件，在低电平维持阶段，T5 和 T7 在低电平维持使能端 P 获得使能信号后，将移位寄存器单元的信号输出端和驱动控制端 Q 耦合到低电平端，以保持其低电平 V_L 。通常低电平维持使能端 P 的使能信号为高电平（由 V_{DD} 提供），因此，T5 和 T7 长期在高电平的作用下，可能会发生阈值电压漂移。当 T5 和 T7 发生阈值电压漂移时，低电平维持使能端 P 获得的使能信号也应当作相应的调整，以使得移位寄存器单元的信号输出端和驱动控制端 Q 可靠地耦合到低电平端。

基于此，本实施例公开了一种可控电压源，以调整给输出低电平维持使能端 P 的电压使能信号，下面结合具体实施例进行说明。

实施例一：

请参考图 2，为本实施例公开的一种可控电压源电路结构图，该可控电压源包括：控制模块 1、存储模块 2 和输出模块 3。其中，

控制模块 1 用于耦合至高电平端和低电平端之间。

存储模块 2 包括存储电容 C1，其两端分别耦合至控制模块 1 形成第一端子 A 和第二端子 B。

输出模块 3 耦合至第二端子 B，其信号输出端用于向外部电路输出可控电压源的电压信号 V_{DD} 。

控制模块 1 响应第一时钟信号 ϕ_1 的有效电平将第一端子 A 耦合至高电平端，由高电平端向第一端子 A 充电。

控制模块 1 响应第二时钟信号 ϕ_2 的有效电平将第二端子 B 耦合至高电平端，由高电平端向第二端子 B 充电；将第一端子 A 耦合至低电平

端，第一端子 A 通过低电平端放电。

其中，第一时钟信号 ϕ_1 的有效电平与第二时钟信号 ϕ_2 的有效电平不交叠。

在一种具体实施例中，控制模块 1 包括：第一晶体管 M1、第二晶体管 M2 和第三晶体管 M3。第一晶体管 M1 的第一极（例如漏极）和第二晶体管 M2 的第一极（例如漏极）耦合并用于耦合至高电平端；第一晶体管 M1 的第二极（例如源极）和第二晶体管 M2 的第二极（例如源极）分别耦合至存储电容 C1 的两端分别形成第一端子 A 和第二端子 B；第一晶体管 M1 的控制极（例如源栅极）用于输入第一时钟信号 ϕ_1 ；第二晶体管 M2 的控制极（例如源栅极）用于输入第二时钟信号 ϕ_2 。

输出模块 3 包括第六晶体管 M6，第六晶体管 M6 的第一极（例如漏极）与控制极（例如栅极）耦合并耦合至第二端子 B；第六晶体管 M6 的第二极（例如源极）为输出模块 3 的信号输出端。

为了实现对输出模块 3 信号输出端的滤波，在优选的实施例中，输出模块 3 还可以进一步包括滤波电容 C2，滤波电容 C2 的一端耦合至第六晶体管 M6 的第二极，滤波电容 C2 的另一端用于耦合至低电平端。

在优选的实施例中，输出模块 3 还可以进一步包括第七晶体管 M7。第七晶体管 M7 的第一极（例如漏极）耦合至输出模块 3 的信号输出端，第七晶体管 M7 的第二极（例如源极）用于耦合至低电平端，第七晶体管 M7 的控制极（例如栅极）用于输入下拉控制信号。第七晶体管 M7 响应下拉控制信号的有效电平导通将输出模块 3 的信号输出端耦合至低电平端，从而使得当该可控电压源为被选通状态时，保持输出模块 3 的信号输出端的电位为低电平 V_{SS} 。

在本实施例中，高电平端的电位为高电平电压 V_H ，低电平端的电位为低电平电压 V_{SS} 。

图 3 是本实施例可控电压源工作时序的 SPICE 模拟结果（图 3 中， V_{CK} 为第一时钟信号 ϕ_1 和第二时钟信号 ϕ_2 的时序，其中，实线为第一时钟信号 ϕ_1 的时序，虚线为第二时钟信号 ϕ_2 的时序），其基于电容自举的输出信号幅度可控工作过程如下：

（1）电荷存储阶段

在可控电压源工作的前期，当第二时钟信号 ϕ_2 为高电平，第一时钟信号 ϕ_1 为低电平时，第一晶体管 M1 为关断，第二晶体管 M2 和第三晶体管 M3 为开启。于是，存储电容 C1 的第一端子 A 被下拉到低电平电压 V_{SS} ，存储电容 C1 的第二端子 B 被上拉到高电平电压 V_H 。因此，存储电容 C1 在 B-A 方向存储着电压差 $V_H - V_{SS}$ 。但是因为时钟信号（如 ϕ_2 ）的高电平持续时间有限，而且 TFT 的导通能力受限，因此实际的存储电容 C1 上存储着的电压值 $V_{C1} = \Delta V$ ，其中， ΔV 小于 $V_H - V_{SS}$ 。

(2) 电压自举阶段

在可控电压源工作的前期, 当第二时钟信号 ϕ_2 为低电平, 第一时钟信号 ϕ_1 为高电平时, 第一晶体管 M1 为开启, 第二晶体管 M2 和第三晶体管 M3 为关断。于是, 存储电容 C1 的第一端子 A 被上拉到高电平电压 V_H 。由于存储电容 C1 在前一个阶段已经在 B-A 方向被充电到较高电压, 因此 C1 的第二端子 B 被自举到较高电位 $\Delta V + V_H$ 。

值得注意的是, 在电压自举阶段, 第六晶体管 M6 也是处于开启状态。于是存储电容 C1 上的存储电量通过第六晶体管 M6 给输出端子 V_{DD} 上的负载电容充电。该充电过程只有在存储电容 C1 的第二端子 B 被自举到较高电位、第六晶体管 M6 处于开启状态时才能发生。因此, 如图 3 所示, 在电压自举阶段, 存储电容 C1 上的电压差减少。因此, 在电压自举阶段, 可控电压源的输出电位 V_{DD} 发生接近线性关系的抬升。

(3) 电压稳定输出阶段

以上所述的两个过程, (1)电荷存储阶段, 和(2)电压自举阶段, 需要进行若干个周期之后, 可控电压源的输出电压信号 V_{DD} 才逐步地达到了稳态值。存储电容 C1 在第一时钟信号 ϕ_1 的高电平期间的电压值增加量和其在第二时钟信号 ϕ_2 的高电平期间的电压值损失量逐步达到平衡。于是, 虽然存储电容 C1 的端子 A 和 B 仍然由于充放电的关系在不同的电平状态之间切换, 但是存储电容 C1 上的电压值相对稳定, 输出值也趋于稳定。

本实施例公开的可控电压源, 通过调整第一时钟信号 ϕ_1 和/或第二时钟信号 ϕ_2 的占空比、幅度, 第一时钟信号 ϕ_1 和第二时钟信号 ϕ_2 的时钟时序, 能够调整输出电压信号 V_{DD} 的幅值。例如减小第一时钟信号 ϕ_1 和第二时钟信号 ϕ_2 的占空比, 输出电压信号 V_{DD} 的幅值降低。减小第一时钟信号 ϕ_1 或者第二时钟信号 ϕ_2 的电压幅度, 输出电压信号 V_{DD} 的幅值降低。该电压源电路的由 TFT 构成, 可以与例如行扫描电路、TFT 阵列等电路集成在同一块基板上。这种电压源电路具有的优势包括: 能够节省电压源外围的脉宽控制集成 (电源 IC), 而且减少界面处过高的电源电压, 于是抑制了电磁干扰对界面处的影响。同时采用这种方式来调整输出给外部电路的供电电压, 从而补偿长时间工作后、或者环境温度变化造成的电路性能劣化。以环境温度变化为例, 在恶劣低温环境下, a-Si TFT 等晶体管的导通电流由于有效迁移率降低、阈值电压增加等原因而减少, 于是其驱动能力退化。为了补偿这种由于温度变化而造成的电路性能劣化, 这种电路可以通过调高第一时钟信号 ϕ_1 和/或第二时钟信号 ϕ_2 的占空比和频率, 从而输出更高的驱动电压给外部 TFT 电路, 从而维持其相对恒定的电路性能, 使得电路系统即使在恶劣低温环境下也能正常地工作。

实施例二:

实施例一公开的可控电压源电路还能感应 TFT 的特性改变,例如它的阈值电压漂移,或者因为温度的改变其电流-电压特性发生改变。根据 TFT 的特性改变,该电压源的输出电压信号 V_{DD} 会相应地调整,从而使系统的响应能够跟随 TFT 特性的改变而调整,实现可控电压源的自适应偏置。

下面以感应外部电路的待感应元件的阈值电压为例进行说明,请参考图 4,为本实施例公开的可控电压源电路结构原理图,与实施例一不同之处在于,本实施例公开的可控电压源还包括:阈值调制模块 4。阈值调制模块 4 分别与第一端子 A 和第二端子 B 耦合;阈值调制模块 4 还用于耦合至低电平端;阈值调制模块 4 的感应端用于耦合至外部电路的待感应元件,用于感应待感应元件的阈值电压并反馈至第一端子 A 和/或第二端子 B。

在一种具体实施例中,阈值调制模块 4 包括:第四晶体管 M4 和第五晶体管 M5。第四晶体管 M4 的第一极(例如漏极)耦合至第一端子 A,第二极(例如源极)用于耦合至低电平端;第五晶体管 M5 的第一极(例如漏极)耦合至第二端子 B,第二极(例如源极)用于耦合至低电平端;第四晶体管 M4 的控制极(例如栅极)与第五晶体管 M5 的控制极(例如栅极)耦合形成感应端。

在其它实施例中,阈值调制模块 4 也可以通过其它方式实现,例如光耦等。

本实施例公开的可控电压源工作过程可参见实施例一,在此不再赘述。

需要说明的是,在以上工作过程中,存储电容 C1 上存储着的电压 V_{C1} 在电荷存储阶段以及电压自举阶段的值还受到第四晶体管 M4 和第五晶体管 M5 的调制。由于 M4 和 M5 的控制极(例如栅极)形成的感应端耦合到待感应元件(例如待感应晶体管的控制极),因此 M4 和 M5 会感应到待感应元件的阈值电压漂移。随着电路工作时间的推移, M4 和 M5 的阈值电压 ΔV_{TH} 增加,于是它们的导通能力变差。所以,在发生阈值电压漂移之后,存储电容 C1 在第一端子 A 和第二端子 B 上能够存储更多的电压,同时在电压自举阶段, V_{C1} 的损失量也更少。综合以上这两方面的原因,随着阈值电压的漂移,可控电压源输出的电压信号 V_{DD} 的值会相应地增加。

图 5 为本实施例可控电压源自适应偏置的 SPICE 模拟结果。图 5 中表示了在阈值电压 ΔV_{TH} 的值从 0V 增加到 25V 时, V_{DD} 的值相应地从 0V 增加到 22V。这证明了这种电压源的机理正确,而且阈值电压响应的线性度较好。值得指出的是, V_{DD} 的值对于 ΔV_{TH} 的补偿并没有达到

100%，根据 SPICE 仿真，其补偿率约等于 88%。这意味着 TFT 集成的电路（例如移位寄存器）中，其待感应元件（例如下拉晶体管）的驱动能力仍然会存在一定的退化。但是，相比于恒定电压驱动模式情况下，本实施例公开的可控电压源能够感应待感应元件的阈值电压漂移，自适应地调整输出电压信号。这种自补偿电路的寿命将极大地延长。

实施例三：

上述实施例公开的可控电压源适用于向任何设备电路提供供电电压，以移位寄存器单元为例进行说明。请参考图 6，为本实施例公开的移位寄存器单元电路结构图。该移位寄存器单元包括：驱动模块 20、输入模块 10、低电平维持模块 30 和上述可控电压源 40。其中，

驱动模块 20，用于通过开关状态切换，将第一信号 V_A 传送到移位寄存器单元的信号输出端，从而输出扫描信号。在其驱动控制端 Q 充电获得驱动电压后，将第一信号 V_A 传送到移位寄存器单元的信号输出端。在一种具体实施例中，驱动模块 20 可以包括用于耦合到移位寄存器单元的信号输出端的晶体管 T2 和用于存储驱动控制端 Q 电荷的电容 C_s ，在其它实施例中，也可以是其它现有的驱动方式。

输入模块 10，用于控制驱动模块 20 切换开关状态。例如用于从第一脉冲信号输入端输入第一脉冲信号 V_{I1} ，给驱动模块 20 的驱动控制端 Q 充电提供驱动电压；还用于从第二脉冲信号输入端输入第二脉冲信号 V_{I2} ，将移位寄存器单元的信号输出端和驱动控制端 Q 耦合至低电平端。在一种具体实施例中，输入模块 10 可以包括用于输入第一脉冲信号 V_{I1} 的晶体管 T1 和用于输入第二脉冲信号 V_{I2} 的晶体管 T3，在其它实施例中，也可以是其它现有的输入方式。

低电平维持模块 30，用于通过开关状态切换，在该移位寄存器单元输出扫描信号后将驱动模块 20 的信号输出端维持在低电平。在其低电平维持使能端 P 获得使能信号 V_P 后，将移位寄存器单元的信号输出端和驱动控制端 Q 耦合到低电平端。在本实施例中，所称使能信号 V_P 为高电平信号。在一种具体实施例中，低电平维持模块 30 包括晶体管 T5 和晶体管 T7，晶体管 T5 的控制极（例如栅极）和晶体管 T7 的控制极（例如栅极）耦合到低电平维持使能端 P，晶体管 T5 的控制极（例如栅极）和晶体管 T7 的第二极（例如源极）用于耦合到低电平端；晶体管 T5 的第一极（例如漏极）耦合到驱动控制端 Q；晶体管 T7 的第一极（例如漏极）耦合到移位寄存器单元的信号输出端。当然，在另一种实施例中，低电平维持使能端 P 和低电平端之间还可以进一步耦合晶体管 T6，晶体管 T6 的控制极（例如栅极）耦合到驱动控制端 Q，用于在自举阶段将 T5 和 T7 关断。在其它实施例中，也可以是其它现有的低电平维持方式。

需要说明的是，上述各个模块只是以示例的方式原理性地阐述移位

寄存器单元，各模块均可采用现有的技术方案，因此，上述各模块中，有些细节并未详细描述，本领域普通技术人员依据现有的技术方案能够实现移位寄存器单元各模块之间的连接。当然，在现有技术中，为了实现移位寄存器单元的信号输出端的输出信号 V_O 进行滤波等，在移位寄存器单元的信号输出端还可以进一步耦合用于滤波的电容 C_L 和电阻 R_L 。

可控电压源 40，其信号输出端耦合至低电平维持模块 30 的低电平维持使能端 P，用于调整输出给低电平维持使能端 P 的供电电压。

低电平维持模块 30（如晶体管 T5 和 T7）的阈值电压会在长时间工作之后增加，于是 T5 和 T7 的过驱动电压减少，或者说它们的过驱动能力降低，因此，为了感应低电平维持模块 30 的阈值电压，以动态调节输出给低电平维持模块 30 的供电电压，可控电压源 40 优选还包括阈值电压调制模块 4。阈值调制模块 4 的感应端耦合至低电平维持模块 30 的低电平维持使能端 P，可控电压源感应低电平维持模块 30 的阈值电压，根据阈值电压调整输出给低电平维持使能端 P 的供电电压。

需要说明的是，由于可控电压源 40 的信号输出端及其感应端耦合在移位寄存器单元的同一端口，即低电平维持使能端 P。为了防止移位寄存器单元中不稳定的信号对可控电压源造成影响，应当在可控电压源的信号输出端和低电平维持使能端 P 之间串联隔离模块。隔离模块可以拖过电容、电感、互感或其它方式实现，在优选的实施例中，隔离模块包括晶体管 T4，晶体管 T4 耦合在可控电压源的信号输出端和低电平维持使能端 P 之间。具体为：晶体管 T4 的第二极（例如源极）耦合到低电平维持使能端 P，第一极（例如漏极）与控制极（例如栅极）耦合到可控电压源的信号输出端。晶体管 T4 用于向低电平维持使能端 P 传输自适应电压 V_{DD} 。

上述移位寄存器单元工作所需的时钟信号优选具有相同的时钟周期。可控电压源中的第一时钟信号 ϕ_1 和第二时钟信号 ϕ_2 也可以由移位寄存器单元中任意两路不交叠的信号提供。在本实施例中，在低电平维持阶段，电压源的高电平端应保持高电平 V_H ，高电平端的电位可以由外界电源提供，也可以由移位寄存器单元中的时钟信号提供，或者其它能够保持电压源的高电平端为高电平 V_H 的方式实现。

请参考图 7，为本实施例的移位寄存器单元的 SPICE 模拟结果，图 7 分别表示了行移位寄存器单元电路中驱动控制端 Q、低电平维持使能端 P 和输出信号 V_O 的波形，图 7 中分别对应为 V_Q 、 V_{DD} 和 V_O 。该模拟结果验证了所设计的 TFT 集成的移位寄存器单元电路和可控电压源工作过程正确。值得注意的是，在驱动控制端 Q 发生自举或者电压耦合的过程中，可控电压源可能会受到影响，发生电压馈通效应。但是可以将

各级的移位寄存器单元电路的 V_{DD} 端口都并联在一起，所以在 V_{DD} 端口上有数值较大的存储电容，该电容能够起到滤波稳压的作用，抑制电压馈通效应的影响。

采用上述可控电压源可以有效地调节移位寄存器单元的低电平维持使能端 P 的电位 V_P ，能够得到有效地补偿执行低电平维持工作的晶体管的阈值电压漂移，从而使得该晶体管获得较长的工作寿命。

实施例四：

通常，移位寄存器单元都会优选地配备两套低电平维持模块，交替工作维持移位寄存器单元的信号输出端的低电平。请参考图 8，为本实施例移位寄存器单元电路结构图。相比于实施例三，本实施例移位寄存器单元电路具有两个并联的低电平维持模块。其第一低电平维持模块包括晶体管 T5、T6 和 T7，T5 的控制极（例如栅极）、T7 的控制极（例如栅极）和 T6 的第一极（例如漏极）相互耦合形成的第一低电平维持使能端 P1，T5 的第一极（例如漏极）耦合至驱动控制端 Q，T5、T6 和 T7 的第二极（例如源极）用于耦合至低电平端；第二低电平维持模块包括 T9、T10 和 T11，T9 的控制极（例如栅极）、T11 的控制极（例如栅极）和 T10 的第一极（例如漏极）相互耦合形成的第二低电平维持使能端 P2，T9 的第一极（例如漏极）耦合至驱动控制端 Q，T9、T10 和 T11 的第二极（例如源极）用于耦合至低电平端。本实施例中，采用两个电路结构相同的可控电压源，将该两个可控电压源的信号输出端分别耦合至 P1 和 P2 以向各低电平维持模块提供供电电压。

当然，在优选的实施例中，可控电压源还可以分别感应两个低电平维持模块的阈值电压。根据实施例三的描述，可控电压源的信号输出端和低电平维持使能端之间应串联隔离模块。因此，在优选的实施例中，第一低电平维持模块还包括晶体管 T4，T4 的控制极（例如栅极）和第一极（例如漏极）短接并且耦合到第一可控电压源的信号输出端，用于输入第一可控电压源的输出电压信号 V_{DD1} ，T4 的第二极（例如源极）耦合到第一低电平维持使能端 P1；第二低电平维持模块还包括晶体管 T8，T8 的控制极（例如栅极）和第一极（例如漏极）短接并且耦合到第二可控电压源的信号输出端，用于输入第二可控电压源的输出电压信号 V_{DD2} ，T8 的第二极（例如源极）耦合到第二低电平维持使能端 P2。

其中，第一可控电压源的输出电压信号 V_{DD1} 和第二可控电压源的输出电压信号 V_{DD2} 的周期远大于移位寄存器单元电路工作时钟信号的周期。请参考图 9，为本实施例的基于电容自举的幅度自适应一对可控电压源电路结构。该可控电压源由两个上述实施例的可控电压源构成，分别产生 V_{DD1} 和 V_{DD2} 。 V_{DD1} 或者 V_{DD2} 的产生原理与上述可控电压源类似，相同之处这里不再赘述。图 9 所示的这种成对产生 V_{DD1} 和 V_{DD2} 的不同

之处在于:

该两个可控电压源的高电平端的输入信号 $V1$ 和 $V2$ 是互补的两个低频脉冲信号, 而不是直流电压信号。于是在 $V1$ 为高电平时, $V2$ 为低电平, 输出电压 V_{DD1} 为高电平, 而输出电压 V_{DD2} 为低电平。在这种情况下, 对应地, 移位寄存器单元电路的第一低电平维持模块处于工作状态, 第二低电平维持模块为休息状态。反之, 当 $V1$ 为低电平时, $V2$ 为高电平, 输出电压 V_{DD1} 为低电平, 而输出电压 V_{DD2} 为高电平。于是, 对应地移位寄存器单元电路的第一低电平维持模块为休息状态, 而第二低电平维持模块为工作状态。

当然在优选的实施例中, 该两个可控电压源的输出模块应分别包括复位晶体管, 如图 9 所示的第七晶体管 $M7$ 和第十四晶体管 $M14$, 其中, 第十四晶体管 $M14$ 的耦合方式可参见第七晶体管 $M7$ 的方案, 在此不再赘述。其中, $M7$ 的作用是其控制极 (例如栅极) 响应下拉控制信号的有效电平导通将 V_{DD1} 下拉到低电平电压 V_{SS} ; 类似的, $M14$ 的作用是其控制极 (例如栅极) 响应下拉控制信号的有效电平导通将 V_{DD2} 下拉到低电平电压 V_{SS} 。

需要说明的是, 由于有效电平优选为高电平, 而 $V1$ 和 $V2$ 互补, 因此, 可以优选将 $V2$ 的作为第七晶体管 $M7$ 的下拉控制信号, 即第七晶体管 $M7$ 的控制极 (例如栅极) 优选输入信号为 $V2$; 而 $M14$ 的下拉控制信号优选为 $V1$, 即 $M14$ 的控制极 (例如栅极) 优选输入信号为 $V1$ 。此时, 可以保证当其中一个可控电压源工作输出 V_{DD1} (或者 V_{DD2}) 时, 另一个可控电压源休眠将 V_{DD2} (或者 V_{DD1}) 下拉至低电平电压。

图 10 为本实施例的移位寄存器单元的 SPICE 模拟结果。如图 10 所示, $V1$ 和 $V2$ 的周期为 20ms, 于是对应地, 在 10ms 的工作时间之后, V_{DD1} 和 V_{DD2} 的电压状态发生翻转, 两个低电平维持模块切换它们的工作状态。值得指出的是, 在实际的应用中, $V1$ 和 $V2$ 的周期可以被进一步地拉长, 于是 V_{DD1} 和 V_{DD2} 的切换频率更低。

在 V_{DD1} 和 V_{DD2} 的工作频率更低的情况下, 具有的有益效果为如下三点:

- 1、低电平维持部分更好地抑制时钟馈通效应, 于是输出部分的噪声电压更小。这主要是因为移位寄存器的驱动控制端 Q 被低电平维持部分稳定在低电平 V_{SS} , 即使时钟信号 V_A 发生周期性地跳变, 驱动控制端 Q 的电位也不会受到扰动, 于是晶体管 $T2$ 保持为关闭的状态, 从而减少了输出部分的噪声量。

- 2、第一低电平维持使能端 $P1$ 和第二低电平维持使能端 $P2$ 处于脉冲电压模式, 换言之, 两个低电平维持模块可以交替地被开启。因此, 低电平维持 TFT 不仅可以由于低频交替脉冲偏置而减少其阈值电压漂

移, 而且因为可控电压源的作用而补偿阈值电压漂移对过驱动电压减少带来的影响。正是因为这两方面的原因, 行驱动电路的寿命将进一步地被延长。

3、低电平维持部分处于低频脉冲模式下, 其动态功耗因为信号跳变次数的减少而减少, 因此, 可以减少移位寄存器单元的功耗。

基于上述各实施例公开的移位寄存器单元, 本实施例还公开了一种移位寄存器, 请参考图 11, 包括:

多个级联的移位寄存器单元 SSC。

多条时钟线 (CLK1、CLK2、CLK3 和 CLK4), 用于向各级移位寄存器单元 SSC 传输所需时钟信号。

启动信号线 STV, 耦合至首级移位寄存器单元 SSC 的第一脉冲信号输入端, 用于向首级移位寄存器单元 SSC 发送启动信号以启动移位寄存器开始工作。

可控电压源, 在优选的实施例中, 可控电压源所需的时钟信号可以通过时钟信号输入端选择性地耦合至时钟线 CLK1、CLK2、CLK3 和/或 CLK4; 可控电压源的感应端通过感应线耦合至各级移位寄存器单元 SSC 的低电平维持使能端 P; 可控电压源的低电平端耦合至各级移位寄存器单元 SSC 的低电平端; 可控电压源的信号输出端耦合至各级移位寄存器单元 SSC 的低电平维持使能端 P, 输出的电压信号 V_{DD} (或者 V_{DD1} 和 V_{DD2}) 用于向各级移位寄存器单元 SSC 提供使能信号 V_P 。

本实施例中, 可控电压源为各级移位寄存器单元 SSC 所共有, 这种设计的合理性在于: 一方面, 非晶薄膜晶体管的均匀性好; 另一方面移位寄存器阵列的各级移位寄存器单元 SSC 的低电平维持晶体管经历着相同的电学应力条件, 所以各级移位寄存器单元 SSC 低电平维持晶体管的阈值电压漂移值也高度地一致。于是, 只需要抽取例如第一级移位寄存器单元 SSC 的阈值电压 V_{TH} , 其余各级移位寄存器单元 SSC 电路都公用第一级移位寄存器单元 SSC 电路提取出来的 V_{TH} , 从而精简了电路结构, 减少了电路的复杂度和版图面积。图 12 示意了该移位寄存器自适应补偿效果的模拟结果。其中, V_G^n 表示第 n 级移位寄存器单元 SSC 信号输出端的输出信号, n 为正整数; V_Q^n 为第 n 级移位寄存器单元 SSC 驱动控制端 Q 的电位。

本实施例还公开了一种显示器。如图 13 所示, 包括:

显示面板 100, 显示面板 100 包括由多个二维像素构成的二维像素阵列, 以及与每个像素相连的第一方向(例如横向)的多条栅极扫描线和第二方向(例如纵向)的多条数据线。像素阵列中的同一行像素均连接到同一条栅极扫描线, 而像素阵列中的同一列像素则连接到同一条数据线。

显示面板 100 可以是液晶显示面板、有机发光显示面板、电子纸显示面板等，而对应的显示装置可以是液晶显示器、有机发光显示器、电子纸显示器等。

栅极驱动电路 200，栅极驱动电路 200 中栅极驱动单元电路的栅极扫描信号输出端耦合到显示面板 100 中与其对应的栅极扫描线，用于对像素阵列的逐行扫描，栅极驱动电路 200 可以通过焊接与显示面板 100 相连或者集成于显示面板 100 内。该栅极驱动电路 200 采用上述实施例提供的移位寄存器。在一种具体实施例中，栅极驱动电路 200 可以布置在显示面板 100 的一侧；在优选的实施例中，采用成对的栅极驱动电路 200，布置在显示面板 100 的两侧。

数据驱动电路 400，用于产生图像数据信号，并将其输出到显示面板 100 中与其对应的数据线上，通过数据线传输到对应的像素单元内以实现图像灰度。

时序产生电路 300，用于产生栅极驱动电路 200 所需的各种控制信号。

本实施例公开的移位寄存器，通过增加自适应电压源，从而具有如下特点：

(1) 传统移位寄存器电路的栅偏置恒定，由于低电平维持晶体管的阈值电压漂移速度快，容易导致电路失效、寿命短。通过增加的可控电压源，其能够自适应偏置补偿低电平维持 TFT 的阈值电压漂移，保持低电平维持 TFT 始终保持较高的驱动能力，从而延长移位寄存器的寿命。

(2) 根据非晶薄膜晶体管的电学特性均匀，同时各级移位寄存器单元电路中的低电平维持晶体管的电学应力状态相同的特点。各级移位寄存器单元共享可控电压源，不仅精简了移位寄存器电路架构，而且功耗较低。

(3) 通过本实施例公开的移位寄存器电路中，极大地降低了显示模组外接引线的数量，而且不需要增加额外的电平线和控制线。相比于常规的移位寄存器电路，本实施例公开的移位寄存器的电路成本增加较小，且有效地增加了电路的可靠性。

以上应用了具体个例对本发明进行阐述，只是用于帮助理解本发明并不用以限制本发明。对于本领域的一般技术人员，依据本发明的思想，可以对上述具体实施方式的变化。

权 利 要 求

1. 一种可控电压源，其特征在于，包括：控制模块（1）、存储模块（2）和输出模块（3）；

所述控制模块（1）用于耦合至高电平端和低电平端之间；

所述存储模块（2）包括存储电容（C1）；所述存储电容（C1）的两端分别耦合至所述控制模块（1）形成第一端子（A）和第二端子（B）；

所述输出模块（3）耦合至所述第二端子（B），其信号输出端用于向外部电路输出可控电压源的电压信号（ V_{DD} ）；

所述控制模块（1）响应第一时钟信号（ $\phi 1$ ）的有效电平将所述第一端子（A）耦合至所述高电平端，由所述高电平端向所述第一端子（A）充电；

所述控制模块（1）响应第二时钟信号（ $\phi 2$ ）的有效电平将所述第二端子（B）耦合至所述高电平端，由所述高电平端向所述第二端子（B）充电；将所述第一端子（A）耦合至所述低电平端，所述第一端子（A）通过低电平端放电；

所述第一时钟信号（ $\phi 1$ ）的有效电平与所述第二时钟信号（ $\phi 2$ ）的有效电平不交叠。

2. 如权利要求1所述的可控电压源，其特征在于，所述控制模块（1）包括：第一晶体管（M1）、第二晶体管（M2）和第三晶体管（M3）；

所述第一晶体管（M1）的第一极和所述第二晶体管（M2）的第一极耦合并用于耦合至所述高电平端；

所述第一晶体管（M1）的第二极和所述第二晶体管（M2）的第二极分别耦合至所述存储电容（C1）的两端分别形成第一端子（A）和第二端子（B）；

所述第一晶体管（M1）的控制极用于输入第一时钟信号（ $\phi 1$ ）；

所述第二晶体管（M2）的控制极用于输入第二时钟信号（ $\phi 2$ ）。

3. 如权利要求1所述的可控电压源，其特征在于，所述输出模块（3）包括：第六晶体管（M6）；

所述第六晶体管（M6）的第一极与控制极耦合并耦合至所述第二端子（B）；

所述第六晶体管（M6）的第二极为所述输出模块（3）的信号输出端。

4. 如权利要求3所述的可控电压源，其特征在于，所述输出模块还包括：滤波电容（C2）；

所述滤波电容（C2）的一端耦合至第六晶体管（M6）的第二极，所述滤波电容（C2）的另一端用于耦合至所述低电平端。

5. 如权利要求1所述的可控电压源，其特征在于，所述输出模块

包括：第七晶体管（M7）；

所述第七晶体管（M7）的第一极耦合至所述输出模块（3）的信号输出端；第七晶体管（M7）的第二极用于耦合至所述低电平端；第七晶体管（M7）的控制极用于输入下拉控制信号；

所述第七晶体管（M7）响应下拉控制信号的有效电平导通将所述输出模块（3）的信号输出端耦合至所述低电平端。

6. 如权利要求 1-5 任意一项所述的可控电压源，其特征在于，还包括：阈值调制模块（4）；

所述阈值调制模块（4）分别与第一端子（A）和第二端子（B）耦合；阈值调制模块（4）还用于耦合至所述低电平端；

所述阈值调制模块（4）的感应端用于耦合至所述外部电路的待感应元件，用于感应所述待感应元件的阈值电压并反馈至第一端子（A）和/或第二端子（B）。

7. 如权利要求 6 所述的可控电压源，其特征在于，所述阈值调制模块（4）包括：第四晶体管（M4）和第五晶体管（M5）；

所述第四晶体管（M4）的第一极耦合至所述第一端子（A），第二极用于耦合至所述低电平端；

所述第五晶体管（M5）的第一极耦合至所述第二端子（B），第二极用于耦合至所述低电平端；

所述第四晶体管（M4）的控制极与所述第五晶体管（M5）的控制极耦合形成所述感应端。

8. 一种移位寄存器，包括至少一个移位寄存器单元，所述移位寄存器单元包括：

驱动模块（20），用于通过开关状态切换，将第一信号（ V_A ）传送到移位寄存器单元的信号输出端，从而输出扫描信号；

输入模块（10），用于控制驱动模块（20）切换开关状态；

低电平维持模块（30），用于通过开关状态切换，在该移位寄存器单元输出扫描信号后将驱动模块（20）的信号输出端维持在低电平；

其特征在于，移位寄存器还包括：

如权利要求 1-5 任意一项所述的可控电压源；所述可控电压源的信号输出端耦合至低电平维持模块（30）的低电平维持使能端（P）；

所述可控电压源调整输出给低电平维持使能端（P）的供电电压。

9. 如权利要求 8 所述的移位寄存器，其特征在于，所述可控电压源还包括阈值电压调制模块（4）；

所述阈值调制模块（4）的感应端耦合至低电平维持模块（30）的低电平维持使能端（P）；

所述可控电压源感应低电平维持模块（30）的阈值电压，根据阈值

电压调整输出给低电平维持使能端（P）的供电电压。

10. 一种显示器，包括由多个像素构成的二维像素阵列，以及与阵列中每个像素相连的第一方向的多条数据线和第二方向的多条栅极扫描线；

数据驱动电路，为数据线提供数据信号；

栅极驱动电路，为所述栅极扫描线提供栅极驱动信号；

其特征在于，所述栅极驱动电路采用如权利要求 8 或 9 所述的移位寄存器构成。

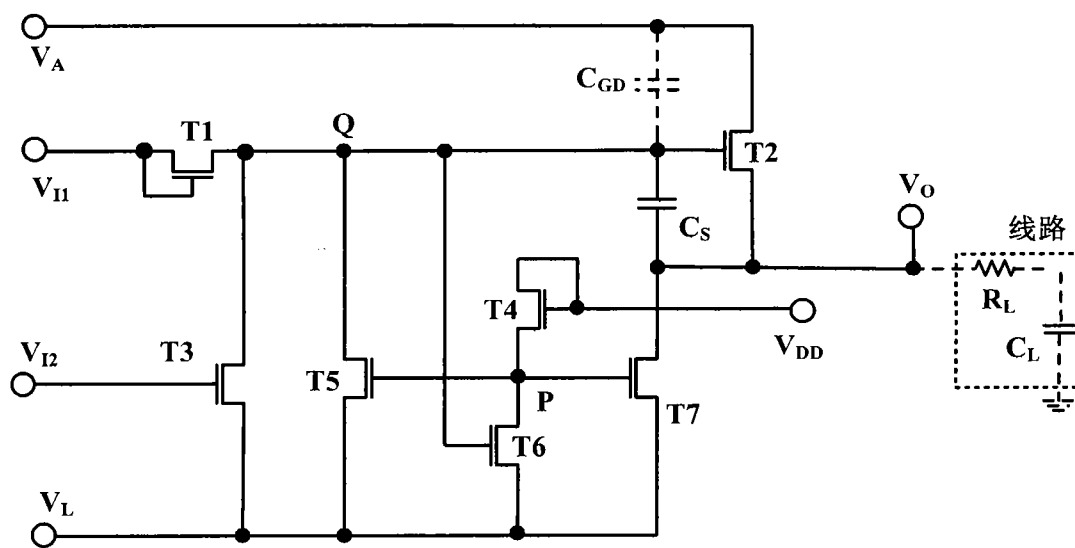


图 1

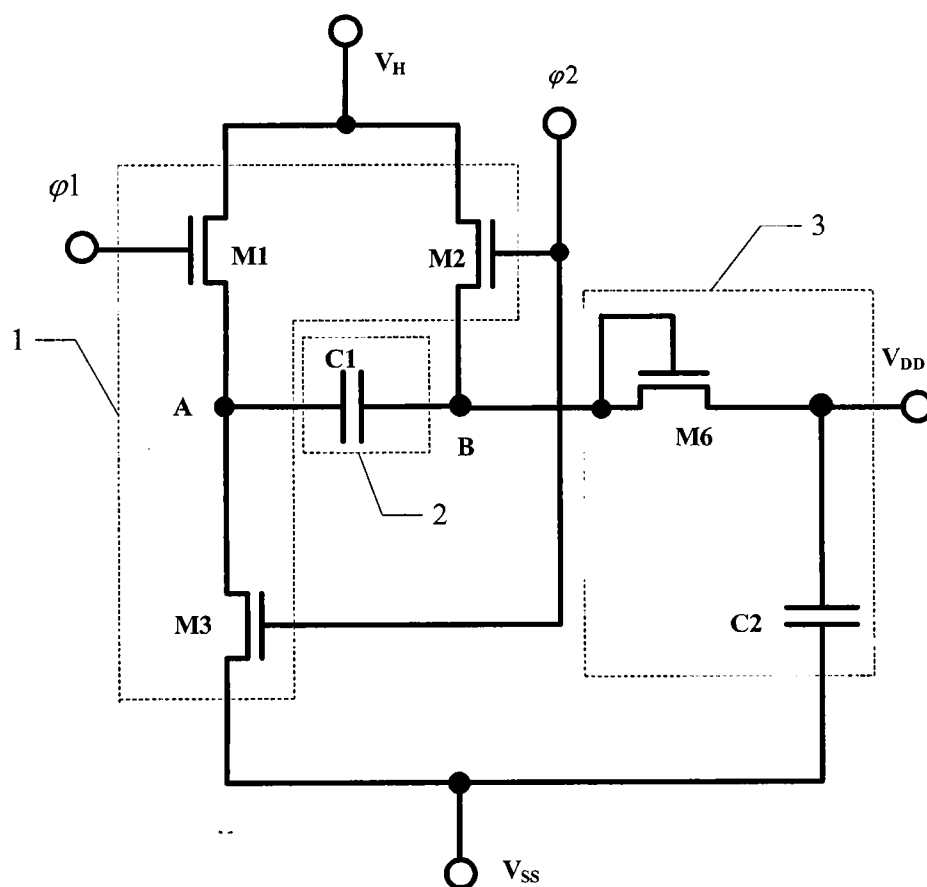


图 2

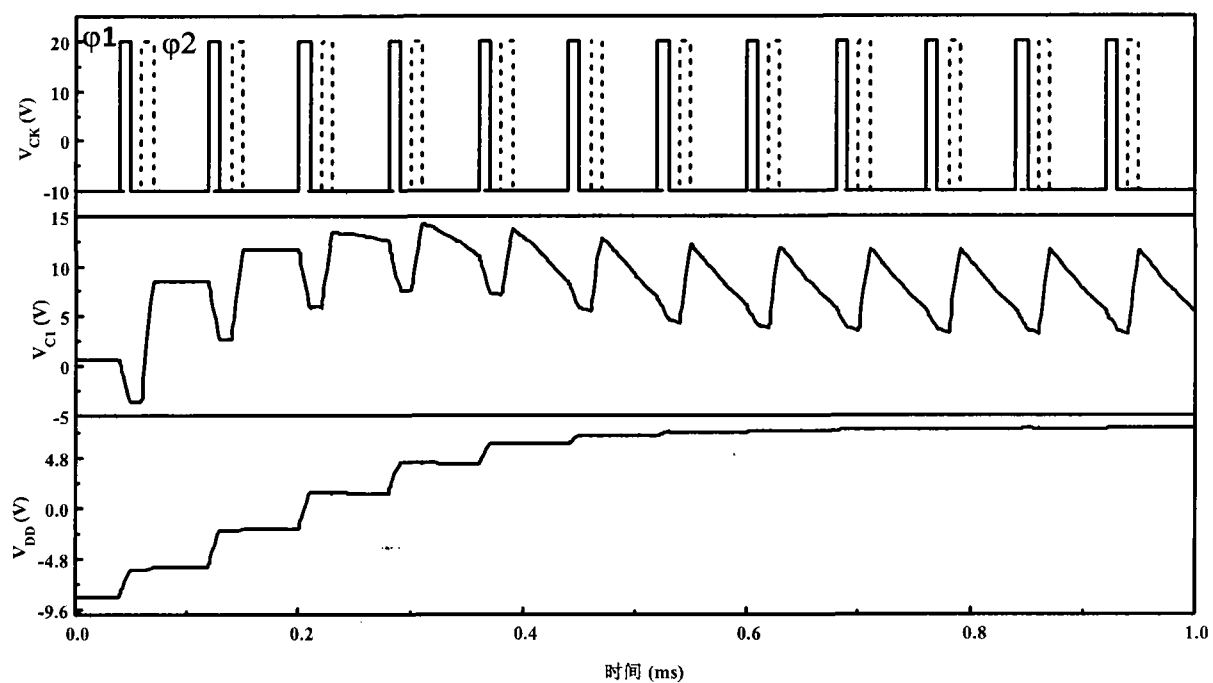


图 3

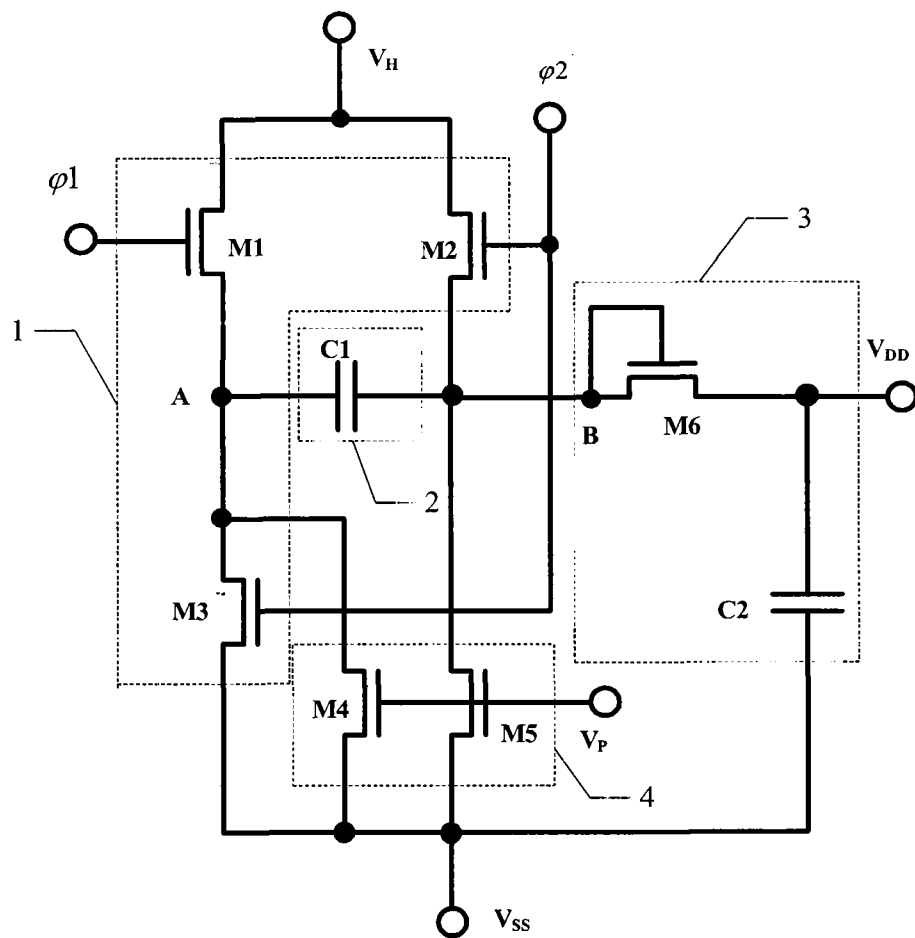


图 4

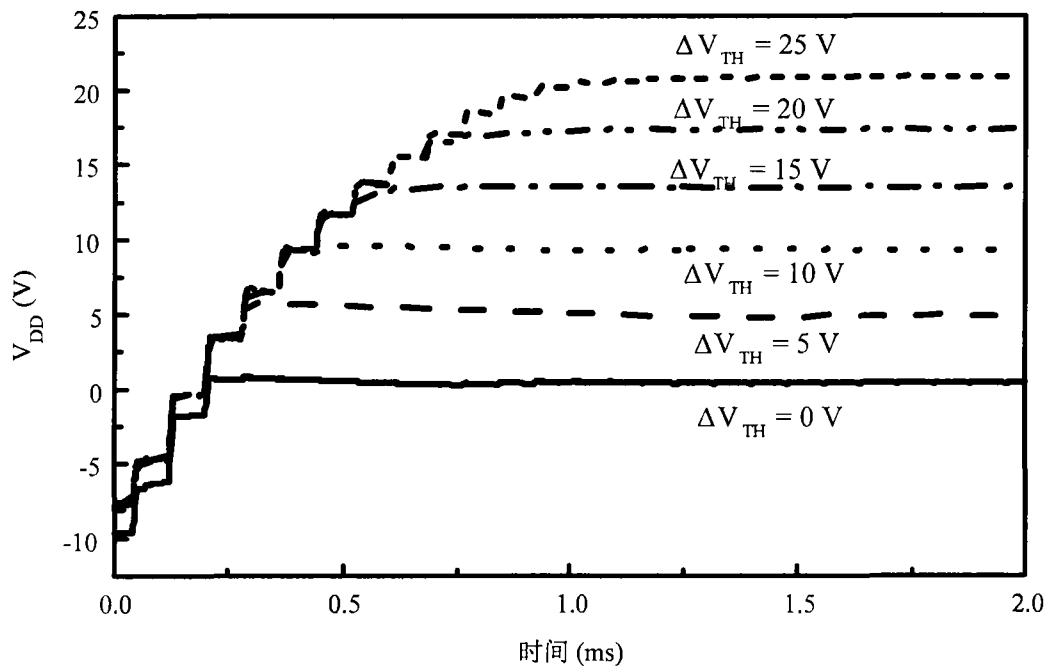


图 5

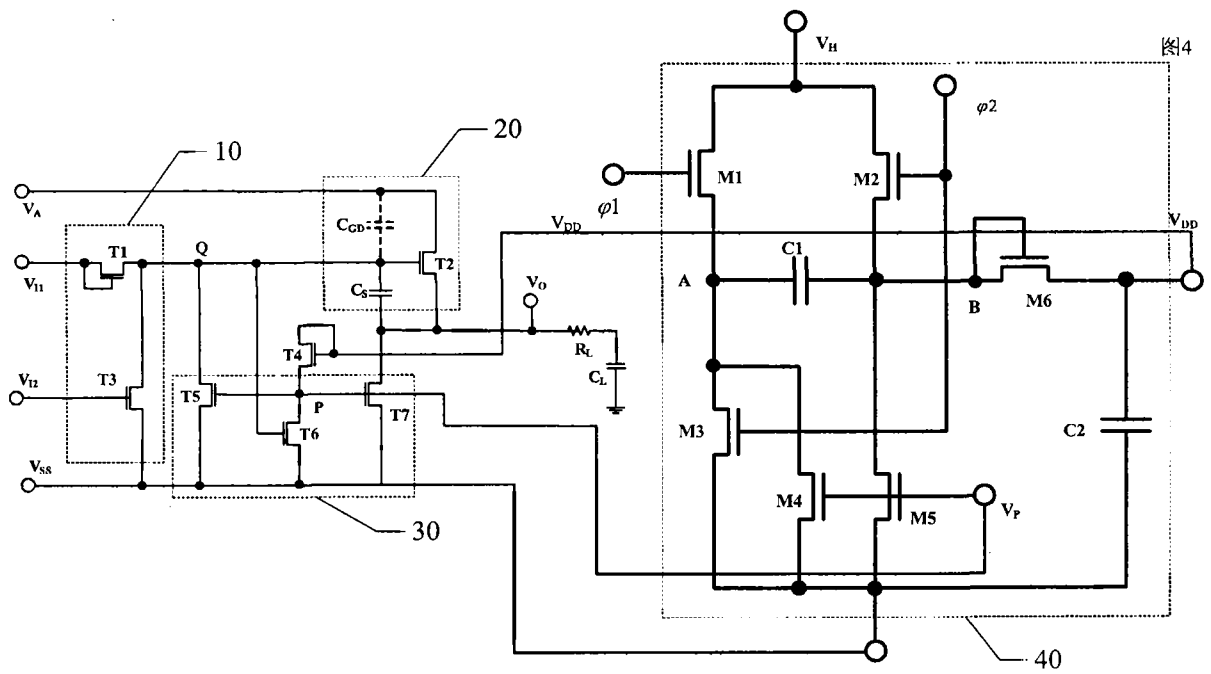


图 6

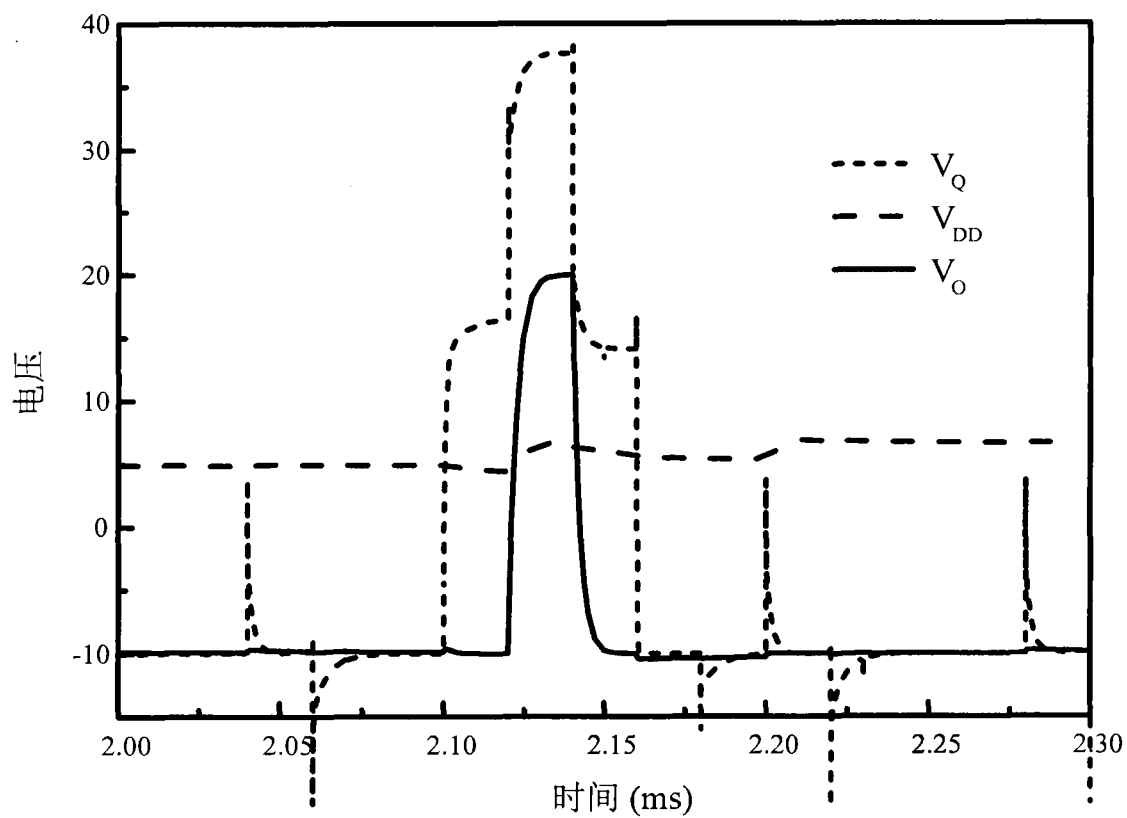


图 7

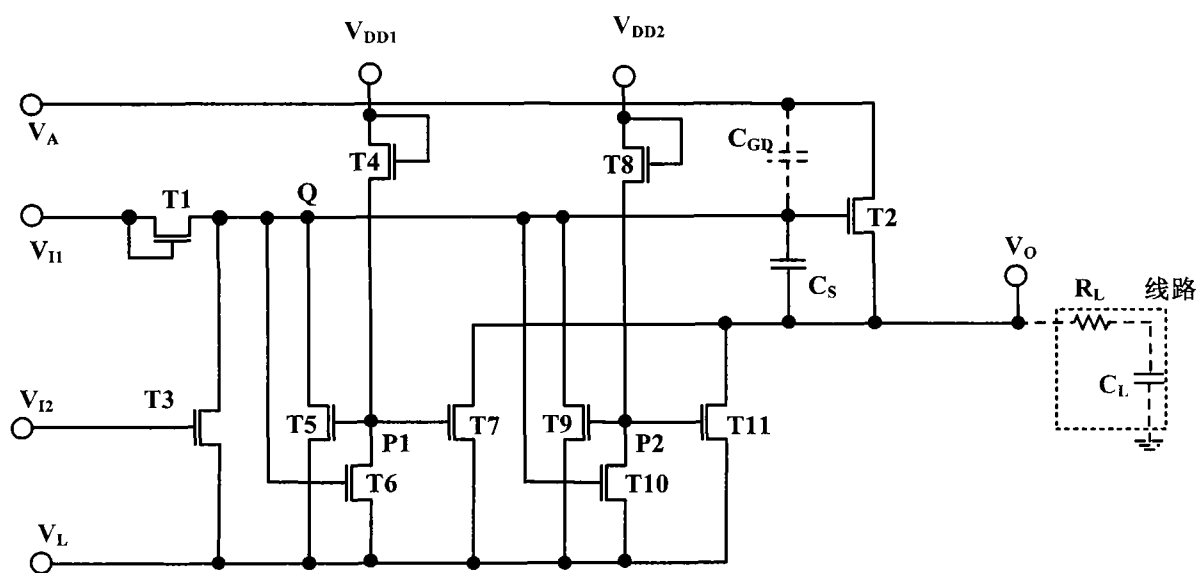


图 8

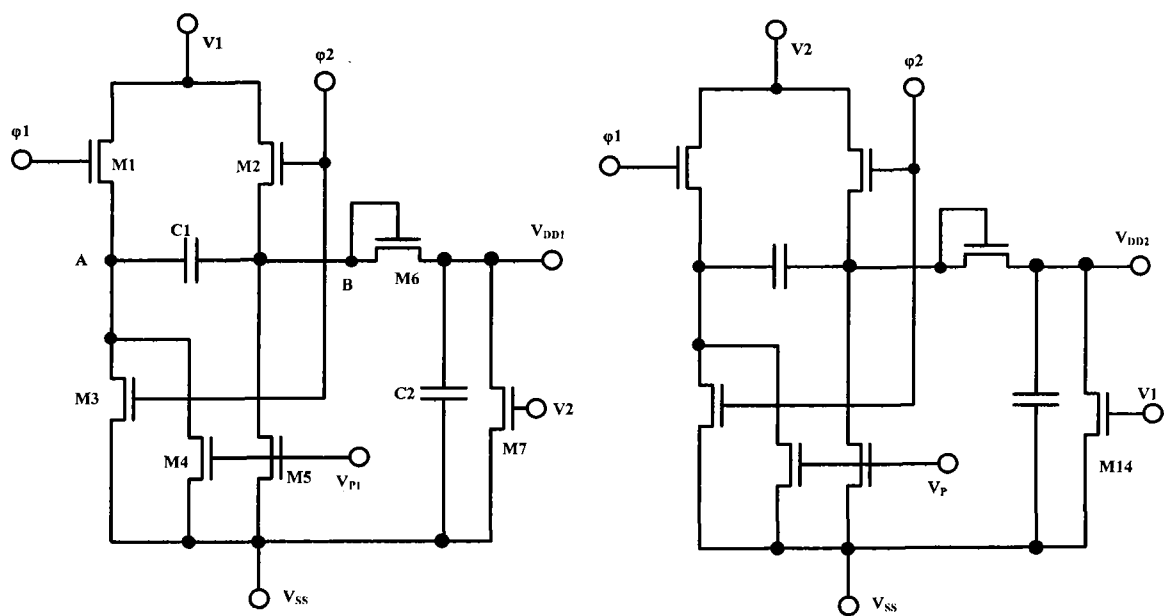


图 9

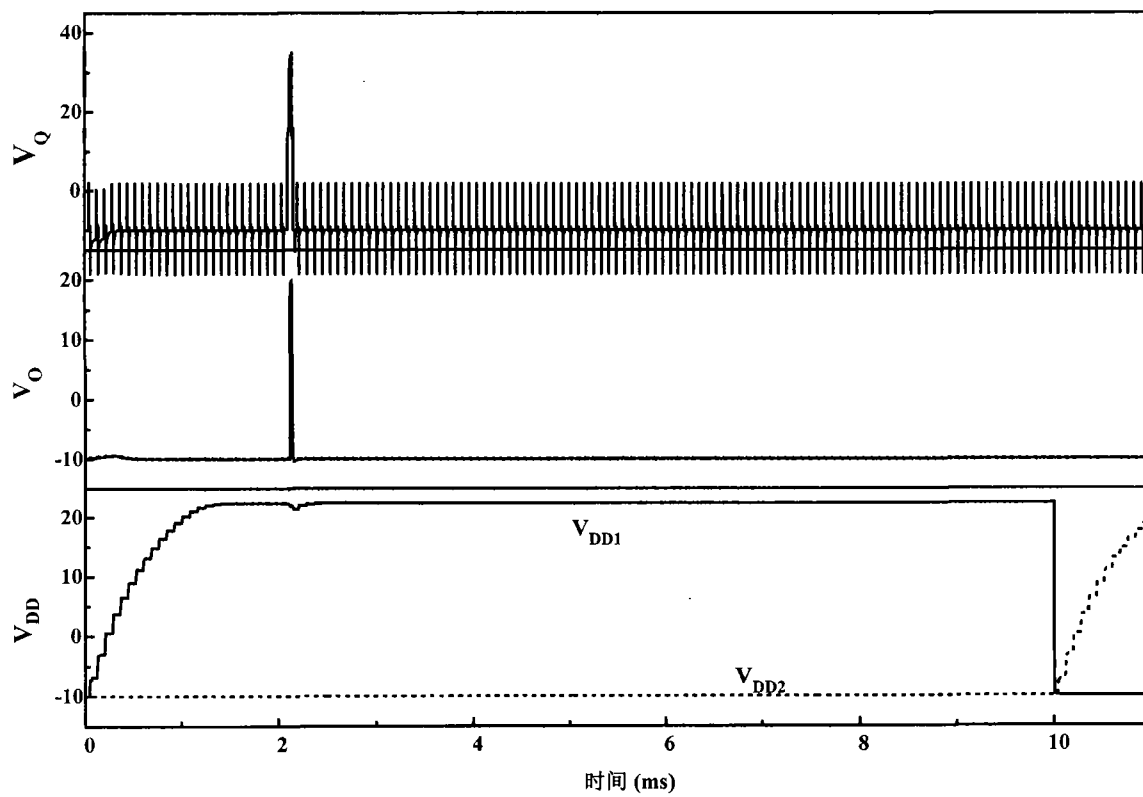


图 10

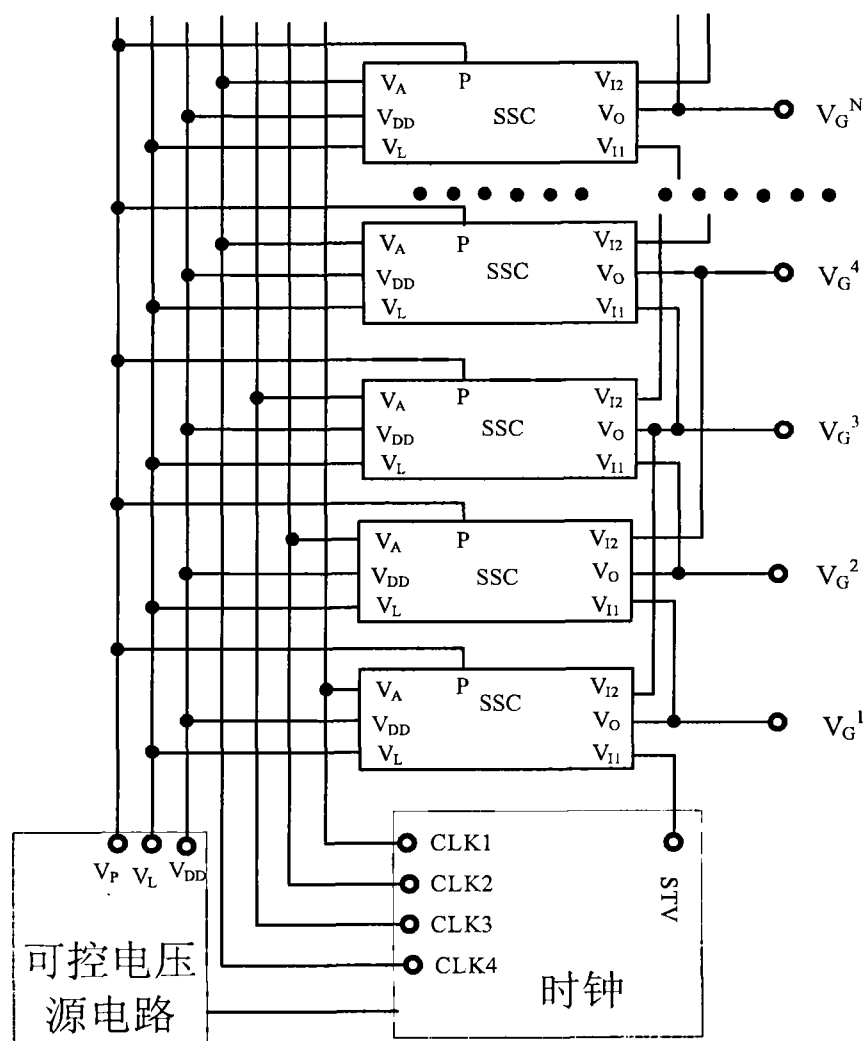


图 11

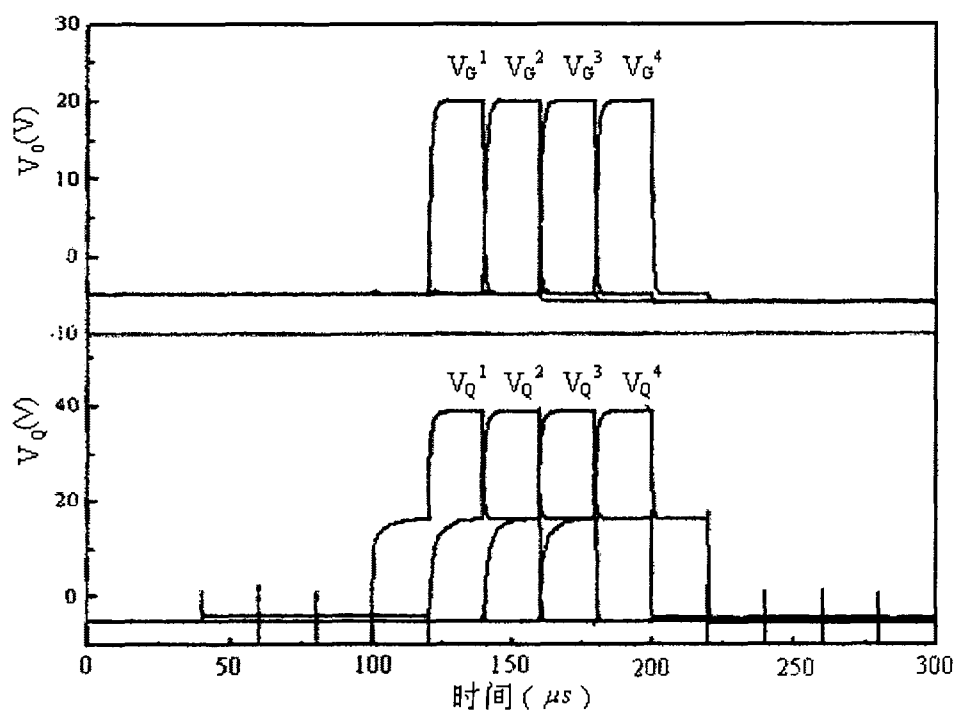


图 12

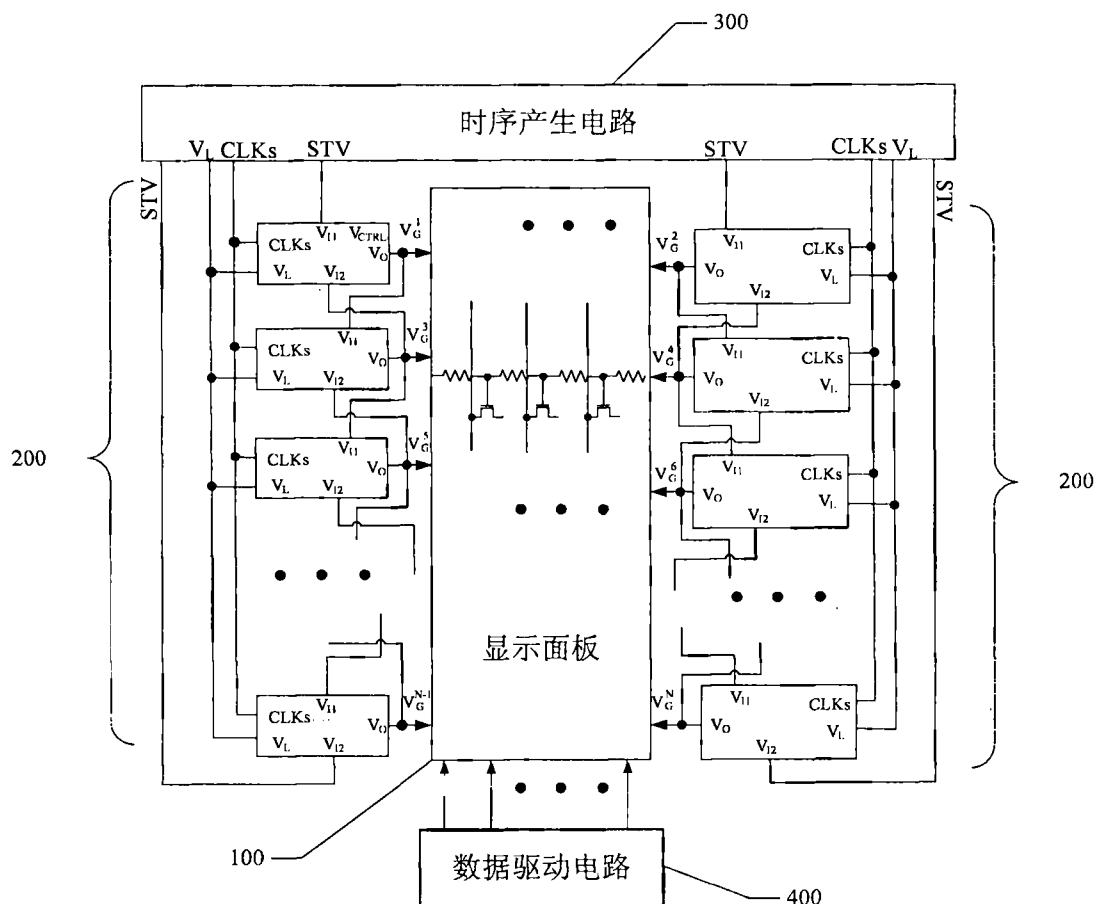


图 13

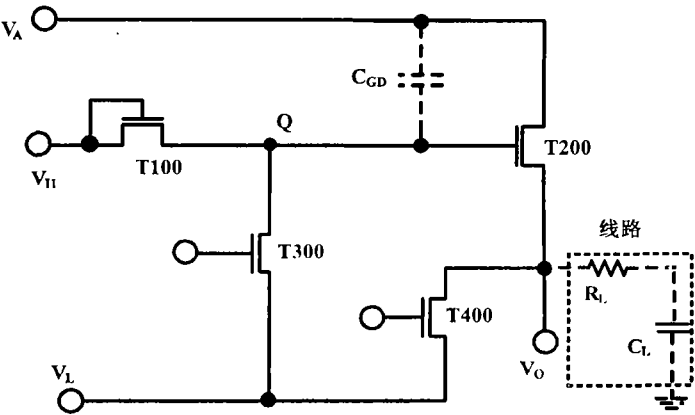


图 14

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2014/091062

A. CLASSIFICATION OF SUBJECT MATTER

H02M 3/07 (2006.01) i; G09G 3/36 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M, G09G, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: voltage source, charge pump, voltage, power, boost+, bump, capacit+, second, threshold, drift

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 4802739 (KABUSHIKI KAISHA TOSHIBA), 07 February 1989 (07.02.1989), description, column 6, lines 9-56, figure 7, and claims 7-10	1-5
Y	US 4802739 (KABUSHIKI KAISHA TOSHIBA), 07 February 1989 (07.02.1989), description, column 6, lines 9-56, figure 7, and claims 7-10	8, 10
Y	CN 103077689 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 01 May 2013 (01.05.2013), description, paragraphs 0052-0063, and figures 2-3	8, 10
X	CN 101621248 A (GREEN SOLUTION TECHNOLOGY CO., LTD.), 06 January 2010 (06.01.2010), description, page 5, line 21 to page 7, line 8, and figures 3-4	1-4
X	US 2008231347 A1 (NOVATEK MICROELECTRONICS CORP.), 25 September 2008 (22.09.008), description, paragraphs 0029-0033, and figures 3-4	1-4
A	CN 102005917 A (UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA), 06 April 2011 (06.04.2011), the whole document	1-10
A	CN 103617775 A (PEKING UNIVERSITY SHENZHEN GRADUATE SCHOOL), 05 March 2014 (05.03.2014), the whole document	1-10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 January 2015 (26.01.2015)	Date of mailing of the international search report 03 March 2015 (03.03.2015)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer WANG, Shuiying Telephone No.: (86-10) 62413708

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2014/091062

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
US 4802739	07 February 1989	JP S61281293 A	11 December 1986
		DE 3689274 T2	28 April 1994
		EP 0204077 A2	10 December 1986
CN 103077689 A	01 May 2013	None	
CN 101621248 A	06 January 2010	None	
US 2008231347 A1	25 September 2008	TW 200840211 A	01 October 2008
CN 102005917 A	04 June 2011	None	
CN 103617775 A	05 March 2014	None	

国际检索报告

国际申请号

PCT/CN2014/091062

A. 主题的分类

H02M 3/07(2006.01)i; G09G 3/36(2006.01)i; G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H02M, G09G, G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI 电压源, 电荷泵, 电容, 第二, 阈值, 漂移, voltage, power, boost+, bump, capacit+, second, threshold, drift

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	US 4802739 (KABUSHIKI KAISHA TOSHIBA) 1989年 2月 7日 (1989 - 02 - 07) 说明书第6栏第9-56行, 附图7, 权利要求7-10	1-5
Y	US 4802739 (KABUSHIKI KAISHA TOSHIBA) 1989年 2月 7日 (1989 - 02 - 07) 说明书第6栏第9-56行, 附图7, 权利要求7-10	8, 10
Y	CN 103077689 A (北京大学深圳研究生院) 2013年 5月 1日 (2013 - 05 - 01) 说明书第0052-0063段, 附图2-3	8, 10
X	CN 101621248 A (登丰微电子股份有限公司) 2010年 1月 6日 (2010 - 01 - 06) 说明书第5页第21行至第7页第8行, 附图3-4	1-4
X	US 2008231347 A1 (NOVATEK MICROELECTRONICS CORP.) 2008年 9月 25日 (2008 - 09 - 25) 说明书第0029-0033段, 附图3-4	1-4
A	CN 102005917 A (电子科技大学) 2011年 4月 6日 (2011 - 04 - 06) 全文	1-10
A	CN 103617775 A (北京大学深圳研究生院) 2014年 3月 5日 (2014 - 03 - 05) 全文	1-10

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2015年 1月 26日

国际检索报告邮寄日期

2015年 3月 3日

ISA/CN的名称和邮寄地址

中华人民共和国国家知识产权局(ISA/CN)
北京市海淀区蓟门桥西土城路6号
100088 中国

传真号 (86-10)62019451

授权官员

王水迎

电话号码 (86-10)62413708

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2014/091062

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
US	4802739		1989年 2月 7日	JP	S61281293	A	1986年 12月 11日
				DE	3689274	T2	1994年 4月 28日
				EP	0204077	A2	1986年 12月 10日
CN	103077689	A	2013年 5月 1日	无			
CN	101621248	A	2010年 1月 6日	无			
US	2008231347	A1	2008年 9月 25日	TW	200840211	A	2008年 10月 1日
CN	102005917	A	2011年 6月 4日	无			
CN	103617775	A	2014年 3月 5日	无			

表 PCT/ISA/210 (同族专利附件) (2009年7月)