



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0029853
(43) 공개일자 2008년04월03일

(51) Int. Cl.

G11C 29/04 (2006.01)

(21) 출원번호 10-2007-0097454

(22) 출원일자 2007년09월27일

심사청구일자 없음

(30) 우선권주장

JP-P-2006-00263957 2006년09월28일 일본(JP)

(71) 출원인

산요덴키가부시카이가이사

일본 오사카후 모리구치시 게이한 혼도오리 2초메 5반 5고

산요 세미컨덕터 컴퍼니 리미티드

일본 군마켄 오라궁 오이즈미마찌 사까따 1-1-1

(72) 발명자

마쯔오 유이찌

일본 기후켄 미즈호시 후루하시 1750-1

나카이 다카히사

일본 기후켄 오가끼시 오오이 2-42-3

(74) 대리인

장수길, 이중희, 박충범

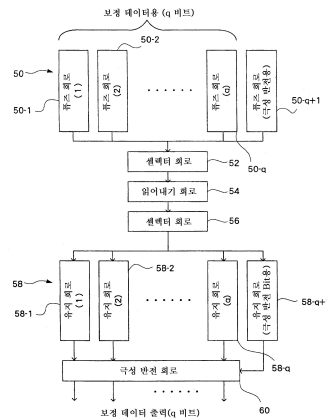
전체 청구항 수 : 총 5 항

(54) 퓨즈 읽어내기 회로

(57) 요약

퓨즈 회로에 의한 정보를 효율적으로 읽어낸다. 보정용 데이터는, q 비트의 퓨즈 회로(50-1~50-q)에 기입된다. 읽어내기 회로(54)는, 셀렉터(52)를 통해 퓨즈 회로(50-1~50-q)의 정보를 순차적으로 판독하여, 유지 회로(58-1~58-q)에 기입한다. 따라서, 유지 회로(58-1~58-q)로부터 판독 데이터가 패러렐로 출력된다.

대표도 - 도5



특허청구의 범위

청구항 1

정보가 재기입되는 복수의 퓨즈 회로와,

상기 복수의 퓨즈 회로에 접속되는 셀렉터 회로와,

상기 셀렉터 회로에 접속되고, 상기 복수의 퓨즈 회로의 정보를 읽어내는 읽어내기 회로를 갖고,

상기 셀렉터 회로는 상기 복수의 퓨즈 회로를 순차적으로 선택하고, 상기 읽어내기 회로에 의해, 상기 복수의 퓨즈 회로의 정보를 읽어내는 것을 특징으로 하는 퓨즈 읽어내기 회로.

청구항 2

제1항에 있어서,

상기 셀렉터 회로는 상기 복수의 퓨즈 회로 중의 1개를 순차적으로 선택하는 것을 특징으로 하는 퓨즈 읽어내기 회로.

청구항 3

제1항 또는 제2항에 있어서,

상기 복수의 퓨즈 회로에 접속되는 1개의 상기 셀렉터 회로와,

상기 셀렉터 회로에 접속되는 1개의 읽어내기 회로

를 갖는 것을 특징으로 하는 퓨즈 읽어내기 회로.

청구항 4

제1항 내지 제3항 중 어느 한 항에 있어서,

상기 읽어내기 회로에 의해 읽어내어진 정보를 기억하는 복수의 유지 회로를 더 갖고,

상기 읽어내기 회로에 의해 순차적으로 읽어내어진 정보를 상기 복수의 유지 회로로부터 패러렐로 출력하는 것을 특징으로 하는 퓨즈 읽어내기 회로.

청구항 5

제1항 내지 제4항 중 어느 한 항에 있어서,

상기 복수의 퓨즈 회로는, 복수의 데이터 비트와, 1개의 극성 비트를 갖고,

상기 복수의 데이터 비트를 기억하는 상기 유지 회로의 출력을 상기 극성 비트의 값에 따라서 반전시키는 극성 반전 회로를 더 갖는 것을 특징으로 하는 퓨즈 읽어내기 회로.

명 세 서

발명의 상세한 설명

기술 분야

<1> 본 발명은, 트리밍에 의해 정보가 재기입되는 복수의 퓨즈 회로에서의 데이터를 읽어내는 퓨즈 읽어내기 회로에 관한 것이다.

배경 기술

<2> 종래부터, 퓨즈 회로가 알려져 있고, 반도체 집적 회로(IC 등)에서, 내부의 설정 데이터를 제조 후에 변경하는 경우 등에 이용되고 있다. 즉, IC의 표면에 퓨즈 회로를 형성해 두고, 이를 레이저나 대전류 등에 의해 트리밍하여, 퓨즈를 절단하여 정보를 기입한다. IC에서는, 시스템 기동시 등에 퓨즈 회로의 트리밍 상태를 판독하고, 그 결과에 따라 설정 데이터를 변경할 수 있다.

<3> 예를 들면, 특허 문헌 1에는, 저항 분압 회로를 구성하는 저항에 퓨즈를 병렬로 접속하고, 이 퓨즈를 레이저에 의해 절단함으로써 분압 저항 회로의 저항값을 조정하는 것이 기재되어 있다.

<4> [특허 문헌 1] 일본 특허 공개 제2006-72860호 공보

발명의 내용

해결 하고자하는 과제

<5> 여기서, 퓨즈 회로는 절단할지의 여부에 의해, 「0」, 「1」의 데이터를 기입할 수 있다. 따라서, 퓨즈 회로에 의해, 각종의 디지털 데이터를 설정하는 것도 행해진다. 예를 들면, 2개의 퓨즈 회로를 설정하고, 각각의 퓨즈 회로에 대해 그 일단에 전압을 인가하여 전류가 흐르는지의 여부로 데이터를 읽어내는 읽어내기 회로를 설치함으로써, 2 비트의 데이터를 읽어낼 수 있다.

<6> 퓨즈 회로에 의해 설정하는 비트수가 작은 경우에는, 이와 같은 구성으로 문제는 없지만, 비트수가 커지면, 퓨즈 회로의 수가 많아질 뿐만 아니라, 읽어내기 회로의 수도 많아져 버린다.

<7> 한편, 대량의 설정 데이터의 기억에는, 불휘발성 메모리도 널리 이용되고 있지만, 수십 비트의 데이터를 기억하기 위해, 불휘발성 메모리를 준비하는 것은 효율적이지 않다.

과제 해결수단

<8> 본 발명은, 정보가 재기입되는 복수의 퓨즈 회로와, 상기 복수의 퓨즈 회로에 접속되는 셀렉터 회로와, 상기 셀렉터 회로에 접속되고, 상기 복수의 퓨즈 회로의 정보를 읽어내는 읽어내기 회로를 갖고, 상기 셀렉터 회로는 상기 복수의 퓨즈 회로를 순차적으로 선택하고, 상기 읽어내기 회로에 의해, 상기 복수의 퓨즈 회로의 정보를 읽어내는 것을 특징으로 한다.

<9> 또한, 상기 퓨즈 읽어내기 회로에서, 상기 셀렉터 회로는 상기 복수의 퓨즈 회로 중의 1개를 순차적으로 선택하는 것이 바람직하다.

<10> 또한, 상기 퓨즈 읽어내기 회로는, 상기 복수의 퓨즈 회로에 접속되는 1개의 상기 셀렉터 회로와, 상기 셀렉터 회로에 접속되는 1개의 읽어내기 회로로 이루어지는 것이 바람직하다.

<11> 또한, 상기 퓨즈 읽어내기 회로에서, 상기 읽어내기 회로에 의해 읽어내어진 정보를 기억하는 복수의 유지 회로를 더 갖고, 상기 읽어내기 회로에 의해 순차적으로 읽어내어진 정보를 상기 복수의 유지 회로로부터 패러렐로 출력하는 것이 바람직하다.

효과

<12> 본 발명에 따르면, 1개의 읽어내기 회로에 의해 복수의 퓨즈 회로의 설정을 읽어낼 수 있으므로, 회로 규모를 작게 할 수 있다.

발명의 실시를 위한 구체적인 내용

<13> 이하, 본 발명의 실시 형태에 대해, 도면에 기초하여 설명한다.

<14> <실시 형태의 구성>

<15> 퓨즈 회로에서는, 각종 정보를 설정할 수 있지만, 본 실시 형태에서는 액정 표시 패널의 소스 드라이버에서의 D/A 컨버터에 대한 보정 데이터를 설정한다.

<16> 퓨즈에 설정된 보정 데이터는, 시스템의 기동시에 보정용 레지스터에 저장된다. 이 때문에, D/A 컨버터는, 시스템의 기동 후에는, 이 보정용 레지스터의 보정 데이터를 참조하여 동작한다.

<17> 도 5에는, 퓨즈를 이용하는 보정 데이터 설정용 회로의 구성이 도시되어 있다. 여기서, 액정 표시 패널은 통상 복수 채널로 분할되어 있고, 각 채널에 대해 따로 따로의 보정 데이터가 준비된다. 예를 들면, 보정 데이터가 2 비트이고, 액정 표시 패널이 13 채널로 분할되어 있는 경우이면, 26 비트의 보정 데이터가 퓨즈에 의해 설정되게 된다.

<18> 도시한 예에서는, 보정 데이터는 q 비트이지만, q+1개의 퓨즈 회로(50(50-1~50-q+1))가 설정되어 있다. 퓨즈

회로(50)는, 레이저 등으로 퓨즈를 달구어 끊을지의 여부에 의해, 0, 1의 데이터가 설정되는 것이다. 또한, 퓨즈 회로(50) 중, 퓨즈 회로(50-q+1)는, 극성 반전용의 비트이다. 이 극성 반전 비트에 의해, q 비트의 퓨즈 회로(50-1~50-q)의 내용을 반전할지의 여부가 결정된다.

- <19> 퓨즈 회로(50-1~50-q+1)에는, 셀렉터 회로(52)를 통해 읽어내기 회로(54)가 접속되어 있다. 읽어내기 회로(54)는, 셀렉터 회로(52)에서 선택된 퓨즈 회로(50)의 데이터를 읽어내기 위해, 퓨즈 회로(50)의 판독은 시분할 읽어내기로 된다.
- <20> 읽어내기 회로(54)에는, 셀렉터 회로(50)를 통해, q+1개의 유지 회로(58-1~58-q+1)가 접속되어 있다. 따라서, 읽어내기 회로(54)에 의해 읽어내어진 퓨즈 회로(50-1~50-q+1)로부터의 판독 데이터가 대응하는 유지 회로(58-1~58-q+1)에 각각 저장된다.
- <21> 유지 회로(58)의 출력은, 극성 반전 회로(60)에 입력된다. 이 극성 반전 회로(60)는, 극성 반전 비트의 내용에 따라서, q 비트의 퓨즈 회로(50-1~50-q)로부터의 판독 데이터를 그대로 또는 반전하여 출력한다. 이 극성 반전 회로(60)는, 예를 들면 q개의 배타적 논리합 회로(EX-OR)를 설치하고, 각 배타적 논리합 회로에 q 비트의 유지 회로(58-1~58-q)로부터의 출력의 1개와 극성 반전 비트를 입력함으로써 구성된다. 이에 의해, 극성 반전 비트의 상태에 따라서, q 비트의 퓨즈 회로(50-1~50-q)의 판독 데이터가 반전되어 출력되는지, 그대로 출력되는지가 결정된다.
- <22> 그리고, 극성 반전 회로(60)의 출력이 q 비트의 보정 데이터로서 출력된다.
- <23> 도 6에는, 읽어내기 회로(54)에서의 읽어내기 타이밍을 도시하고 있다. 셀렉터(52, 56)를 순차적으로 절환하여, 퓨즈 회로(50)로부터 시분할로 읽어낸 q+1 비트의 데이터가 유지 회로(58)에 저장된다.
- <24> 다음으로, 보정 데이터에 대해 설명한다. 예를 들면, 퓨즈의 미절단 상태가 「1」, 절단 상태가 「0」이며, 보정 데이터의 비트수가 20 비트라고 가정한다. 다음 3개의 케이스를 예시하여 설명한다.
- <25> (케이스 1)
- <26> 보정 데이터 : 11111111110011110011
- <27> 1의 수 = 16, 0의 수 = 4, 극성 반전 비트 절단 = 없음. 이에 의해, 절단하는 비트수는, 4개로 된다.
- <28> (케이스 2)
- <29> 보정 데이터 : 00010110000011101000
- <30> 1의 수 = 7, 0의 수 = 13, 극성 반전 비트 절단 = 있음. 이에 의해, 절단하는 비트수는, 8개로 된다. 또한, 극성 반전 비트가 없는 경우에는, 절단하는 비트수는 13이다.
- <31> (케이스 3)
- <32> 보정 데이터 : 00000000000000000000
- <33> 1의 수 = 0, 0의 수 = 20, 극성 반전 비트 절단 = 있음. 이에 의해, 절단하는 비트수는, 1개로 된다. 또한, 극성 반전 비트가 없는 경우에는, 절단하는 비트수는 20이다.
- <34> 이와 같이, 본 실시 형태에 따르면, q 비트의 보정 데이터의 설정에 대해, q+1개의 퓨즈 회로를 준비하지만, 보정 데이터의 내용에 의해 퓨즈 절단 작업을 대폭 감소할 수 있어, 효과적인 작업이 가능하게 된다.
- <35> <D/A 컨버터의 구성>
- <36> 도 1은, 상술한 보정 데이터를 이용하는 D/A 컨버터의 개략 구성을 도시하는 도면이다. 이 D/A 컨버터는, 10 비트의 디지털 신호를 아날로그 신호로 변환하는 것으로, 복수(n) 채널의 입출력을 갖고 있다.
- <37> 우선, 10 비트의 입력 디지털 신호는, 상위 8 비트와, 하위 2 비트로 분할되어 입력되어 온다.
- <38> 저항 스트링(10)은, 256개의 저항의 직렬 접속으로 이루어지며, 일단은 전원에 접속되고, 타단은 그라운드에 접속되어 있다. 따라서, 저항 스트링(10)의 각 저항의 단부인 0~256의 257개의 전압 취출점으로부터 256 종류의 VH와 VL의 전압의 조합을 얻을 수 있다. 이 저항 스트링(10)의 257개의 전압 취출점에는, n개의 셀렉터(12(12-1~12-n))가 접속되어 있다.
- <39> 그리고, 각 셀렉터(12)에는, 입력 디지털 신호의 상위 8 비트가 입력되고, 이 입력 신호에 의해 어느 2개의 전

압 취출점으로부터의 전압을 출력할지가 결정된다. 각 셀렉터(12)는, 입력 디지털 신호에 의해 결정되는 1개의 저항의 양단 전압을 선택하여 출력한다. 즉, 입력 디지털 신호의 상위 8 비트로 결정되는 전압 취출점 및 그 1개 위의 전압 취출점으로부터 얻어지는 전압이 선택된 양단 전압이다. 또한, 후술하는 바와 같이, 소정의 복수의 저항의 직렬 접속의 양단 전압을 출력하도록 하여도 된다.

<40> 각 셀렉터(12)의 한 쌍의 출력 VH, VL은, 각각 버퍼 앰프(14H, 14L)에서, 안정화되어 2 비트 D/A 컨버터(16(16-1~16-n))에 공급된다. 이 2 비트 D/A 컨버터(16)에는, 입력 디지털 신호의 하위 2 비트가 입력되어 있고, 입력되어 오는 VH, VL로부터 4개의 전압을 생성하고, 그 중의 1개를 하위 2 비트의 입력 신호에 따라서 선택하여 출력한다. 이를 위해, D/A 컨버터(16)는 4개의 저항을 갖고, VH 또는 VL 중 어느 하나를 포함하는 4 종류의 전압 중 1개를 선택한다. 본 실시 형태에서는 VL을 선택하였지만, VH를 선택하여도 된다.

<41> 도 2에는, 셀렉터(12) 및 2 비트 D/A 컨버터(16)의 구성도 도시하고 있다. 저항 스트링(10)의 각 저항의 양단의 전압 취출점에는, H용 및 L용의 2개의 스위치(20H, 20L)가 각각 접속되어 있다. 또한, 저항 스트링(10)의 최상위의 저항의 상측에는 H용의 스위치(20H)만, 최하위의 하측에는 L용의 스위치(20L)만이 접속되어 있다. 그리고, 입력되어 오는 상위 8 비트 데이터에 의해, 1개의 L용 스위치(20L)와 그 위의 H용 스위치(20H)가 선택됨으로써, 상위 8 비트 데이터에 대해, 그 상위 비트에 의해 특정되는 범위를 나타내는 출력인 VL, VH가 출력된다.

<42> 또한, 2 비트 D/A 컨버터(16)는, 4개의 저항의 직렬 접속으로 이루어지는 저항 스트링(22)과 셀렉터(24)로 이루어져 있고, VL 및 4개의 저항끼리의 접속점이 각각 셀렉터(24)의 스위치(26)에 접속되고, 4개의 스위치(26)를 통해 출력단에 접속되어 있다. 그리고, 스위치(26)의 온 오프는, 하위 2 비트에 의해 제어된다. 즉, 하위 2 비트 데이터의 0~3에 의해, 스위치(26) 중의 1개가 선택되어 온되고, 하위 2 비트에 대응한 전압이 출력된다.

<43> 상술한 바와 같이, 2 비트 D/A 컨버터(16)에는, 상위 8 비트에 대응한 전압 VH, VL이 공급되어 있고, 그 전압 VH, VL간의 하위 2 비트에 의해 특정되는 전압이 출력된다. 따라서, 전체적으로 10 비트의 데이터에 따른 아날로그 전압이 출력되게 되어, 10 비트의 D/A 변환이 행해진다.

<44> 이와 같이, 본 구성에서는 8 비트의 저항 스트링(10)과, 2 비트의 저항 스트링(22)을 이용함으로써 10 비트의 D/A 변환을 행할 수 있어, $256+4=260$ 개의 저항에 의해, 10 비트의 디지털 데이터에 대한 D/A 변환이 가능하게 된다. 이와 같이, 저항 스트링에 이용하는 저항수를 적게 함으로써, D/A 컨버터의 폭을 작게 할 수 있다.

<45> <다른 D/A 컨버터의 구성>

<46> 도 3에는, 다른 D/A 컨버터의 구성예가 도시되어 있다. 이 예에서는, 저항 스트링(10)의 셀렉터(12)에서, 각각 8개만큼 떨어진 것을 선택한다. 즉, 상위 8 비트에 의해 결정되는 전압 취출점으로부터 8개 위의 취출점의 스위치 및 8개 아래의 취출점의 스위치를 선택하여, 선택된 전압을 각각 VH, VL이라고 한다.

<47> 그리고, 2 비트 D/A 컨버터(16)는, 64개의 저항으로 이루어지는 저항 스트링(22)을 갖고 있다. 이 저항 스트링(22)에는, 아래 32개의 저항의 하측 접속점에는 NMOS의 스위치(26N)가 접속되어 있고, 위 28개의 저항의 하측 접속점에는 PMOS의 스위치(26P)가 접속되어 있다. 그리고 중간 4개의 저항의 하측 접속점에는 CMOS의 스위치(26C)가 접속되어 있다.

<48> 여기서, 10 비트의 입력 디지털 데이터가, 0~31의 범위인 경우에는, 저항 스트링(10)에서 L용 스위치(20L)로서, 해당하는 것보다 8개 아래의 스위치(20L)를 선택할 수 없다. 따라서, 그와 같은 데이터의 경우, 10 비트의 입력 디지털 데이터가 32인 경우와 마찬가지로의 L용 스위치(20L), H용 스위치(20H)를 선택함과 함께 그 데이터에 대응하여 아래의 32개의 NMOS의 스위치(26N) 중 어느 하나가 선택된다. 또한, 10 비트의 입력 디지털 데이터가 992~1023에 대해서는, 10 비트의 입력 디지털 데이터가 991인 경우와 마찬가지로의 20L, 20H를 선택함과 함께 그 데이터에 대응하여 4개의 CMOS의 스위치(26c) 및 위의 28개의 PMOS의 스위치(26P) 중 어느 하나가 선택된다.

<49> 한편, 10 비트의 입력 디지털 데이터가 32~991인 경우에는, 통상대로 4개의 CMOS의 스위치(26C) 중 어느 하나가 선택된다. 즉, 통상의 경우에는, 입력 데이터의 하위 2 비트에 의해, CMOS의 스위치(26C) 중 어느 하나가 선택되어, 하위 2 비트에 대한 D/A 변환이 행해지고, 출력에 10 비트 디지털 데이터에 대한 D/A 변환 출력이 얻어진다.

<50> 이와 같이, 저항 스트링(10)의 출력으로서, 인접하는 스위치(20H, 20L)가 아니라, 그 범위를 넓힘으로써, 출력

VH, VL에서의 오차를 비교적 작게 하여, 정밀도가 양호한 D/A 변환을 행할 수 있다. 또한, 저항 스트링(22)에서는, 통상은 중앙의 4개의 저항이 이용되고, 여기에 CMOS의 스위치(26C)를 채용함으로써 정밀도가 양호한 전압 취출을 행할 수 있다.

- <51> 또한, 상측의 28개 및 하측의 32개의 출력은, 중앙의 4개의 출력보다 D/A 변환의 정밀도가 나빠진다. 따라서, 본 구성예에서는, 상측 및 하측의 출력을 10 비트 D/A 변환에서의 통상의 동작 보증 범위 외에 할당하고 있다. 물론, 상측의 28개 및 하측의 32개의 출력도 CMOS 스위치라고 할 수도 있다.
- <52> 또한, 상측에 28개, 하측에 32개의 저항을 추가하도록 구성하였지만, 16, 8, 4개 등을 채용하여도 된다.
- <53> <보정 데이터를 이용하는 구성>
- <54> 도 4에는, 실시 형태의 보정 데이터를 이용하는 D/A 컨버터의 구성이 도시되어 있다. 이 예에서는, 4개의 보정용 레지스터(30)가 설정되어 있다. 이 보정용 레지스터(30)에 상술한 퓨즈에 의해 설정된 보정 데이터가 로드된다.
- <55> 저항 스트링(22)은, 입력 데이터의 하위 2 비트에 의해 선택되는 스위치(26C)를 16개 갖고 있다. 즉, 상술한 도 3의 예에서, 10 비트의 디지털 데이터가 32~995인 경우에는, 입력 데이터의 하위 2 비트에 의해 선택되는 것은 4개의 저항에 접속되는 4개의 CMOS의 스위치(26C) 중 하나였지만, 이 실시예에서는 PMOS의 스위치(26P) 및 NMOS의 스위치(26N) 중, 중앙 부분에 있는 일부를 CMOS의 스위치(26C)로 하고 있다.
- <56> 예를 들면, 저항 스트링(22)에는 아래 24개의 저항의 하측 접속점에는 NMOS의 스위치(26N)가 접속되어 있고, 위 24개의 저항의 하측 접속점에는 PMOS의 스위치(26P)가 접속된다. 그리고 중간 16개의 저항의 하측 접속점에는 CMOS의 스위치(26C)가 접속되어 있다.
- <57> 이 실시예에서는, 입력 데이터의 하위 2 비트에 의해 16개의 CMOS 스위치(26C) 중 4개씩 중 어느 하나가 선택된다. 즉, 입력 데이터의 하위 비트가 "00"인 경우는 V_{01} , V_{02} , V_{03} , V_{04} 가 취출 전압으로서 선택되고, 입력 데이터의 하위 비트가 "01"인 경우는, V_{11} , V_{12} , V_{13} , V_{14} 가 취출 전압으로서 선택되고, 입력 데이터의 하위가 "10"인 경우는, V_{21} , V_{22} , V_{23} , V_{24} 가 취출 전압으로서 선택되고, 입력 데이터의 하위 비트가 "11"인 경우는, V_{31} , V_{32} , V_{33} , V_{34} 가 취출 전압으로서 선택된다. 또한, 보정용 레지스터(30)에 의해, 보정용 스위치(32-1, 32-2, 32-3, 32-4) 중 어느 하나가 선택된다. 이에 의해 입력 데이터의 하위 2 비트에 의해 선택된 4개의 취득 전압 중 하나가 보정용 스위치로 선택되어 출력되게 된다. 구체적으로 설명하면, 입력 데이터의 하위 2 비트가 "00"으로 보정용 스위치(32-1)가 선택된 경우, V_{01} 이 출력된다.
- <58> 이와 같이, 본 구성예에서는 입력 데이터의 하위 2 비트에 의해, 직렬 접속되어 있는 16개의 저항의 4개 걸러 접속되는 4개의 스위치(26C)가 선택되고, 이 4개의 스위치(26C)의 출력 중 1개가 보정 데이터에 의해 제어되는 보정용 스위치(32)에 의해 선택된다. 따라서, 2 비트의 보정용 데이터에 의해, 입력 데이터의 LSB에 대한 출력을 하위 2 비트분씩 어긋나게 할 수 있다.
- <59> 또한, 본 실시 형태에서는 하위 2 비트 데이터를 4 비트분씩 어긋나게 함으로써 출력되는 데이터를 보정하였지만, 상위 8 비트 데이터를 1 비트분 어긋나게 함으로써, 동일한 정도의 보정을 행할 수 있다. 이 경우, 2 비트 D/A 컨버터(16)를 구성하는 64개의 저항 중 중앙의 4개의 저항에만 CMOS 스위치(26)를 접속하면 된다.

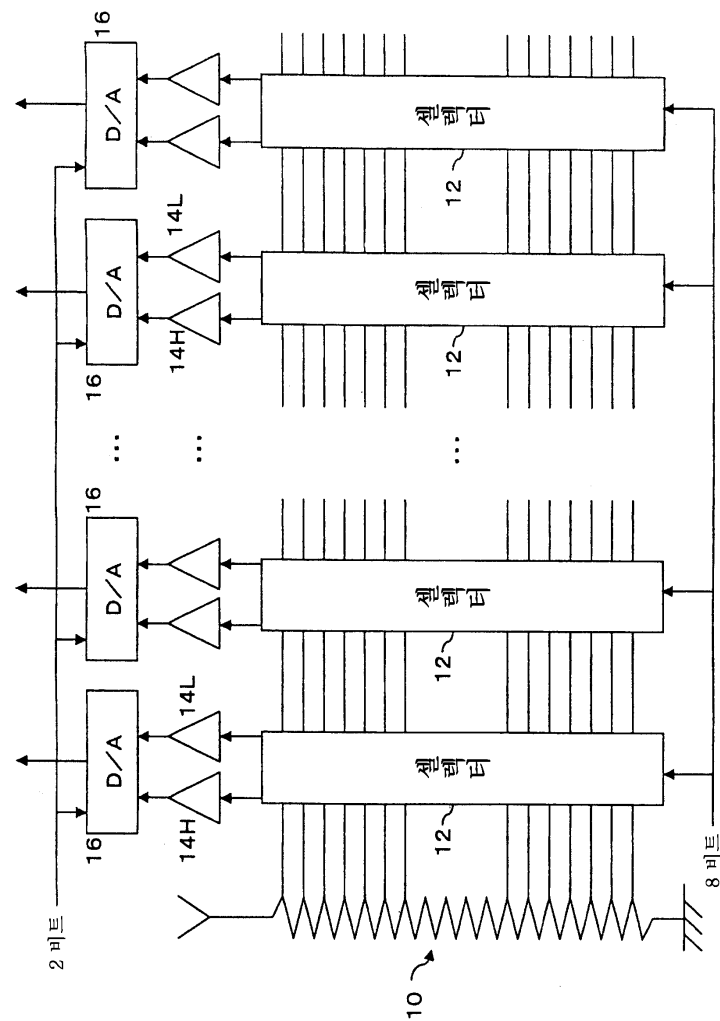
도면의 간단한 설명

- <60> 도 1은, 실시 형태의 구성을 도시하는 도면.
- <61> 도 2는, 실시 형태의 상세 구성을 도시하는 도면.
- <62> 도 3은, 다른 실시 형태의 구성을 도시하는 도면.
- <63> 도 4는, 보정 데이터에 의한 보정의 구성을 도시하는 도면.
- <64> 도 5는, 퓨즈 회로를 이용하는 보정의 구성을 도시하는 도면.
- <65> 도 6은, 퓨즈 회로의 판독을 설명하는 도면.
- <66> <도면의 주요 부분에 대한 부호의 설명>

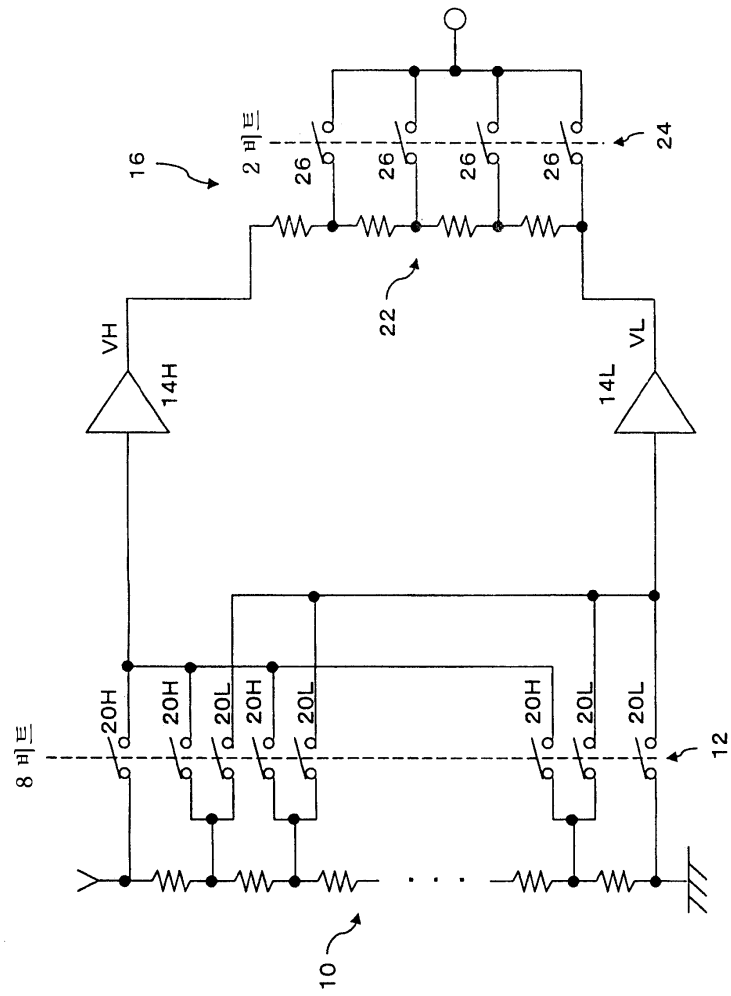
- | | |
|------|-----------------|
| <67> | 10, 22 : 저항 스트링 |
| <68> | 12, 24 : 셀렉터 |
| <69> | 14 : 버퍼 앰프 |
| <70> | 16 : D/A 컨버터 |
| <71> | 20, 26 : 스위치 |
| <72> | 30 : 보정용 레지스터 |
| <73> | 32 : 보정용 스위치 |
| <74> | 50 : 퓨즈 회로 |
| <75> | 52, 56 : 셀렉터 회로 |
| <76> | 54 : 읽어내기 회로 |
| <77> | 58 : 유지 회로 |
| <78> | 60 : 극성 반전 회로 |

도면

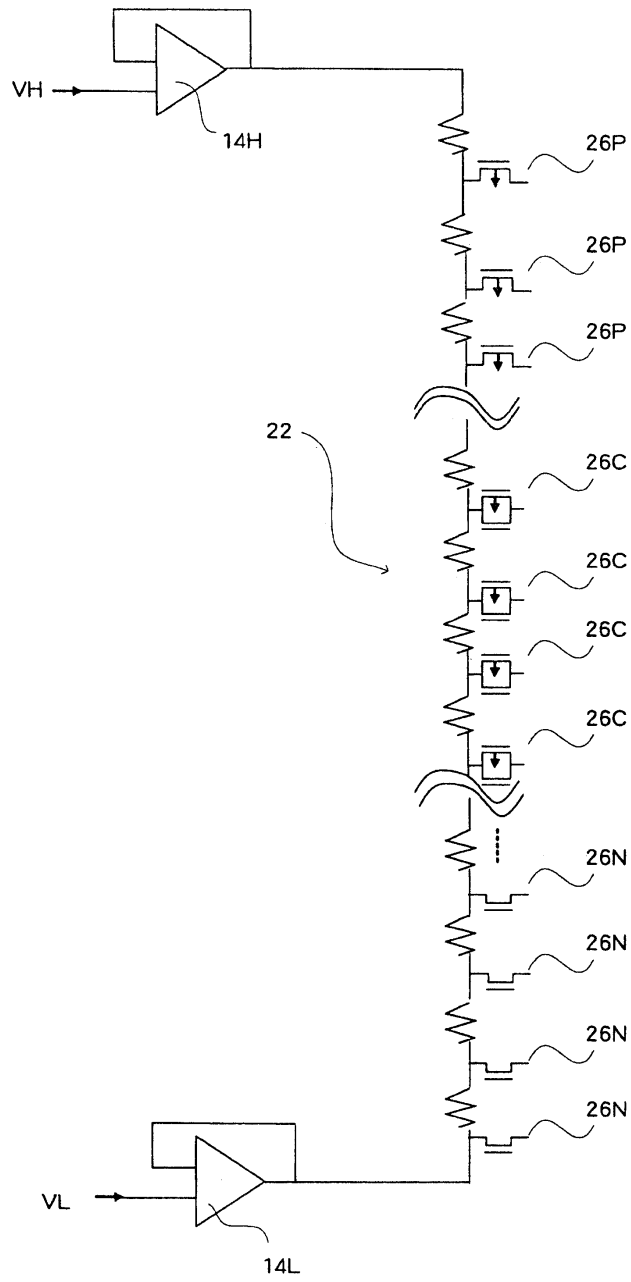
도면1



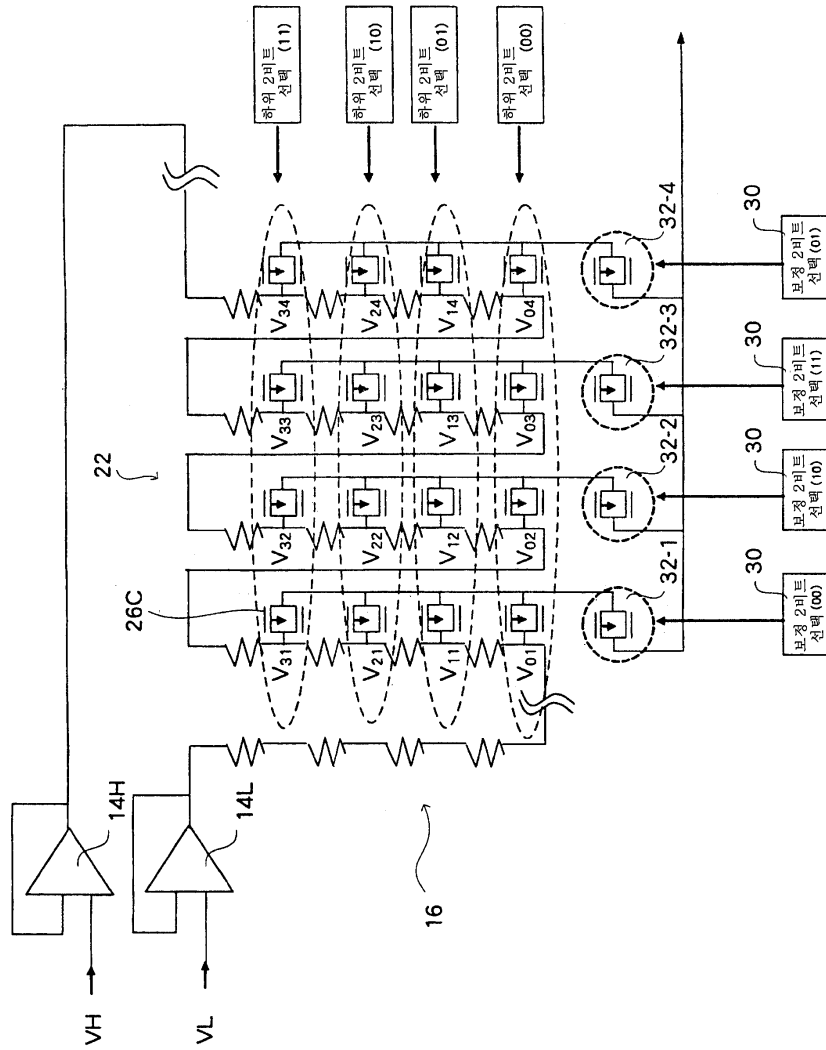
도면2



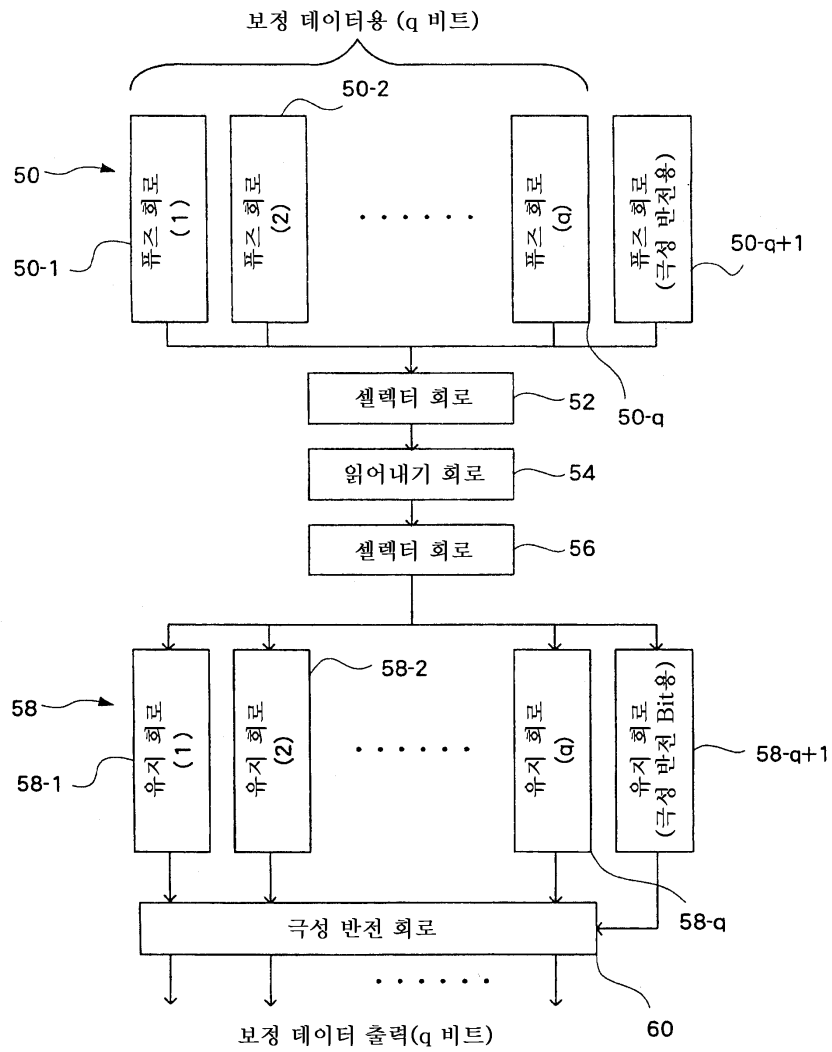
도면3



도면4



도면5



도면6

