

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4599409号
(P4599409)

(45) 発行日 平成22年12月15日(2010.12.15)

(24) 登録日 平成22年10月1日(2010.10.1)

(51) Int.Cl.	F I
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 6 2 C
G 0 6 F 3/00 (2006.01)	G 1 1 C 11/34 3 6 2 Z
	G 0 6 F 3/00 K

請求項の数 15 (全 12 頁)

(21) 出願番号	特願2007-543158 (P2007-543158)	(73) 特許権者	593096712
(86) (22) 出願日	平成17年11月10日 (2005.11.10)		インテル コーポレーション
(65) 公表番号	特表2008-521158 (P2008-521158A)		アメリカ合衆国 95052 カリフォル
(43) 公表日	平成20年6月19日 (2008.6.19)		ニア州 サンタ クララ ミッション カ
(86) 国際出願番号	PCT/US2005/041199		レッジ ブールバード 2200
(87) 国際公開番号	W02006/055497	(74) 代理人	100070150
(87) 国際公開日	平成18年5月26日 (2006.5.26)		弁理士 伊東 忠彦
審査請求日	平成19年5月17日 (2007.5.17)	(74) 代理人	100091214
(31) 優先権主張番号	10/992, 953		弁理士 大貫 進介
(32) 優先日	平成16年11月18日 (2004.11.18)	(74) 代理人	100107766
(33) 優先権主張国	米国 (US)		弁理士 伊東 忠重
		(72) 発明者	ベインズ, クルジット
			アメリカ合衆国 98516 ワシントン
			州 オリンピア 52nd レーン ノー
			スイースト 9146

最終頁に続く

(54) 【発明の名称】 異なるチップにおける異なる処理を制御するコマンド

(57) 【特許請求の範囲】

【請求項 1】

制御回路と、

処理タイプ信号を有し、前記制御回路による使用のため前記処理タイプ信号を保持するレジスタと、

を有するチップであって、

前記制御回路は、第1コマンドを受け付け、該第1コマンドにตอบสนองして、前記処理タイプ信号が第1の値を有する場合、当該チップにライト処理を実行させ、前記処理タイプ信号が第2の値を有する場合、当該チップにODT (On Die Termination) 処理を実行させ、

前記制御回路は、第2コマンドを受け付け、該第2コマンドにตอบสนองして、前記処理タイプ信号が第1の値を有する場合、当該チップに前記ODT処理を実行させ、前記処理タイプ信号が第2の値を有する場合、当該チップに前記ライト処理を実行させる、チップ。

【請求項 2】

前記処理タイプ信号は、第1処理タイプ信号であり、

前記レジスタはまた、第2処理タイプ信号を有し、

前記制御回路は、第3コマンドを受け付け、前記第2処理タイプ信号が第1の値を有する場合、当該チップにリード処理を実行させ、前記第2処理タイプ信号が第2の値を有する場合、当該チップにリフレッシュ処理を実行させる、請求項1記載のチップ。

【請求項 3】

第1コマンドと第2コマンドとを供給する第1チップと、
 処理タイプ信号を有するレジスタを有する第2チップと、
 処理タイプ信号を有するレジスタを有する第3チップと、
 を有するシステムであって、

前記第2チップと前記第3チップとは、前記第1コマンドと前記第2コマンドとを受け付け、

前記第2チップの処理タイプ信号が第1の値を有し、前記第3チップの処理タイプ信号が第2の値を有する場合、前記第2チップは、ライト処理を実行することにより前記第1コマンドに应答し、ODT(On Die Termination)処理を実行することにより前記第2コマンドに应答し、前記第3チップは、前記ODT処理を実行することにより前記第1コマンドに应答し、前記ライト処理を実行することにより前記第2コマンドに应答し、

10

前記第2チップの処理タイプ信号が第2の値を有し、前記第3チップの処理タイプ信号が第1の値を有する場合、前記第2チップは、前記ODT処理を実行することにより前記第1コマンドに应答し、前記ライト処理を実行することにより前記第2コマンドに应答し、前記第3チップは、前記ライト処理を実行することにより前記第1コマンドに应答し、前記ODT処理を実行することにより前記第2コマンドに应答する、システム。

【請求項4】

前記第1チップは、メモリコントローラであり、

前記第2チップは、第1ランクのメモリチップであり、

前記第3チップは、第2ランクのメモリチップである、請求項3記載のシステム。

20

【請求項5】

第3コマンドの受け付けに应答して、前記第2チップはリード処理を実行し、前記第3チップはリフレッシュ処理を実行する、請求項3記載のシステム。

【請求項6】

前記コマンドは、前記第2及び第3チップにより同時に受け付けされる、請求項3記載のシステム。

【請求項7】

前記コマンドは、前記第2及び第3チップにより異なる時点に受け付けされる、請求項3記載のシステム。

30

【請求項8】

第1コマンドを供給するメモリコントローラと、

各メモリチップが処理タイプ信号を有するレジスタを有する第1メモリチップ群と、

各メモリチップが処理タイプ信号を有するレジスタを有する第2メモリチップ群と、

を有するシステムであって、

前記第1チップと前記第2チップとは、前記第1コマンドと第2コマンドとを受信し、

前記第1メモリチップ群の処理タイプ信号が第1の値を有し、前記第2メモリチップ群の処理タイプ信号が第2の値を有する場合、前記第1メモリチップ群は、ライト処理を実行することにより前記第1コマンドに应答し、ODT(On Die Termination)処理を実行することにより前記第2コマンドに应答し、前記第2メモリチップ群は、前記ODT処理を実行することにより前記第1コマンドに应答し、前記ライト処理を実行することにより前記第2コマンドに应答し、

40

前記第1メモリチップ群の処理タイプ信号が第2の値を有し、前記第2メモリチップ群の処理タイプ信号が第1の値を有する場合、前記第1メモリチップ群は、前記ODT処理を実行することにより前記第1コマンドに应答し、前記ライト処理を実行することにより前記第2コマンドに应答し、前記第2メモリチップ群は、前記ライト処理を実行することにより前記第1コマンドに应答し、前記ODT処理を実行することにより前記第2コマンドに应答する、システム。

【請求項9】

前記第1メモリチップ群は、第1ランクにあり、

50

前記第2メモリチップ群は、第2ランクにある、請求項8記載のシステム。

【請求項10】

前記チップの少なくとも1ビットの状態を制御するメモリコントローラとプログラムとの間のインタフェースをとるシステム回路をさらに有する、請求項8記載のシステム。

【請求項11】

前記プログラムは、BIOSを有する、請求項10記載のシステム。

【請求項12】

前記プログラムは、オペレーティングシステムを有する、請求項10記載のシステム。

【請求項13】

前記メモリコントローラは、前記レジスタにおいて前記処理タイプ信号を設定するための信号を前記第1及び第2メモリチップ群のメモリチップに供給する、請求項8記載のシステム。

10

【請求項14】

前記処理タイプ信号の値は、前記メモリチップが動作状態になると、設定される、請求項13記載のシステム。

【請求項15】

前記処理タイプ信号の値は、前記メモリチップが動作状態になった後、変更可能である、請求項13記載のシステム。

【発明の詳細な説明】

【発明の詳細な説明】

20

【0001】

[技術分野]

本発明は、半導体チップに関し、より詳細には、コマンドが異なるチップにおいて異なる処理を行わせるチップに関する。

【0002】

[背景技術]

コンダクタ (conductor) は、典型的には、抵抗物質やトランジスタなどの抵抗構成を介し終端処理 (terminate) される。このターミネーションは様々な位置に配置されてきた。ターミネーション位置の具体例として、マザーボード上、他の回路ボード若しくはカードなどがあげられる。ターミネーション位置の他の具体例として、信号を送信するチップ上及び/又は信号を受信するチップ上などがあげられる。チップ上のターミネーションは、通常はODT (On Die Termination) と呼ばれる。

30

【0003】

いくつかのDRAM (Dynamic Random Access Memory) チップは、DRAMチップの各機能を制御するためのビットを含むモード・レジスタ・セット (MRS) と呼ばれるレジスタを有する。MRSの1以上のビットは、DRAMチップの特定の機能を制御するようかもしれない。拡張されたMRS (EMRS0、EMRS1など) は、使用のためさらなるビットを提供するかもしれない。

【0004】

40

DRAMチップは、典型的には、その一部がDIMM (Dual In-line Memory Module) であるメモリモジュールに含まれる。「ランク」という用語は、例えば、共有チップ選択信号や他の何れかの方法により共に選択されるメモリチップグループを表す。いくつかのモジュールは、モジュール毎に1つのランクのみを有し、いくつかのモジュールは、モジュール毎に複数のランクを有する。いくつかのランクは、複数のモジュール上にチップを有する。

【0005】

いくつかの2ランクメモリシステムでは、ベストの電気パフォーマンスのため、ODTが、ライト処理に対するデータを受け付けていないDRAMチップ上でイネーブルとされる。

50

【 0 0 0 6 】

J E D E C S o l i d S t a t e T e c h n o l o g y A s s o c i a t i o n は、D D R 2 (D u a l D a t e R a t e 2 又は D o u b l e D a t a R a t e 2) D R A M チップの規格を提供してきた。D D R 2 D R A M チップでは、O D T は、ランク毎に個別の信号を使用することによって制御される。いくつかの 2 ランク - 1 D I M M システムでは、2 つの O D T ピンがコントローラ及び D I M M 上で利用される。2 つのピンはまた、スタッキングソリューションをサポートするため、D R A M チップ毎に利用されてもよい。本開示で使用される「ピン」という単語は、従来のピン又はダイパッドと他の接続を意味する。

【 0 0 0 7 】

G D D R 3 (グラフィックス D D R 3) 及びまた D D R 3 / D D R 2 プロポーザルでは、コマンドバスは 2 つのランク間で共有されてもよい。D R A M は、ライト処理についてコマンドバスをモニタ又はスヌープすることが可能である。それがライトサイクルを確認し、C S # がアサートされていない場合、それはその O D T をオンすることができる。ライトコマンドは、他方のランクを対象とするかもしれない。(C S # は、ランク又はデバイスに固有のものである。) 「 2 N タイミング」という用語は、1 N タイミングと比較して、サンプリングのための追加的なクロックサイクルをとる状況を表す。このサンプリングは、アドレス信号などの信号についてのものであってよい。スヌープ処理は、1 N タイミングについては良好に機能するが、2 N タイミングについては(サンプリング前に追加的なクロックサイクルを有する)、スヌープ処理がターンアラウンド (t u r n a r o u n d) サイクルとリードオフ (l e a d o f f) ライトサイクルにおいて追加的なクロックサイクルを生じさせる可能性があるため、良好には機能しない。

【 0 0 0 8 】

[詳細な説明]

図 1 を参照するに、メモリコントローラ 1 2 は、サポート 1 6 上のメモリチップ M C 0 とメモリチップ M C 1 にコマンド信号(以降においてコマンドと呼ぶ)を含む各種信号を供給する。メモリモジュール 1 8 は、チップ M C 0 及び M C 1 とサポート 1 6 とを有し、図 1 に図示されないさらなるチップを有するかもしれない。コマンドを含む各種信号は、メモリコントローラ 1 2 と M C 0 及び M C 1 との間のインターコネクタを介してわたされる。データ、アドレス、コマンド及びチップ選択信号は、異なるコンダクタ上にあってもよく、又は同一のコンダクタの少なくとも一部において共有されてもよい。異なるタイプの信号が異なるインターコネクタを介して搬送され、又はインターコネクタ 1 4 の同一のコンダクタ上で完全に又は部分的にパケット化又は時間多重されてもよい。

【 0 0 0 9 】

チップ M C 0 は、1 つの処理を実行することによりあるコマンドにตอบสนองし、チップ M C 1 は、他の処理を実行することにより同一のコマンドにตอบสนองする。例えば、チップ M C 0 は、ライト処理を実行することによって、例えば、コマンド A と呼ばれるコマンドにตอบสนองし、チップ M C 1 は、O D T をオンすることによってコマンド A にตอบสนองする。すなわち、チップ M C 0 は、コマンド A をライトコマンドであると解釈し、チップ M C 1 は、コマンド A をスイッチオン O D T コマンドであると解釈するようにしてもよい。いくつかの実施例では、例えば、チップ M C 0 が O D T をオンすることによってตอบสนองし、チップ M C 1 がライト処理を実行することによりตอบสนองするコマンド B と呼ばれる第 2 のコマンドが存在する。他の例として、チップ M C 0 は、例えば、リード処理を実行することによって、コマンド C と呼ばれるコマンドにตอบสนองし、チップ M C 1 は、リフレッシュ処理を実行することによってコマンド C にตอบสนองする。同様に、例えば、チップ M C 0 がリフレッシュ処理を実行することによりตอบสนองし、M C 1 がリード処理を実行することによりตอบสนองするコマンド D と呼ばれる第 2 のコマンドが存在するかもしれない。さらなる他の処理が、コマンドにตอบสนองして実行されてもよい。ラベル A、B、C 及び D は任意であることに留意されたい。

【 0 0 1 0 】

チップ M C 0 と M C 1 が実現される方法は多数存在する。図 2 はいくつかの実現形態 (

10

20

30

40

50

実施例)を示すが、本発明は図2の詳細及びそれに関する以下の説明に限定されるものではない。本発明は、図2及びその説明と異なる各種実施例により実現可能である。さらに、図2の実施例は、図2に示されないさらなるコンポーネントを有するかもしれない。

【0011】

図2を参照するに、メモリコントローラ12が、コントロールバス20、データバス22及びアドレスバス24を介しチップMC0及びMC1に接続される。チップ選択(CS)信号が、バス26及び28を介しチップMC0及びMC1に供給される。チップ選択信号は、ときどきローアクティブであり、指定されたCS#である。チップ選択信号は、チップMC0についてはCS0#であり、チップMC1についてはCS1#である。チップ選択信号は、ときどきデバイス選択信号と呼ばれる。

10

【0012】

本開示で参照されるコマンドは、様々な方法を介してメモリコントローラ12からチップMC0及びMC1に供給されるかもしれない。いくつかの実施例では、ここに記載されるコマンドは、コントロールバス20のみを介し供給される。他の実施例では、コマンドは、コントロールバス20とアドレスバス24との組み合わせを介し供給される。さらなる他の実施例では、データバスもまたコマンドを通信するのに利用される。チップMC0の制御回路32と制御回路42とは、コマンドを含む信号がコントローラ12と制御回路32及び42との間で変更されるかもしれないが、コントローラ12からコマンドを受け付ける。

【0013】

20

チップMC0はレジスタ30を有し、チップMC1はレジスタ40を有する。レジスタ30及び40は、チップMC0及びMC1が少なくともいくつかのコマンドをどのように解釈するか制御するため、処理タイプ信号を有する。この処理タイプ信号は、1ビット又は複数ビットによるものであってもよい。例えば、レジスタ30及び40はそれぞれ、前に使用されていないビット又は新たなビットを用いてMRS又はEMRSに含まれてもよい。しかしながら、レジスタ30及び40がMRS又はEMRSに存在している必要はない。

【0014】

具体例(例1と呼ぶ)として、レジスタ30の処理タイプ信号は、例えば、レジスタ30の特定ビットが第1の電圧状態を有するため、第1の値を有する。レジスタ40の同じ処理タイプ信号は、レジスタ40の対応するビットが第2電圧状態を有するため、第2の値を有する。例1では、コマンドA及びBと呼ばれるコマンドが存在する。チップMC0は、コマンドAにライトコマンドとして応答し、これは、制御回路32がデータバス22の特定のデータビットをチップMC0のコア36に格納することを意味する。チップMC1は、ODT48をオンすることによってコマンドAに応答する。より詳細には、制御回路42はODT48をオンする。他方、チップMC0は、ODT38をオンすることによってコマンドBに応答するが、チップMC1は、ライトコマンドとしてコマンドBに応答する。より詳細には、コマンドBに応答して、制御回路32はODT38をオンし、制御回路42は、バス22上のデータをコア46に格納する。いくつかの実施例では、レジスタ30及び40の処理タイプ信号の値が反対のものである場合、チップMC0は、ODT38をオンすることによってコマンドAに応答し、ライト処理を実行することによりコマンドBに応答し、チップMC1は、ライト処理を実行することによりコマンドAに応答し、ODT処理を実行することによりコマンドBに応答することとなる。

30

40

【0015】

他の具体例(例2と呼ぶ)では、コマンドC及びDと呼ばれるコマンドが存在する。レジスタ30及び40の処理タイプ信号は、チップMC0がリードコマンドとしてコマンドCに応答し、リフレッシュコマンドとしてコマンドDに応答し、チップMC1がリフレッシュコマンドとしてコマンドCに応答し、リードコマンドとしてコマンドDに応答するように、特定の値により設定可能である。処理タイプ信号の値は、レジスタ30及び40の1以上のビットの状態(電圧)により設定することが可能である。レジスタには1つのみ

50

又は複数の処理タイプ信号が存在可能である。いくつかの実施例では、チップMC0及びMC1は例1及び2の両方の特徴を有し、他の実施例では、チップMC0及びMC1は、例1の特徴は有するが、例2の特徴は有さず、さらなる他の実施例では、チップMC0及びMC1は、例2の特徴は有するが、例1の特徴は有しない。

【0016】

図3は、“ライト又はODTオン”についての1以上のビットと、“リード又はリフレッシュ”についての1以上のビットとを有するレジスタを示す。図3のレジスタは、レジスタ30及び40が“ライト又はODTオン”と“リード又はリフレッシュ”の両方についてビットを有することは要求されていないが、レジスタ30又は40を表す。図3では、“ライト又はODTオン”及び“リード又はリフレッシュ”を制御するための異なるビットが、示されている。あるいは、同一のビットが双方を制御することも可能である。例えば、処理タイプ信号が第1の値を有する場合、チップはライトリクエストとしてコマンドAに应答し、リードリクエストとしてコマンドCに应答し、処理タイプ信号が第2の値を有する場合、チップはODTオンコマンドとしてコマンドBに应答し、リフレッシュリクエストとしてコマンドDに应答する。他の情報が処理タイプ信号に符号化することができる。

10

【0017】

例1及び2では、第1状態は論理ハイ電圧であり、第2状態は論理ロー電圧とすることができるが、それは必須ではない。例えば、第1状態が論理ロー状態、第2状態が論理ハイ状態とすることが可能である。他の実施例では、2より多くの状態(電圧)をレジスタビットに含めることができる。

20

【0018】

ODTが構成される方法は各種あり、本発明は何れか特定の方法に限定されるものではない。図4は、チップMC0におけるODT38の実現形態を示しているが、本発明はこれらの詳細に限定されるものではない。実際、他の各種タイプのODTが利用可能である。さらに、いくつかの実施例は、ODTを含んでいない。図4を参照するに、抵抗構成R1-D, . . . , RN-Dが、それぞれデータノード50とスイッチSw1-D, . . . , SwN-Dとの間にあり、これらはさらに、供給電圧ノードVDDQに接続される。抵抗構成R1-S, . . . , RM-Sが、それぞれデータノード50とスイッチSw1-S, . . . , SwM-Sとの間にあり、これらはさらに、グラウンド電圧ノードVSSQに接続される。“N”及び“M”の数は、同一又は異なるものであってもよく、異なる実現形態では異なる値を有するかもしれない。制御回路32は、スイッチを制御し、これにより、ODT38が“オン”であるか否かを制御する。閉じられているスイッチの個数は、ターミネーションの抵抗量を決定するかもしれない。例えば、コマンドA1は、ODTのあるレベルの抵抗を生じさせ、コマンドA2は、他のレベルの抵抗を生じさせる。図4では、データノード50は、ピン(パッド)と入力バッファ52との間にある。いくつかのチップは、従来のピンを有さず、パッドを有するようによい。

30

【0019】

現在の典型的な実現形態では、複数のメモリチップがモジュールに含まれる。これらのチップは、典型的にはランクによりグループ化される。例えば、図5は、サポート62によりサポートされる2つのランクのチップを有するメモリモジュール64のメモリチップに接続されるメモリコントローラ12を示す。第1ランク(ランク0)は、メモリチップMC0-0, . . . , MC0-N(Nは、図4のものと同じでなくてもよい)を有する。第2ランク(ランク1)は、メモリチップMC1-0, . . . , MC1-Nを有する。これら2つのランクは、同数又は異なる個数のチップを有してもよい。図5は、同一のチップ選択信号により選択されるランクの各チップを示す(ランク0のチップについてのCS0と、ランク1のチップについてのCS1)。チップ選択信号は、図5に示されるように、それ自体のマルチドロップバスを介し、又は多重化又はパケット化された信号などの他の方法により供給することができる。

40

【0020】

50

図6において、メモリコントローラ12は、サポート66によりサポートされる第1ランクのチップ(MC0-0, . . . , MC0-N)と第2ランクのチップ(MC1-0, . . . , MC1-N)とを有する第1メモリモジュール68と、サポート72によりサポートされる第3ランクのチップ(MC2-0, . . . , MC2-N)と第4ランクのチップ(MC3-0, . . . , MC3-N)とを有する第2メモリモジュール74とに接続される。チップ選択信号CS0、CS1、CS2及びCS3は、対応するランクにおけるチップを選択するのに利用される。このため、チップ選択信号CS0は、第1ランク(ランク0)のすべてのチップについて使用され、CS1は第2ランク(ランク1)のすべてのチップについて使用されるなどとなる。図6のチップ選択信号は、“#”シンボルを含むことが可能である。

10

【0021】

他の各種代替が利用可能である。例えば、いくつかの実施例では、各モジュールは1つのみのランクしか有しない。本例では、図6は、モジュール68のすべてのチップが1つのランクに存在し、モジュール74のすべてのチップが他のランクに存在するように、変更することが可能である。他の代替として、各モジュールは2つのランクを有することが可能であるが、システムは2つのみのランクしか有しない。本例では、図6は、チップMC0-0, . . . , MC0-NとMC2-0, . . . , MC2-Nが1つのランクに存在し、チップMC1-0, . . . , MC1-NとMC3-0, . . . , MC3-Nが他方のランクに存在するように変更可能である。モジュール毎に2より多くのランクと、システム毎に4より多くのランクが存在可能である。

20

【0022】

図5及び6に示されるように、各メモリチップがサポート62、66及び72の同一サイドに存在する。実際には、1つのランクのチップはサポートの一方のサイドにあり、他のランクのチップはサポートの他方のサイドに存在してもよく、あるいは他の構成が利用可能である。いくつかの実施例では、同一のランクからのチップはサポートの異なるサイドに存在する。

【0023】

図7は、本発明がこれらの詳細に限定されるものではないが、図5のシステムの処理の例示的なタイミング図を提供する。

【0024】

クロックサイクル0において、コマンドAは、CS0#とCS1#とがアサートされることにより発行される。

30

【0025】

クロックサイクル3において、各チップMC1-0, . . . , MC1-N(ランク1)のODTは、tAONDの遅延後にオンされる。

【0026】

クロックサイクル4~7において、データは、tWLの遅延後にバスを介しMC0-0, . . . , MC0-N(ランク0)に書き込まれる。一例として、DDR3メモリチップは、8のバースト長(BL)により利用され、データダブルポンプされ(デュアルデータレート又はダブルデータレートと呼ばれる)、そのことは、各1/2クロックサイクルに1回送受信されることを意味する。ODTがランク1のチップにおいてオンされる時間と、データがランク0のチップについてバス上に存在する時間との間には時間があることに留意されたい。

40

【0027】

クロックサイクル5において、コマンドBは、CS0#及びCS1#がアサートされることにより発行される。

【0028】

クロックサイクル8において、チップMC1-0, . . . , MC1-N(ランク1)のODTは、8のバースト長に基づく固定された遅延後に自動的に(別のコマンドなく)オフされる。(他のいくつかの実施例では、ODTは自動的にオフされない。)クロック

50

サイクル 8 において、チップ MC 0 - 0 , . . . , MC 0 - N (ランク 0) の O D T は、コマンド B に応答して、遅延 t A O N D 後にオンされる。

【 0 0 2 9 】

クロックサイクル 9 ~ 1 2 において、データは、t W L の遅延後にバスを介しチップ MC 1 - 0 , . . . , MC 1 - N (ランク 1) に書き込まれる。

【 0 0 3 0 】

クロックサイクル 1 3 において、チップ MC 0 - 0 , . . . , MC 0 - N (ランク 0) の O D T は、8 のバースト長に基づき固定された遅延後に自動的にオフされる。

【 0 0 3 1 】

いくつかの実施例では、1 つの C S # のみがアサートされている場合、第 2 ランクはコマンドを無視するようにしてもよい。

10

【 0 0 3 2 】

メモリコントローラ 1 2 が異なる図面に示されているが、本発明の異なる実施例によるメモリコントローラは、各システムにおいて動作可能である必要はない。

【 0 0 3 3 】

図 8 は、マイクロプロセッサなどのプロセッサ 8 4 にあるものとしてメモリコントローラ 1 2 を示す。図 9 は、チップセットのメモリコントローラハブ 8 6 にあるものとしてメモリコントローラ 1 2 を示す。

【 0 0 3 4 】

図 2、5 及び 6 はマルチドロップバスコンフィギュレーションにより示されているが、ポイント・ツー・ポイントインターコネクが利用可能である。例えば、図 1 のインターコネク 1 4 は、マルチドロップ、ポイント・ツー・ポイント又は上記の組み合わせとすることが可能である。異なるチップにより異なって応答されるコマンドは、各チップにより同時に受信可能であり、又は各チップにより異なる時間に受信可能である。

20

【 0 0 3 5 】

メモリチップ MC 0 及び MC 1 が示されているが、本発明は、その主たる目的がメモリストレージではないチップにより利用されてもよい。

【 0 0 3 6 】

コマンドは、並列的に、直列的に又は並列と直列の組み合わせによる複数のビットを有してもよい。コマンドは、他の信号によりパケット化されてもよい。

30

【 0 0 3 7 】

レジスタ 3 0 及び 4 0 のビットの状態は、ブートアップ時 (チップ MC 0 及び MC 1 を有するシステムのオン時) に又はブートアップ後に設定されてもよい。例えば、この状態は、ブートアップ後に生じる可能性がある各状況に応じて変更されてもよい。いくつかの実施例 (図 1 のものと異なる) では、レジスタ 3 0 及び 4 0 のビットの状態は、チップ MC 0 と MC 1 がある時点ではライトコマンド、また他の時点では O D T スイッチオンコマンドと同じコマンドに応答するように変更される。この場合、コマンド A を単に使用することで十分であり、コマンド B は、例 1 と同様に利用されない。

【 0 0 3 8 】

図 1 0 は、システム回路 9 0 がメモリ 9 4 のプログラム 9 2 とインタフェースをとることを除いて、図 2 のものと同様である。いくつかの実施例では、プログラム 9 2 は、BIOS、オペレーティングシステム又は他のソフトウェアであってもよい。特に、プログラム 9 2 は、例 1 及び 2 など、チップ MC 0 及び MC 1 がコマンドにどのように応答するかを含むレジスタ 3 0 及び 4 0 のコンテンツの少なくとも一部を制御するものであってもよい。他の実施例では、プログラム 9 2 は、例 1 及び 2 など、チップ MC 0 及び MC 1 がコマンドにどのように応答するかを制御するレジスタ 3 0 及び 4 0 の上記部分のコンテンツを制御するものでない。例えば、メモリコントローラ 1 2 は、プログラム 9 2 のコントロールとは独立したコントローラ 1 2 の内部ロジックに基づき、何れがレジスタ 3 0 及び 4 0 の上記コンテンツであるか決定するようにしてもよい。

40

【 0 0 3 9 】

50

ODTを制御するためコマンドを利用することによって、いくつかの実施例ではODTを制御するためのピンがあってもよいが、ODTを制御するためのピン(パッド)を有する必要はない。いくつかの実施例では、ODTは、ピンではなくコマンドのみによって制御される。このことは、ODTを制御するのに用いられるピンを有するシステムと非アックして、ピンの減少をもたらす。他の実施例では、ODTはピンによってのみ制御される。さらなる他の実施例では、ODTはある時点ではコマンドによって、また他の時点ではピンによって制御される。

【0040】

ODTを制御するためコマンドを利用することによって、1N又は2Nタイミングが利用されるか否かは重要でなくなる。2Nタイミングは、信号をサンプリングするため1つの追加的なクロックサイクルを伴う。

10

【0041】

「コントロール又は制御する」という用語は、少なくとも部分的に制御することを意味する。「生じさせる」という用語は、少なくとも部分的に生じさせることを意味する。

【0042】

本開示及び請求項では、「第1」という単語の使用は、区別するのに際して便宜上利用されるものである。それは、時間的、空間的又は重要度を意味するものではない。例えば、第1処理タイプ信号という表現は、第1処理タイプ信号が第2処理タイプ信号に関して時間的、空間的又は重要度において第1であることを意味するものではない。同様に、第1コマンドという表現は、第1コマンドが他のコマンドに関して時間的、空間的又は重要度において第1であることを意味するものではない。同様に、「第2」、「第3」及び「第4」という単語は、時間的、空間的又は重要度を意味するものでなく単なるラベルである。

20

【0043】

実施例は、本発明の実現形態又は具体例である。本明細書における「実施例」、「一実施例」、「いくつかの実施例」又は「他の実施例」という表現は、当該実施例に関して説明されている特定の特徴、構成又は特性が少なくともいくつかの実施例に含まれるが、本発明のすべての実施例に必ずしも含まれるものでないことを意味している。「実施例」、「一実施例」又は「いくつかの実施例」という各種表現は、そのすべてが同一の実施例を参照しているとは限らない。

30

【0044】

本明細書が、コンポーネント、特徴、構成又は特性が「含まれてもよい」、「含まれる」又は「含めることができる」ということを記述している場合、当該コンポーネント、特徴、構成又は特性が含まれることは必須ではない。明細書又は請求項が「ある」要素と表現する場合、それは当該要素が1つしか存在しないことを意味するものでない。明細書又は請求項が「さらなる」要素を表現する場合、そのことは、当該さらなる要素が複数存在することを排除するものでない。

【0045】

本発明は、ここに記載される詳細に制限されるものでない。実際、上記記載及び図面の他の多くの変形が本発明の範囲内で可能である。従って、本発明の範囲を規定するものは、それに対する補正を含む以下の請求項である。

40

【図面の簡単な説明】

【0046】

【図1】図1は、本発明のいくつかの実施例によるメモリチップを有するメモリモジュールとメモリコントローラとを有するシステムのブロック図である。

【図2】図2は、本発明のいくつかの実施例による図1のメモリチップとメモリコントローラとのさらなる詳細のブロック図である。

【図3】図3は、本発明のいくつかの実施例によるレジスタの図である。

【図4】図4は、本発明のいくつかの実施例による図1及び2のメモリチップのさらなる詳細のブロック図である。

50

【図5】図5は、本発明のいくつかの実施例によるメモリモジュールとメモリコントローラとを有するシステムのブロック図である。

【図6】図6は、本発明のいくつかの実施例によるメモリモジュールとメモリコントローラとを有するシステムのブロック図である。

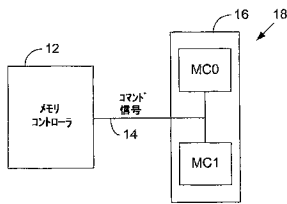
【図7】図7は、本発明のいくつかの実施例による図5のメモリチップとメモリコントローラとの処理を示すタイミング図である。

【図8】図8は、プロセッサとして同一のダイに含まれる図1、2、5及び6のメモリコントローラのブロック図である。

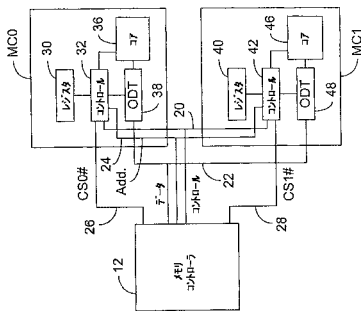
【図9】図9は、チップセットのメモリコントローラハブと同一のダイに含まれる図1、2、5及び6のメモリコントローラのブロック図である。

【図10】図10は、図2のレジスタに値を提供するプログラムを示すシステムである。

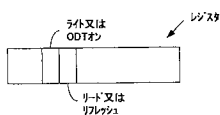
【図1】



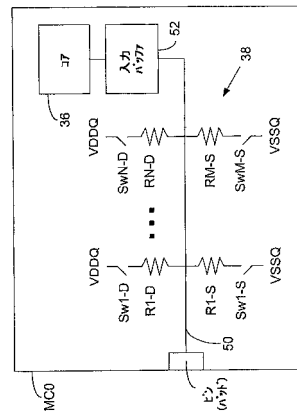
【図2】



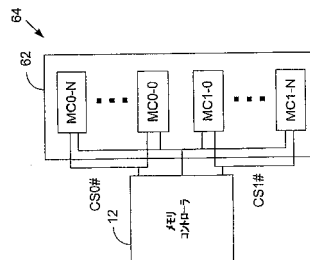
【図3】



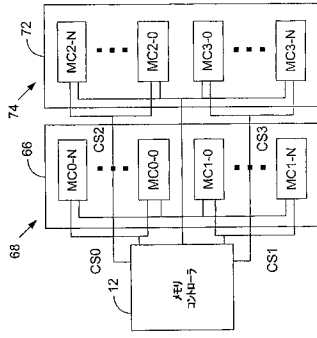
【図4】



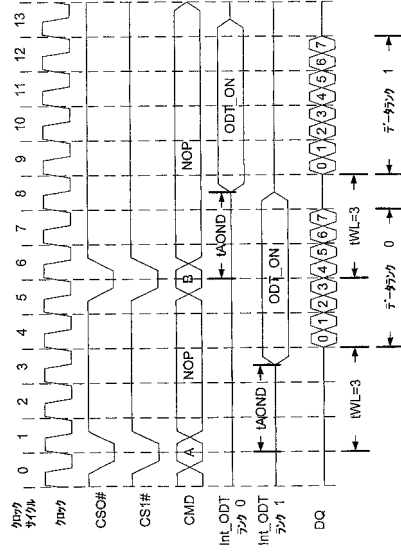
【図5】



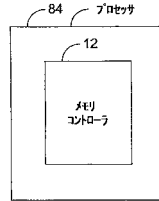
【 図 6 】



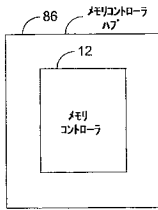
【 図 7 】



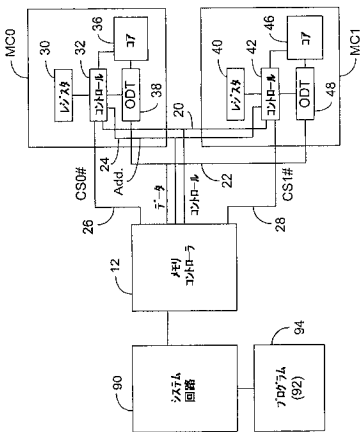
【 図 8 】



【 図 9 】



【 図 10 】



フロントページの続き

審査官 高野 芳徳

(56)参考文献 特表2006-516059(JP,A)

(58)調査した分野(Int.Cl., DB名)

G06F 3/00

G11C 11/40-11/4099