



(19) 대한민국특허청(KR)  
 (12) 등록특허공보(B1)

(45) 공고일자 2009년06월11일  
 (11) 등록번호 10-0902473  
 (24) 등록일자 2009년06월04일

(51) Int. Cl.

G11C 7/00 (2006.01)

(21) 출원번호 10-2002-0029510  
 (22) 출원일자 2002년05월28일  
 심사청구일자 2007년05월28일  
 (65) 공개번호 10-2002-0090904  
 (43) 공개일자 2002년12월05일

(30) 우선권주장  
 09/870,361 2001년05월29일 미국(US)

(56) 선행기술조사문헌

JP09245473 A\*

\*는 심사관에 의하여 인용된 문헌

(73) 특허권자

아바고 테크놀로지스 제너럴 아이피 (싱가포르)  
 피티이 리미티드

싱가포르 768923 이순 애비뉴 7 넘버 1

(72) 발명자

시먼스라우라엘리자베스

미국오레곤주97330코발리스노스트웨스트16번419

(74) 대리인

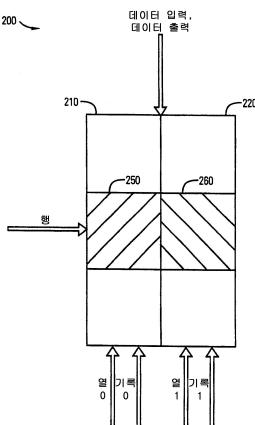
김창세, 장성구

전체 청구항 수 : 총 9 항

심사관 : 이옥우

**(54) 혼합 모드 메모리 액세스의 수행 방법 및 메모리****(57) 요약**

본 발명은 혼합 모드 메모리 액세스를 지원하는 메모리 구조(200)에 관한 것이다. 공통 행 어드레스가 제공된다. 제 1 열(210)을 액세스하기 위한 제 1 열 어드레스와 제 2 열(220)을 액세스하기 위한 제 2 열 어드레스가 제공된다. 제 1 열(210)에 대해 판독과 기록 액세스 중 하나를 지정하는 제 1 기록 제어 신호와, 제 2 열(220)에 대해 판독과 기록 액세스 중 하나를 지정하는 제 2 기록 제어 신호가 또한 제공된다. 메모리 구조(200)는, 이들 입력 신호에 응답하여, 제 1 열(210)에 대한 동시 혼합 모드 메모리 액세스와 제 2 열(220)에 대한 기록 액세스를 지원한다.

**대 표 도 - 도2**

## 특허청구의 범위

### 청구항 1

공통 행의 상이한 열들에 대해 혼합 모드 메모리 액세스를 수행하는 방법으로,

- a) 제 1 행을 특정하는 행 어드레스를 제공하는 단계(310)와,
- b) 상기 제 1 행 내의 제 1 열을 액세스하기 위한 제 1 열 어드레스를 제공하는 단계(320)와,
- c) 상기 제 1 행 내의 제 2 열을 액세스하기 위한 제 2 열 어드레스를 제공하는 단계(330)와,
- d) 상기 제 1 열에 대해 기록 액세스와 판독 액세스 중 하나를 지정하는 제 1 기록 제어 신호를 제공하는 단계(340)와,
- e) 상기 제 2 열에 대해 기록 액세스와 판독 액세스 중 하나를 지정하는 제 2 기록 제어 신호를 제공하는 단계(350)와,
- f) 상기 제 1 행 내의 상기 제 1 열 및 상기 제 1 행 내의 상기 제 2 열에 동시에 혼합 모드 메모리 액세스 (concurrent mixed-mode memory accesses)를 제공하는 단계(360)를 포함하는 혼합 모드 메모리 액세스의 수행 방법.

### 청구항 2

제 1 항에 있어서,

상기 제 1 행 내의 제 1 열 및 상기 제 1 행 내의 상기 제 2 열에 동시에 혼합 모드 메모리 액세스를 제공하는 상기 단계는,

- f1) 상기 제 1 열에는 동시 판독 액세스를 제공하고 상기 제 2 열에는 기록 액세스를 제공하는 단계를 포함하는 혼합 모드 메모리 액세스의 수행 방법.

### 청구항 3

제 1 항에 있어서,

상기 1 행의 상기 제 1 열 및 상기 제 1 행의 상기 제 2 열에 동시에 혼합 모드 메모리 액세스를 제공하는 상기 단계는,

- f1) 상기 제 1 열에는 동시 기록 액세스를 제공하고 상기 제 2 열에는 판독 액세스를 제공하는 단계를 포함하는 혼합 모드 메모리 액세스의 수행 방법.

### 청구항 4

제 1 항에 있어서,

상기 제 1 행의 상기 제 1 열 및 상기 제 1 행의 상기 제 2 열에 동시에 혼합 모드 메모리 액세스를 제공하는 상기 단계는,

- f1) 데이터 버스의 제 1 부분을 사용하여, 제 1 블록으로부터 데이터를 전달(communicate)하는 단계와,
- f2) 데이터 버스의 제 2 부분을 사용하여, 제 2 블록으로부터 데이터를 전달하는 단계를 포함하는 혼합 모드 메모리 액세스의 수행 방법.

### 청구항 5

삭제

### 청구항 6

제 4 항에 있어서,

상기 제 1 부분은 상기 메모리에 기록되는 데이터를 잔달하고, 상기 제 2 부분은 상기 메모리로부터 판독될 데이터를 전달하는

혼합 모드 메모리 액세스의 수행 방법.

#### 청구항 7

제 1 항에 있어서,

주문형 접적회로에 내장되어 있는 메모리에서 수행되는

혼합 모드 메모리 액세스의 수행 방법.

#### 청구항 8

메모리로서,

a) 제 1 기능 블록에 할당된 제 1 열 공간과,

b) 제 2 기능 블록에 할당된 제 2 열 공간과,

c) 상기 제 1 열 공간을 액세스하기 위한 제 1 열 어드레스 신호와,

d) 상기 제 2 열 공간을 액세스하기 위한 제 2 열 어드레스 신호와,

e) 상기 제 1 열에 대해 기록 액세스와 판독 액세스 중 하나를 지정하는 제 1 기록 신호와,

f) 상기 제 2 열에 대해 기록 액세스와 판독 액세스 중 하나를 지정하는 제 2 기록 신호를 포함하되,

상기 메모리는 공통 행의 상기 제 1 열 및 상기 제 2 열의 동시 혼합 모드 액세스를 지원하는

메모리.

#### 청구항 9

제 8 항에 있어서,

공통 행 어드레스가 상기 메모리에 제공되고,

상기 행에 있는 제 1 어드레스 영역이 판독 액세스 대상이고,

상기 행에 있는 제 2 어드레스 영역이 동시에 기록 액세스 대상인

메모리.

#### 청구항 10

제 8 항에 있어서,

a) 제 3 기능 블록에 할당된 제 3 열 공간과,

b) 상기 제 3 열 공간을 액세스하기 위한 제 3 열 어드레스 신호와,

c) 상기 제 3 열에 대해 기록 액세스와 판독 액세스 중 하나를 지정하는 제 3 기록 신호를 더 포함하되,

공통 행 어드레스가 상기 메모리에 제공되고,

상기 행에 있는 제 1 어드레스 영역이 판독 액세스 대상이고, 상기 행에 있는 제 2 어드레스 영역이 동시에 기록 액세스 대상이며,

상기 행에 있는 제 3 어드레스 영역이 동시에 기록 액세스 대상인

메모리.

## 명세서

### 발명의 상세한 설명

## 발명의 목적

### 발명이 속하는 기술 및 그 분야의 종래기술

- <12> 본 발명은 일반적으로 메모리 회로에 관한 것으로, 구체적으로, 다른 유형의 동시 액세스를 지원하는 메모리 구조에 관한 것이다.
- <13> 전형적인 내장형 동적 랜덤 액세스 메모리(DRAM)는 128비트 대역폭을 가지고 있고, 4개의 32비트 워드로 분할된다. 이 메모리에 액세스하는 4개의 블록(예를 들어, BLOCK0, BLOCK1, BLOCK2, BLOCK3,)이 있는 경우를 고려해보자. 블록은 메모리 액세스에 있어서 동일한 행 공간을 사용하고 다른 열 공간을 이용한다. 도 1은 종래 기술의 메모리 구성을 도시하고 있다.
- <14> 이 메모리 구조는 액세스 유형이 동일할 때(즉, 모든 4개의 열에 대한 동작이 모두 판독 동작일 때 또는 모든 4개의 열에 대한 동작이 모두 기록 동작일 때) 모든 4개의 열에 동시 액세스를 허용한다. 이런 제한은 액세스 유형 제한으로 지칭된다(즉, 공통 액세스 유형만이 동시에 수행될 수 있다).
- <15> 불행히도, 액세스 유형 제한은 중요한 시간상 불이익을 초래한다. 예를 들어, 4열 중 3열은 액세스 유형 1이고 4번째 열은 액세스 유형 2일 때, 두 개의 다른 액세스 또는 전송이 요구된다. 환연하면, 다른 액세스 유형을 가지고 있는 열은 동시에 액세스가 될 수 없으나, 대신 순차적으로 수행되어야 한다. 알 수 있는 바와 같이, 액세스 유형 제한은 바람직하지 않게 메모리 액세스 시간을 증가시킨다.
- <16> 이 액세스 유형 제한을 가지고 있는 메모리 구성의 예는 도시바 주식회사의 CMOS 동기 SRAM 모델 TC59SM816이다.
- <17> 결과적으로, 다른 유형의 동시 메모리 액세스를 지원할 수 있는 메모리 구조가 바람직하다.
- <18> 상술한 내용을 기반으로 하면, 다른 유형의 동시 액세스를 지원하는 메모리 구조가 필요하다.

### 발명이 이루고자 하는 기술적 과제

- <19> 본 발명의 일 실시예에 따르면, 혼합 모드 메모리 액세스를 지원하는 메모리 구조가 제공된다. 공통 행 어드레스가 제공된다. 제 1 열을 액세스하기 위한 제 1 열 어드레스와 제 2 열을 액세스하기 위한 제 2 열 어드레스가 제공된다. 제 1 열에 대한 판독과 기록 액세스 중 하나를 지정하는 제 1 기록 제어 신호와, 제 2 열에 대한 판독과 기록 액세스 중 하나를 지정하는 제 2 기록 제어 신호가 또한 제공된다. 메모리 구조는 이를 입력 신호에 응답하여 제 1 열에 대한 동시 혼합 모드 메모리 액세스와 제 2 열에 대한 기록 액세스를 지원한다.

## 발명의 구성 및 작용

- <20> 본 발명은 유사한 구성 요소에 대해서는 동일 참조 번호가 부여된 첨부된 도면을 참조하여 예시적으로 설명된 것으로, 이에 제한되는 것은 아니다.
- <21> 혼합 모드 메모리 액세스를 지원하는 메모리 구조가 설명된다. 다음의 명세서에서, 설명의 위해, 다수의 특정 세부 사항이 본 발명의 완전한 이해를 돋기 위해 설명된다. 그러나, 당업자라면 본 발명이 이런 특정 세부 사항이 없이도 수행될 수 있음을 알 것이다. 다른 예로, 본 발명의 불필요한 모호함을 없애기 위해, 공지된 구조 및 디바이스가 블록도로 도시된다.
- <22> 개개의 기록 가능 제어 신호가 각 열에 제공된다. 예를 들어, 4개의 열이 있을 때(예를 들어, 열\_0, 열\_1, 열\_2, 열\_3), 4개의 기록 가능 제어 신호가 있고, 각 열에 대응하는 하나의 기록 가능 제어 신호가 있다.
- <23> 본 발명의 메모리 구조는 액세스 유형 제한을 없애고, 동시 혼합 모드 메모리 액세스가 가능하다.

### 메모리 구조

- <25> 도 2에는 본 발명의 일 실시예에 따라 활용될 수 있는 혼합 모드 액세스를 지원하는 메모리 구조(200)가 도시된다. 메모리 구조(200)는 적어도 2개의 열[예를 들어, 제 1 열(210)과 제 2 열(220)]을 포함한다. 본 발명의

메모리 구조(200)에 따라, 기록 제어 신호가 개개의 열에 적용된다.

<26> 보다 명확하게 말하면, 각각의 열은 개개의 열 신호와 개개의 기록 제어 신호를 수신한다. 예를 들어, 제 1 열(210)은 COLUMN0 신호와 WRITE0 신호를 수신한다. 유사하게, 제 2 열(220)은 COLUMN1 신호와 WRITE1 신호를 수신한다. 기록 제어 신호가 개개의 열에 적용되기 때문에, 제 1 어드레스 영역(250)은 판독 기능 용도로 선택될 수 있으며, 제 2 어드레스 영역(260)은 동시에 기록 기능 용도로 선택될 수 있다.

<27> 행과 열은 어드레스, RAS 및 CAS를 디코딩 함으로써 선택된다. 동일한 행에 있는 다른 열에 대해 개개의 판독과 기록 액세스를 필요로 하는 종래 기술의 구조와는 다르게, 본 발명의 구조는 동일한 행에 있는 다른 열에 대해 다른 액세스 유형을 동시에 허용한다는 것을 알아야 한다. 이 점에 있어서는, 기록 가능 신호(또한, 기록 제어 신호로 지칭)의 상태를 기초로 하여, 데이터가 어드레스 영역[예를 들어, 영역(250) 또는 영역(260)]에 기록 또는 판독이 된다.

<28> 삭제

<29> 혼합 모드 액세스를 위해서, 2개의 액세스 유형의 최소 액세스 시간 중 보다 긴 최소 액세스 시간이 최소 액세스 시간이 되는 것이 중요하다. 예를 들어, 기록 액세스가 판독 액세스보다 1 클록 사이클 더 긴 경우를 고려해 보자. 제 1 블록(블록0)은 기록을 수행할 수 있으며, 제 2, 제 3 및 제 4 블록(블록1, 블록2, 블록3)은 판독 기능을 수행할 수 있다. 총 액세스 시간은, 기록 액세스가 판독 액세스 보다 더 오래 걸리기 때문에, 기록 액세스 시간이다.

<30> 이 접근 방식은 임의의 블록을 차단하는 종래의 기술과 비교할 때 시간을 절약한다는 것을 알 수 있다.

<31> 종래 기술의 메모리 구조는 데이터 경로에 있는 각각의 블록을 메모리의 인접하는 일차원 청크(chunk)에 할당한다. 대조적으로, 본 발명의 메모리 구조는 블록을 동일한 행 공간에 할당하지만, 각각의 블록을 다른 열 공간에 할당한다. 본 발명의 메모리 구조의 한가지 장점은 블록이 메모리 액세스에 있어서 경쟁 없이 메모리에 동시에 액세스 할 수 있다는 것이다.

### <32> 혼합 모드 메모리 액세스 프로세싱

<33> 도 3은 본 발명의 일 실시예에 따른 혼합 모드 메모리 액세스의 프로세싱 단계를 도시하는 흐름도이다. 단계(310)에서, 공통의 행 어드레스가 메모리에 제공된다. 단계(320)에서, 제 1 열을 액세스하기 위한 제 1 열 어드레스가 메모리에 제공된다. 단계(330)에서, 제 2 열을 액세스하기 위한 제 2 열 어드레스가 메모리에 제공된다. 단계(340)에서, 제 1 열에 대해 기록 액세스와 판독 액세스 중 하나를 지정하는 제 1 기록 제어 신호가 메모리에 제공된다. 단계(350)에서, 제 2 열에 대해 기록 액세스와 판독 액세스 중 하나를 지정하는 제 2 기록 제어 신호가 메모리에 제공된다.

<34> 단계(360)에서, 메모리 구조는 제 1 열과 제 2 열에 동시 혼합 모드 메모리 액세스를 제공한다. 예를 들어, 메모리 구조는 제 1 열에 동시 판독 액세스와 제 2 열에 기록 액세스를 제공한다. 유사하게, 메모리 구조는 제 1 열에 동시 기록 액세스와 제 2 열에 판독 액세스를 제공한다. 활용되는 열의 수는 특정 응용예에 적합하게 변경될 수도 있다는 것을 알아야 한다. 판독 액세스가 이런 열의 임의의 서브 세트(sub-set)(열이 없을 수도 있음)에 인가 될 수 있다는 것과 동일한 시간에 기록 액세스가 어떤 서브-셋(sub-set)(열이 없을 수도 있음)에 인가될 수 도 있다는 것도 알아야 한다.

<35> 메모리 제어 신호는 메모리 액세스를 필요로 하는 기능 블록, 메모리 제어 회로 및 그들의 조합에 의해 생성될 수 있다.

### <36> 메모리 구성의 예

<37> 도 5는 상이한 열 공간이 상이한 기능 블록에 할당되는 본 발명의 일 실시예에 따른 메모리 구성(510)의 예를 도시하고 있다. 메모리 구성(510)은 특정 기능 블록에 할당될 수 있는 복수의 열 공간을 포함한다. 예를 들어, 제 1 열 공간(520)은 제 1 기능 블록(BLOCK\_1)에 할당되고, 제 2 열 공간(530)은 제 2 기능 블록(BLOCK\_2)에 할당되며, 제 3 열 공간(540)은 제 3 기능 블록(BLOCK\_3)에 할당되고, 제 N 열 공간(550)은 제 N 기능 블록

(BLOCK\_N)에 할당되며, 그 외는 동일한 방식으로 할당된다.

<38> 각각의 기능 블록은 하나 이상의 기능을 수행할 수 있다. 이런 기능 블록은 메모리 액세스를 필요로 한다. 기능 블록은, 예를 들어, 직접 메모리 액세스(DMA) 기능 블록, 프로세서, 비디오 프로세서, 캐시(cache) 제어기, 감압 블록, 데이터경로 블록일 수 있으나, 이에 제한 되는 것은 아니다. 기능 블록은, 예를 들어, 주문형 집적 회로(ASIC)에 배치될 수 있다.

<39> 메모리 구조(510)는 각각의 기능 블록을 동일한 행 공간이지만 열이 다른 공간에 할당함으로써, 모든 기능 블록에 의한 메모리에 대한 동시 액세스를 지원한다는 것을 알 수 있다. 이러한 방식으로, 액세스 유형 제한에 관련된 시간상의 불이익을 피할 수 있다.

#### 수직 어드레스 공간 할당의 예

<41> 도 6은 본 발명의 일 실시예에 따른 수직 어드레스 공간 할당(610)의 예를 도시하고 있다. 바람직하게, 부가적인 어드레스 위치는 파이프라이닝을 용이하게 하기 위해 (예를 들어, 이 위치는 "트래시(trash)"로 표시) 이용된다. 파이프라이닝을 지원하는 오버헤드가 최소인 것에 주목해야 한다.

#### 내장형 메모리

<43> 도 4는 주문형 집적 회로(400)에 내장된 본 발명의 메모리(410)를 도시하고 있다. ASIC(400)은 본 발명의 지시에 따라 구성될 수 있는 내장형 메모리(400)를 포함하고 있다. ASIC(400)은 메모리(410)에 대한 액세스를 요청하는 복수의 기능 블록(430)을 가질 수 있다. 데이터 경로(450)는 기능 블록(430)과 메모리(410) 사이에서 데이터를 전송하기 위해 제공된다. 데이터 경로의 폭이 제 1 부분(434)과 제 2 부분(438)과 같이 일부분을 갖는 각각의 기능 블록으로 분할된다는 것에 주목해야한다.

<44> 어드레스와 제어 버스(460)는 어드레스 및 다른 제어 신호를 메모리(410)에 전달하기 위해 제공된다. 각각의 기능 블록(430)은 개개의 열 어드레스 스트로브(CAS) 신호와 기록 가능 또는 판독 제어 신호를 또한 제공한다. 예를 들어, CAS\_B0..CAS\_BN은 기능 블록(430)에 의해 메모리(410)에 제공된다. 유사하게, R/W\_B0..R/W\_BN은 기능 블록(430)에 의해 메모리(410)에 제공된다.

<45> 본 발명의 단일 행에 있는 다른 열의 동시 판독과 기록 기능을 지원하는 메모리를 포함 할 수 있는, 주문형 집적 회로의 특정 실시예에 관한 더 상세한 내용은, 2001년 5월 29일에 본 건과 동시에 출원되고, 동시 계류중인 것으로 발명자 Laura Elisabeth Simmons & Chancellor Archie의 "EMBEDDED MEMORY ACCESS AND SYSTEM FOR APPLICATION SPECIFIC INTEGRATED CIRCUITS"란 명칭의 특허출원에 개시되어 있으며, 여기에서는 참조로 인용된다.

<46> 상술한 명세서에서, 본 발명은 특정 실시예를 기준으로 설명되었다. 그러나 본 발명의 보다 넓은 범주를 벗어나지 않는 범위내에서 여러 수정 및 변경이 이루어질 수 있음이 명백하다. 따라서, 명세서와 도면은 제한적인 의미보다는 예시적인 것으로 간주되어야 한다.

## 발명의 효과

<47> 본 발명의 메모리 구조에 의해서 액세스 유형 제한을 없애고 동시 혼합 모드 메모리 액세스가 가능하다.

## 도면의 간단한 설명

<1> 도 1은 종래 기술의 메모리 구성을 도시하는 도면,

<2> 도 2는 본 발명의 일 실시예에 따라 활용될 수 있는 혼합 모드 액세스를 지원하는 메모리 구조를 도시하는 도면,

<3> 도 3은 본 발명의 일 실시예에 따른 혼합 모드 메모리 액세스에 대한 처리 단계를 도시하는 흐름도,

<4> 도 4는 주문형 집적 회로에 내장된 본 발명의 메모리를 도시하는 도면,

<5> 도 5는 상이한 열 공간이 상이한 기능 블록에 할당될 수 있는 본 발명의 일 실시예에 따른 메모리 구성의 예를

도시하는 도면,

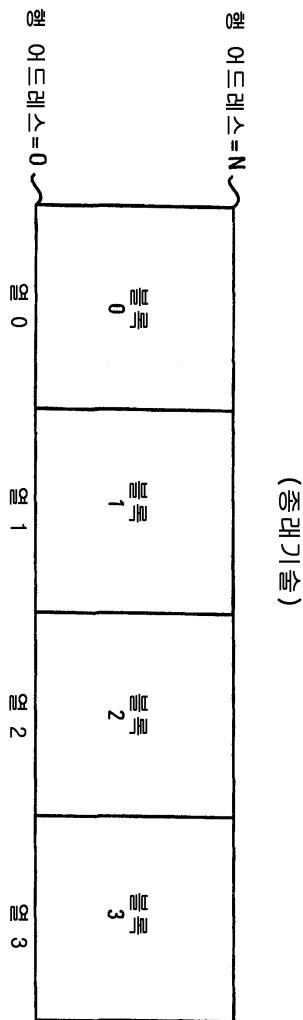
<6> 도 6은 본 발명의 일 실시예에 따른 수직 어드레스 공간 할당의 예를 도시하는 도면.

<7> 도면의 주요 부분에 대한 부호의 설명

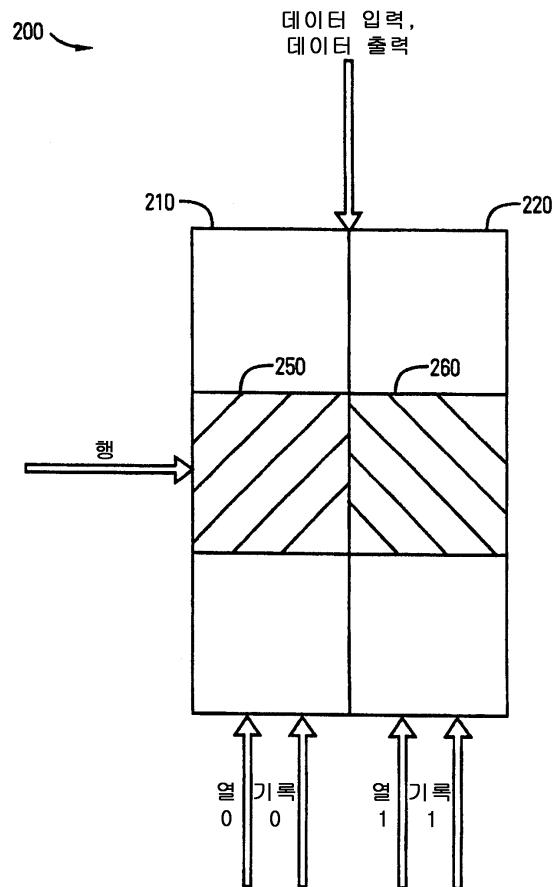
- |                       |                 |
|-----------------------|-----------------|
| <8> 200 : 메모리 구조      | 210 : 제 1열      |
| <9> 220 : 제 2 열       | 400 : 주문형 임적 회로 |
| <10> 410 : 메모리        | 450 : 데이터 경로    |
| <11> 460 : 어드레스/제어 버스 |                 |

## 도면

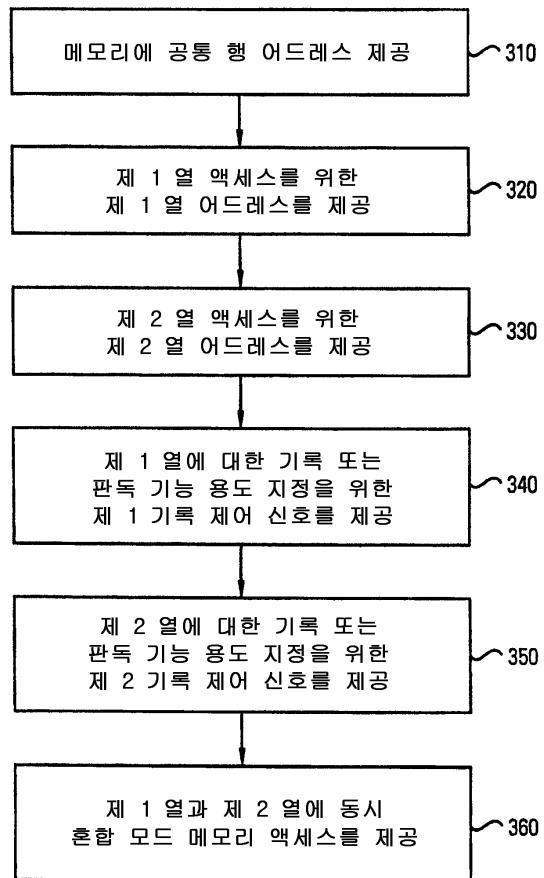
### 도면1



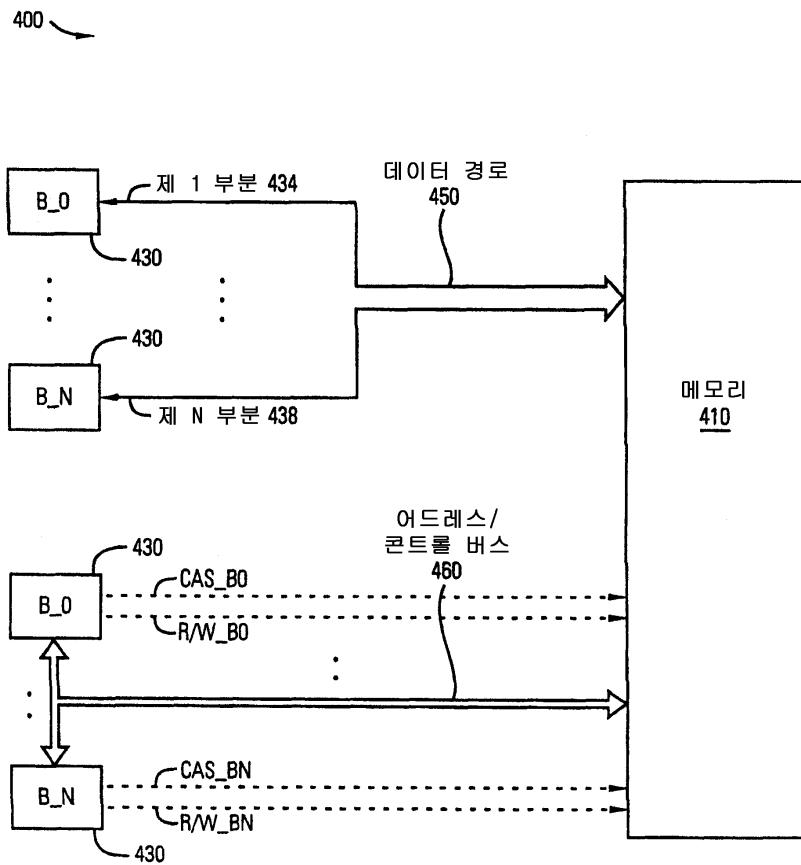
도면2



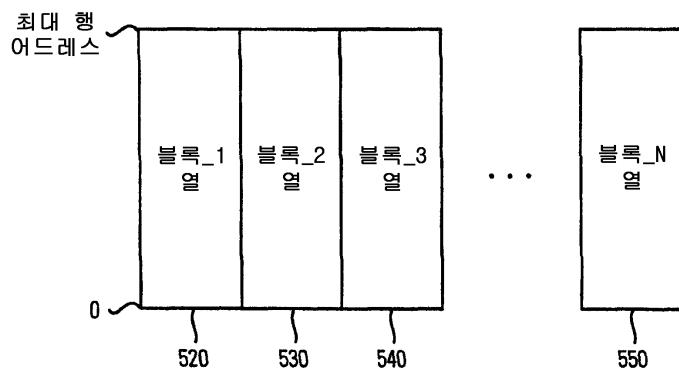
## 도면3



## 도면4



## 도면5



## 도면6

610 ↗

어드레스	열 0	열 2	열 3
0	B1 데이터 0	트레쉬	트레쉬
1	B1 데이터 1	B2 데이터 1	트레쉬
2	B1 데이터 2	B2 데이터 2	B3 데이터 1
3	B1 데이터 3	B2 데이터 3	B3 데이터 2
:	:	:	:
N	B1 데이터 N	B2 데이터 N-1	B3 데이터 N-2
N+1	트레쉬	B2 데이터 N	B3 데이터 N-1
N+2	트레쉬	트레쉬	B3 데이터 N