

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5025140号  
(P5025140)

(45) 発行日 平成24年9月12日(2012.9.12)

(24) 登録日 平成24年6月29日(2012.6.29)

(51) Int.Cl.

F 1

HO1L 27/115	(2006.01)	HO1L 27/10	4 3 4
HO1L 21/8247	(2006.01)	HO1L 27/10	3 8 1
HO1L 27/11	(2006.01)	HO1L 27/10	4 8 1
HO1L 21/8244	(2006.01)	HO1L 29/78	3 7 1
HO1L 27/10	(2006.01)		

請求項の数 5 (全 45 頁) 最終頁に続く

(21) 出願番号	特願2006-42255 (P2006-42255)
(22) 出願日	平成18年2月20日 (2006.2.20)
(65) 公開番号	特開2006-303448 (P2006-303448A)
(43) 公開日	平成18年11月2日 (2006.11.2)
審査請求日	平成21年1月28日 (2009.1.28)
(31) 優先権主張番号	特願2005-83981 (P2005-83981)
(32) 優先日	平成17年3月23日 (2005.3.23)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	302062931 ルネサスエレクトロニクス株式会社 神奈川県川崎市中原区下沼部1753番地
(74) 代理人	100064746 弁理士 深見 久郎
(74) 代理人	100085132 弁理士 森田 俊雄
(74) 代理人	100083703 弁理士 仲村 義平
(74) 代理人	100096781 弁理士 堀井 豊
(74) 代理人	100109162 弁理士 酒井 将行
(74) 代理人	100111246 弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】半導体記憶装置の製造方法

## (57) 【特許請求の範囲】

## 【請求項 1】

メモリセルトランジスタが形成されるメモリセル領域と、前記メモリセルトランジスタの動作制御を行なう周辺回路が形成される周辺回路領域とを有する半導体記憶装置の製造方法であって、

半導体基板の主表面上に選択的に分離領域を形成して、活性領域を規定する工程と、

前記活性領域上に第1絶縁膜を形成する工程と、

前記メモリセル領域において、第1導電膜を形成する工程と、

前記メモリセル領域において、前記第1導電膜にパターニングを施して、ソース領域として機能可能な第1不純物領域となる領域上に開口部を有する導電膜パターンを形成する工程と、

前記メモリセル領域の前記導電膜パターンをマスクとして、前記半導体基板の主表面上に不純物を導入する工程と、

前記導電膜パターンを覆い、第1シリコン酸化膜とシリコン窒化膜と第2シリコン酸化膜から形成され、電荷を蓄積可能な第2絶縁膜を形成する工程と、

前記第2絶縁膜上に第2導電膜を形成する工程と、

前記メモリセル領域において、前記第2導電膜にエッティングを施して、前記導電膜パターンの開口部の側面に、2つの前記メモリセルトランジスタのサイドウォール形状のメモリゲート電極を同時に形成する工程と、

前記メモリセル領域において、前記導電膜パターンと、前記2つのメモリゲート電極を

10

20

マスクとして、前記第1不純物領域を形成する工程と、

前記メモリセル領域において、前記導電膜パターンのうち、ドレイン領域として機能可能な第2不純物領域が位置する領域をエッチングし、パターニングすると同時に、前記周辺回路領域に形成されるトランジスタのゲート電極を形成する工程と、

前記半導体基板の主表面上に不純物を導入して、前記メモリセルトランジスタの前記第2不純物領域と、前記周辺回路領域に形成されるトランジスタのソース領域、ドレイン領域とを形成する工程と、

を備え、

前記第1導電膜をパターニングして前記導電膜パターンを形成する工程は、前記メモリセルトランジスタの前記第1不純物領域となる領域上に、前記第1導電膜の残留部を残す工程を含み、

10

前記第2絶縁膜の形成工程は、前記残留部を覆うように前記第2絶縁膜を形成する工程を含み、

前記メモリゲート電極を形成する工程は、対向配置された前記メモリゲート電極を一體的に接続する接続部を、前記残留部の周囲に形成する工程を含み、

前記接続部上にコンタクト部を形成する工程をさらに備える、半導体記憶装置の製造方法。

#### 【請求項2】

メモリセルトランジスタが形成されるメモリセル領域と、前記メモリセルトランジスタの動作制御を行なう周辺回路が形成される周辺回路領域とを有する半導体記憶装置の製造方法であって、

20

半導体基板の主表面上に選択的に分離領域を形成して、活性領域を規定する工程と、

前記活性領域上に第1絶縁膜を形成する工程と、

前記第1絶縁膜上に第1導電膜を形成する工程と、

前記メモリセル領域において、前記第1導電膜にパターニングを施して、ソース領域として機能可能な第1不純物領域となる領域上に開口部を形成すると共に、前記開口部の長手方向の両端部側に凹部を同時にパターニングして導電膜パターンを形成する工程と、

前記メモリセル領域において、前記導電膜パターンをマスクとして、前記半導体基板の主表面上に不純物を導入する工程と、

前記導電膜パターンを覆い、第1シリコン酸化膜とシリコン窒化膜と第2シリコン酸化膜から形成され、電荷を蓄積可能な第2絶縁膜を形成する工程と、

30

前記第2絶縁膜上に第2導電膜を形成する工程と、

前記メモリセル領域において、前記第2導電膜にエッチングを施して、前記導電膜パターンの開口部の側面に、2つのメモリセルトランジスタのサイドウォール形状のメモリゲート電極を同時に形成する工程と、

前記メモリセル領域において、前記導電膜パターンと、前記2つのメモリゲート電極をマスクとして、第1不純物領域を形成する工程と、

前記メモリセル領域において、前記導電膜パターンのうち、ドレイン領域として機能可能な第2不純物領域が位置する領域をエッチングして、前記第1不純物領域の周囲を取り囲む環状のコントロールゲート電極を形成する工程と、

40

前記半導体基板の主表面上に不純物を導入して前記第2不純物領域を形成する工程とを備え、

前記2つのメモリセルトランジスタの第1のメモリゲート電極と第2のメモリゲート電極はメモリセル領域の端部まで配線されてつながっていることを特徴とする、半導体記憶装置の製造方法。

#### 【請求項3】

前記第2絶縁膜上に第2導電膜を形成する工程は、前記凹部内に前記第2導電膜を充填することにより、前記メモリゲート電極に電圧を印加可能な電圧印加部が接続されるパッド部を形成する工程を含む、請求項2に記載の半導体記憶装置の製造方法。

#### 【請求項4】

50

前記コントロールゲート電極の上面にシリサイド膜を形成する工程をさらに備える、請求項<sup>2</sup>に記載の半導体記憶装置の製造方法。

【請求項 5】

前記第1不純物領域の周囲を取り囲む環状のコントロールゲート電極を形成すると同時に、前記周辺回路領域に形成されるトランジスタのゲート電極が形成されることを特徴とする、請求項<sup>2</sup>に記載の半導体記憶装置の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体記憶装置の製造方法に関する。

10

【背景技術】

【0002】

一般に、複数のメモリセルトランジスタが形成されるメモリセル領域と、周辺回路トランジスタが複数形成される周辺回路領域とを備えた、半導体集積回路装置（半導体記憶装置）（下記特許文献1参照）が知られている。たとえば、特開2003-309193号公報には、半導体基板にメモリセルトランジスタと、そのアクセス回路とを備える半導体集積回路装置が記載されている。

【0003】

この半導体集積回路装置は、半導体基板の主表面上にメモリセル領域と、周辺領域とを備えており、メモリセル領域には、複数のメモリセルトランジスタが形成されている。また、周辺領域には、電源電圧系MOSトランジスタと、高耐圧NMO<sub>S</sub>トランジスタ等の周辺回路トランジスタが形成されている。このように構成された半導体集積回路装置を製造するには、メモリセルトランジスタを形成した後に、周辺回路トランジスタを形成する。このように、従来の半導体周辺回路装置の製造方法においては、メモリセルトランジスタと、周辺回路トランジスタとの形成工程が別個の工程となっていた。

20

【特許文献1】特開2004-228571号公報

【特許文献2】特開2003-309193号公報

【発明の開示】

【発明が解決しようとする課題】

【0004】

30

しかし、特開2003-309193号公報に記載された半導体集積回路装置の製造方法においては、メモリセルトランジスタの形成工程と、周辺回路トランジスタとの形成工程とが別個の工程となっていたため、総工程数が長くなり、コストが高くなるという問題があった。

【0005】

この発明は、上記のような課題に鑑みてなされたものであり、その目的は、半導体集積回路装置（半導体記憶装置）の総工程数を低減して、コストを低廉なものとすることである。

【課題を解決するための手段】

【0006】

40

本発明に係る半導体記憶装置の製造方法は、1つの局面では、メモリセルトランジスタが形成されるメモリセル領域と、メモリセルトランジスタの動作制御を行なう周辺回路が形成される周辺回路領域とを有する半導体記憶装置の製造方法であって、半導体基板の主表面上に選択的に分離領域を形成して、活性領域を規定する工程と、活性領域上に第1絶縁膜を形成する工程と、メモリセル領域において、第1導電膜を形成する工程と、メモリセル領域において、第1導電膜にパターニングを施して、ソース領域として機能可能な第1不純物領域となる領域上に開口部を有する導電膜パターンを形成する工程と、メモリセル領域の導電膜パターンをマスクとして、半導体基板の主表面に不純物を導入する工程と、導電膜パターンを覆い、第1シリコン酸化膜とシリコン窒化膜と第2シリコン酸化膜から形成され、電荷を蓄積可能な第2絶縁膜を形成する工程と、第2絶縁膜上に第2導電膜

50

を形成する工程と、メモリセル領域において、第2導電膜にエッチングを施して、導電膜パターンの開口部の側面に、2つのメモリセルトランジスタのサイドウォール形状のメモリゲート電極を同時に形成する工程と、メモリセル領域において、導電膜パターンと、2つのメモリゲート電極をマスクとして、第1不純物領域を形成する工程と、メモリセル領域において、導電膜パターンのうち、ドレイン領域として機能可能な第2不純物領域が位置する領域をエッチングし、パターニングすると同時に、周辺回路領域に形成されるトランジスタのゲート電極を形成する工程と、半導体基板の主表面上に不純物を導入して、メモリセルトランジスタの第2不純物領域と、周辺回路領域に形成されるトランジスタのソース領域、ドレイン領域とを形成する工程とを備える。上記第1導電膜をパターニングして導電膜パターンを形成する工程は、メモリセルトランジスタの第1不純物領域となる領域  
上に、第1導電膜の残留部を残す工程を含む。上記第2絶縁膜の形成工程は、残留部を覆うように第2絶縁膜を形成する工程を含む。上記メモリゲート電極を形成する工程は、対向配置されたメモリゲート電極を一体的に接続する接続部を、残留部の周囲に形成する工程を含む。上記接続部上にコンタクト部を形成する工程をさらに備える。

10

#### 【0009】

本発明に係る半導体記憶装置の製造方法は、他の局面では、メモリセルトランジスタが形成されるメモリセル領域と、メモリセルトランジスタの動作制御を行なう周辺回路が形成される周辺回路領域とを有する半導体記憶装置の製造方法であって、半導体基板の主表面上に選択的に分離領域を形成して、活性領域を規定する工程と、活性領域上に第1絶縁膜を形成する工程と、第1絶縁膜上に第1導電膜を形成する工程と、メモリセル領域において、第1導電膜にパターニングを施して、ソース領域として機能可能な第1不純物領域となる領域上に開口部を形成すると共に、開口部の長手方向の両端部側に凹部を同時にパターニングして導電膜パターンを形成する工程と、メモリセル領域において、導電膜パターンをマスクとして、半導体基板の主表面上に不純物を導入する工程と、導電膜パターンを覆い、第1シリコン酸化膜とシリコン窒化膜と第2シリコン酸化膜から形成され、電荷を蓄積可能な第2絶縁膜を形成する工程と、第2絶縁膜上に第2導電膜を形成する工程と、メモリセル領域において、第2導電膜にエッチングを施して、導電膜パターンの開口部の側面に、2つのメモリセルトランジスタのサイドウォール形状のメモリゲート電極を同時に形成する工程と、メモリセル領域において、導電膜パターンと、2つのメモリゲート電極をマスクとして、第1不純物領域を形成する工程と、メモリセル領域において、導電膜パターンのうち、ドレイン領域として機能可能な第2不純物領域が位置する領域をエッチングして、第1不純物領域の周囲を取り囲む環状のコントロールゲート電極を形成する工程と、半導体基板の主表面上に不純物を導入して第2不純物領域を形成する工程とを備え、2つのメモリセルトランジスタの第1のメモリゲート電極と第2のメモリゲート電極はメモリセル領域の端部まで配線されてつながっていることを特徴とする。

20

#### 【発明の効果】

#### 【0010】

本発明に係る半導体記憶装置（半導体集積回路装置）の製造方法によれば、総工程数を低減することができ、コストを低廉なものにすることができる。

#### 【発明を実施するための最良の形態】

40

#### 【0011】

図1から図85を用いて、本発明に係る実施の形態について説明する。

##### （実施の形態1）

図1は、本実施の形態1に係る半導体集積回路装置（不揮発性半導体記憶装置）10を模式的に示した平面図である。この半導体集積回路装置10は、たとえば、MONOS（Metal Oxide Nitride Oxide Silicon）構造のフラッシュメモリが搭載された混載マイコンとして適用される。この半導体集積回路装置10は、基板上に周辺回路領域65と、メモリセル領域67とを備えている。

#### 【0012】

周辺回路領域65は、たとえば、MPU（Micro Processing Unit）領域61や、I/

50

O( Input / Output ) 領域 64 と、 ROM control 領域 63a とを備えている。

【 0013 】

また、メモリセル領域 67 は、 ROM( Read Only Memory ) 領域 63 と、 RAM( Read Access Memory ) 領域 62 とを備えている。

【 0014 】

これら、各領域 61、63a、64、63、62 は、半導体基板 13 の主表面上に選択的に形成された分離領域 25 により規定されている。この分離領域 25 は、半導体基板 13 の主表面に、たとえば、300 nm 程度の深さまで、エッチングされた溝と、この溝内に充填された、たとえば、シリコン酸化膜等の絶縁膜とから構成されている。図 2 は、ROM 領域 63 のメモリセル領域の断面図である。この図 2 に示されるように、メモリセル領域 67 の ROM 領域 63 には、複数のメモリセルトランジスタ 27 が形成されている。10

【 0015 】

このメモリセル領域 67 においては、半導体基板 13 の主表面側には、P 型のウエル 12 が形成されている。この半導体基板 13 の主表面上に、たとえば、MONOS 構造等からなる複数のメモリセルトランジスタ( 第 1 トランジスタ ) 27 が形成されており、メモリセルトランジスタ 27 の上面側には、ピット線 48 が設けられている。メモリセルトランジスタ 27 は、半導体基板 13 上に形成されたドレイン領域( 第 1 不純物領域 ) 17 と、半導体基板 13 の主表面上に形成されたソース領域( 第 2 不純物領域 ) 15 と、ソース領域 15 とドレイン領域 17 との間に位置する半導体基板 13 の主表面上に形成されたチャネル領域 75 と、チャネル領域 75 が位置する半導体基板 13 の主表面のうち、ドレイン領域 17 側に位置する主表面上に、絶縁膜( 第 1 絶縁膜 ) 41 を介して形成されたコントロールゲート( 第 1 ゲート ) 42 と、チャネル領域 75 が位置する半導体基板 13 の主表面のうち、ソース領域 15 側に位置する主表面上に、電荷を蓄積可能な絶縁膜( 第 2 絶縁膜 ) 44 を介して形成されたメモリゲート電極( 第 2 ゲート ) 45 と備えている。20

【 0016 】

コントロールゲート 42 は、たとえば、リン( P ) 等の不純物が注入( 導入 )された多結晶シリコン膜等の導電膜から形成されている。このコントロールゲート 42 の半導体基板 13 の主表面に対して垂直な方向の厚さは、たとえば、200 nm 程度とされており、半導体基板 13 の主表面と平行な方向の幅は、たとえば、90 nm 程度とされている。30

【 0017 】

このコントロールゲート 42 のドレイン領域 17 側の側面上には、たとえば、シリコン酸化膜等からなるサイドウォール状の絶縁膜 46 が形成されている。メモリゲート電極 45 は、コントロールゲート 42 のソース領域 15 側の側面上にサイドウォール状に形成されており、たとえば、多結晶シリコン膜等の導電膜から構成されている。このサイドウォール状のメモリゲート電極 45 底部の幅は、たとえば、45 nm 程度とされている。このメモリゲート電極 45 のソース領域 15 側の側面上には、シリコン酸化膜などからなるサイドウォール状の絶縁膜 46 が形成されている。

【 0018 】

ソース領域 15 は、ヒ素( As ) 等の n 型の不純物が導入された低濃度不純物拡散層 15a と、この低濃度不純物拡散層 15a より高濃度の n 型の不純物が導入された高濃度不純物拡散層 15b とを備えた、LDD( lightly doped drain ) 構造とされている。低濃度不純物拡散層 15a は、たとえば、ヒ素と共に、たとえば  $10^{13} \sim 10^{14} \text{ cm}^{-2}$  のイオン注入量( ドーズ量 ) でリンなどが注入されている。40

【 0019 】

リンの方が、ヒ素より熱拡散した際に、半導体基板 13 の主表面と平行な方向に拡散しやすい。このため、低濃度不純物拡散層 15a のコントロールゲート 42 側の端部が、低濃度不純物拡散層 15a の中央部より低濃度となる。このため、リンなどを注入することにより、低濃度不純物拡散層 15a の端部に、ホールの形成に適した不純物の電荷密度領域を形成することができる。さらに、ヒ素を用いて低濃度不純物拡散層 15a を形成する50

際に、同時にボロンを導入することにより、ヒ素の不純物拡散層の周囲をボロンの不純物拡散層が覆う構造（Halo構造）を構成することができ、電界をより高くすることができる。

#### 【0020】

ドレイン領域17も、ソース領域15と同様に構成されており、n型の低濃度不純物拡散層17aと、この低濃度不純物拡散層17aより高濃度の高濃度不純物拡散層17bとを備えている。

#### 【0021】

そして、メモリゲート電極45の上面と、コントロールゲート42の上面と、ソース領域15の上面と、ドレイン領域17の上面上には、たとえば、コバルトシリサイド（CoSi）またはニッケルシリサイド（NiSi）等から構成された金属シリサイド膜37がそれぞれ形成されている。ここで、コントロールゲート42の上面は、ソース領域15側からドレイン領域17側に亘って平坦面状に形成されており、このコントロールゲート42の上面上に形成された金属シリサイド膜37も、ソース領域15側からドレイン領域17側に亘って平坦面状に形成されている。このため、金属シリサイド膜37の厚さに偏りがなく、コントロールゲート42の抵抗の均一化を図ることができ、コントロールゲート42の抵抗を所望値に設定することができる。

#### 【0022】

チャネル領域75は、ソース領域15側に位置し、メモリゲート電極45下に位置する領域に形成された、メモリゲート下チャネル領域（第1チャネル領域）14と、ドレイン領域17側に位置し、コントロールゲート42下に位置する領域に形成されたコントロールゲート下チャネル領域（第2チャネル領域）16とを備えている。

#### 【0023】

メモリゲート下チャネル領域14の電荷密度（不純物濃度）は、コントロールゲート下チャネル領域16の電荷密度より小さい。たとえば、メモリゲート下チャネル領域14の電荷密度は、 $10^{17} \sim 10^{18} / \text{cm}^3$ であることが好ましく、 $3 \times 10^{17} / \text{cm}^3 \sim 7 \times 10^{17} / \text{cm}^3$ であればより好ましく、たとえば $5 \times 10^{17} / \text{cm}^3$ 程度である。コントロールゲート下チャネル領域16の不純物の電荷密度（不純物濃度）は、たとえば $10^{18} / \text{cm}^3$ 程度である。

#### 【0024】

絶縁膜44は、メモリゲート電極45下に位置する半導体基板13の主表面上および、コントロールゲート42とメモリゲート電極45との間に亘って形成されている。

#### 【0025】

この絶縁膜44は、たとえば、半導体基板13の主表面に対して垂直な方向の厚さが、5nm程度とされたシリコン酸化膜と、このシリコン酸化膜上に形成され、10nm程度のシリコン窒化膜と、このシリコン窒化膜上に形成された5nm程度のシリコン酸化膜を順次積層することにより形成されている。そして、この絶縁膜44の半導体基板13の主表面に対して垂直な方向の厚さは、たとえば、20nm程度とされている。

#### 【0026】

絶縁膜41は、コントロールゲート42下に位置する半導体基板13の主表面上に形成されており、たとえば、厚さが、3nm程度のシリコン酸化膜から構成されている。

#### 【0027】

このように構成されたメモリセルトランジスタ27の表面上には、絶縁膜52が形成されており、この絶縁膜52の上面上には、層間絶縁膜38が形成されている。そして、この層間絶縁膜38の上面上には、ビット線48が形成されている。

#### 【0028】

そして、ドレイン領域17の上面上に形成された金属シリサイド膜37には、コンタクト部49が形成されている。このコンタクト部49は、層間絶縁膜38の上面から下面側にまで貫通するコンタクトホールと、このコンタクトホールの内壁面上に形成された導電膜39と、導電膜39の表面側に形成され、コンタクトホール内に充填された導電膜50

10

20

30

40

50

とから構成されている。そして、コンタクト部 4 9 は、層間絶縁膜 3 8 を貫通して、層間絶縁膜 3 8 上に形成されたビット線 4 8 に接続されている。

#### 【0029】

図 3 は、周辺回路領域 6 5 における断面図である。この図 3 に示されるように、周辺回路領域 6 5 が位置する半導体基板 1 3 の主表面上には、P 型のウエル 1 2 と、N 型のウエル 1 8 とが形成されている。また、P 型のウエル 1 2 と N 型のウエル 1 8 との境界部分には、分離領域 (S T I (Shallow Trench Isolation) 分離) 2 5 が形成されている。そして、P 型のウエル 1 2 の上面には、周辺回路トランジスタ 2 8 a が形成されている。また、N 型のウエル 1 8 の上面には、周辺回路トランジスタ 2 8 b が形成されている。なお、周辺回路トランジスタ 2 8 a、2 8 b の上面には、絶縁膜 5 2 が形成されており、絶縁膜 5 2 の上面には層間絶縁膜 3 8 が形成されている。この層間絶縁膜 3 8 の上面には、複数の上層配線 4 8 a、4 8 b、4 8 c、4 8 d が配置されている。周辺回路トランジスタ 2 8 a は、半導体基板 1 3 の主表面上に形成されたゲート電極 4 3 a と、このゲート電極 4 3 a と半導体基板 1 3 との間に形成されたゲート絶縁膜 4 0 とを備えている。

#### 【0030】

ゲート電極 4 3 a の半導体基板 1 3 の主表面に対して垂直な方向の高さは、図 2 に示すメモリセルトランジスタ 2 7 のコントロールゲート 4 2 の高さと略同じ高さとされている。

#### 【0031】

また、周辺回路トランジスタ 2 8 a は、半導体基板 1 3 の主表面上に形成されたソース領域 1 9 a と、ドレイン領域 1 9 b とを備えている。ゲート電極 4 3 a の側面には、サイドウォール 4 7 が形成されている。

#### 【0032】

ソース領域 1 9 a は、N 型の低濃度不純物拡散層 1 9 a 1 と、低濃度不純物拡散層 1 9 a 1 内に導入された電荷密度より高濃度の N 型の高濃度不純物拡散層 1 9 a 2 とを備えている。また、ドレイン領域もソース領域 1 9 a と同様に構成されており、低濃度不純物拡散層 1 9 b 1 と、この低濃度不純物拡散層 1 9 b 1 より電荷密度が大きい高濃度不純物拡散層 1 9 b 2 とを備えている。そして、ゲート電極 4 3 a と、ソース領域 1 9 a と、ドレイン領域 1 9 b の上面には、たとえば、コバルトシリサイド (C o S i) またはニッケルシリサイド (N i S i) 等から構成された金属シリサイド膜 3 7 が形成されている。

#### 【0033】

周辺回路トランジスタ 2 8 b は、半導体基板 1 3 の主表面上に形成されたゲート電極 4 3 b と、このゲート電極 4 3 b 下に位置する半導体基板 1 3 の主表面上に形成されたゲート絶縁膜 4 0 と、ゲート電極 4 3 b と隣り合う半導体基板 1 3 の主表面上に形成された P 型のソース領域 2 0 a および P 型のドレイン領域 2 0 b とを備えている。そして、ゲート電極 4 3 b の上面と、ソース領域 2 0 a の上面と、ドレイン領域 2 0 b の上面とともに、金属シリサイド膜 3 7 が形成されており、コンタクト部 4 9 が形成されている。コンタクト部 4 9 は、上層配線 4 8 c、4 8 d に接続されている。

#### 【0034】

図 4 を用いて、上記のように構成された半導体集積回路装置 1 0 の書き込み動作について説明する。図 4 は、書き込み動作の際ににおけるメモリセル領域 6 7 の断面図である。この図 4 に示されるように、選択されたメモリセルトランジスタ 2 7 a のドレイン領域 1 7 には、たとえば、0.8 V 程度の電圧が印加され、ソース領域 1 5 には、たとえば、6 V 程度の電圧が印加される。そして、メモリゲート電極 4 5 には、11 V 程度の電圧が印加され、コントロールゲート 4 2 には、1.5 V 程度の電圧が印加される。

#### 【0035】

このように、電圧を印加すると、コントロールゲート 4 2 と、メモリセルゲート電極 4 5 との境界付近に、大きな電界が生じ、多くのホットエレクトロンが発生する。そして、電荷を蓄積可能な絶縁膜 4 4 内に電子がトラップされる。そして、絶縁膜 4 4 のうち、窒化シリコンの部分に電子が入り込み、電気情報が書き込まれる。この現象はソースサイド

10

20

30

40

50

インジェクション (Source side injection : SSI) として知られている。

#### 【0036】

また、図5を用いて、上記のように構成された半導体集積回路装置10の消去動作について説明する。図5は、消去動作におけるメモリセル領域67の断面図である。この図5に示されるように、ソース領域15にたとえば、6V程度の電圧が印加され、ドレイン領域17には、0V程度の電圧が印加される。そして、コントロールゲート42には、0V程度の電圧が印加され、メモリゲート電極45には、-6V程度の電圧が印加される。

#### 【0037】

このように、メモリゲート電極45に負電位を与え、メモリゲート側不純物拡散層に正電位を与えることにより、メモリゲート電極45側のソース領域15の端部で、強反転が生じ、バンド間トンネル現象を起こし、ホールを生成することができる。発生したホールは、バイアスにより引かれ、メモリゲート電極45下に位置する絶縁膜44内に注入されることにより、消去動作が行なわれる。

#### 【0038】

このように、絶縁膜44内に注入された電子を、ホールによって中和することによって、上昇したしきい値電圧を低下させる。

#### 【0039】

読み出し動作においては、たとえば、選択されたメモリセルトランジスタ27のコントロールゲート42およびメモリゲート電極45に、たとえば、1.5V程度の電圧を印加する。さらに、ソース領域15にたとえば、0V程度の電圧を印加し、ドレイン領域17に、たとえば、1.5V程度の電圧を印加する。このようにして、選択されたメモリセルトランジスタ27の書き込み状態におけるしきい値電圧と、消去状態におけるメモリセルトランジスタ27のしきい値電圧との間に位置する電圧を、ソース領域15とドレイン領域17との間に印加する。ここで、選択されたメモリセルトランジスタ27の絶縁膜44内に電子がトラップされ、しきい値電圧が上昇している場合には、OFF状態が維持され、絶縁膜44内にホールが注入されている場合には、ON状態となる。

#### 【0040】

上記のように構成された半導体集積回路装置10の製造方法について説明する。

図6は、半導体集積回路装置10の製造工程の第1工程において、メモリセル領域67における断面図であり、図7は、第1工程における周辺回路領域65における断面図である。

#### 【0041】

この図7に示されるように、半導体基板13の主表面を選択的に、たとえば、300nm程度エッチングして、分離領域(素子分離領域)25用の溝を形成する。そして、熱酸化を施して、半導体基板13の主表面上および溝部の表面上に、たとえば、10nm程度の熱酸化膜を形成する。このように、熱酸化膜を形成した後に、半導体基板13の主表面上に、たとえば、500nm程度のシリコン酸化膜等の絶縁膜を堆積し、CMP (Chemical Mechanical Polishing)法により、溝部内にシリコン酸化膜を充填して、分離領域25を形成する。

#### 【0042】

このように、選択的に分離領域25を形成することにより、半導体基板13の主表面上に、図2に示すメモリセルトランジスタ27が形成される図1に示すROM領域63や、RAM領域62、ロジック回路領域(周辺回路領域)65等が規定される。

#### 【0043】

このように、分離領域25を形成した後に、さらに、半導体基板13の主表面に、たとえばISSG (In-Situ Steam Generation)酸化法のような熱酸化法により形成した酸化シリコンからなる絶縁膜30を、たとえば、5nm程度の厚さに形成する。ここで、図6に示されるように、図1のメモリセル領域67が位置する半導体基板13の主表面上に、たとえば、電荷密度が $10^{18} / \text{cm}^3$ 程度の不純物を導入し

10

20

30

40

50

て、不純物領域 16 a を形成する。

**【0044】**

図 8 は、半導体集積回路装置 10 の第 2 工程（第 1 導電膜の形成工程）におけるメモリセル領域 67 の断面図である。また、図 9 は、半導体集積回路装置 10 の第 2 工程における周辺回路領域 65 の断面図である。この図 8、図 9 に示されるように、半導体基板 13 の主表面上のメモリ領域 67 と周辺回路領域 65 の全面に形成された絶縁膜 30 の上面に、ポリシリコン膜からなる導電膜 31 をたとえば、2.9 nm 程度堆積する。そして、このポリシリコン膜からなる導電膜 31 の上面に TEOS (Tetraethoxysilane) ガスを用いた CVD 法等により絶縁膜 32 を堆積する。

**【0045】**

図 10 は、半導体集積回路装置 10 の第 3 工程（第 1 導電膜のパターニング工程）におけるメモリセル領域 67 の断面図である。この図 10 に示されるように、そして、絶縁膜 32 および導電膜 31 にパターニングを施して、図 2 に示されるメモリセルトランジスタ 27 のソース領域 15 となる領域に開口部 31 b が形成された導電パターン 31 a を形成する。図 11 は、半導体集積回路装置 10 の第 3 工程における周辺回路領域 65 における断面図である。この図 11 に示されるように、周辺回路領域 65 における半導体基板 13 の主表面上は、導電膜パターン 31 a によって覆われている。

**【0046】**

図 12 は、半導体集積回路装置 10 の第 4 工程（メモリセルトランジスタのメモリゲート下チャネル領域 14 の形成工程）におけるメモリセル領域 65 の断面図である。この図 12 に示されるように、導電膜パターン 31 a は、不純物領域 16 a の上面のうち、一部を露出させるように開口部 31 b を有している。そして、この導電膜パターン 31 a をマスクとして、不純物領域 16 a の導電型と異なる導電型の不純物を、半導体基板 13 の主表面に導入する。このように、不純物領域 16 a の導電型と異なる導電型の不純物を半導体基板 13 の主表面に導入すると、不純物領域 16 a の電荷密度より、小さい電荷密度の不純物領域 14 a が形成される。このようにして、半導体基板 13 の主表面のうち、導電膜パターン 31 a 下に位置する部分に、不純物領域 16 a が残留し、導電膜パターン 31 a の開口部 31 b が位置する部分に、不純物領域 16 a よりも電荷密度が小さい、不純物領域 14 a が形成される。

**【0047】**

このように、導電膜パターン 31 a に予め開口部 31 b を形成することにより、マスクを用いなくとも、濃度の異なる不純物領域の打ち分けを行なうことができる。

**【0048】**

このように導電パターン 31 a をマスクとし、マスクレス注入を行なうことができ、メモリゲート下チャネル領域 14 を簡易に形成することができる。図 13 は、半導体集積回路装置 10 の第 4 工程における周辺回路領域 65 における断面図である。この図 13 に示されるように、周辺回路領域 65 においては、半導体基板 13 の主表面上には導電膜 31 と、この導電膜 31 上に形成された絶縁膜 32 とが略全面に形成されている。

**【0049】**

図 14 は、半導体集積回路装置 10 の第 5 工程（第 2 絶縁膜の形成工程）におけるメモリセル領域 61 の断面図である。この図 14 に示されるように、絶縁膜 32 を除去して、導電膜パターン 31 a を覆うように酸化シリコンからなる絶縁膜、窒化シリコンからなる絶縁膜、酸化シリコンからなる絶縁膜とを順次積層する。これにより、導電膜パターン 31 a を覆うように絶縁膜 33 が形成される。なお、酸化シリコンは、たとえば、ISSG 酸化法等のような熱酸化法で形成してもよい。上記のように導電パターン 31 a 上に絶縁膜 33 を形成すると、開口部 31 b が位置する半導体基板 13 の主表面上にも、熱酸化膜が形成される。その一方で、導電パターン 31 a と、半導体基板 13 の主表面との間には、絶縁膜 30 が形成される。そして、この絶縁膜 33 の上面にポリシリコン膜等からなる導電膜 34 を堆積する。

**【0050】**

10

20

30

40

50

図15は、半導体集積回路装置10の第5工程における周辺回路領域の断面図である。この図15に示されるように、半導体集積回路装置10の第5工程において、図1に示す周辺回路領域65が位置する領域では、半導体基板13の主表面上に、絶縁膜13を介して形成された導電膜パターン31aと、この導電膜パターン31aの上面に形成された絶縁膜33と、この絶縁膜33上面に形成された導電膜34が形成されている。

#### 【0051】

図16は、半導体集積回路装置10の第6工程(メモリゲート電極・ソース領域の形成工程)におけるメモリセル領域における断面図である。この図16に示されるように、絶縁膜33の上面に形成された導電膜34をエッチングして、導電膜パターン31aの開口部31bの内側面上に、サイドウォール状のメモリゲート電極45を形成する。このように、導電膜パターン31aに開口部31bを予め形成することにより、自己生成的にメモリゲート電極45を形成することができる。すなわち、メモリゲート電極45を形成する際に、マスクを用いなくともメモリゲート電極45を形成することができ、マスク枚数の軽減を図ることができる。

10

#### 【0052】

さらに、自己生成的にメモリゲート電極45を形成することができるので、フォトリソグラフィによって、メモリゲート電極45を形成する場合と異なり、マスクずれに伴う位置ずれが生じたり、形成不良等の問題が生じることを防止することができる。

#### 【0053】

ここで、半導体基板13の主表面のうち、サイドウォール状のメモリゲート電極45によって囲まれた領域には、既に、不純物領域14aが形成されている。そして、導電膜パターン31aおよびメモリゲート電極45をマスクとして、不純物を導入して、n型の低濃度不純物拡散層15aを形成する。このため、メモリゲート電極45下に位置する半導体基板13の主表面上に、不純物領域14aが残留して、メモリゲート下チャネル領域14が形成される。なお、導電膜パターン31a下に位置する半導体基板13の主表面上には、不純物領域16aが形成されている。このように、本実施の形態1に係る半導体集積回路装置10の製造方法によれば、マスクレス注入により、メモリゲート下チャネル領域14を形成することができると共に、ソース領域15の低濃度不純物拡散層15aを形成することができる。

20

#### 【0054】

30

図17は、半導体集積回路装置10の第6工程における周辺回路領域の断面図である。この図17に示されるように、周辺回路領域における半導体基板13の主表面上には、導電膜31と、この導電膜31の上面に形成された絶縁膜33とが順次形成されている。

#### 【0055】

図18は、半導体集積回路装置10の第7工程(コントロールゲートおよびゲート電極形成工程)におけるメモリセル領域における断面図であり、図19は、半導体集積回路装置10の第7工程における周辺回路領域における断面図である。この第7工程においては、まず、図16、図17に示されたメモリセル領域および周辺回路領域に形成された絶縁膜33が除去される。ここで、メモリセル領域においては、導電膜パターン31aの上面に形成された絶縁膜33と、半導体基板13の主表面上のうち、メモリゲート電極45により挟まれた領域に形成された絶縁膜33とが除去される。また、周辺回路領域においては、導電膜パターン31aの上面に形成された絶縁膜33は除去される。このため、絶縁膜33は、導電膜パターン31aの開口部31b側の側面上と、メモリゲート電極45下に位置する半導体基板13の主表面上に残留する。すなわち、絶縁膜33は、形成されたメモリゲート電極45の下面から側面に亘って形成される。このようにして、図2に示される絶縁膜44が形成される。

40

#### 【0056】

そして、絶縁膜33の一部を除去した後には、導電膜パターン31aの上面にフォトマスクを配置して、導電膜パターン31aにフォトリソグラフィによるパターニングを施す。このパターニングによって、メモリセル領域に形成されるメモリセルトランジスタ27の

50

コントロールゲート 42 と、周辺回路領域に形成される周辺回路トランジスタ 28a、28b のゲート電極 43a、43b を同時に形成する。

#### 【0057】

さらに、パターニングによって、図 2 に示すメモリセルトランジスタ 27 のドレイン領域 17 と、周辺回路トランジスタ 28a、28b のドレイン領域 19b、20b が外方に露出する。

#### 【0058】

この導電膜パターン 31a のパターニングにおいて、シリコン酸化膜とポリシリコン膜との選択比の大きいエッチングを採用することで、各ドレイン領域 17、19b、20b が位置する半導体基板 13 の主表面上にエッチングダメージが与えられることを抑制することができる。このように、各ドレイン領域 17、19b、20b が位置する半導体基板 13 の主表面上に与えられるエッチングダメージを軽減することにより、各ドレイン領域 17、19b、20b が位置する半導体基板 13 の主表面が凹むことを抑制することができる。  
。

#### 【0059】

図 20 は、半導体集積回路装置 10 の第 8 工程（メモリセルトランジスタのドレイン領域および周辺回路トランジスタの不純物領域の形成工程）におけるメモリセル領域における断面図である。また、図 21 は、半導体集積回路装置 10 の第 8 工程における周辺回路領域における断面図である。この図 20、図 21 において、図 1 に示すメモリセルトランジスタ 27 のドレイン領域 17 と、周辺回路トランジスタ 28a のソース領域 19a およびドレイン領域 19b とが位置する領域が開口したマスク 72 を用いて、フォトリソグラフィを行なう。そして、形成されたフォトレジスから露出する半導体基板 13 の主表面上に不純物を注入して、メモリセルトランジスタ 27 の低濃度不純物拡散層 17a と、周辺回路トランジスタ 28a の低濃度不純物拡散層 19a1、19b1 を形成する。

#### 【0060】

ここで、本実施の形態 1 に係る半導体集積回路装置 10 の製造方法においては、ドレイン領域 17、19b、20b とソース領域 19a、20a が位置する半導体基板 13 の主表面上に、所謂 ONO 膜からなる絶縁膜 33 が形成されることがない。このため、ONO 膜のシリコン酸化膜を熱酸化処理が、ドレイン領域 17、19b、20b とソース領域 19a、20a が位置する半導体基板 13 の主表面上に施されることがない。これにより、ドレイン領域 17、19b、20b とソース領域 19a、20a が位置する半導体基板 13 の主表面が ONO 膜形成の熱酸化処理により、凹むことが抑制されている。

#### 【0061】

さらに、ドレイン領域 17、19b、20b とソース領域 19a、20a が位置する半導体基板 13 の主表面上に、ONO 膜が形成されることはいため、ONO 膜を除去することによるダメージが与えられることなく、ドレイン領域 17、19b、20b とソース領域 19a、20a が位置する半導体基板 13 の主表面が凹むことがさらに抑制されている。

#### 【0062】

なお、上記のように低濃度不純物拡散層 17a が形成されると、図 18 に示された不純物領域 16a がコントロールゲート 42 下に位置する半導体基板 13 の主表面上に、コントロールゲート下チャネル領域 16 として残留する。

#### 【0063】

図 22 は、半導体集積回路装置 10 の第 9 工程（周辺回路トランジスタの不純物領域の形成工程）におけるメモリセル領域の断面図である。また、図 23 は、半導体集積回路装置 10 の第 9 工程における周辺回路領域の断面図である。この図 22、図 23 に示されるように、この第 9 工程においては、まず、フォトマスク 73 を半導体基板 13 の主表面上に配置し、フォトリソグラフィにより、周辺回路トランジスタ 28b のソース領域 20a、ドレイン領域 20b が位置する部分が開口するフォトレジストを形成する。そして、ソース領域 20a、ドレイン領域 20b が位置する半導体基板 13 の主面上に不純物を導入

10

20

30

40

50

して、低濃度不純物拡散層 20a1、20b1 を形成する。

**【0064】**

図24は、半導体集積回路装置10の第10工程（メモリセルトランジスタと周辺回路トランジスタとのサイドウォールの形成工程）におけるメモリセル領域の断面図である。また、図25は、半導体集積回路装置10の第10工程における周辺回路領域の断面図である。この図24、図25において、たとえば、CVD法等により、半導体基板13の主表面上にシリコン酸化膜などからなる絶縁膜36を形成する。そして、この絶縁膜36にエッティングを施して、コントロールゲート42、ゲート電極43a、43bの側面上にサイドウォール状の絶縁膜36、46を形成する。

**【0065】**

そして、半導体基板13の主表面上に不純物を導入して、高濃度不純物拡散層17b、15bおよび高濃度不純物拡散層19a2、19b2を半導体基板13の主表面上に形成して、メモリセルトランジスタ27および周辺回路トランジスタ28aを形成する。さらに、高濃度不純物拡散層20a2、20b2を形成して、周辺回路トランジスタ28bを形成する。

**【0066】**

図26は、半導体集積回路装置10の第11工程（金属シリサイド形成工程）におけるメモリセル領域の断面図である。また、図27は、半導体集積回路装置10の第11工程における周辺領域の断面図である。

**【0067】**

この図26、図27に示されるように、形成されたメモリセルトランジスタ27のコントロールゲート42の上面と、ソース領域15と、ドレイン領域17と、周辺回路トランジスタ28a、28bのソース領域19a、20aおよびドレイン領域19b、20bの上面とにコバルトシリサイド（CoSi）またはニッケルシリサイド（NiSi）等から構成された金属シリサイド膜37を形成する。この際、コントロールゲート42の上端面に形成された金属シリサイド膜37と、メモリゲート電極45の上端面に形成された金属シリサイド膜37とは、絶縁膜44により電気的に隔離されている。

**【0068】**

図28は、半導体集積回路装置10の第12工程（ピット線形成工程）におけるメモリセル領域の断面図である。また、図29は、半導体集積回路装置10の第12工程における周辺回路領域の断面図である。この図28、図29に示されるように、形成されたメモリセルトランジスタ27と、周辺回路トランジスタ28a、28bの上面に絶縁膜52を形成して、この絶縁膜52の上面に層間絶縁膜38を形成する。そして、高濃度不純物拡散層17bに形成された絶縁膜52と層間絶縁膜38を貫通するコンタクト部49を形成する。さらに、層間絶縁膜38上に配線48a、48b、48c、48dを形成する。上記のようにして、図2、図3に示された半導体集積回路装置10が形成される。

**【0069】**

上記半導体集積回路装置10の製造方法においては、ドレイン領域17、19b、20bとソース領域19a、20aが位置する半導体基板13の主表面上に、凹部が形成されることが抑制されているので、形成されたドレイン領域17、19b、20bとソース領域19a、20aが、半導体基板13の主表面から浅い位置に形成することができる。

**【0070】**

ここで、ドレイン領域17、19b、20bとソース領域19a、20aとなる領域上に凹部が形成されると、コントロールゲート42、ゲート電極43a、43b下に位置する半導体基板13の主表面と、ドレイン領域17、19b、20bとソース領域19a、20aとの境界領域に段差が形成される。そして、この境界領域にたとえば、30nm程度の段差が形成された状態で、ドレイン領域17、19b、20bとソース領域19a、20aとなる領域上に不純物を導入すると、境界領域の不純物の電荷密度が大きくなることが知られている。このため、その後、導入された不純物を熱拡散させると、半導体基板13の主表面に対して水平な方向にも拡散する。この結果、ソース領域15、19a、2

10

20

30

40

50

0 aと、ドレイン領域17、19b, 20bとの間の距離が小さくなり、メモリセルトランジスタ27のしきい値電圧が急激に小さくなるという問題が生じる。そして、各メモリセルトランジスタ27のしきい値電圧にばらつきが生じる。

#### 【0071】

その一方で、本実施の形態1に係る半導体集積回路装置10の製造方法によれば、ドレイン領域17、19b、20bとソース領域19a、20aの上面上に凹部が形成されることが抑制されているため、コントロールゲート42、43a、43b下に位置する半導体基板13の主表面との境界領域に大きな段差が形成されることが抑制されている。

#### 【0072】

図38は、本実施の形態1に係る半導体集積回路装置10のメモリセルトランジスタ27を詳細に示した断面図である。10

#### 【0073】

この図38に示されるように、コントロールゲート42下に位置する半導体基板13の主表面と、コントロールゲート42に対してメモリゲート電極45と反対側に位置する半導体基板13の主表面R1と、コントロールゲート42下に位置する半導体基板13の主表面との間の半導体基板13の主表面に対して垂直な方向の距離h2は、たとえば、2nm以上3nm程度とされている。そして、メモリゲート45下に位置する半導体基板13の主表面R2とコントロールゲート42下に位置する半導体基板13の主表面との間の距離h1は、10nm程度とされている。

#### 【0074】

すなわち、距離h2が、距離h1より小さくなるように、絶縁膜46下に位置する半導体基板13の主表面は、メモリゲート電極45下に位置する半導体基板13の主表面より、上方に位置している。そして、図20および図38に示されるように、主表面R2と、コントロールゲート42下に位置する半導体基板13の主表面との境界領域に殆んど段差がなく、境界領域が略平坦面状とされた状態で、主表面R2に不純物を導入して、低濃度不純物拡散層17aを形成するため、導入された不純物の電荷密度にばらつきが生じることを抑制することができる。20

#### 【0075】

図85は、周辺回路トランジスタの詳細を示した断面図であり、この、図85に示されるように、不純物を熱拡散させる際ににおいても、不純物が半導体基板13の主表面R3と平行な方向に大きく拡散することを抑制することができ、形成されるメモリセルトランジスタ27のしきい値電圧を所望のものとすることができます、各メモリセルトランジスタ27のしきい値電圧がばらつくことを抑制することができる。30

#### 【0076】

なお、周辺回路トランジスタ28a、28bのゲート電極43a、43bの両側面側に位置する半導体基板13の主表面にダメージが与えられるタイミングは、導電膜パターン31aにパターニングを施す際に生じ、図38に示す主表面R1にダメージが与えられるタイミングと同じタイミングである。

#### 【0077】

このため、ゲート電極43a、43bの両側面側に位置する半導体基板13の主表面と、ゲート電極43a、43b下に位置する半導体基板13の主表面との境界領域に、大きな段差部が形成されることが抑制されている。これに伴い、周辺回路トランジスタ28a、28bにおいても、ソース領域19a、20aと、ドレイン領域19b、20bとの間の距離が小さくなることが抑制され、周辺回路トランジスタ28a、28bのしきい値電圧が小さくなることを抑制することができ、所望のしきい値電圧とすることができます。40

#### 【0078】

なお、ゲート電極43a、43b下に位置する半導体基板13の主表面と、ゲート電極43a、43bと隣り合う半導体基板13の主表面との、主表面に対して垂直な方向の距離は、たとえば、2nm～3nm程度に抑えることができる。なお、図6および図7に示される製造工程において、メモリセル領域が位置する半導体基板13の主表面に導入され50

る不純物の電荷濃度を、周辺回路領域が位置する半導体基板 13 の主表面上に導入される電荷濃度以下としてもよい。

#### 【0079】

この場合には、図 6、図 7 に示される製造工程における熱酸化処理によって、メモリセル領域が位置する半導体基板 13 の主表面上に形成される絶縁膜 30 の厚さは、周辺回路領域が位置する半導体基板 13 の主表面上に形成される絶縁膜 30 の厚さ以下となる。

#### 【0080】

そして、図 38 に示す主表面 R1 上に形成された絶縁膜 30 および周辺回路トランジスタ 28a、28b のゲート電極 43a、43b の側面側に位置する半導体基板 13 の主表面上に形成された絶縁膜 30 も除去されるため、主表面 R1 の方が、ゲート電極の側面側に位置する半導体基板 13 の主表面より、上方に位置することになる。これにより、メモリセルトランジスタ 27 のしきい値電圧を所望のしきい値電圧に設定することができる。10

#### 【0081】

ここで、半導体集積回路装置 10 の第 4 工程（メモリセルトランジスタのゲート下チャネル領域の形成工程）と、第 5 工程（第 2 絶縁膜の形成工程）と、第 6 工程（メモリゲート電極・ソース領域の形成工程）とは、周辺回路トランジスタ 28a、28b の製造工程とは別個のメモリセルトランジスタ 27 特有の製造工程である。このような、メモリセルトランジスタ 27 特有の工程を行なう際には、周辺回路領域が位置する半導体基板 13 の主表面上を導電膜パターン 31a で覆い、周辺回路領域が位置する半導体基板 13 に影響が与えられることを抑制している。20

#### 【0082】

その一方で、コントロールゲート電極と周辺回路トランジスタのゲート電極をパターニングする工程と、メモリセルトランジスタ 27 のドレイン領域 17 と周辺回路トランジスタ 28a のドレイン領域 19b、ソース領域 19a とを形成する工程と、各サイドウォールを形成する工程と、金属シリサイド膜を形成する工程とは、それぞれ同時にに行なわれている。

#### 【0083】

このように、まず、メモリセルトランジスタ 27 特有の工程を周辺回路領域を覆った状態で行ない、その後、メモリセルトランジスタ 27 と周辺回路トランジスタ 28a、28b の共通工程を行なうことにより、半導体集積回路装置 10 の製造工程数を低減することができる。30

#### 【0084】

##### （実施の形態 2）

図 30 から図 33 および図 39 から図 45 を用いて、本実施の形態 2 に係る半導体集積回路装置 10 について説明する。図 39 は、本実施の形態 2 に係る半導体集積回路装置 10 のメモリセル領域 67 の平面図である。この図 39 に示されるように、半導体集積回路装置 10 は、メモリセル領域 67 が位置する半導体基板 13 の主表面上に選択的に形成された分離領域 90 と、この分離領域 90 によって規定された複数の分割メモリセル領域 MCR1、MCR2 と、各分割メモリセル領域 MCR1、MCR2 上に形成されたコントロールゲート 42、メモリゲート電極 45 同士を接続する接続領域 PR とを備えている。40

#### 【0085】

そして、各分割メモリセル領域 MCR1、MCR2 が位置する半導体基板 13 の主表面上には、一方向に向けて延在する複数のコントロールゲート 42 と、このコントロールゲート 42 の側面上に絶縁膜 44 を介して形成されたメモリゲート電極 45 とが形成されている。

#### 【0086】

また、コントロールゲート 42 間に位置する半導体基板 13 の主表面上には、分離領域 92 が形成されている。そして、この分離領域 92 によって、コントロールゲート 42 間に位置する半導体基板 13 の主表面上に、複数のドレイン領域 17 が規定されている。そして、各ドレイン領域 17 上には、各ドレイン領域 17 に所望の電圧を印加するコンタク50

ト部 4 9 が設けられている。

**【 0 0 8 7 】**

メモリゲート電極 4 5 間に位置する半導体基板 1 3 の主表面上は、メモリゲート電極 4 5 に沿って延在するソース領域 1 5 が形成されているこのソース領域 1 5 と、ドレイン領域 1 7 との間に位置する半導体基板 1 3 の主表面上には、図 2 に示すチャネル領域 7 5 が形成されている。隣り合う分割メモリセル領域 M C R 1 、 M C R 2 間に位置する分離領域 9 0 上には、一の分割メモリセル領域 M C R 1 上に形成されたメモリゲート電極 4 5 と、分離領域 9 0 を介して隣り合う分割メモリセル領域 M C R 2 上に形成されたメモリゲート電極 4 5 とを接続する接続配線（第 1 接続部） 4 5 A が形成されている。

**【 0 0 8 8 】**

そして、分離領域 9 0 の上面のうち、接続配線 4 5 A 間に位置する部分には、接続配線 4 5 A 同士を接続する接続部（第 1 接続部） 5 9 が形成され、この第 1 接続部 5 9 には、メモリゲート電極 4 5 に所望の電圧を印加するコンタクト部（電圧印加部） 6 9 が形成されている。

**【 0 0 8 9 】**

また、この分離領域 9 0 上には、分割メモリセル領域 M C R 1 上に形成されたコントロールゲート 4 2 と、分割メモリセル領域 M C R 2 上に形成されたコントロールゲート 4 2 とを接続する接続配線（第 3 接続部） 4 2 A が形成されている。この接続配線には、コントロールゲート 4 2 に所望の電圧を印加するコンタクト部 6 8 が形成されており、このコンタクト部 6 8 の下端部には、パッド部 9 3 が形成されている。

**【 0 0 9 0 】**

図 3 0 は、図 3 9 に示された接続部 5 9 の詳細を示した断面図である。この図 3 0 に示されるように、接続部 5 9 は、分離領域 9 0 の上面上に形成され、たとえば、ポリシリコン膜等からなる導電膜（残留部） 3 1 A と、この残留部 3 1 A の側面（周面）上に形成され、たとえば、O N O 膜等から形成された絶縁膜（第 5 絶縁膜） 4 4 と、この絶縁膜 4 4 を介して、残留部 3 1 A の周面上に形成され、接続配線 4 5 A 間に充填された導電膜（第 2 導電膜） 3 1 B とを備えている。このように構成された接続部 5 9 の上面上に、コンタクト部 6 9 が形成されている。このため、コンタクト部 6 9 に印加された電圧は、導電膜 3 1 B を介して、接続配線 4 5 A に伝達され、各メモリゲート電極 4 5 に印加される。

**【 0 0 9 1 】**

なお、本実施の形態 2 においては、残留部 3 1 A は、メモリゲート電極 4 5 A 間に、メモリゲート電極 4 5 が延在する方向に 2 箇所（複数）形成されているが、これに限られず、1 箇所であってもよい。上記のように構成された半導体集積回路装置 1 0 の製造方法について説明する。図 4 0 は、上記実施の形態 1 に係る半導体集積回路装置 1 0 の製造工程において、図 6 、図 7 に示される第 1 製造工程に対応する製造工程を示す断面図である。

**【 0 0 9 2 】**

この図 4 0 に示されるように、半導体基板 1 の主表面上に選択的に、分離領域 9 0 、 9 2 を形成する。これにより、半導体基板 9 0 の主表面上には、分割メモリセル領域 9 0 により規定された分割メモリセル領域 M C R 1 、 M C R 2 を形成する。そして、各分割メモリセル領域 M C R 1 、 M C R 2 が位置する半導体基板 1 3 の主表面上には、分離領域 9 2 により規定される活性領域 9 1 を形成する。

**【 0 0 9 3 】**

図 4 1 は、上記実施の形態 1 に係る半導体集積回路装置 1 0 の第 3 工程に対応する製造工程を示し、図 1 0 の X L I - X L I 線における断面図であり、図 3 1 は、図 4 1 において、分離領域 9 0 上の詳細を示した断面図である。

**【 0 0 9 4 】**

この図 4 1 、図 3 1 に示されるように、形成されるソース領域 1 5 が位置する領域に開口部 3 1 b が形成された導電膜パターン 3 1 a を形成すると共に、分離領域 9 0 上に残留部 3 1 A を形成する。

**【 0 0 9 5 】**

10

20

30

40

50

そして、導電膜パターン31a間の距離L1が、たとえば、300nm程度となるように形成する。また、複数の導電膜パターン31aが配列する方向の残留部31Aの幅L2が、たとえば、150nm程度となるように形成し、導電膜パターン31aが延在する方向の残留部31Aの幅L3が、たとえば、100nm程度となるように形成する。そして、複数の残留部31Aが形成される場合には、残留部31A間の距離L4は、たとえば、100nm程度となるように、残留部31Aを形成する。また、残留部31Aと、隣接する導電膜パターン31aとの間の距離L5が、たとえば、100nm以下となるように形成する。

#### 【0096】

図42および図43は、上記図14に示す上記実施の形態1に係る半導体集積回路装置10の第5工程に対応する製造工程を示し、図14のXLII-XLI線における断面図であり、図32は、図42の分離領域90の上面を詳細に示した断面図である。

10

#### 【0097】

図14、図42に示されるように、導電膜パターン31aを覆うと共に、導電膜パターン31a間に位置する半導体基板13の主表面上に絶縁膜33を形成する。これにより、導電膜31aの両側面上および残留部31Aの表面上にも、絶縁膜33が形成される。そして、この絶縁膜33の上面に、導電膜34を堆積する。

#### 【0098】

そして、図14、図32、図43に示されるように、絶縁膜33の上面に導電膜34を形成する。この際、残留部31A間の隙間および、残留部31Aと導電膜パターン31aとの間の隙間は、導電膜34により充填される。

20

#### 【0099】

図44は、上記図16に示す上記実施の形態1に係る半導体集積回路装置10の第6工程に対応し、図16のXLIV-XLV線における断面図であり、図33は、図44において、分離領域90における詳細を示す断面図である。

#### 【0100】

これら、図16、図33、図44に示されるように、導電膜34にエッチングを施して、メモリゲート電極45を形成する。

#### 【0101】

この際、図2におけるメモリゲート電極45が形成されると共に、残留部31Aの表面に導電膜31Bが残る。ここで、残留部31A同士は、互いに近接するように配置されているため、残留部31Aの表面に形成された導電膜31B同士が連結され一体となる。また、残留部31Aと、導電パターン31aとの間も近接しているため、残留部31Aの表面に形成された導電膜31Bと、形成されたメモリゲート電極45とが連結される。すなわち、メモリゲート電極45を形成する工程においては、対向配置するメモリゲート電極45同士は、残留部31Aの表面に形成された導電膜31Bより一体的に接続される。

30

#### 【0102】

このように、上記実施の形態1に示された半導体集積回路装置10の製造工程のうち、導電膜31のパターニング工程において、残留部31Aが形成されるように、導電膜31にパターニングを施すことにより、接続部59が自己生成的に形成することができる。

40

#### 【0103】

図45は、上記図44に示された半導体集積回路装置10の製造工程後の、製造工程を示し、図18のXLV-XLV線における断面図である。この図45に示されるように、導電膜パターン31aにパターニングを施して、ドレイン領域17となる領域を露出させると共に、パッド部93を形成する。

#### 【0104】

そして、図30に示されるように、形成された接続部50の上面にコンタクト部69を形成する。すなわち、接続部59が図2に示すメモリゲート電極45の引き出し部として利用される。なお、上述した半導体集積回路装置10の製造工程以外の製造工程は、上

50

記実施の形態 1 に記載された半導体集積回路装置 1 0 の製造工程を含む。

**【 0 1 0 5 】**

このような、本実施の形態 2 に係る半導体集積回路装置 1 0 の製造方法によれば、メモリゲート電極 4 5 の引き出し部を形成する工程を設ける必要がなく、半導体集積回路装置 1 0 の製造工程の総工程数およびマスク枚数を低減することができる。なお、本実施の形態 2 に係る半導体集積回路装置 1 0 の製造方法は、上記実施の形態 1 に係る半導体集積回路装置 1 0 の製造工程のうち、導電膜 3 1 のパターニング工程の際に、残留部 3 1 A を形成することとしており、実施の形態 1 に係る半導体集積回路装置 1 0 と同様の作用・効果を得ることができる。

**【 0 1 0 6 】**

10

( 実施の形態 3 )

図 4 6 から図 5 2 を用いて、本実施の形態 3 に係る半導体集積回路装置 1 0 について説明する。なお、上記実施の形態 1 または実施の形態 2 に係る半導体集積回路装置 1 0 と同様の構成については、同一の符号を付してその説明を省略する。

**【 0 1 0 7 】**

20

図 4 6 は、本実施の形態 3 に係る半導体集積回路装置 1 0 の平面図である。この図 4 6 において、半導体集積回路装置 1 0 は、メモリセル領域 6 7 が位置する半導体基板 1 3 の主表面上に選択的に形成された分離領域 9 0 と、この分離領域 9 0 によって規定された帯状の活性領域 9 1 と、この分離領域 9 1 上に形成されたソース領域 1 5 およびドレイン領域 1 7 と、環状に形成された複数のコントロールゲート（第 1 ゲート）4 2 A、4 2 B と、コントロールゲート 4 2 A、4 2 B のソース領域（第 1 不純物領域）1 5 側の側面上に、絶縁膜 4 4 を介して形成された環状のメモリゲート電極（第 2 ゲート）4 5 A、4 5 B とを備えている。

**【 0 1 0 8 】**

活性領域 9 1 は、コントロールゲート 4 2 A、4 2 B およびメモリゲート電極 4 5 の幅方向に延在するように帯状に形成されており、コントロールゲート 4 2 A、4 2 B およびメモリゲート電極 4 5 A、4 5 B が延在する方向に間隔を隔てて複数形成されている。

**【 0 1 0 9 】**

30

そして、ソース領域 1 5 は、この帯状の活性領域 9 1 の両端部に形成されており、ドレイン領域 1 7 は、帯状の活性領域 9 1 の中央部に形成されている。そして、チャネル領域 7 5 が、活性領域 9 1 のうち、ドレイン領域 1 7 とソース領域 1 5 との間に形成されている。

**【 0 1 1 0 】**

このため、活性領域 9 1 の長手方向に隣接する活性領域 9 1 は、互いにソース領域 1 5 が対向するように配置されている。そして、各ソース領域 1 5 に、コンタクト部（電圧印加部）5 1 が形成されている。この電圧印加部 5 1 は、上層配線 4 8 B、4 8 C に接続されている。

**【 0 1 1 1 】**

40

このように、各ソース領域 1 5 には、活性領域よりも電気抵抗が小さい、バリアメタルやタンゲステン等から構成されたコンタクト部や、配線を介して電圧を印加しており、配線抵抗が軽減されている。

**【 0 1 1 2 】**

このため、選択されたメモリセルトランジスタの位置によって、ソース領域 1 5 に印加される電圧が変動することを抑制することができ、どのメモリセルトランジスタのソース領域 1 5 においても、所望の電圧を印加することができ、誤作動を抑制することができる。

**【 0 1 1 3 】**

50

ここで、活性領域を介して、各メモリセルトランジスタのソース領域 1 5 を接続した場合では、書き込み動作の際に、各メモリセルトランジスタのソース領域に所望の電圧を印加するために、大きな電圧を供給のソース領域に印加する必要がある。しかし、このよう

に複数のメモリセルトランジスタのソース領域 15 が共有の状態で、大きな電圧を印加すると、非選択のメモリセルトランジスタにおいても、書き込み動作がおきる場合があり、誤動作が生じやすい。その一方で、上記のように、各ソース領域を別個独立のものとして、しかも、活性領域よりも低抵抗な配線を介して電圧を印加することにより、誤動作を抑制することができる。

#### 【 0 1 1 4 】

コントロールゲート 42A, 42B は、活性領域 91 の長手方向に隣接する活性領域 91 のチャネル領域 75 上を通り、この隣接するいずれの活性領域 91 のソース領域 15 をも取り囲むように環状に形成されている。このコントロールゲート 42A, 42B のソース領域 15 側の側面上には、凹部 96 が形成されている。この凹部 96 は、コントロールゲート 42A, 42B の長手方向の両端部側に形成されており、分離領域 90 の上面上に位置している。また、コントロールゲート 42A, 42B の長手方向の両端部には、パッド部 93 が形成されており、このパッド部 93 には、コントロールゲート 42A, 42B に所望の電圧を印加可能なコンタクト部（電圧印加部）68 が形成されている。10

#### 【 0 1 1 5 】

メモリゲート電極 45A, 45B は、コントロールゲート 42A, 42B の内側面上に形成されており、コントロールゲート 42A, 42B と同様に、ソース領域 15 を取り囲むように環状に形成されている。このメモリゲート電極 45A, 45B の長手方向の両端部には、このメモリゲート電極 45A, 45B に電圧を印加するパッド部（接続部）59 が形成されている。この接続部 59 は、凹部 96 内にメモリゲート電極 45A, 45B を構成する導電膜の一部が入り込むことにより形成されている。20

#### 【 0 1 1 6 】

図 47 は、図 46 の X L V I I - X L V I I 線の断面図である。この図 47 に示されるように、半導体基板 13 の主表面上には、コントロールゲート 42A を含むメモリセルトランジスタ 27A と、コントロールゲート 42B を含むメモリセルトランジスタ 27B、27C とが形成されている。そして、メモリセルトランジスタ 27A と、メモリセルトランジスタ 27B とは、ドレイン領域 17 を共有している。この共有ドレイン領域 17 には、バリアメタル 39 と、タングステン膜 50 とを備えるコンタクト部 49 が形成されている。30

#### 【 0 1 1 7 】

このコンタクト部 49 は、上層配線 48B に接続され、さらに、コンタクト部 94 を介して、ビット線 95 に接続されている。

#### 【 0 1 1 8 】

また、環状に形成されたコントロールゲート 42B を含み、隣接するメモリセルトランジスタ 27B は、互いに分離領域 90 によって分離されている。そして、図 48 は、図 46 の X L V I I I - X L V I I 線における断面図であり、パッド部 59 付近の断面図である。この図 48 に示されるように、凹部 96 は、分離領域 90 上に位置しており、この凹部 96 の内表面およびこの凹部 96 が位置する分離領域 90 の上面上には、絶縁膜 44 が形成されている。40

#### 【 0 1 1 9 】

そして、この凹部 96 の内側面上には、メモリゲート電極 45 がサイドウォール状に形成されており、凹部 96 の一方の内側面上に形成されたメモリゲート電極 45 と、他方の内側面上に形成されたメモリゲート電極 45 とは、互いに接触している。

#### 【 0 1 2 0 】

この凹部 96 内で互いに接触するメモリゲート電極 45 の上面上には、金属シリサイド膜 45 を介してコンタクト部 69 が形成されている。

#### 【 0 1 2 1 】

このように、コンタクト部 69 のパッド部 59 は、凹部 96 内に形成され、互いに接触するメモリゲート電極 45 によって構成されている。

#### 【 0 1 2 2 】

50

なお、凹部 9 6 の幅は、図 4 6 に示すメモリゲート電極 4 5 の幅の 2 倍より小さく、 $60 \text{ nm}$  より小さくされている。

#### 【 0 1 2 3 】

なお、上記構成以外の構成は、上記実施の形態 1 または実施の形態 2 に係る半導体集積回路装置 1 0 と同様の構成とされている。図 8 3 は、上記のように構成された半導体集積回路装置 1 0 の回路図であり、図 8 4 は、その模式図である。

#### 【 0 1 2 4 】

上記のように、構成された半導体集積回路装置 1 0 の各動作について説明する。図 8 0 は、本実施の形態 3 に係る半導体集積回路装置 1 0 の読み出し動作時における動作線図である。この図 8 0 および図 4 6 において、選択されたメモリセルのソース領域 1 5 には、 $0 \text{ V}$  程度の電圧を印加する。そして、選択されたメモリセルのメモリゲート電極 4 5 には、たとえば、 $0 \text{ V}$  程度の電圧を印加する。さらに、選択されたメモリセルのコントロールゲート 4 2 には、たとえば、 $1.5 \text{ V}$  程度の電圧を印加し、ドレイン領域 1 7 には、 $1 \text{ V}$  程度の電圧を印加し、半導体基板 1 3 には、 $0 \text{ V}$  程度の電圧を印加する。  
10

#### 【 0 1 2 5 】

図 8 1 は、書き込み動作における動作線図である。この図 8 1 に示されるように、選択されたメモリセルのソース領域 1 5 には、たとえば、 $6 \text{ V}$  程度の電圧を印加し、メモリゲート電極 4 5 には、たとえば、 $11 \text{ V}$  程度の電圧を印加する。さらに、選択されたメモリセルのコントロールゲート 4 2 には、 $1 \text{ V}$  程度の電圧を印加すると共に、ドレイン領域 1 7 に、 $0.8 \text{ V} \sim 1.5 \text{ V}$  程度の電圧を印加し、半導体基板 1 3 には、 $0 \text{ V}$  程度の電圧を印加する。  
20

#### 【 0 1 2 6 】

図 8 2 は、消去動作における動作線図である。この図 8 2 に示されるように、選択されたメモリセルのソース領域 1 5 に、たとえば、 $6 \text{ V}$  程度の電圧を印加し、さらに、メモリゲート電極 4 5 には、たとえば、 $3 \text{ V}$  の電圧を印加し、ドレイン領域 1 7 およびコントロールゲートには、 $0 \text{ V}$  程度の電圧を印加する。そして、半導体基板 1 3 には、 $0 \text{ V}$  程度の電圧を印加する。ここで、非選択のメモリセルのメモリゲート電極 4 2 には、たとえば、 $-6 \text{ V}$  程度の電圧を印加する。

#### 【 0 1 2 7 】

上記のように構成された本実施の形態 3 に係る半導体集積回路装置 1 0 の製造方法について説明する。  
30

#### 【 0 1 2 8 】

図 4 9 は、上記図 6 、図 7 に示す上記実施の形態 1 に係る半導体集積回路装置 1 0 の製造工程の第 1 工程に対応する工程を示す平面図である。

#### 【 0 1 2 9 】

この図 4 9 に示されるように、メモリセル領域 6 7 が位置する半導体基板 1 3 の主表面上に、分離領域 9 0 を形成し、複数の活性領域 9 1 を規定する。

#### 【 0 1 3 0 】

図 5 0 は、上記図 1 0 、図 1 1 に示す上記実施の形態 1 に係る半導体集積回路装置 1 0 の第 3 工程に対応する製造工程を示す平面図である。  
40

#### 【 0 1 3 1 】

この図 5 0 に示されるように、各活性領域 9 1 のうち、ソース領域 1 5 が位置する領域に開口部 3 1 b を有する導電膜パターン 3 1 a を形成する。この際、開口部 3 1 b の長手方向の両端部側に凹部 9 6 を同時にパターニングする。

#### 【 0 1 3 2 】

図 5 1 は、上記図 1 6 、図 1 7 に対応する製造工程を示す平面図である。この図 5 1 および図 1 6 に示されるように、導電膜 3 4 を導電膜パターン 3 1 a の表面上および開口部 3 1 b が位置する半導体基板 1 3 の主表面上に、絶縁膜 4 4 を形成する。この際、凹部 9 6 の内表面上およびこの凹部 9 6 が位置する分離領域 9 0 上にも、絶縁膜 3 4 が形成される。  
50

**【0133】**

そして、この絶縁膜44の表面上に、導電膜34を堆積（形成）し、この導電膜34をエッチングして、開口部31bの表面上に、絶縁膜44を介して、メモリゲート電極45を形成する。

**【0134】**

この際、図51および図48に示されるように、凹部96内にメモリゲート電極45を構成する導電膜34がサイドウォール状に残留し、パッド部59が自己生成的に形成される。ここで、パッド部59をフォトリソグラフィにより、形成する場合には、形成されるパッド部とコントロールゲートとのマージンをとる必要があったり、成形不良等が生じたときのためのマージンをとっておく必要があったりする。その一方で、上記のように、自己生成的に形成する場合には、このようなマージンをとる必要がなく、パッド部をリソグラフィにより形成する場合よりも、半導体集積回路装置10の微細化を図ることができる。10

**【0135】**

図52は、上記図51に示された製造工程後の製造工程を示す平面図である。

この図52に示されるように、導電膜パターン31aにパターニングを施して、コントロールゲート42を形成すると共に、他の周辺回路トランジスタのゲート電極もパターニングして形成する。

**【0136】**

なお、上記製造工程以外の工程は、上記実施の形態1、2に係る製造工程と同様の工程とされる。20

**【0137】****（実施の形態4）**

図53から図66を用いて、本実施の形態4に係る半導体集積回路装置10について、説明する。図53は、本実施の形態4に係る半導体集積回路装置10のたとえば、RAM領域62における平面図である。この図53に示されるように、RAM領域62が位置する半導体基板13の主表面上には、複数のSRAMのメモリセルM1～M6が形成されている。

**【0138】**

各メモリセルM1～M6は、半導体基板13の主表面上に、互いに線対称的に配置されている。図54を用いて、SRAMのメモリセルM1の構成について、簡単に説明する。メモリセルM1は、フルCMOSセル構造を有し、第1インバータと、第2インバータとを備えている。このメモリセルM1の等価回路を図54に示す。図54を用いて、SRAMのメモリセルM1の構成について簡単に説明する。メモリセルM1は、フルCMOSセル構造を有し、第1と第2インバータと、2つのアクセスN MOSトランジスタN3、N4とを有する。30

**【0139】**

第1インバータは、第1ドライバMOSトランジスタN1と第1ロードPMOSトランジスタP1とを含み、第2インバータは、第2ドライバNMOSトランジスタN2と第2ロードPMOSトランジスタP2とを含む。40

**【0140】**

第1インバータと第2インバータは互いの入力と出力を接続したフリップフロップを形成し、フリップフロップの第1の記憶ノードNaに第1アクセスNMOSトランジスタN3のソースが接続され、フリップフロップの第2の記憶ノードNbに第2アクセスNMOSトランジスタN4のソースが接続される。

**【0141】**

記憶ノードNaは、第1アクセスNMOSトランジスタN3を介してビット線BL1に接続され、記憶ノードNbは、第2アクセスNMOSトランジスタN4を介してビット線BL2に接続される。さらに第1と第2アクセスNMOSトランジスタN3、N4のゲートはワード線WLに接続され、第1と第2ロードPMOSトランジスタP1、P2のソースはワード線WLに接続される。50

スは電源線 VDD に接続される。

#### 【0142】

次に、上記のフルCMOS SRAM のメモリセル M1 のレイアウトについて説明する。図 53 に示すように、不純物を導入して、N ウエル領域の両側に P ウエル領域を設ける。そして、半導体基板 13 の主表面上に選択的に分離領域 120 を形成して、P ウエル領域および N ウエル領域上に活性領域 102a、102b、102c、102d を規定する。そして、P ウエル領域内に形成された活性領域 102a、102b、102c、102d に、選択的にリンなどの N 型不純物を注入して不純物拡散領域を形成し、N ウエル領域内に形成された活性領域に選択的にボロン等の P 型不純物を注入して不純物拡散領域を形成する。本明細書では、活性領域 102a、102b、102c、102d は、トランジスタのソース / ドレインとなる領域と、該領域間に位置し該領域とは逆の導電型の領域（基板部分）とを含む領域である。  
10

#### 【0143】

活性領域 102a、102d と活性領域 102b、102c は、ともに直線状の形状を有し、同じ方向（P ウエル領域および N ウエル領域の延在方向）に延在する。それにより、P ウエル領域や N ウエル領域の幅や形成位置のばらつきを小さくすることができる。

#### 【0144】

本実施の形態におけるメモリセル M1 は、6 つの MOS トランジスタで構成される。具体的にはメモリセル 1 は、第 1 と第 2 ドライバ NMOS トランジスタ N1、N2 と、第 1 と第 2 アクセス NMOS トランジスタ N3、N4 と、第 1 と第 2 ロード PMOS トランジスタ P1、P2 とで構成される。  
20

#### 【0145】

第 1 と第 2 アクセス NMOS トランジスタ N3、N4 および第 1 と第 2 ドライバ NMOS トランジスタ N1、N2 は、N ウエル領域の両側の P ウエル領域上にそれぞれ形成され、第 1 と第 2 ロード PMOS トランジスタ P1、P2 は、中央の N ウエル領域上に形成される。第 1 アクセス NMOS トランジスタ N3 は、ソース / ドレインとなる領域を含む不純物拡散領域 102a1 と、ポリシリコン配線 3a との交差部に形成され、第 2 アクセス NMOS トランジスタ N4 は、ソース / ドレインとなる領域を含む活性領域 102d と、ポリシリコン配線 3d との交差部に形成される。  
30

#### 【0146】

第 1 ドライバ NMOS トランジスタ N1 は、ソース / ドレインとなる領域を含む不純物拡散領域 102a1 と、ポリシリコン配線 103b との交差部に形成され、第 2 ドライバ NMOS トランジスタ N2 は、ソース / ドレインとなる領域を含む活性領域と、ポリシリコン配線 3c との交差部に形成される。

#### 【0147】

第 1 ロード PMOS トランジスタ P1 は、ソース / ドレインとなる領域を含む不純物拡散領域 102b1 と、ポリシリコン配線 103b との交差部に形成され、第 2 アクセス PMOS トランジスタ P2 は、ソース / ドレインとなる領域を含む活性領域 102c と、ポリシリコン配線 103c との交差部に形成される。  
40

#### 【0148】

ポリシリコン配線 103a ~ 103d は、各 MOS トランジスタのゲートとなり、図 53 に示すように、同じ方向に延在する。すなわち、ポリシリコン配線 103a ~ 103d は、P ウエル領域と N ウエル領域が延在する方向（図 53 における縦方向）に垂直な方向（図 53 における横方向）であって、P ウエル領域と N ウエル領域が並ぶ方向に延在する。  
50

#### 【0149】

活性領域 102a ~ 102d およびポリシリコン配線 103a ~ 103d を覆うように図示しない層間絶縁膜を形成し、該に活性領域 102a ~ 102d に形成され、ソース / ドレインとして機能する不純物拡散領域に達するコンタクト部 104a ~ 104l を形成する。このコンタクト部 104a ~ 104l 内には、上層配線との接続用の導電層を埋め

込まれている。

**【0150】**

なお、コンタクト部 104a, 104l はゲートに達するゲートコンタクトであり、コンタクト部 104f, 104g は、不純物拡散領域とポリシリコン配線とに達する共通コンタクト (Shared Contact) であり、それ以外のコンタクト部 104b, 104c, 104d, 104e, 104h, 104i, 104j, 104k は不純物拡散領域に達する拡散コンタクトである。

**【0151】**

図 5 3において、第 1 ドライバ NMOS トランジスタ N 1 のドレインとなる N 型不純物拡散領域と、第 1 アクセス NMOS トランジスタ N 3 のドレインとなる N 型不純物拡散領域は、これらのトランジスタに共有されている。この N 型不純物拡散領域上に形成されるコンタクト部 104c、第 1 金属配線 105a およびコンタクト部（共通コンタクト）104f を介して、第 1 ドライバ NMOS トランジスタ N 1 のドレインと第 1 アクセス NMOS トランジスタ N 3 のドレインとが、第 1 ロードトランジスタ P 1 のドレインと接続される。この端子が、図 5 4 に示す等価回路図の記憶ノード N a となる。

10

**【0152】**

同様に、第 2 ドライバ NMOS トランジスタ N 2 のドレインである N 型不純物拡散領域と第 2 アクセス NMOS トランジスタ N 3 のドレインである N 型不純物拡散領域は、コンタクト部 104j、第 1 金属配線 105b およびコンタクト部（共通コンタクト）104g を介して第 2 ロードトランジスタ P 2 のドレインと接続される。この端子が図 5 4 に示す等価回路図の記憶ノード N b となる。

20

**【0153】**

そして、このように構成されたメモリセル M 1 と同様に、他のメモリセルも構成されている。ここで、メモリセル M 2 は、メモリセル M 1 に対してポリシリコン配線 103b が延在する方向に隣接しており、メモリセル M 3 は、メモリセル M 1 に対して、活性領域 102a ~ 102d が延在する方向に隣接している。また、同様に、メモリセル M 4 は、メモリセル M 3 に対して、ポリシリコン配線 103b が延在する方向に隣接している。

**【0154】**

ここで、メモリセル M 1 のポリシリコン配線 103b の端面と、このメモリセル M 1 に隣接するメモリセル M 2 のポリシリコン配線 103b との端面との間は、たとえば、100 nm ~ 120 nm 程度とされている。そして、メモリセル M 1 の不純物領域 102a と、メモリセル M 2 の不純物領域 102a との間は、たとえば、200 nm ~ 220 nm 程度とされている。なお、このポリシリコン配線 103a 同士が対向するポリシリコン配線 103a の端面には、絶縁膜 44 が形成されている。

30

**【0155】**

また、ポリシリコン配線 103b の端面と、ポリシリコン配線 103d の端面との距離も同様に 100 nm ~ 120 nm 程度とされている。そして、ポリシリコン配線 103d とポリシリコン配線 103b とが対向する、ポリシリコン配線 103b、103d の端面にも、絶縁膜 44 が形成されている。

**【0156】**

40

図 5 5 は、図 5 3 の LV - LV 線における断面図である。この図 5 5 に示されるように、メモリセル M 1、M 2 のポリシリコン配線 103b は、シリコン酸化膜等の絶縁膜 30 を介して、活性領域 102a 上に形成されている。

**【0157】**

そして、メモリセル M 1 の活性領域 102a と、メモリセル M 2 の活性領域 102a との間に位置する分離領域 90 上に、メモリセル M 1 のポリシリコン配線 103b とメモリセル M 2 のポリシリコン配線 103b との境界部分が位置している。このメモリセル M 1 のポリシリコン配線 103b と、メモリセル M 2 のポリシリコン配線 103b との間に位置する分離領域上から、ポリシリコン配線 103b、103b の先端部の表面上にも、絶縁膜 44 が形成されている。この絶縁膜 44 によって、メモリセル M 1 のポリシリコン配

50

線 1 0 3 b と、メモリセル M 2 のポリシリコン配線 1 0 3 b 間の絶縁が確保されている。そして、ポリシリコン配線 1 0 3 b 同士の境界部分に位置するポリシリコン配線 1 0 3 b の先端部表面上には、絶縁膜 4 4 を介して、サイドウォール状の導電膜 3 4 が形成されている。

#### 【 0 1 5 8 】

上記のように構成された半導体集積回路装置 1 0 の製造方法について、図 5 6 から図 6 6 を用いて、説明する。図 5 6 は、本実施の形態 4 に係る半導体集積回路装置 1 0 の製造工程の第 1 工程を示す平面図であり、上記図 6 および図 7 に示す上記実施の形態 1 に係る半導体集積回路装置 1 0 の第 1 工程に対応する工程である。また、図 5 7 は、図 5 6 の L V I I - L V I I 線における断面図である。この図 5 7 に示されるように、半導体基板 1 13 の主表面上に選択的に分離領域 1 2 0 を形成し、活性領域を規定し、さらに、P ウエル領域、N ウエル領域を規定する。  
10

#### 【 0 1 5 9 】

そして、各 P ウエル領域内および N ウエル領域内に選択的に不純物を導入して、不純物領域 1 0 2 a ~ 1 0 2 d を形成する。

#### 【 0 1 6 0 】

図 5 8 は、上記図 5 6 に示された製造工程後の半導体集積回路装置 1 0 の製造工程を示す平面図であり、上記図 8 、図 9 に示す上記実施の形態 1 に係る半導体集積回路装置 1 0 の第 2 工程に対応する製造工程を示す平面図である。図 5 9 は、上記図 5 8 の L I X - L I X 線における断面図である。  
20

#### 【 0 1 6 1 】

この図 5 8 、図 5 9 に示されるように、半導体基板 1 3 の主表面上に、熱酸化処理を施して、シリコン酸化膜等からなる絶縁膜 3 0 を形成する。

#### 【 0 1 6 2 】

そして、半導体基板 1 3 の主表面上に絶縁膜 3 0 を介して、ポリシリコン膜等からなる導電膜 3 1 を堆積する。

#### 【 0 1 6 3 】

図 6 0 は、上記図 5 8 に示された製造工程後の半導体集積回路装置 1 0 の製造工程を示す平面図であり、上記図 1 0 、図 1 1 に示されるように、上記実施の形態 1 に係る半導体集積回路装置 1 0 の第 3 工程に対応する工程を示す平面図である。図 6 1 は、上記図 6 0 の L X I - L X I 線における断面図である。  
30

#### 【 0 1 6 4 】

この図 6 0 および図 1 0 に示されるように、R O M 領域 6 3 において、M O N O S 構造のメモリセルトランジスタのソース領域となる領域に位置する開口部 3 1 b と、図 6 0 に示す R A M 領域 6 2 が位置する領域上に形成された複数の開口部 3 1 c ~ 3 1 f とを備えた導電膜パターン 3 1 a を形成する。

#### 【 0 1 6 5 】

具体的には、隣接するメモリセル M 1 ~ M 6 のポリシリコン配線 1 0 3 b 同士間に位置する領域に位置する開口部 3 1 c と、ポリシリコン配線 1 0 3 a とポリシリコン配線 1 0 3 c との間に位置する領域に位置する開口部 3 1 d と、ポリシリコン配線 1 0 3 b とポリシリコン配線 1 0 3 d との間に位置する領域に位置する開口部 3 1 e と、隣接するメモリセル領域 M 1 ~ M 6 のポリシリコン配線 1 0 3 c 間に位置する領域に位置する開口部 3 1 f とを備えた導電膜パターン 3 1 a を形成する。  
40

#### 【 0 1 6 6 】

開口部 3 1 c は、図 5 3 において、形成されるメモリセル M 1 のポリシリコン配線 1 0 3 b と、メモリセル M 2 のポリシリコン配線 1 0 3 b との間に位置する領域から、メモリセル M 3 のポリシリコン配線 1 0 3 b とメモリセル M 4 のポリシリコン配線 1 0 3 b との間に位置する領域までの間に亘って延在している。すなわち、開口部 3 1 c は、活性領域 1 0 2 a ~ 1 0 2 d が延在する方向に延在するよう長尺に形成されている。また、開口部 3 1 d 、 3 1 e 、 3 1 f も、開口部 3 1 c と同様に、活性領域 1 0 2 a ~ 1 2 0 d が延  
50

在する方向に長尺に形成されている。このように、長尺に形成された開口部 31c～31f を備えた導電膜パターン 31a は、KrF エキシマレーザ、ArF エキシマレーザ等のレーザ光を光源として搭載したステッパーにより、容易に製造することができる。

#### 【0167】

図 62 は、上記図 61 に示された半導体集積回路装置 10 の製造工程後の製造工程を示す断面図であり、上記図 14、図 15 に示される上記実施の形態 1 に係る半導体集積回路装置 10 の第 5 工程に対応する製造工程を示す断面図である。

#### 【0168】

この図 62 に示されるように、導電膜パターン 31a の表面上、開口部 31c～31f の内壁面上および開口部 31c～31f が位置する分離領域 120 の上面に、所謂 ON/OFF 膜からなる絶縁膜 44 を形成する。そして、この絶縁膜 44 を介して、導電膜パターン 31a 上に導電膜 34 を堆積（形成）する。この際、開口部 31c～31f 内にも導電膜 34 が充填される。  
10

#### 【0169】

図 63 は、上記図 62 に示された製造工程後の製造工程を示す断面図であり、上記図 16、図 17 に示す上記実施の形態 1 に係る半導体集積回路装置 10 の第 6 工程に対応する製造工程を示す断面図である。図 64 は、この図 63 に示された製造工程の平面図である。  
。

#### 【0170】

図 63 に示されるように、導電膜 34 にエッチングを施す。これにより、上記図 64 に示されるように、ROM 領域 63 が位置する半導体基板 13 の主表面上に、メモリゲート電極 45 を形成する。この際、開口部 31c～31f 内には、開口部 31c～31f の内側面上にサイドウォール状の導電膜 34 が形成される。  
20

#### 【0171】

このサイドウォール状の導電膜 34 と、導電膜パターン 31a との間には、絶縁膜 44 が形成されており、導電膜パターン 31a と導電膜 34 との間の絶縁状態が確保されている。

#### 【0172】

図 65 は、上記図 64 に示された製造工程後の製造工程を示す平面図であり、上記図 18、図 19 に示す上記実施の形態 1 に係る半導体集積回路装置 10 の第 7 工程に対応する製造工程を示す平面図である。図 66 は、上記図 65 の LXVI-LXVI 線における断面図である。この図 65、図 66 に示されるように、導電膜パターン 31a にパターンニングを施して、ポリシリコン配線 103a～103d を形成する。このポリシリコン配線 103a～103d を形成する工程は、まず、導電膜パターン 31a の上面全面にレジストマスクを形成する。そして、このレジストマスクの上方に、フォトマスク 200 を配置して、レジストマスクに露光処理を施す。  
30

#### 【0173】

このフォトマスク 200 には、ポリシリコン配線 103a～103d が延在する方向に延在する開口パターン 200a、200b が複数形成されている。

#### 【0174】

開口パターン 200a は、たとえば、メモセル M1 のポリシリコン配線 103a およびポリシリコン配線 103c と、メモリセル M2 のポリシリコン配線 103a およびポリシリコン配線 103c とを接続するようなパターンとされている。  
40

#### 【0175】

また、開口パターン 200b は、たとえば、メモリセル 1 のポリシリコン配線 103b およびポリシリコン配線 103d と、メモリセル M2 のポリシリコン配線 103b およびポリシリコン配線 103d およびポリシリコン配線 103c とを接続するパターンとされている。

#### 【0176】

このようなフォトマスク 200 を用いて、フォトリソグラフィを施して、導電膜パター  
50

ン31aにパターニングを施す。この際、形成された半導体基板13の主表面上には、既に開口部31c～31fが形成されている。このため、上記のようなフォトマスク200を用いて、導電膜パターン31aにパターニングを施しても、開口部31c～31fの内壁面上に形成された絶縁膜44によって分離される。たとえば、メモリセルM1のポリシリコン配線103bとメモリセルM2のポリシリコン配線103bとの間は、開口部31cの内周面上に形成された絶縁膜44によって分離される。また、ポリシリコン配線103aとポリシリコン配線103cとの間も、開口部31dの内周面上に形成された絶縁膜44によって分離される。さらに、ポリシリコン配線103bとポリシリコン配線103dとの間も、開口部31e内に形成された絶縁膜44によって分離される。そして、メモリセルM1のポリシリコン配線103cと、メモリセルM1と隣り合うメモリセルのポリシリコン配線103cとの間も開口部31cの内周面上に形成された絶縁膜44によって分離される。10

#### 【0177】

このように、予め、各ポリシリコン配線103a～103d同士の境界領域に開口部31c～31fを形成し、この開口部31c～31fの内壁面上に絶縁膜44を形成することにより、各ポリシリコン配線103a～103fを自己生成的に分割することができる。このため、導電膜パターン31aにフォトリソグラフィを施す際に、長手方向に隣接する各ポリシリコン配線103a～103d同士が接続されるように、パターニングを施すことができる。20

#### 【0178】

ここで、開口部31cの短手方向（ポリシリコン配線103a～103dの延在方向）の幅は、たとえば、100nm～120nmとされている。そして、開口部31cの開口縁部と、活性領域102aとの間の距離は、たとえば、50nm程度とすることができる。。20

#### 【0179】

このため、メモリセルM1の活性領域102aと、メモリセルM2の活性領域102aとの間の距離を、200nm～220nm程度とすることができる。

#### 【0180】

その一方で、開口部31c～31fが形成されていない状態で、ポリシリコン配線103a～103dをパターニングしようとすると、まず、形成されるポリシリコン配線103a～103dの形成不良を考慮して、各ポリシリコン配線103a～103d間のマージンを確保する必要があり、たとえば、各ポリシリコン配線103a～103d同士間の距離を、たとえば、120nm程度にする必要がある。さらに、活性領域102a～102dとの間の距離は、マスクずれや形成不良等のマージンを考慮して、たとえば、100nm程度確保する必要がある。このため、たとえば、メモリセルM1の活性領域102aと、メモリセルM2の活性領域102aとの間の距離は、たとえば、300nm～320nm程度となる。30

#### 【0181】

特に、開口部31c下および開口部31cの両側に位置する半導体基板13の主表面上は、Pウエル領域とされており、同一導電型のウエル領域とされている。このため、メモリセルM1の活性領域102aと、メモリセルM2の活性領域102aとの間の距離は、純粹に、ポリシリコン配線103b間の距離によって決まる。40

#### 【0182】

したがって、ポリシリコン配線103b間の距離を小さくすることにより、活性領域102a同士間の距離も確実に小さくすることができます、半導体集積回路装置10の微細化に大きく寄与する。このように、本実施の形態4に係る半導体集積回路装置10の製造方法によれば、各SRAMトランジスタのポリシリコン配線間の距離を小さくすることができます、半導体集積回路装置10の微細化を図ることができます。また、本実施の形態4においては、半導体集積回路装置10のRAM領域62に形成されたSRAMに適用した場合について説明したが、このような混載マイコンに適用した場合に限られない。さらに、SRA50

Mに適用する場合に限らず、複数のゲートが形成されている場合に、適用可能であり、各ゲート間の距離を小さくすることができます。

#### 【0183】

図34から図37および図67から図79を用いて、本実施の形態4の変形例について説明する。図67は、本実施の形態4の変形例に係る半導体集積回路装置10の周辺回路領域の平面図であり、図68は、上記図67のLXVII - LXVII線における断面図である。この図67に示されるように、周辺回路領域が位置する半導体基板13の主表面上には、一方向に向けて延在するゲート電極(配線)42a、42bと、このゲート電極42a、42bの端部側に位置し、このゲート電極42a、42bが延在する方向と交差する方向に延在するゲート電極(配線)42cとが形成されている。

10

#### 【0184】

ゲート電極42a、42bと、ゲート電極42cとの境界領域は、半導体基板13の主表面上に形成された分離領域52上に形成されている。そして、図68に示されるように、ゲート電極42bは、活性領域53の上面に絶縁膜54を介して形成されており、さらに、ゲート電極42bの一部が分離領域52上に達している。このゲート電極42bの端面と、ゲート電極42cの側面のうち、ゲート電極42bと対向する部分と、このゲート電極42bとゲート電極42cとの境界部分に位置する分離領域52の表面上に、たとえば、ONO膜からなる絶縁膜44が形成されている。このため、ゲート電極42bとゲート電極42cとの間の分離が確保されている。そして、絶縁膜44を介してゲート電極42bの端面上に、サイドウォール状の導電膜45が形成されており、さらに、ゲート電極42cの周面のうち、ゲート電極42bと対向する周面上にも、絶縁膜44を介して、サイドウォール状の導電膜45が形成されている。

20

#### 【0185】

図69は、この変形例に係る半導体集積回路装置10の第1製造工程を示す平面図であり、上記図6、図7に示す上記実施の形態1に係る半導体集積回路装置10の第1製造工程に対応する工程である。図70は、上記図69の断面図である。

#### 【0186】

この図69および図70に示されるように、半導体基板13の主表面上に、分離領域52を選択的に形成して、活性領域53を規定する。

#### 【0187】

30

図71は、上記図69に示された製造工程後の製造工程を示す平面図であり、上記図8、図9に示す上記実施の形態1に係る半導体集積回路装置10の第2工程に対応する平面図である。そして、図72は、図71の断面図である。

#### 【0188】

この図71および図72に示されるように、半導体基板13の主表面上に絶縁膜54を形成し、この絶縁膜54の上面に、導電膜31を堆積(形成)する。

#### 【0189】

図34、図73は、半導体集積回路装置10の導電膜31aのパターニング工程における周辺回路領域の平面図であり、図74は、図73の断面図である。この図34、図73、図74に示されるように、導電膜のパターニング工程において、形成される周辺回路トランジスタの隣接するゲート電極の境界領域83となる領域に開口部80を有する導電膜パターン31aを形成する。

40

#### 【0190】

図75は、上記図74に示された半導体集積回路装置10の製造工程後の製造工程を示した断面図であり、上記図14、図15に示す上記実施の形態1に係る半導体集積回路装置10の第5工程に対応する工程を示す断面図である。この図75に示されるように、開口部80の表面および、導電膜パターン31aの表面上に絶縁膜33を形成する。さらに、この絶縁膜33の上面に導電膜34を堆積する。そして、メモリゲート電極45を形成する第5工程においては、開口部80の表面に形成された絶縁膜44の表面上に導電膜34が形成される。図35、図76は、コントロールゲートおよびゲート電極を形成する

50

第7工程における周辺回路領域の平面図である。図77は、図76の断面図であり、図36は、フォトマスク72の周辺回路領域における平面図である。図35、図76、図77に示されるように、半導体集積回路装置10の第7工程においては、開口部80の表面には、絶縁膜44が形成されており、絶縁膜44の表面のうち、開口部80の内側の表面には、導電膜34が形成されている。

#### 【0191】

このように、絶縁膜44と、導電膜34とが形成された開口部80の上面側には、図36に示されるエッチングマスク72が配置され、フォトリソグラフィによるパターニングが施される。また、図37は、周辺回路領域のゲート電極が形成された際ににおける周辺領域の平面図である。図36に示されるように、エッチングマスク72には、開口部81が形成されている。  
10

#### 【0192】

この開口部81は、図37において、形成されるゲート電極43a、43b、43cがそれぞれ図35に示す分離領域83において連結されるように形成されている。そして、導電パターン31aの上面側のうち、形成されるゲート電極43a、43b、43cの領域上に、図36に示すエッチングマスク72の開口部81を配置する。このように、エッチングマスク72を配置すると、開口部81のうち、分離領域83の部分が図35に示す開口部80の上面に位置する。

#### 【0193】

図78は、上記図76に示された製造工程後の製造工程を示す平面図であり、図79は、この図78の断面図である。これら、図78、図79、図37において、エッチングマスク72を配置して、フォトリソグラフィによるパターニングを施すと、図35に示す開口部80により、ゲート電極43a、43b、43cがそれぞれ分離される。すなわち、開口部80の両側に隣り合うゲート電極43a、43b、43cがそれぞれ形成される。ここで、開口部80の表面上には、絶縁膜44が形成されているため、形成されたゲート電極43a、43b、43cの分離領域83側の表面には、絶縁膜44が形成されており、この絶縁膜44の表面のうち、分離領域83側の表面には、導電膜34が形成される。このように、形成されたゲート電極43a、43b、43cの分離領域83側の表面には、絶縁膜44が形成されているため、各ゲート電極43a、43b、43cは、電気的に分離される。  
20  
30

#### 【0194】

このように、ゲート電極を形成する第7工程では、導電パターン31aのうち、ゲート電極43a、43b、43cの分離領域83の部分に予め絶縁膜44が表面に形成された開口部80が形成されている。このため、エッチングマスク72に形成される開口部82は、形成されるゲート電極43a、43b、43cがそれぞれ分離されるように形成する必要がなく、分離領域83で連結されるように形成することができる。このように、ゲート電極43a、43b、43cが連結されるようにフォトリソグラフィを施すことができるので、フォトリソグラフィにより、分離されたゲート電極を形成する場合と異なり、ゲート電極43a、43b、43c間にマージンを設ける必要がなくなる。このように本実施の形態4に係る半導体集積回路装置10の製造方法によれば、ゲート電極43a、43b、43cの間隔を近接させることができ、面積の縮小を図ることができる。  
40

#### 【0195】

なお、本実施の形態4は、周辺回路トランジスタのゲート電極に適用したが、これに限られず、メモリセルトランジスタのコントロールゲートや、各種の配線にも適用することができる。すなわち、半導体基板の主表面上に導電膜を形成する工程と、この導電膜のうち、形成される配線の分離領域に開口部が形成された導電パターンを形成する工程と、この導電パターンを覆うように絶縁膜を形成する工程と、形成される配線が分離領域にて連設されるように形成された開口部を備えるエッチングマスクを用いて、上記絶縁膜と導電パターンにパターニングを施して、配線を形成する工程とを備えた半導体集積回路装置の製造方法であってもよい。このような、半導体集積回路装置の製造方法によれば、配線  
50

を通常のフォトリソグラフィにより形成する場合より、配線間が短くなり、面積を縮小することができる。

【0196】

以上のように本発明の実施の形態について説明を行なったが、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【産業上の利用可能性】

【0197】

本発明は、MONOS(Metal Oxide Nitride Oxide Si 10  
1 icon)構造のフラッシュメモリが搭載された混載マイコンなどの製造方法に好適である。

【図面の簡単な説明】

【0198】

【図1】実施の形態1に係る半導体集積回路装置(不揮発性半導体記憶装置)を模式的に示した平面図である。

【図2】ROM領域のメモリセル領域の断面図である。

【図3】周辺回路領域における断面図である。

【図4】書き込み動作の際ににおけるメモリセル領域の断面図である。

【図5】消去動作におけるメモリセル領域の断面図である。 20

【図6】半導体集積回路装置の第1工程におけるメモリセル領域の断面図である。

【図7】半導体集積回路装置の第1工程における周辺回路領域における断面図である。

【図8】半導体集積回路装置の第2工程におけるメモリセル領域の断面図である。

【図9】半導体集積回路装置の第2工程における周辺回路領域の断面図である。

【図10】半導体集積回路装置の第3工程(第1導電膜のパターニング工程)におけるメモリセル領域の断面図である。

【図11】半導体集積回路装置の第3工程における周辺回路領域における断面図である。

【図12】半導体集積回路装置の第4工程(メモリセルトランジスタのメモリゲート下チャネル領域の形成工程)におけるメモリセル領域の断面図である。 30

【図13】半導体集積回路装置の第4工程における周辺回路領域における断面図である。

【図14】半導体集積回路装置の第5工程(第2絶縁膜の形成工程)におけるメモリセル領域の断面図である。

【図15】半導体集積回路装置の第5工程における周辺回路領域の断面図である。

【図16】半導体集積回路装置の第6工程(メモリゲート電極・ソース領域の形成工程)におけるメモリセル領域における断面図である。

【図17】半導体集積回路装置の第6工程における周辺回路領域の断面図である。

【図18】半導体集積回路装置の第7工程(コントロールゲートおよびゲート電極形成工程)におけるメモリセル領域における断面図である。

【図19】半導体集積回路装置の第7工程における周辺回路領域における断面図である。

【図20】半導体集積回路装置の第8工程(メモリセルトランジスタのドレイン領域および周辺回路トランジスタの不純物領域の形成工程)におけるメモリセル領域における断面図である。 40

【図21】半導体集積回路装置の第8工程における周辺回路領域における断面図である。

【図22】半導体集積回路装置の第9工程(周辺回路トランジスタの不純物領域の形成工程)におけるメモリセル領域の断面図である。

【図23】半導体集積回路装置の第9工程における周辺回路領域の断面図である。

【図24】半導体集積回路装置の第10工程(メモリセルトランジスタと周辺回路トランジスタとのサイドウォールの形成工程)におけるメモリセル領域の断面図である。

【図25】半導体集積回路装置の第10工程における周辺回路領域の断面図である。

【図26】半導体集積回路装置の第11工程(金属シリサイド形成工程)におけるメモリ 50

セル領域の断面図である。

【図27】半導体集積回路装置の第11工程における周辺領域の断面図である。

【図28】半導体集積回路装置の第12工程(ビット線形成工程)におけるメモリセル領域の断面図である。

【図29】半導体集積回路装置の第12工程における周辺回路領域の断面図である。

【図30】図39に示された接続部の詳細を示した断面図である。

【図31】図41において、分離領域上の詳細を示した断面図である。

【図32】図42の分離領域の上面を詳細に示した断面図である。

【図33】図44において、分離領域における詳細を示す断面図である。

【図34】半導体集積回路装置の導電膜のパターニング工程における周辺回路領域の平面図ある。 10

【図35】コントロールゲートおよびゲート電極を形成する第7工程における周辺回路領域の平面図である。

【図36】フォトマスクの周辺回路領域における平面図である。

【図37】周辺回路領域のゲート電極が形成された際ににおける周辺領域の平面図である。

【図38】実施の形態1に係る半導体集積回路装置のメモリセルトランジスタを詳細に示した断面図である。

【図39】実施の形態2に係る半導体集積回路装置のメモリセル領域の平面図である。

【図40】実施の形態1に係る半導体集積回路装置の製造工程において、図6、図7に示される第1製造工程に対応する製造工程を示す断面図である。 20

【図41】実施の形態1に係る半導体集積回路装置の第3工程に対応する製造工程を示し、図10のXL1-XL1線における断面図である。

【図42】図14に示す実施の形態1に係る半導体集積回路装置の第5工程に対応する製造工程を示す断面図である。

【図43】図14に示す実施の形態1に係る半導体集積回路装置の第5工程に対応する製造工程を示す断面図である。

【図44】図16に示す実施の形態1に係る半導体集積回路装置の第6工程に対応し、図16のXL1V-XL1V線における断面図である。

【図45】図44に示された半導体集積回路装置の製造工程後の、製造工程を示し、図18のXLV-XLV線における断面図である。 30

【図46】実施の形態3に係る半導体集積回路装置の平面図である。

【図47】図46のXLVII-XLVII線の断面図である。

【図48】図46のXLVII-XLVII線における断面図である。

【図49】図6、図7に示す実施の形態1に係る半導体集積回路装置の製造工程の第1工程に対応する工程を示す平面図である。

【図50】図10、図11に示す実施の形態1に係る半導体集積回路装置の第3工程に対応する製造工程を示す平面図である。

【図51】図16、図17に対応する製造工程を示す平面図である。

【図52】図51に示された製造工程後の製造工程を示す平面図である。

【図53】実施の形態4に係る半導体集積回路装置のたとえば、RAM領域における平面図である。 40

【図54】メモリセルM1の等価回路である。

【図55】図53のLV-LV線における断面図である。

【図56】実施の形態4に係る半導体集積回路装置の製造工程の第1工程を示す平面図である。

【図57】図56のLVII-LVII線における断面図である。

【図58】図56に示された製造工程後の半導体集積回路装置の製造工程を示す平面図である。

【図59】図58のLIX-LIX線における断面図である。

【図60】図58に示された製造工程後の半導体集積回路装置の製造工程を示す平面図で 50

ある。

【図61】図60のLXI-LXI線における断面図である。

【図62】図61に示された半導体集積回路装置の製造工程後の製造工程を示す断面図である。

【図63】図62に示された製造工程後の製造工程を示す断面図である。

【図64】図63に示された製造工程の平面図である。

【図65】図64に示された製造工程後の製造工程を示す平面図である。

【図66】図65のLXVI-LXVI線における断面図である。

【図67】実施の形態4の変形例に係るは半導体集積回路装置の周辺回路領域の平面図である。 10

【図68】図67のLXVII-LXVII線における断面図である。

【図69】実施の形態4の変形例に係る半導体集積回路装置の第1工程を示す平面図である。

【図70】図69の断面図である。

【図71】図69に示された製造工程後の製造工程を示す平面図である。

【図72】図71の断面図である。

【図73】半導体集積回路装置の導電膜のパターニング工程における周辺回路領域の平面図である。

【図74】図73の断面図である。

【図75】図74に示された半導体集積回路装置の製造工程後の製造工程を示した断面図である。 20

【図76】コントロールゲートおよびゲート電極を形成する第7工程における周辺回路領域の平面図である。

【図77】図76の断面図である。

【図78】図76に示された製造工程後の製造工程を示す平面図である。

【図79】図78の断面図である。

【図80】実施の形態3に係る半導体集積回路装置の読み出し動作時における動作線図である。

【図81】書き込み動作における動作線図である。

【図82】消去動作における動作線図である。 30

【図83】実施の形態3に係る半導体集積装置の回路図である。

【図84】実施の形態3に係る半導体集積回路装置の模式図である。

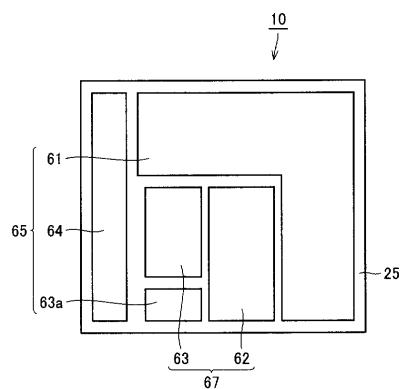
【図85】周辺回路トランジスタの詳細を示した断面図である。

【符号の説明】

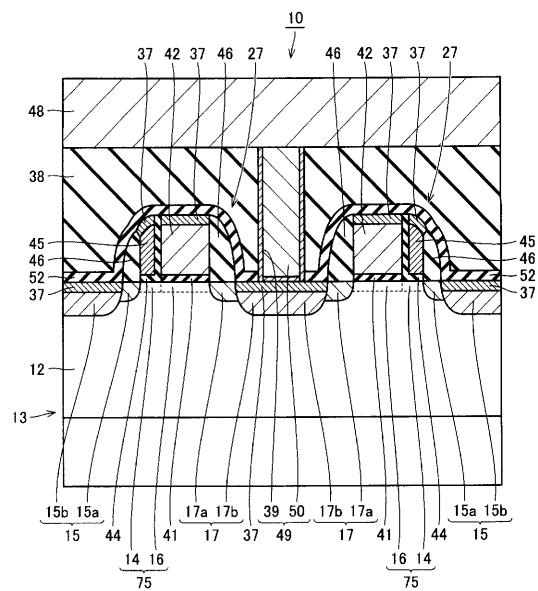
【0199】

3a ポリシリコン配線、10 半導体集積回路装置、13 半導体基板、14 メモリゲート下チャネル領域、15a 低濃度不純物拡散層、15b 高濃度不純物拡散層、16 コントロールゲート下チャネル領域、17 ドレイン領域、17a 低濃度不純物拡散層、17b 高濃度不純物拡散層、19a ソース領域、19b ドレイン領域、27 メモリセルトランジスタ、28a, 28b 周辺回路トランジスタ。 40

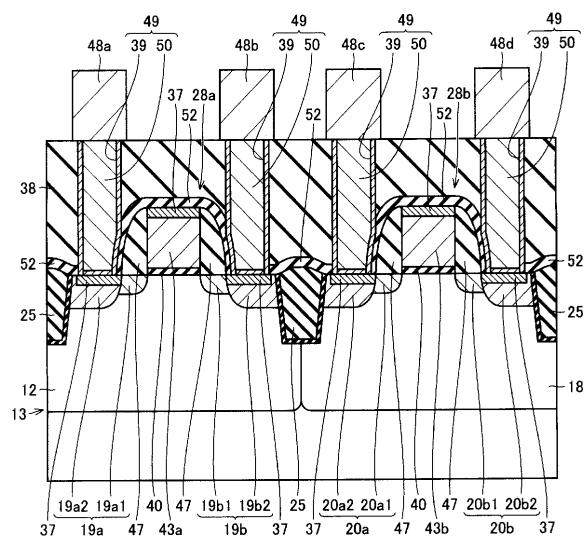
【図1】



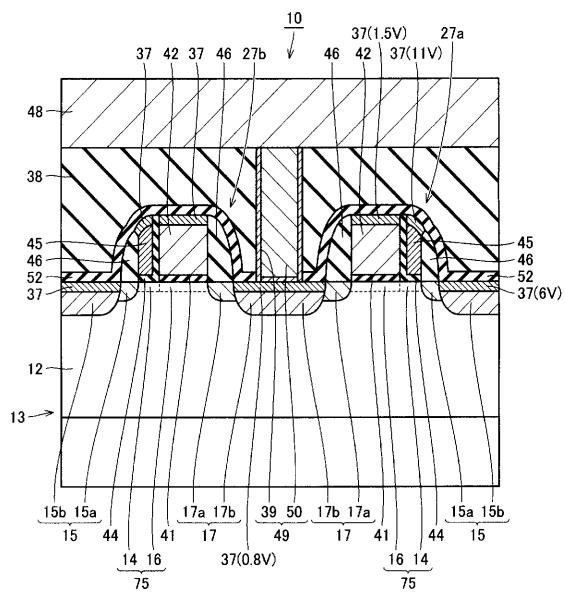
【図2】



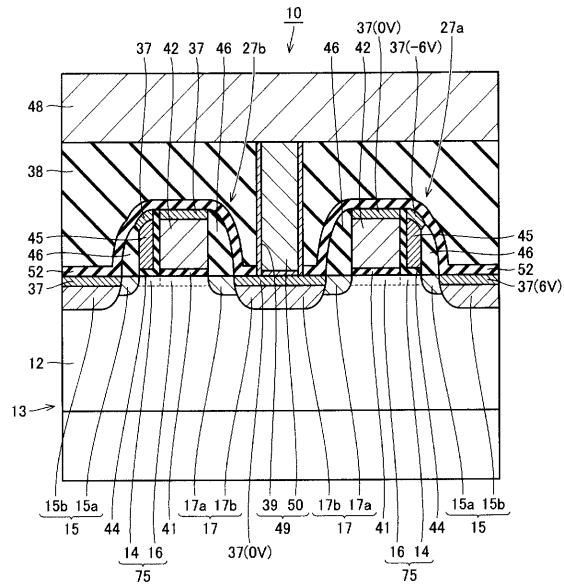
【図3】



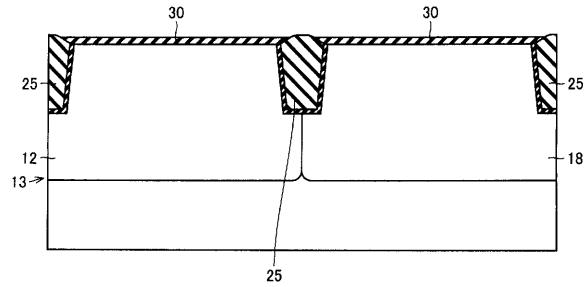
【図4】



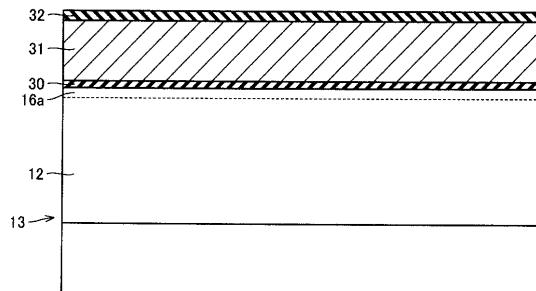
【図5】



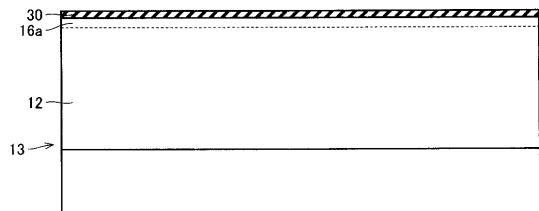
【図7】



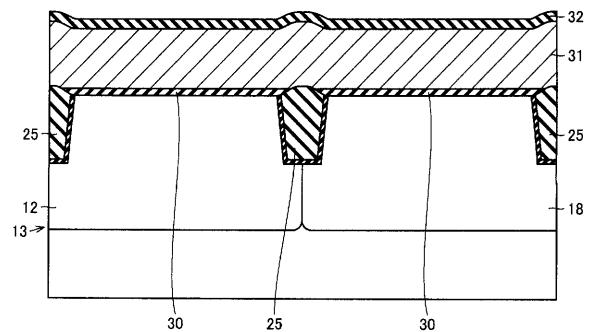
【図8】



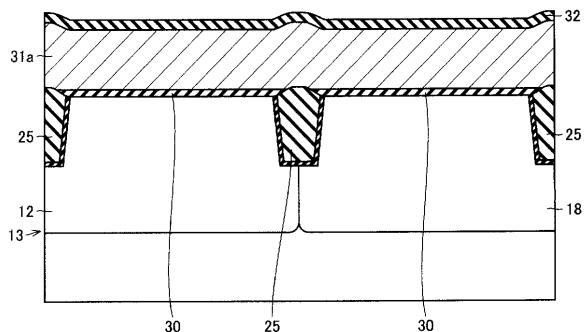
【図6】



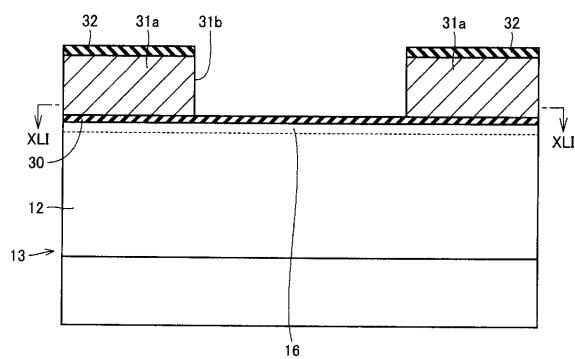
【図9】



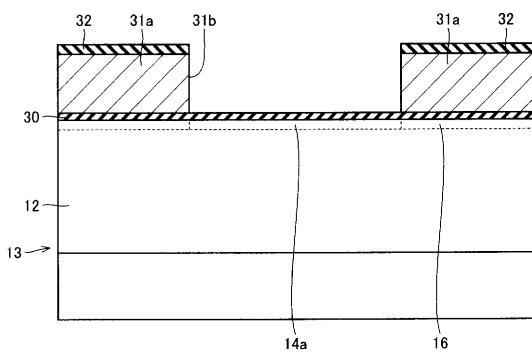
【図11】



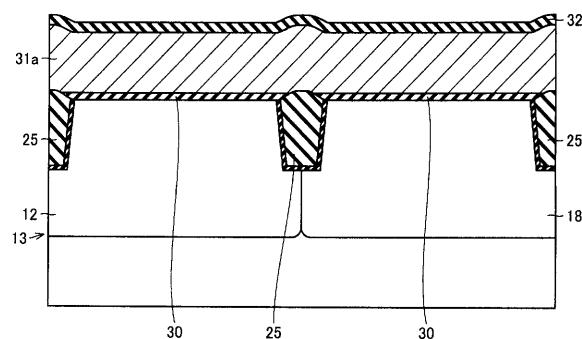
【図10】



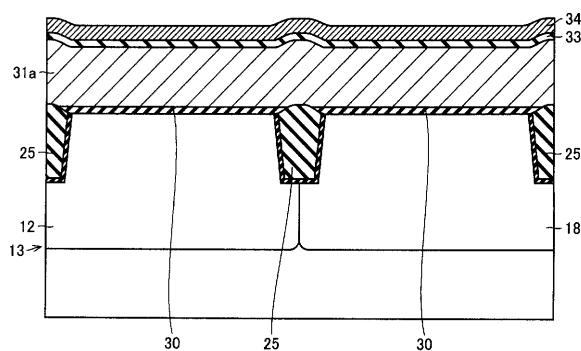
【図12】



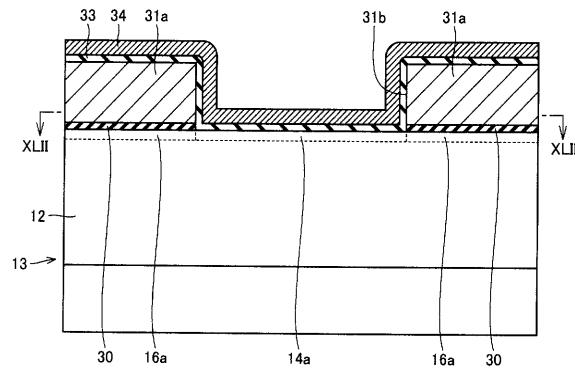
【図13】



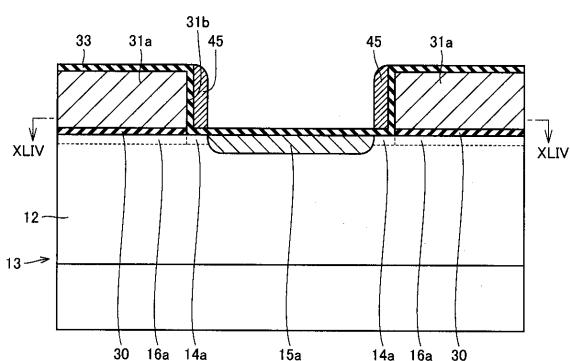
【図15】



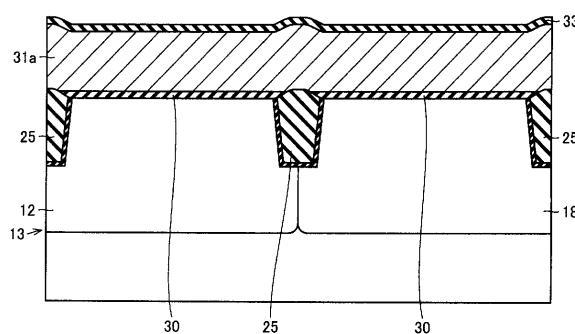
【図14】



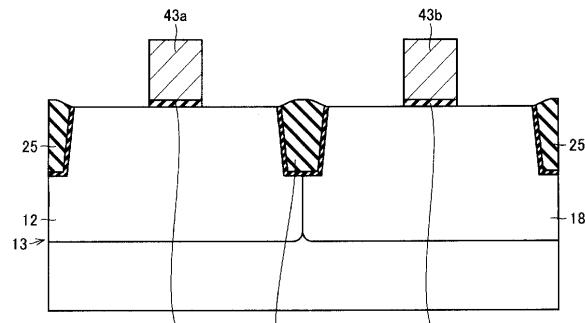
【図16】



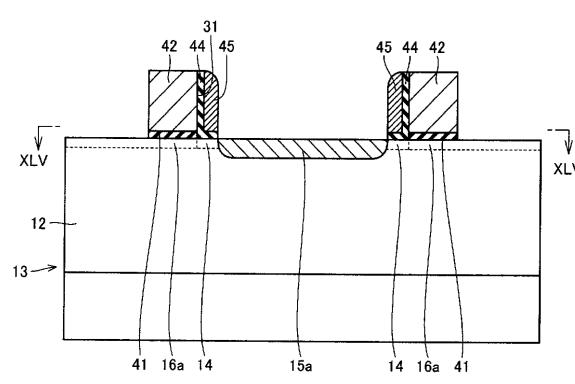
【図17】



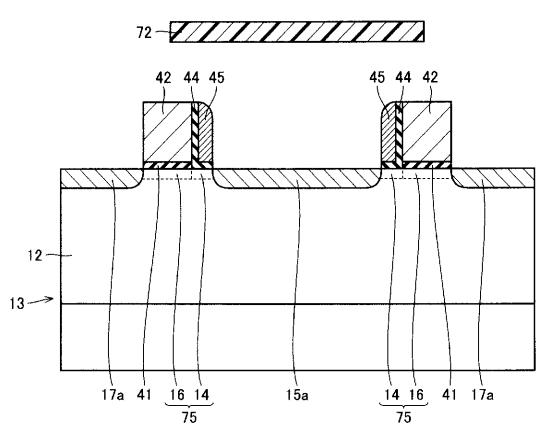
【図19】



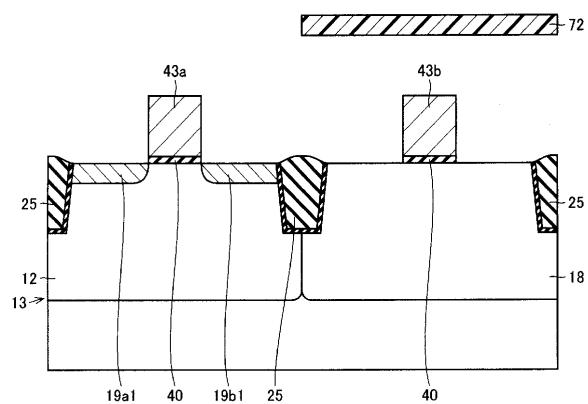
【図18】



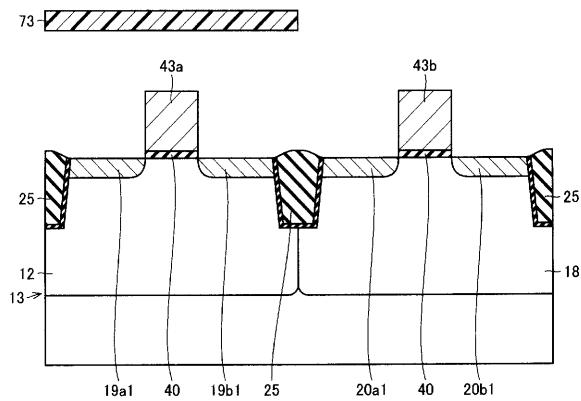
【図20】



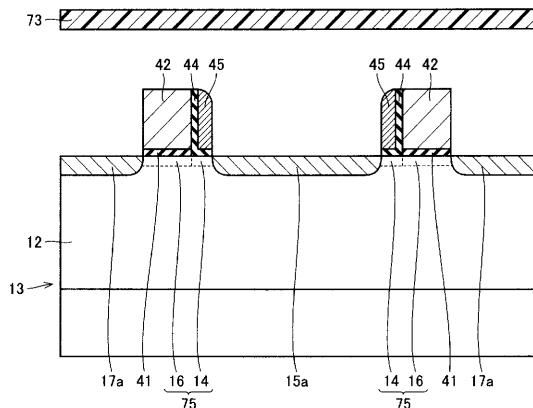
【図21】



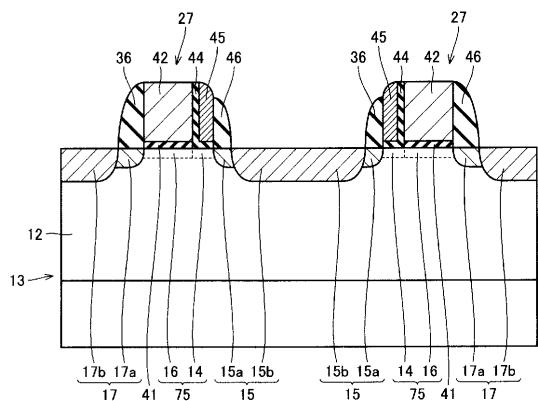
【図23】



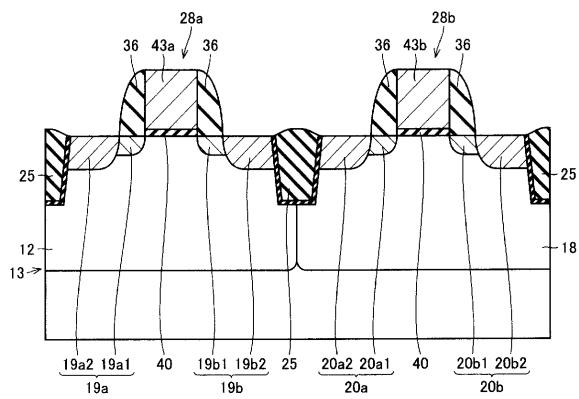
【図22】



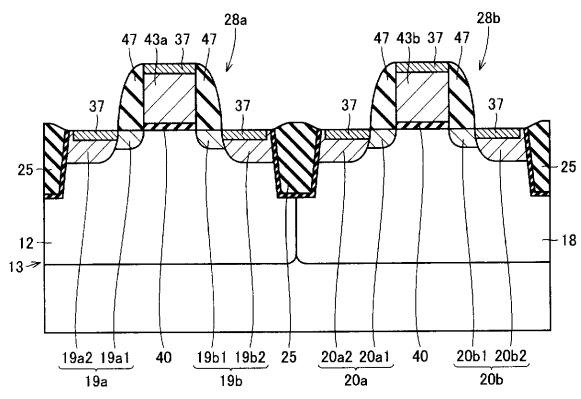
【図24】



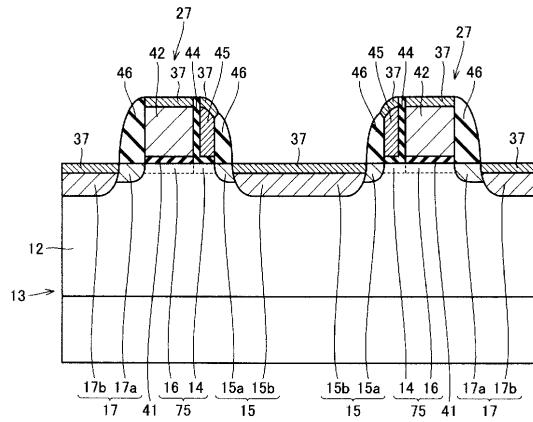
【図25】



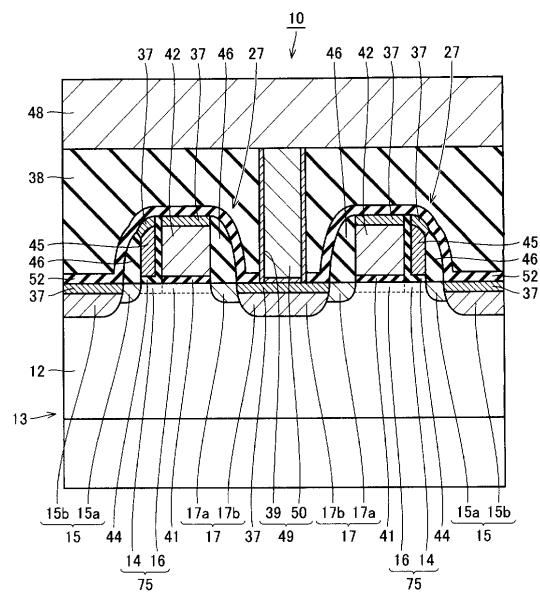
【 図 27 】



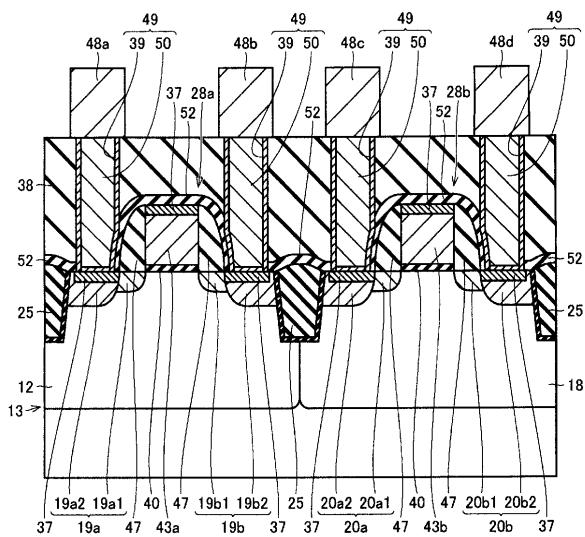
【図26】



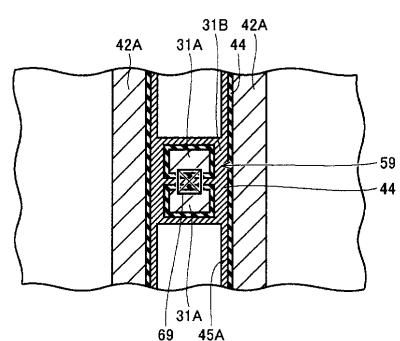
【図28】



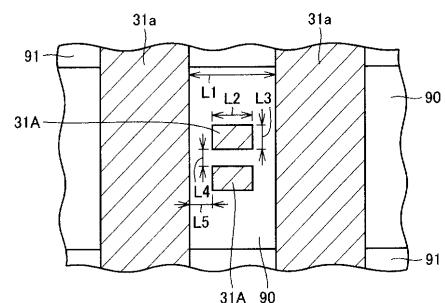
【図29】



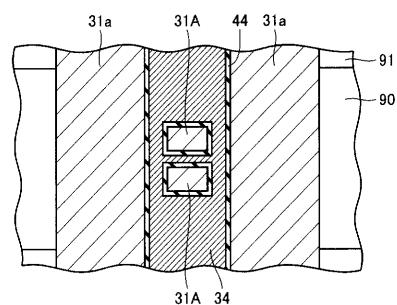
【図30】



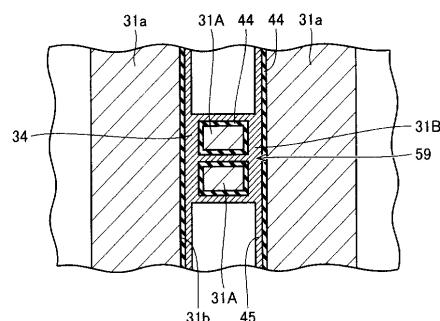
【図31】



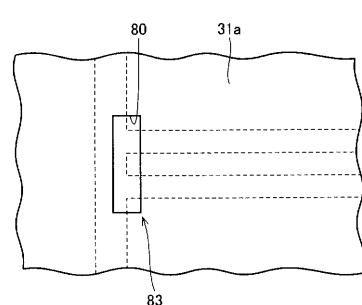
【図32】



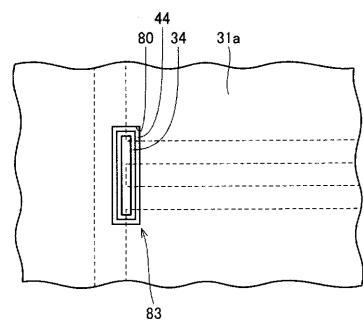
【図33】



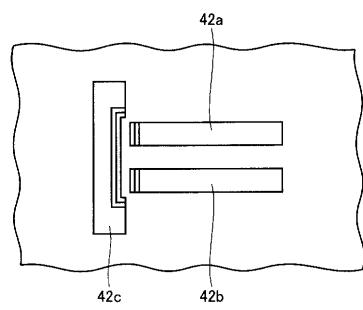
【図34】



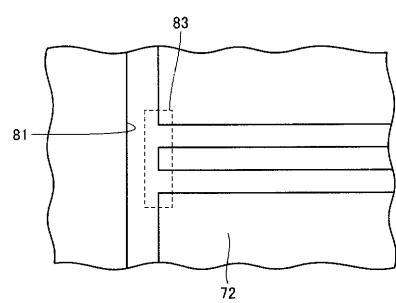
【図35】



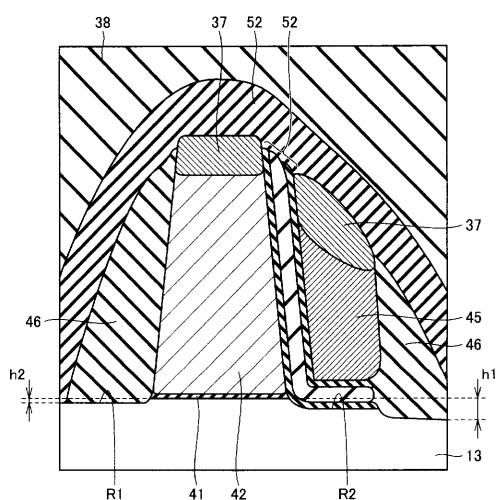
【図37】



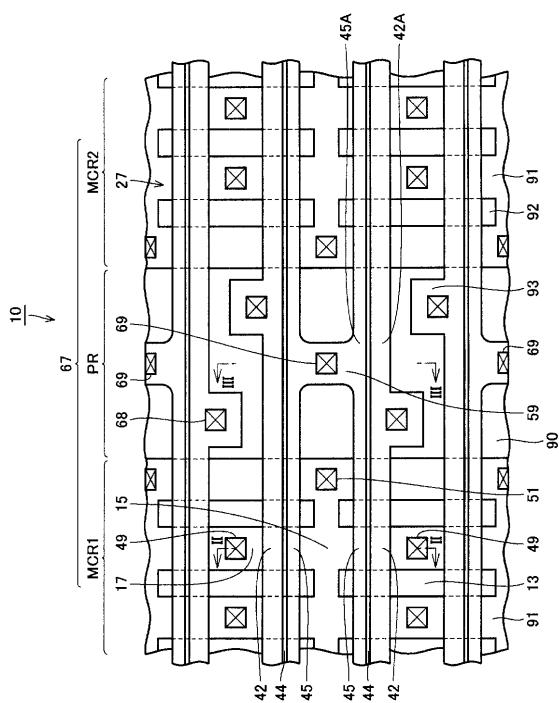
【図36】



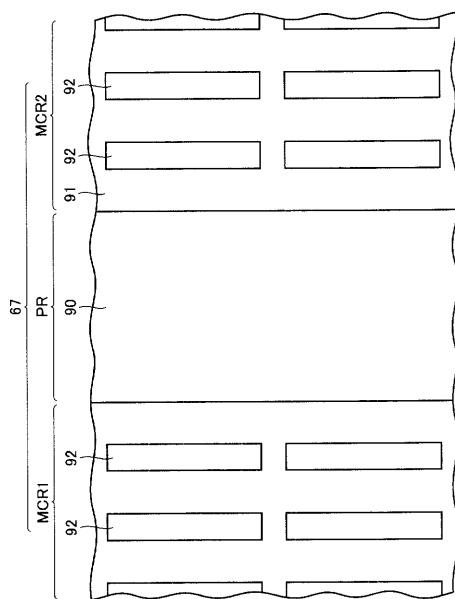
【図38】



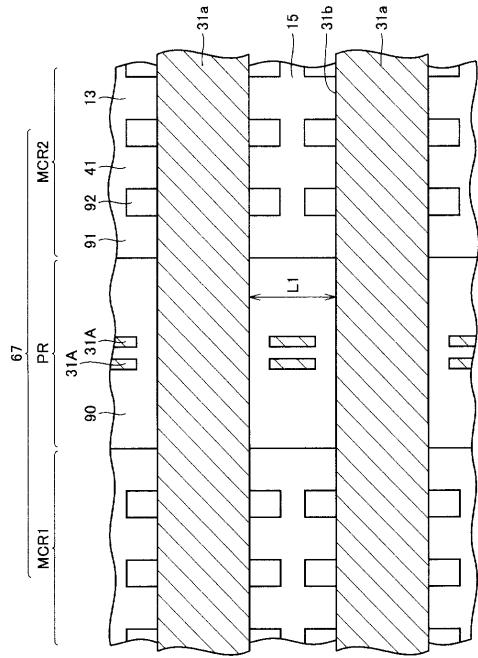
【図39】



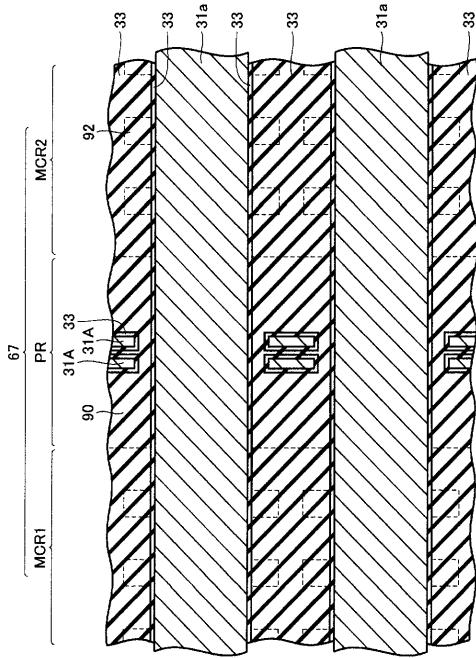
【図40】



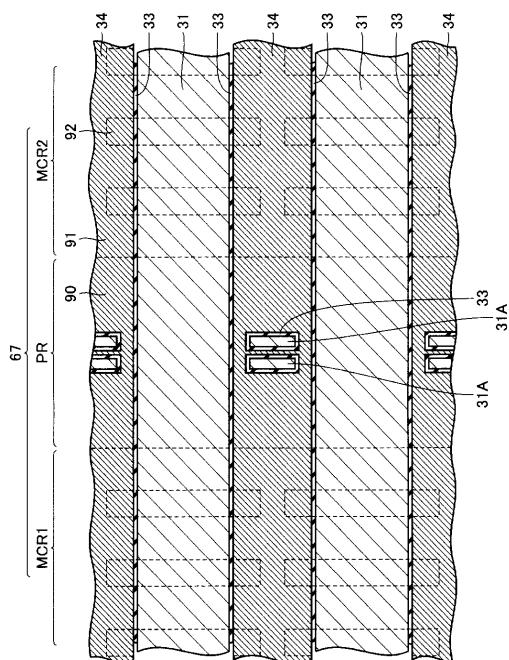
【図41】



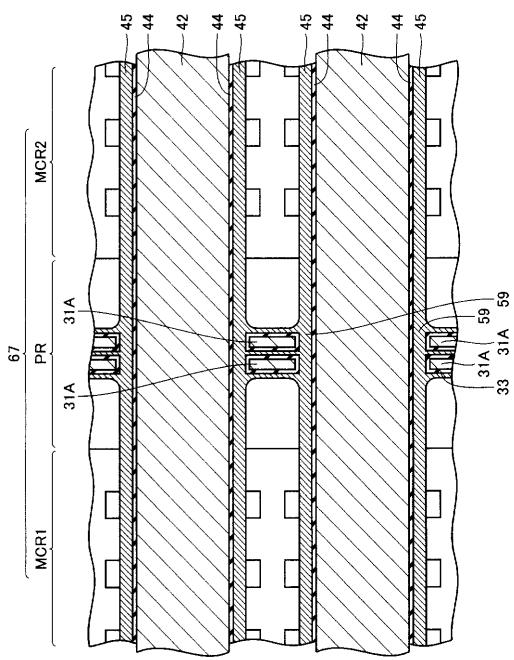
【図42】



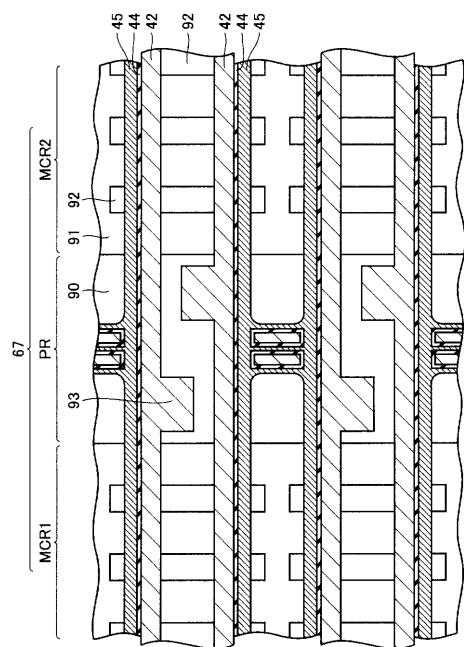
【図43】



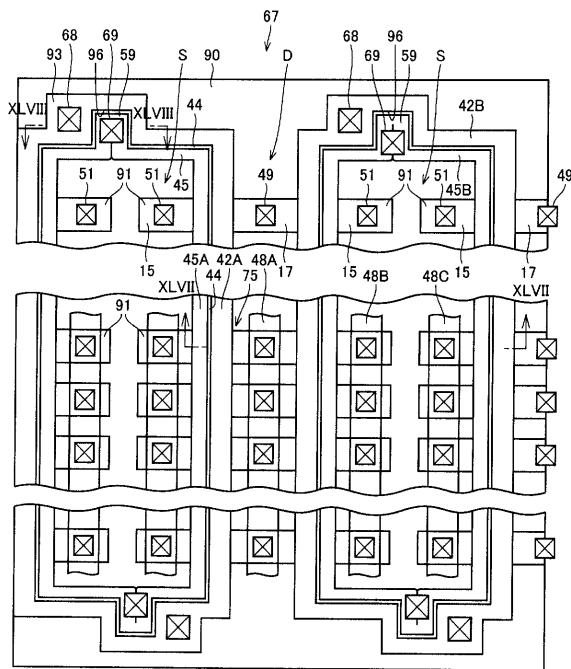
【図44】



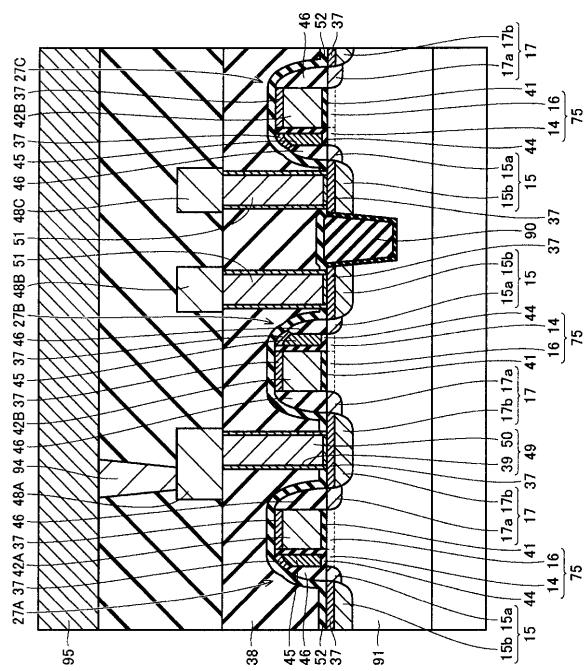
【図45】



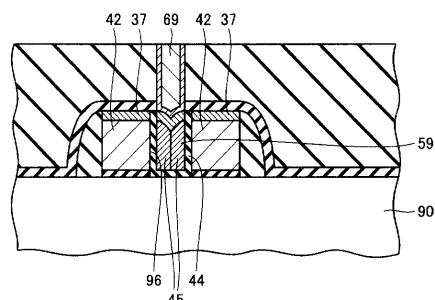
【図46】



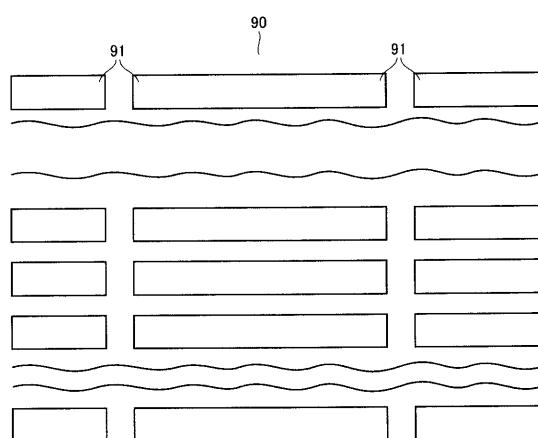
【図47】



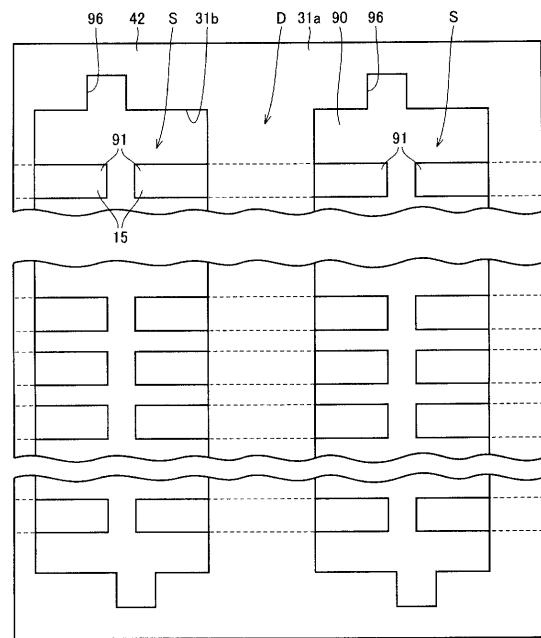
【図48】



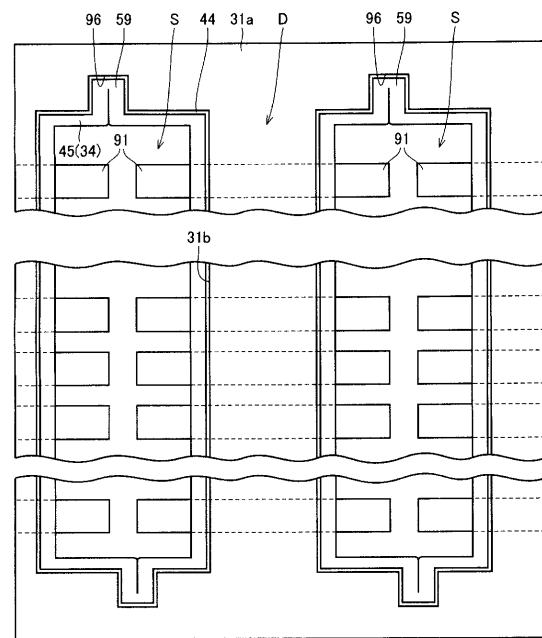
【図49】



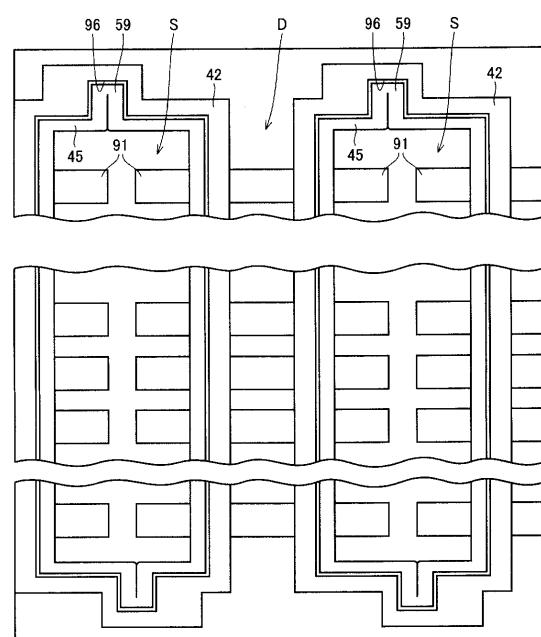
【図 5 0】



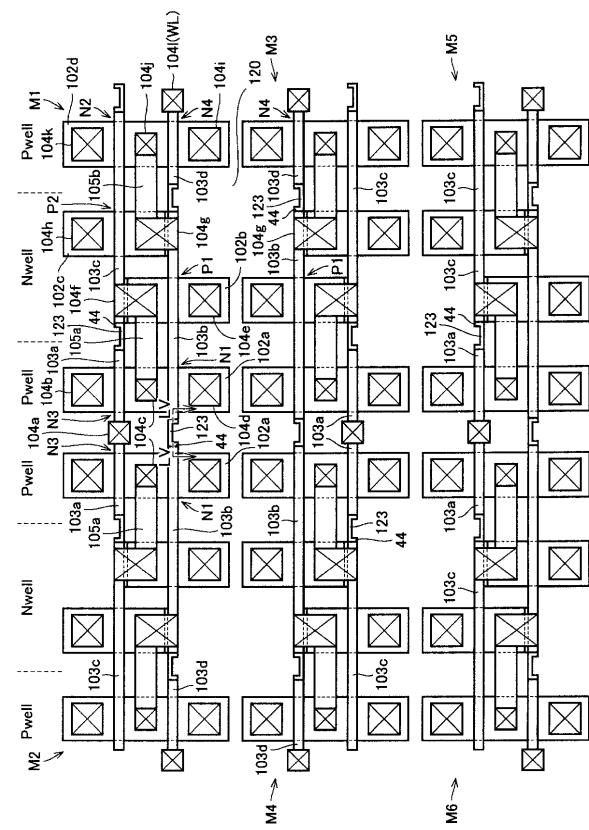
【図51】



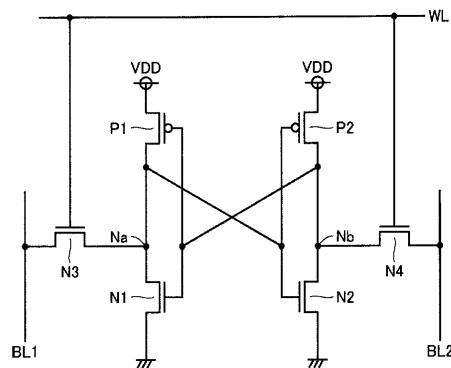
【図52】



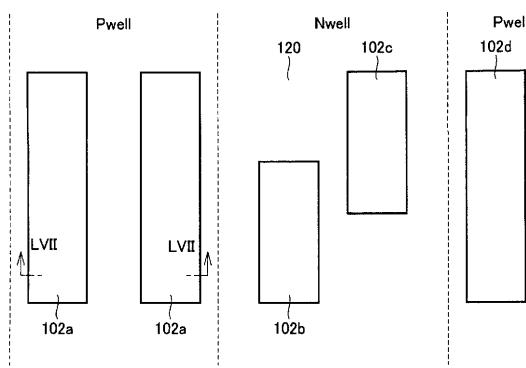
【図53】



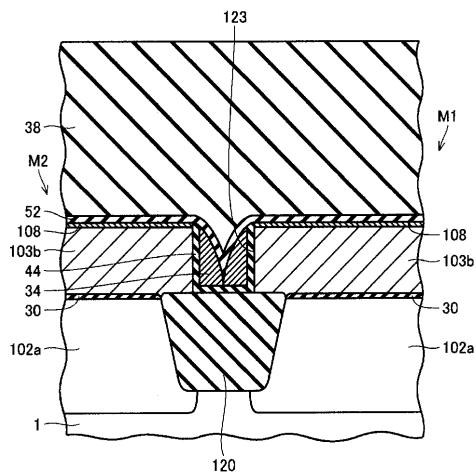
【図54】



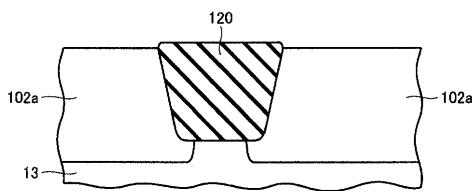
【図56】



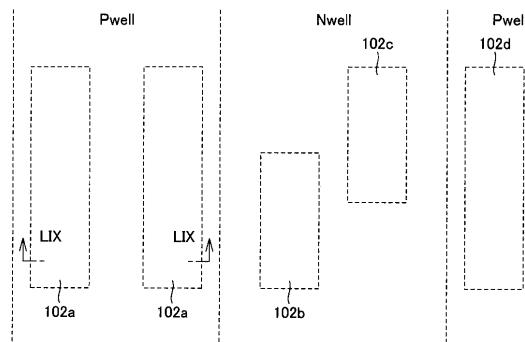
【図55】



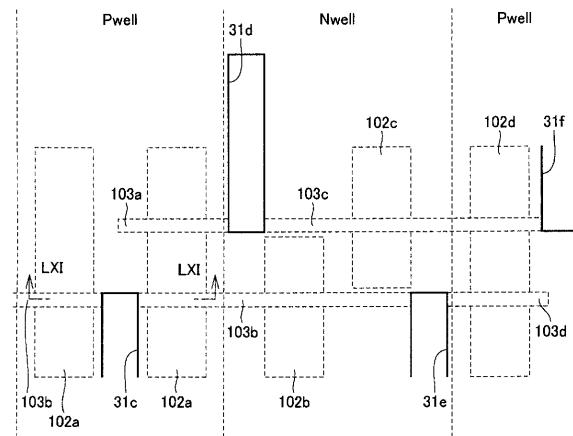
【図57】



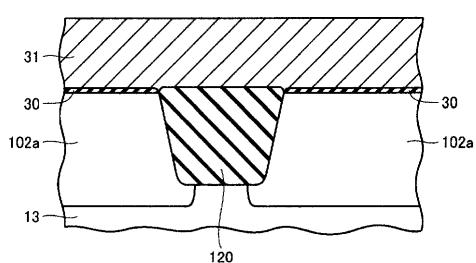
【図58】



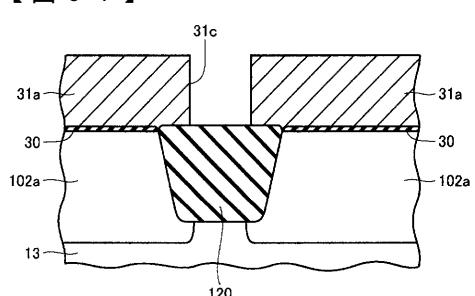
【図60】



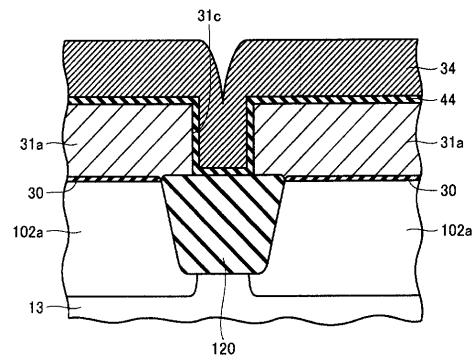
【図59】



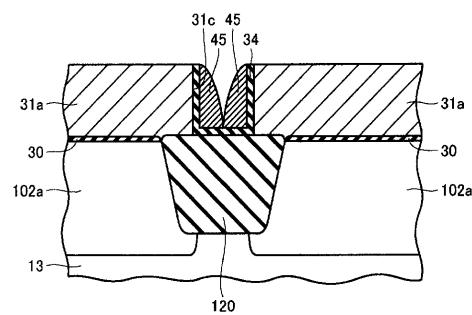
【図61】



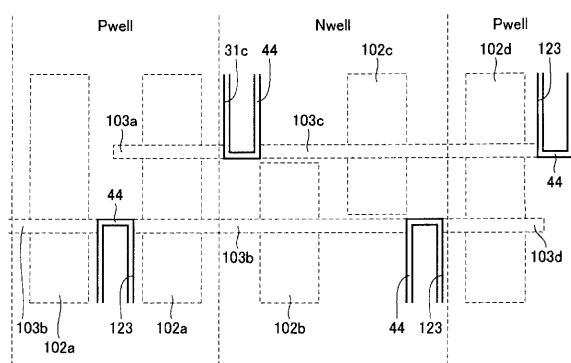
【図62】



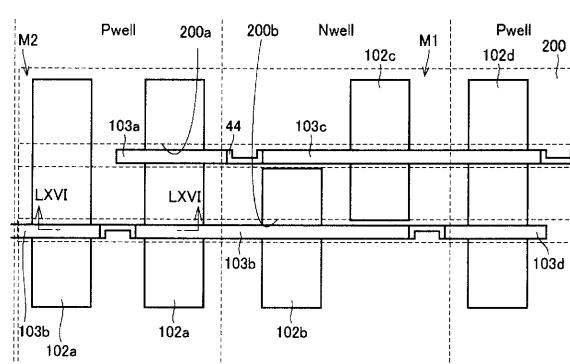
【図63】



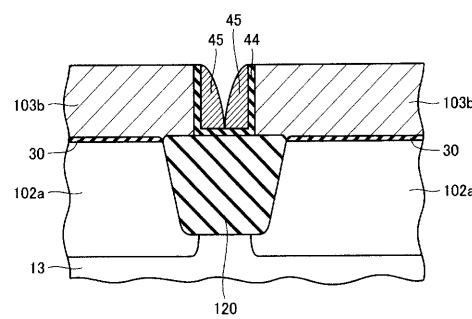
【図64】



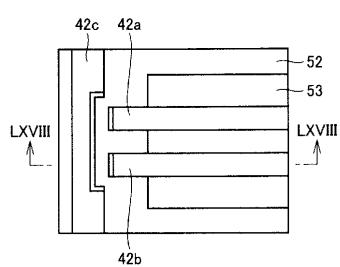
【図65】



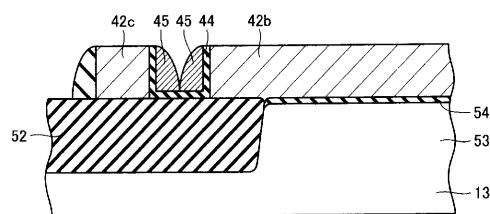
【図66】



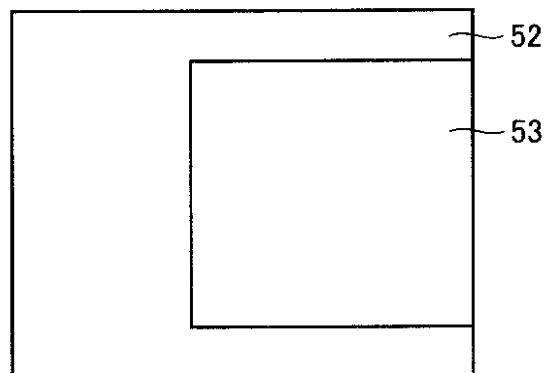
【図67】



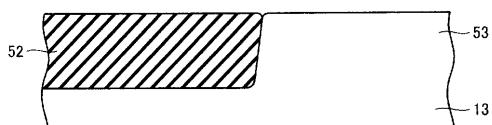
【図68】



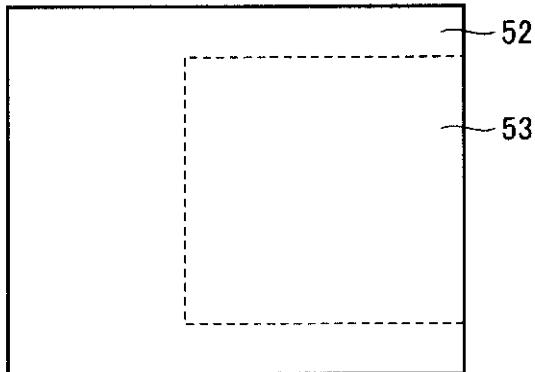
【図69】



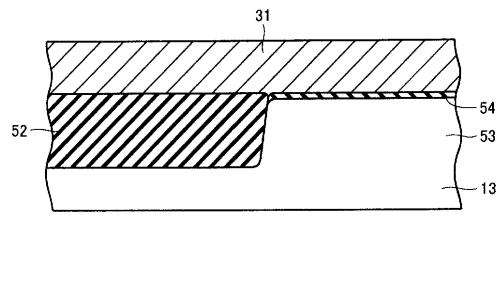
【図70】



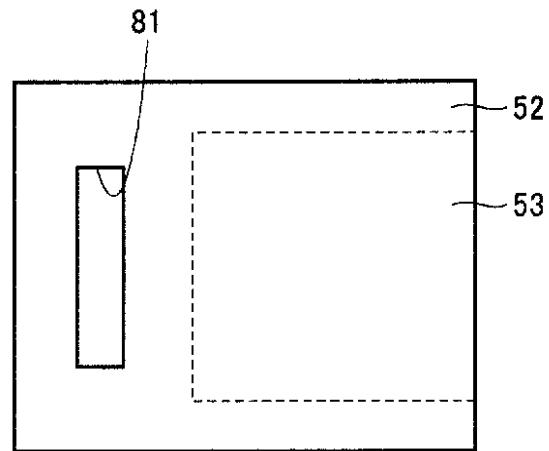
【図 7 1】



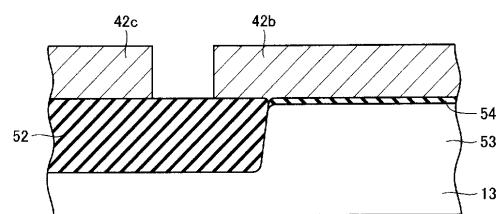
【図 7 2】



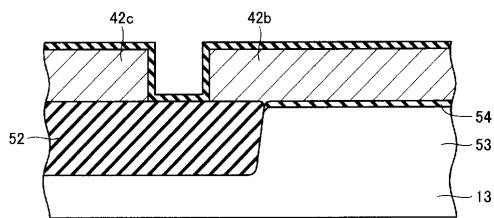
【図 7 3】



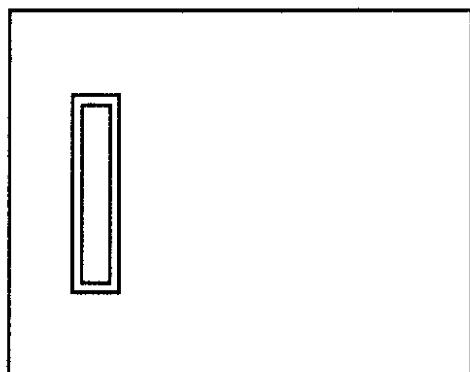
【図 7 4】



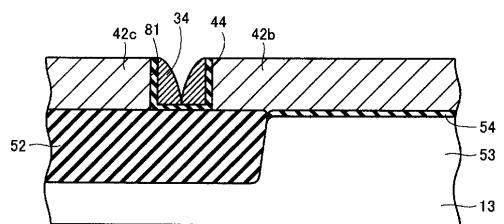
【図 7 5】



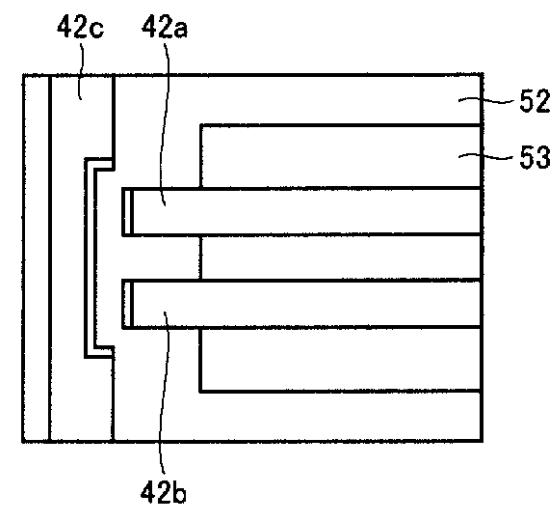
【図 7 6】



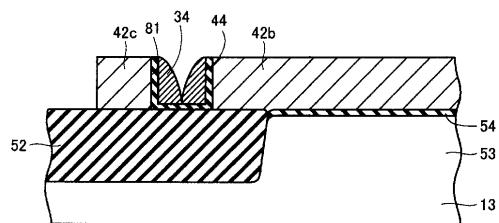
【図 7 7】



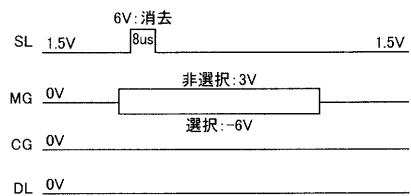
【図 7 8】



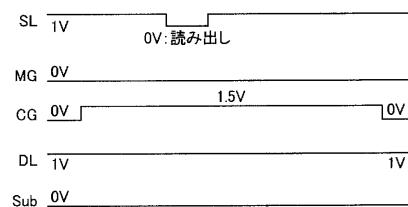
【図 7 9】



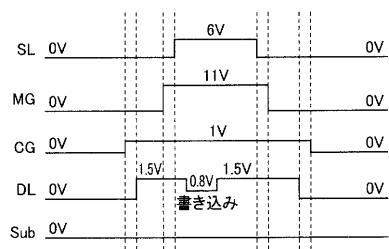
【図 8 2】



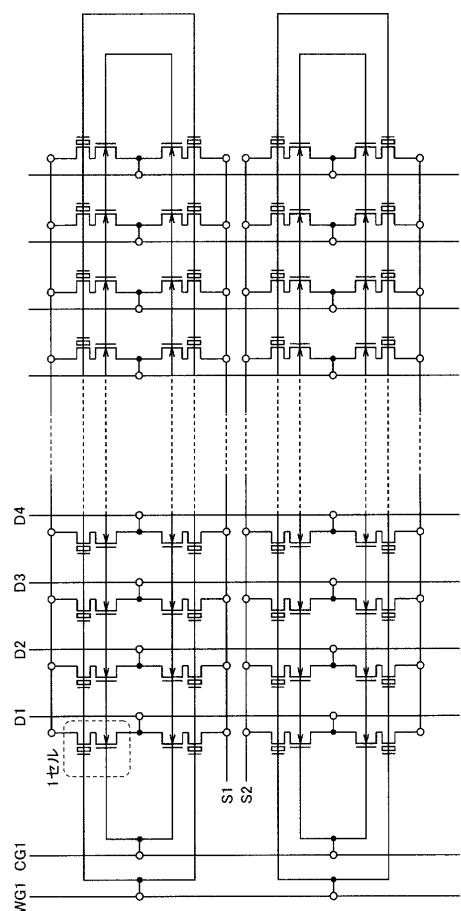
【図 8 0】



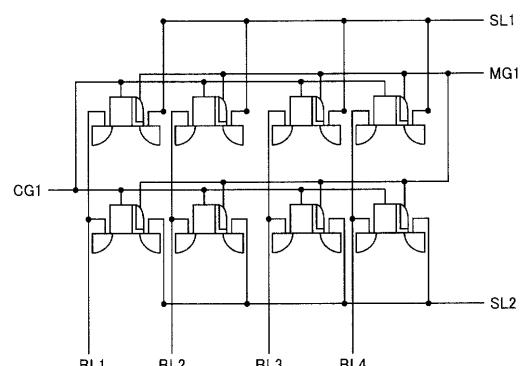
【図 8 1】



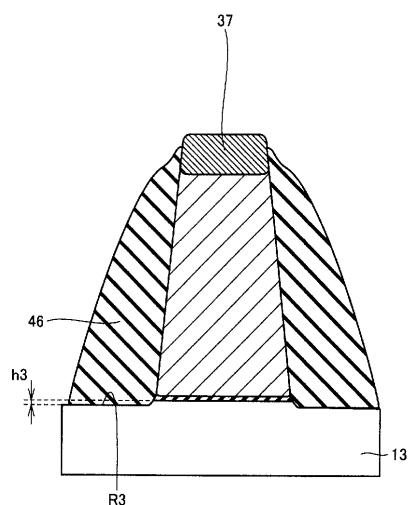
【図 8 3】



【図 8 4】



【図 8 5】



---

フロントページの続き

(51)Int.Cl. F I

H 01 L 29/792 (2006.01)  
H 01 L 29/788 (2006.01)  
H 01 L 21/336 (2006.01)

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 芦田 基

東京都千代田区丸の内二丁目4番1号 株式会社ルネサステクノロジ内

審査官 須原 宏光

(56)参考文献 特開2004-247633(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 27 / 115  
H 01 L 21 / 8247  
H 01 L 29 / 788