

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)公開番号
特開2022-17385
(P2022-17385A)

(43)公開日 令和4年1月25日(2022.1.25)

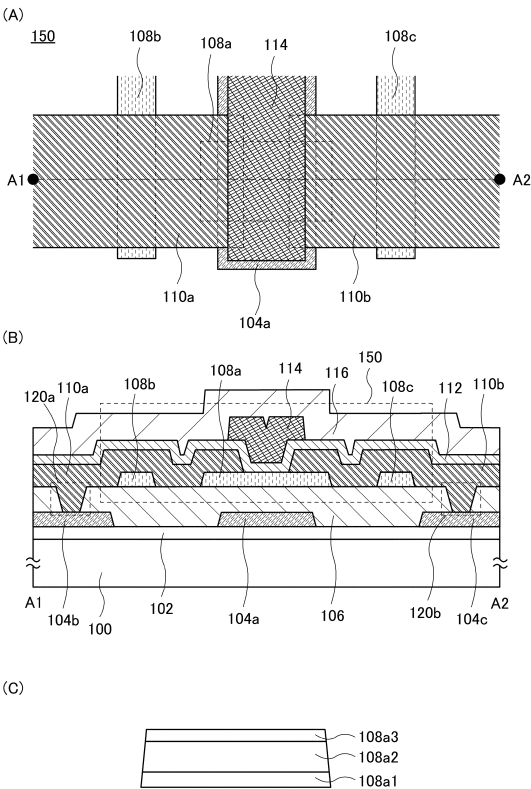
(51)国際特許分類		F I		テーマコード (参考)	
H O 1 L	21/8242(2006.01)	H O 1 L	27/108	3 2 1	5 F 0 4 8
H O 1 L	21/8234(2006.01)	H O 1 L	27/108	6 7 1 Z	5 F 0 8 3
H O 1 L	27/088 (2006.01)	H O 1 L	27/06	1 0 2 A	5 F 1 1 0
H O 1 L	29/786 (2006.01)	H O 1 L	27/088	E	
		H O 1 L	27/088	3 3 1 E	
		審査請求 有	請求項の数 2	O L	(全44頁) 最終頁に続く
(21)出願番号	特願2021-174497(P2021-174497)	(71)出願人	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地		
(22)出願日	令和3年10月26日(2021.10.26)	(72)発明者	鈴木 康太 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内		
(62)分割の表示	特願2019-212216(P2019-212216)の分割	(72)発明者	畑 勇気 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内		
原出願日	平成26年9月1日(2014.9.1)	(72)発明者	家田 義紀 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内		
(31)優先権主張番号	特願2013-184560(P2013-184560)	Fターム (参考)	5F048 AA01 AB01 AB03 AC01 AC03 AC10 BA01 BA14 BA15 BA16 BA19 BA20 最終頁に続く		
(32)優先日	平成25年9月6日(2013.9.6)				
(33)優先権主張国・地域又は機関	日本国(JP)				

(54)【発明の名称】 半導体装置

(57)【要約】 (修正有) 【課題】酸化物半導体を用い、良好な電気特性を維持しつつ、微細化を達成した半導体装置を提供する。

【解決手段】トランジスタ150は、酸化物半導体膜108a及びブロッキング膜108bと、酸化物半導体膜108aと電気的に接続されたソース電極110a及びドレイン電極110bと、酸化物半導体膜108a、ソース電極110a及びドレイン電極110bと接するゲート絶縁膜112と、ゲート絶縁膜112と接するゲート電極と114と、を有する。ブロッキング膜108bは、酸化物半導体膜108aと同一材料を用い、同一表面上に形成され、酸化物半導体膜108aより導電性が高い構成とする。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

トランジスタのチャネル形成領域を有する第 1 の酸化物半導体膜と、
前記第 1 の酸化物半導体膜と電氣的に接続された導電膜と、
前記第 1 の酸化物半導体膜と同一表面上に設けられ、かつ同一材料からなる第 2 の酸化物半導体膜と、
前記導電膜と接する領域を有し、かつ開口部を有する絶縁膜と、を有し、
前記第 2 の酸化物半導体膜は、前記第 1 の酸化物半導体膜と接せず、
前記第 2 の酸化物半導体膜は、前記第 1 の酸化物半導体膜と前記開口部との間に位置し、
前記第 2 の酸化物半導体膜と前記第 1 の酸化物半導体膜との距離は、前記開口部と前記第 1 の酸化物半導体膜との距離より短く、
平面視において、前記第 2 の酸化物半導体膜は、前記導電膜と交差する半導体装置。

10

【請求項 2】

トランジスタのチャネル形成領域を有する第 1 の酸化物半導体膜と、
前記第 1 の酸化物半導体膜と電氣的に接続された導電膜と、
前記第 1 の酸化物半導体膜と同一表面上に設けられ、かつ同一材料からなる第 2 の酸化物半導体膜と、
前記導電膜と接する領域を有し、かつ開口部を有する絶縁膜と、を有し、
前記第 2 の酸化物半導体膜は、前記第 1 の酸化物半導体膜と接せず、
前記第 2 の酸化物半導体膜は、前記第 1 の酸化物半導体膜と前記開口部との間に位置し、
前記第 2 の酸化物半導体膜と前記第 1 の酸化物半導体膜との距離は、前記開口部と前記第 1 の酸化物半導体膜との距離より短く、
前記第 1 及び第 2 の酸化物半導体膜は、前記導電膜の上面と接し、
平面視において、前記第 2 の酸化物半導体膜は、前記導電膜と交差する半導体装置。

20

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、物、方法、または、製造方法に関する。または、本発明は、プロセス、マシン、マニュファクチャ、または、組成物（コンポジション・オブ・マター）に関する。特に、本発明の一態様は、半導体装置、表示装置、発光装置、蓄電装置、記憶装置、それらの駆動方法、または、それらの製造方法に関する。

30

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指す。表示装置、電気光学装置、半導体回路および電気機器は、半導体装置を有している場合がある。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタ（薄膜トランジスタ（TFT）ともいう）を構成する技術が注目されている。当該トランジスタは集積回路（IC）や画像表示装置（表示装置）のような電子デバイスに広く応用されている。トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が広く知られているが、その他の材料として酸化物半導体が注目されている。

40

【0004】

例えば、インジウム（In）、ガリウム（Ga）、および亜鉛（Zn）を含む非晶質酸化物半導体膜を用いたトランジスタが特許文献 1 に開示されている。

【先行技術文献】

【特許文献】

【0005】

【特許文献 1】 特開 2006-165528 号公報

【発明の概要】

50

【発明が解決しようとする課題】

【0006】

回路の高集積化に伴い、素子と素子の間の層間絶縁膜に開口部を設け、該開口部に電極や配線等を設けて素子間を電氣的に接続させることがある。素子が酸化物半導体膜を用いたトランジスタである場合、開口部から酸化物半導体膜へ水素等の不純物が侵入してしまい、酸化物半導体膜中の酸素欠損と水素により低抵抗化し、トランジスタの電気特性の不良に繋がってしまう。

【0007】

このような問題に鑑み、本発明の一態様は、酸化物半導体を用いた半導体装置であって、信頼性の高い半導体装置を提供することを課題の一とする。または、本発明の一態様は、新規な半導体装置を提供することを課題の一とする。

10

【0008】

また、トランジスタの動作の高速化、トランジスタの低消費電力化、低価格化、高集積化等を達成するためにはトランジスタの微細化が必須である。

【0009】

そこで、本発明の一態様は、酸化物半導体を用いた半導体装置であって、良好な電気特性を維持しつつ、微細化を達成した半導体装置を提供することを課題の一とする。

【0010】

なお、これらの課題の記載は、他の課題の存在を妨げるものではない。本発明の一態様は、これらの課題の全てを解決する必要はないものとする。また、上記以外の課題は、明細書等の記載から自ずと明らかになるものであり、明細書等の記載から上記以外の課題を抽出することが可能である。

20

【課題を解決するための手段】

【0011】

本発明の一態様は、酸化物半導体膜およびブロッキング膜と、酸化物半導体膜と電氣的に接続されたソース電極およびドレイン電極と、酸化物半導体膜、ソース電極およびドレイン電極と接するゲート絶縁膜と、ゲート絶縁膜と接するゲート電極と、を有し、ブロッキング膜は、酸化物半導体膜と同一材料を用い、同一表面上に形成され、酸化物半導体膜より導電性が高いことを特徴とする半導体装置である。

【0012】

30

また、本発明の他の一態様は、酸化物半導体膜およびブロッキング膜と、酸化物半導体膜と電氣的に接続されたソース電極およびドレイン電極と、酸化物半導体膜、ソース電極およびドレイン電極と接するゲート絶縁膜と、ゲート絶縁膜と接するゲート電極と、を有し、ブロッキング膜は、酸化物半導体膜、ソース電極およびドレイン電極と異なる材料を用い、酸化物半導体膜と同一表面上に形成され、酸化物半導体膜より導電性が高いことを特徴とする半導体装置である。

【0013】

また、上記構成において、酸化物半導体膜およびブロッキング膜の直下に絶縁膜を有し、絶縁膜に開口部が設けられ、ブロッキング膜と酸化物半導体膜との距離は、開口部と酸化物半導体膜との距離より短い。

40

【0014】

また、上記構成において、絶縁膜の下に第1のトランジスタを有し、第1のトランジスタは、半導体材料を含む基板を含み、開口部を介してソース電極またはドレイン電極と電氣的に接続している。

【発明の効果】

【0015】

本発明の一態様を用いることにより、ブロッキング膜が他層から酸化物半導体膜中に水素等の不純物が侵入することを抑制する機能を有するため、半導体装置の電気特性の不良を抑制することができる。よって、信頼性の高い半導体装置を提供することができる。なお、本発明の一態様はこれらの効果に限定されるものではない。例えば、本発明の一態様

50

は、場合によっては、または、状況に応じて、これらの効果以外の効果を有する場合もある。または、例えば、本発明の一態様は、場合によっては、または、状況に応じて、これらの効果を有さない場合もある。

【図面の簡単な説明】

【0016】

【図1】トランジスタを説明する上面図および断面図。

【図2】トランジスタの作製方法を説明する図。

【図3】トランジスタの作製方法を説明する図。

【図4】トランジスタの作製方法を説明する図。

【図5】トランジスタを説明する断面図。

10

【図6】トランジスタを説明する上面図および断面図。

【図7】トランジスタの作製方法を説明する図。

【図8】トランジスタの作製方法を説明する図。

【図9】トランジスタの作製方法を説明する図。

【図10】トランジスタを説明する断面図。

【図11】実施の形態に係る、半導体装置の断面図および回路図。

【図12】実施の形態に係る、記憶装置の構成例。

【図13】実施の形態に係る、RFタグの構成例。

【図14】実施の形態に係る、CPUの構成例。

【図15】実施の形態に係る、記憶素子の回路図。

20

【図16】実施の形態に係る、電子機器。

【図17】実施の形態に係る、RFデバイスの使用例。

【図18】実施例のトランジスタの特性を説明する図。

【図19】実施の形態に係る、表示装置を説明する図。

【図20】トランジスタを説明する上面図。

【図21】トランジスタを説明する上面図および断面図。

【発明を実施するための形態】

【0017】

実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する発明の構成において、同一部分または同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略することがある。

30

【0018】

なお、トランジスタの「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」という用語は、入れ替えて用いることができるものとする。

【0019】

40

なお、本明細書等における「第1」、「第2」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【0020】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置について図面を用いて説明する。

【0021】

図1(A)および図1(B)は、本発明の一態様のトランジスタの上面図および断面図である。図1(A)は上面図であり、図1(A)に示す一点鎖線A1-A2の断面が図1(B)に相当する。なお、図1(A)の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線A1-A2方向をチャンネル長方向、一点鎖線A1-A

50

2方向に垂直な方向をチャネル幅方向と呼称する場合がある。なお、上面図の例は、図1(A)に限定されない。例えば、図20のような上面図でもよい。

【0022】

図1(A)および図1(B)に示すトランジスタ150は、基板100上の下地絶縁膜102と、下地絶縁膜102上の導電膜104a、導電膜104bおよび導電膜104cと、下地絶縁膜102、導電膜104a、導電膜104bおよび導電膜104c上の層間絶縁膜106と、層間絶縁膜106上の酸化物半導体膜108a、ブロッキング膜108bおよびブロッキング膜108cと、層間絶縁膜106に設けられた開口部120aを介して導電膜104bと電氣的に接続し、かつ、酸化物半導体膜108aおよびブロッキング膜108b上のソース電極110aと、層間絶縁膜106に設けられた開口部120bを介して導電膜104cと電氣的に接続し、かつ、酸化物半導体膜108aおよびブロッキング膜108c上のドレイン電極110bと、酸化物半導体膜108a、ソース電極110aおよびドレイン電極110b上のゲート絶縁膜112と、酸化物半導体膜108aと重畳し、ゲート絶縁膜112上のゲート電極114と、ゲート絶縁膜112およびゲート電極114上の酸化物絶縁膜116と、を有する。

10

【0023】

なお、チャネル長とは、上面図において、半導体膜とゲート電極とが重なる領域における、ソース（ソース領域またはソース電極）とドレイン（ドレイン領域またはドレイン電極）との距離をいう。すなわち、図1(A)では、チャネル長は、酸化物半導体膜108aとゲート電極114とが重なる領域における、ソース電極110aとドレイン電極110bとの距離となる。チャネル幅とは、半導体膜とゲート電極とが重なる領域における、ソースまたはドレインの幅をいう。すなわち、図1(A)では、チャネル幅は、酸化物半導体膜108aとゲート電極114とが重なる領域における、ソース電極110aまたはドレイン電極110bの幅をいう。

20

【0024】

トランジスタのチャネル長およびチャネル幅を微細化するとき、レジストマスクを後退させながら電極や半導体膜等を加工すると電極や半導体膜等の上端部が丸みを帯びる（曲面を有する）場合がある。このような構成になることで、酸化物半導体膜108a上に形成されるゲート絶縁膜112、ゲート電極114および酸化物絶縁膜116の被覆性を向上させることができる。また、ソース電極110aおよびドレイン電極110bの端部に生じる恐れのある電界集中を緩和することができ、トランジスタの劣化を抑制することができる。

30

【0025】

また、ブロッキング膜108bは開口部120aより酸化物半導体膜108aに近い、つまり、ブロッキング膜108bと酸化物半導体膜108aとの距離は、開口部120aと酸化物半導体膜108aとの距離より短い。同様にブロッキング膜108cは開口部120bより酸化物半導体膜108aに近い、つまり、ブロッキング膜108cと酸化物半導体膜108aとの距離は、開口部120bと酸化物半導体膜108aとの距離より短い。

【0026】

ブロッキング膜を上記のように設けることで、他層（たとえば、シリコントランジスタとの間の層）から開口部を介して侵入する水素等の不純物をブロッキング膜で吸着させることで酸化物半導体膜中に不純物が侵入することを抑制する機能を有するため、半導体装置の電気特性の不良を抑制することができる。

40

【0027】

また、ブロッキング膜は酸化物半導体膜と同一材料を用いて同一表面上に形成することができる。このため、工程数が増えることなくブロッキング膜を形成することができる。これに限られず、ブロッキング膜は酸化物半導体膜、ソース電極（またはドレイン電極）と異なる材料であってもよい。

【0028】

50

ブロッキング膜は水素等の不純物を吸着させるため、酸化物半導体膜と比べて不純物濃度が高い。このため、ブロッキング膜は酸化物半導体膜と比べて導電性が高い。

【0029】

また、ゲート電極114の電界によって、酸化物半導体膜108aを電気的に取り囲むことができる（ゲート電極の電界によって、酸化物半導体膜を電気的に取り囲むトランジスタの構造を、surrounded channel（s-channel）構造とよぶ）。そのため、酸化物半導体膜108aの全体（バルク）にチャンネルが形成される。s-channel構造では、トランジスタのソースドレイン間に大電流を流すことができ、高いオン電流を得ることができる。

【0030】

高いオン電流が得られるため、s-channel構造は、微細化されたトランジスタに適した構造といえる。トランジスタを微細化できるため、該トランジスタを有する半導体装置は、集積度の高い、高密度化された半導体装置とすることが可能となる。例えば、トランジスタのチャンネル長を、好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下とし、かつ、トランジスタのチャンネル幅を、好ましくは40nm以下、さらに好ましくは30nm以下、より好ましくは20nm以下とする。

【0031】

基板100は、単なる支持体に限らず、他のトランジスタやキャパシタなどの素子が形成された基板であってもよい。この場合、トランジスタのゲート電極、ソース電極、ドレイン電極の少なくとも一つが、上記の他の素子と電気的に接続されていてもよい。

【0032】

下地絶縁膜102は、基板100からの不純物の拡散を防止する役割を有するほか、酸化物半導体膜108aに酸素を供給する役割を担うことができる。したがって、下地絶縁膜102は酸素を含む絶縁膜であることが好ましい。例えば、化学量論的組成よりも多い酸素を含む絶縁膜であることがより好ましい。また、上述のように基板100が他の素子が形成された基板である場合、下地絶縁膜102は、層間絶縁膜としての機能も有する。その場合、下地絶縁膜102の表面が平坦化されていてもよい。例えば、下地絶縁膜102にCMP（Chemical Mechanical Polishing）法等で平坦化処理を行えばよい。

【0033】

導電膜104aは、第2のゲート電極として用いることができ、さらなるオン電流の増加や、しきい値電圧の制御を行うことができる。オン電流を増加させるには、導電膜104aとゲート電極114とを電気的に接続して同電位とし、デュアルゲートトランジスタとして駆動させればよい。また、しきい値電圧の制御を行うには、導電膜104aとゲート電極114とが電気的に接続しないようにし、ゲート電極114とは異なる定電位を導電膜104aに供給すればよい。

【0034】

また、導電膜104bは、ソース電極110aと電気的に接続する配線として機能し、導電膜104cは、ドレイン電極110bと電気的に接続する配線として機能する。導電膜104bおよび導電膜104cは、他のトランジスタやキャパシタなどの素子と電気的に接続されていてもよい。

【0035】

ただし、本発明の実施形態の一態様は、これに限定されない。導電膜104aは、必ずしも設けられていなくてもよい。また、導電膜104bや導電膜104cも、必ずしも設けられていなくてもよい。導電膜104a、導電膜104b、及び、導電膜104cが設けられていない場合の上面図と断面図を、図21（A）、図21（B）に示す。

【0036】

層間絶縁膜106は、下地絶縁膜102と同様、不純物の拡散を防止する役割を有するほか、酸化物半導体膜108aに酸素を供給する役割を担うことができる。したがって、層間絶縁膜106は酸素を含む絶縁膜であることが好ましい。

10

20

30

40

50

【0037】

以下では、酸化物半導体膜108aについて詳細に説明する。

【0038】

酸化物半導体膜108aは、インジウムを含む酸化物である。酸化物は、例えば、インジウムを含むと、キャリア移動度（電子移動度）が高くなる。また、酸化物半導体膜108aは、元素Mを含むと好ましい。元素Mとして、例えば、アルミニウム、ガリウム、イットリウムまたはズなどがある。元素Mは、例えば、酸素との結合エネルギーが高い元素である。元素Mは、例えば、酸化物のエネルギーギャップを大きくする機能を有する元素である。また、酸化物半導体膜108aは、亜鉛を含むと好ましい。酸化物が亜鉛を含むと、例えば、酸化物を結晶化しやすくなる。酸化物の価電子帯上端のエネルギーは、例えば、亜鉛の原子数比によって制御できる。

10

【0039】

ただし、酸化物半導体膜108aは、インジウムを含む酸化物に限定されない。酸化物半導体膜108aは、例えば、Zn-Sn酸化物、Ga-Sn酸化物であっても構わない。

【0040】

また、酸化物半導体膜108aは、エネルギーギャップが大きい酸化物を用いる。酸化物半導体膜108aのエネルギーギャップは、例えば、2.5 eV以上4.2 eV以下、好ましくは2.8 eV以上3.8 eV以下、さらに好ましくは3 eV以上3.5 eV以下とする。

20

【0041】

なお、酸化物半導体膜108aをスパッタリング法で成膜する場合、パーティクル数低減のため、インジウムを含むターゲットを用いると好ましい。また、元素Mの原子数比が高い酸化物ターゲットを用いた場合、ターゲットの導電性が低くなる場合がある。インジウムを含むターゲットを用いる場合、ターゲットの導電率を高めることができ、DC放電、AC放電が容易となるため、大面積の基板へ対応しやすくなる。したがって、半導体装置の生産性を高めることができる。

【0042】

酸化物半導体膜108aをスパッタリング法で成膜する場合、ターゲットの原子数比は、In:M:Znが3:1:1、3:1:2、3:1:4、1:1:0.5、1:1:1、1:1:2、などとすればよい。

30

【0043】

酸化物半導体膜108aをスパッタリング法で成膜する場合、ターゲットの原子数比からずれた原子数比の膜が形成される場合がある。特に、亜鉛は、ターゲットの原子数比よりも膜の原子数比が小さくなる場合がある。具体的には、ターゲットに含まれる亜鉛の原子数比の40 atomic %以上90 atomic %以下程度となる場合がある。

【0044】

以下では、酸化物半導体膜108a中における不純物の影響について説明する。なお、トランジスタの電気特性を安定にするためには、酸化物半導体膜108a中の不純物濃度を低減し、低キャリア密度化および高純度化することが有効である。なお、酸化物半導体膜108aのキャリア密度は、 1×10^{17} 個/cm³未満、 1×10^{15} 個/cm³未満、または 1×10^{13} 個/cm³未満とする。酸化物半導体膜108a中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。

40

【0045】

例えば、酸化物半導体膜108a中のシリコンは、キャリアトラップやキャリア発生源となる場合がある。そのため、酸化物半導体膜108aと層間絶縁膜106との間におけるシリコン濃度を、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）において、 1×10^{19} atoms/cm³未満、好ましくは 5×10^{18} atoms/cm³未満、さらに好ましくは 2×10^{18} atoms/cm³未満とする。また、酸化物半導体膜108aとゲート絶縁膜112との間に

50

おけるシリコン濃度を、SIMSにおいて、 $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

【0046】

また、酸化物半導体膜108a中に水素が含まれると、キャリア密度を増大させてしまう場合がある。酸化物半導体膜108aの水素濃度はSIMSにおいて、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体膜108a中に窒素が含まれると、キャリア密度を増大させてしまう場合がある。酸化物半導体膜108aの窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

10

【0047】

また、酸化物半導体膜108aの水素濃度を低減するために、下地絶縁膜102、層間絶縁膜106の水素濃度を低減すると好ましい。下地絶縁膜102、層間絶縁膜106の水素濃度はSIMSにおいて、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体膜108aの窒素濃度を低減するために、下地絶縁膜102、層間絶縁膜106の窒素濃度を低減すると好ましい。下地絶縁膜102、層間絶縁膜106の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

20

【0048】

また、酸化物半導体膜108aの水素濃度を低減するために、ゲート絶縁膜112の水素濃度を低減すると好ましい。ゲート絶縁膜112の水素濃度はSIMSにおいて、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体膜108aの窒素濃度を低減するために、ゲート絶縁膜112の窒素濃度を低減すると好ましい。ゲート絶縁膜112の窒素濃度は、SIMSにおいて、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

30

【0049】

以下では、酸化物半導体膜108aに適用可能な酸化物半導体膜の構造について説明する。

【0050】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

40

【0051】

まずは、CAAC-OS膜について説明する。

【0052】

CAAC-OS膜は、複数の結晶部を有する酸化物半導体膜の一つであり、ほとんどの結晶部は、一辺が100nm未満の立方体内に収まる大きさである。したがって、CAAC-OS膜に含まれる結晶部は、一辺が10nm未満、5nm未満または3nm未満の立方体内に収まる大きさの場合も含まれる。

【0053】

50

CAAC-OS膜を透過型電子顕微鏡（TEM：Transmission Electron Microscope）によって観察すると、明確な結晶部同士の境界、即ち結晶粒界（グレインバウンダリーともいう。）を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

【0054】

CAAC-OS膜を、試料面と概略平行な方向からTEMによって観察（断面TEM観察）すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜を形成する面（被形成面ともいう。）または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

【0055】

一方、CAAC-OS膜を、試料面と概略垂直な方向からTEMによって観察（平面TEM観察）すると、結晶部において、金属原子が三角形または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0056】

断面TEM観察および平面TEM観察より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0057】

CAAC-OS膜に対し、X線回折（XRD：X-Ray Diffraction）装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角（2θ）が31°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（009）面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0058】

なお、本明細書において、結晶が三方晶または菱面体晶である場合、六方晶系として表す。

【0059】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、2θが56°近傍にピークが現れる場合がある。このピークは、InGaZnO₄の結晶の（110）面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、2θを56°近傍に固定し、試料面の法線ベクトルを軸（φ軸）として試料を回転させながら分析（φスキャン）を行うと、（110）面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、2θを56°近傍に固定してφスキャンした場合でも、明瞭なピークが現れない。

【0060】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。したがって、前述の断面TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

【0061】

なお、結晶部は、CAAC-OS膜を成膜した際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。したがって、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の被形成面または上面の法線ベクトルと平行にならないこともある。

【0062】

また、CAAC-OS膜中の結晶化度が均一でなくてもよい。例えば、CAAC-OS膜の結晶部が、CAAC-OS膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも結晶化度が高くなることもある。また、CA

10

20

30

40

50

A C - O S 膜に不純物を添加する場合、不純物が添加された領域の結晶化度が変化し、部分的に結晶化度の異なる領域が形成されることもある。

【0063】

なお、 InGaZnO_4 の結晶を有する C A A C - O S 膜の *out-of-plane* 法による解析では、 2θ が 31° 近傍のピークの他に、 2θ が 36° 近傍にもピークが現れる場合がある。 2θ が 36° 近傍のピークは、C A A C - O S 膜中の一部に、*c* 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、 2θ が 31° 近傍にピークを示し、 2θ が 36° 近傍にピークを示さないことが好ましい。

【0064】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。特に、シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸化物半導体膜から酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいいため、酸化物半導体膜内部に含まれると、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となる場合がある。

10

【0065】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなることや、水素を捕獲することによってキャリア発生源となることがある。

20

【0066】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。したがって、当該酸化物半導体膜を用いたトランジスタは、しきい値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定となる場合がある。

30

【0067】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0068】

次に、微結晶酸化物半導体膜について説明する。

【0069】

微結晶酸化物半導体膜は、TEM による観察像では、明確に結晶部を確認することができない場合がある。微結晶酸化物半導体膜に含まれる結晶部は、 1 nm 以上 100 nm 以下、または 1 nm 以上 10 nm 以下の大きさであることが多い。特に、 1 nm 以上 10 nm 以下、または 1 nm 以上 3 nm 以下の微結晶であるナノ結晶（*nc: nanocrystal*）を有する酸化物半導体膜を、*nc-OS*（*nanocrystalline Oxide Semiconductor*）膜と呼ぶ。また、*nc-OS* 膜は、例えば、TEM による観察像では、結晶粒界を明確に確認できない場合がある。

40

【0070】

nc-OS 膜は、微小な領域（例えば、 1 nm 以上 10 nm 以下の領域、特に 1 nm 以上 3 nm 以下の領域）において原子配列に周期性を有する。また、*nc-OS* 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、全体で配向性が見られない。し

50

たがって、 $nc-Os$ 膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、 $nc-Os$ 膜に対し、結晶部よりも大きい径のX線を用いるXR装置を用いて構造解析を行うと、*out-of-plane*法による解析では、結晶面を示すピークが検出されない。また、 $nc-Os$ 膜は、結晶部よりも大きいプローブ径（例えば50nm以上）の電子線を用いる電子線回折（制限視野電子線回折ともいう。）を行うと、ハローパターンのような回折パターンが観測される。一方、 $nc-Os$ 膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径（例えば1nm以上30nm以下）の電子線を用いる電子線回折（ナノビーム電子線回折ともいう。）を行うと、スポットが観測される。また、 $nc-Os$ 膜に対しナノビーム電子線回折を行うと、円を描くように（リング状に）輝度の高い領域が観測される場合がある。また、 $nc-Os$ 膜に対しナノビーム電子線回折を行うと、リング状の領域内に複数のスポットが観測される場合がある。

10

【0071】

$nc-Os$ 膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、 $nc-Os$ 膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、 $nc-Os$ 膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、 $nc-Os$ 膜は、 $CAC-Os$ 膜と比べて欠陥準位密度が高くなる。

【0072】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、 $CAC-Os$ 膜のうち、二種以上を有してもよい。

20

【0073】

酸化物半導体膜108aは、酸化物半導体膜の積層膜であってもよい。例えば、酸化物半導体膜108aは、2層構造、3層構造であってもよい。

【0074】

例えば、酸化物半導体膜108aが3層構造の場合について説明する。図1（C）に、酸化物半導体膜108aが、酸化物半導体膜108a1、酸化物半導体膜108a2、酸化物半導体膜108a3が順に設けられた積層膜である場合を示す。

【0075】

酸化物半導体膜108a2（中層）は、ここまでの酸化物半導体膜108aについての記載を参照する。酸化物半導体膜108a1（下層）および酸化物半導体膜108a3（上層）は、酸化物半導体膜108a2を構成する酸素以外の元素一種以上、または二種以上から構成される酸化物半導体膜である。酸化物半導体膜108a2を構成する酸素以外の元素一種以上、または二種以上から酸化物半導体膜108a1および酸化物半導体膜108a3が構成されるため、酸化物半導体膜108a1と酸化物半導体膜108a2との界面、および酸化物半導体膜108a2と酸化物半導体膜108a3との界面において、界面準位が形成されにくい。

30

【0076】

なお、酸化物半導体膜108a1がIn-M-Zn酸化物のとき、ZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。また、酸化物半導体膜108a2がIn-M-Zn酸化物のとき、ZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが25atomic%以上、Mが75atomic%未満、さらに好ましくはInが34atomic%以上、Mが66atomic%未満とする。また、酸化物半導体膜108a3がIn-M-Zn酸化物のとき、ZnおよびOを除いてのInおよびMの原子数比率は、好ましくはInが50atomic%未満、Mが50atomic%以上、さらに好ましくはInが25atomic%未満、Mが75atomic%以上とする。なお、酸化物半導体膜108a3は、酸化物半導体膜108a1と同種の酸化物を用いても構わない。

40

【0077】

ここで、酸化物半導体膜108a1と酸化物半導体膜108a2との間には、酸化物半

50

導体膜 108a1 と酸化物半導体膜 108a2 との混合領域を有する場合がある。また、酸化物半導体膜 108a2 と酸化物半導体膜 108a3 との間には、酸化物半導体膜 108a2 と酸化物半導体膜 108a3 との混合領域を有する場合がある。混合領域は、界面準位密度が低くなる。そのため、酸化物半導体膜 108a1、酸化物半導体膜 108a2 および酸化物半導体膜 108a3 の積層体は、それぞれの界面近傍において、エネルギーが連続的に変化する（連続接合ともいう。）バンド構造となる。

【0078】

酸化物半導体膜 108a2 は、酸化物半導体膜 108a1 および酸化物半導体膜 108a3 よりも電子親和力の大きい酸化物を用いる。例えば、酸化物半導体膜 108a2 として、酸化物半導体膜 108a1 および酸化物半導体膜 108a3 よりも電子親和力の 0.07 eV 以上 1.3 eV 以下、好ましくは 0.1 eV 以上 0.7 eV 以下、さらに好ましくは 0.15 eV 以上 0.4 eV 以下大きい酸化物を用いる。なお、電子親和力は、真空準位と伝導帯下端のエネルギーとの差である。

10

【0079】

このとき、ゲート電極 114 に電界を印加すると、酸化物半導体膜 108a1、酸化物半導体膜 108a2、酸化物半導体膜 108a3 のうち、電子親和力の大きい酸化物半導体膜 108a2 にチャネルが形成される。

【0080】

また、トランジスタのオン電流のためには、酸化物半導体膜 108a3 の厚さは薄いほど好ましい。例えば、酸化物半導体膜 108a3 は、10 nm 未満、好ましくは 5 nm 以下、さらに好ましくは 3 nm 以下とする。一方、酸化物半導体膜 108a3 は、チャネルの形成される酸化物半導体膜 108a2 へ、ゲート絶縁膜 112 を構成する酸素以外の元素（シリコンなど）が入り込まないようにブロックする機能を有する。そのため、酸化物半導体膜 108a3 は、ある程度の厚さを有することが好ましい。例えば、酸化物半導体膜 108a3 の厚さは、0.3 nm 以上、好ましくは 1 nm 以上、さらに好ましくは 2 nm 以上とする。

20

【0081】

また、信頼性を高めるためには、酸化物半導体膜 108a1 は厚く、酸化物半導体膜 108a3 は薄いことが好ましい。具体的には、酸化物半導体膜 108a1 の厚さは、20 nm 以上、好ましくは 30 nm 以上、さらに好ましくは 40 nm 以上、より好ましくは 60 nm 以上とする。酸化物半導体膜 108a1 の厚さを、20 nm 以上、好ましくは 30 nm 以上、さらに好ましくは 40 nm 以上、より好ましくは 60 nm 以上とすることで、層間絶縁膜 106 と酸化物半導体膜 108a1 との界面からチャネルの形成される酸化物半導体膜 108a2 までを 20 nm 以上、好ましくは 30 nm 以上、さらに好ましくは 40 nm 以上、より好ましくは 60 nm 以上離すことができる。ただし、半導体装置の生産性が低下する場合があるため、酸化物半導体膜 108a1 の厚さは、200 nm 以下、好ましくは 120 nm 以下、さらに好ましくは 80 nm 以下とする。

30

【0082】

例えば、酸化物半導体膜 108a2 と酸化物半導体膜 108a1 との間におけるシリコン濃度を、SIMS において、 $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。また、酸化物半導体膜 108a2 と酸化物半導体膜 108a3 との間におけるシリコン濃度を、SIMS において、 $1 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 未満、さらに好ましくは $2 \times 10^{18} \text{ atoms/cm}^3$ 未満とする。

40

【0083】

また、酸化物半導体膜 108a2 の水素濃度を低減するために、酸化物半導体膜 108a1 および酸化物半導体膜 108a3 の水素濃度を低減すると好ましい。酸化物半導体膜 108a1 および酸化物半導体膜 108a3 の水素濃度は SIMS において、 $2 \times 10^{20} \text{ atoms/cm}^3$ 以下、好ましくは $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、より好ま

50

しくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下とする。また、酸化物半導体膜 108a2 の窒素濃度を低減するために、酸化物半導体膜 108a1 および酸化物半導体膜 108a3 の窒素濃度を低減すると好ましい。酸化物半導体膜 108a1 および酸化物半導体膜 108a3 の窒素濃度は、SIMS において、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

【0084】

上述の 3 層構造は一例である。例えば、酸化物半導体膜 108a1 または酸化物半導体膜 108a3 を設けない 2 層構造としても構わない。

10

【0085】

ソース電極 110a およびドレイン電極 110b には、酸化物半導体膜から酸素を引き抜く性質を有する導電膜を用いると好ましい。例えば、酸化物半導体膜から酸素を引き抜く性質を有する導電膜として、アルミニウム、チタン、クロム、ニッケル、モリブデン、タンタル、タングステンなどを含む導電膜が挙げられる。

【0086】

酸化物半導体膜から酸素を引き抜く性質を有する導電膜の作用により、酸化物半導体膜中の酸素が脱離し、酸化物半導体膜中に酸素欠損を形成する場合がある。酸素の引き抜きは、高い温度で加熱するほど起こりやすい。トランジスタの作製工程には、いくつかの加熱工程があることから、酸化物半導体膜のソース電極またはドレイン電極と接触した近傍の領域には酸素欠損が形成される可能性が高い。また、加熱により該酸素欠損のサイトに水素が入りこみ、酸化物半導体膜が n 型化する場合がある。したがって、ソース電極およびドレイン電極の作用により、酸化物半導体膜と、ソース電極またはドレイン電極と、が接する領域を低抵抗化させ、トランジスタのオン抵抗を低減することができる。

20

【0087】

なお、チャネル長が小さい（例えば 200 nm 以下、または 100 nm 以下）トランジスタを作製する場合、n 型化領域の形成によってソースドレイン間が短絡してしまうことがある。そのため、チャネル長が小さいトランジスタを形成する場合は、ソース電極およびドレイン電極に酸化物半導体膜から適度に酸素を引き抜く性質を有する導電膜を用いればよい。適度に酸素を引き抜く性質を有する導電膜としては、例えば、ニッケル、モリブデンまたはタングステンを含む導電膜などがある。

30

【0088】

また、チャネル長がごく小さい（例えば 40 nm 以下、または 30 nm 以下）トランジスタを作製する場合、ソース電極およびドレイン電極として、酸化物半導体膜からほとんど酸素を引き抜くことのない導電膜を用いればよい。酸化物半導体膜からほとんど酸素を引き抜くことのない導電膜としては、例えば、窒化タンタル、窒化チタン、またはルテニウムを含む導電膜などがある。なお、複数種の導電膜を積層しても構わない。

【0089】

ゲート絶縁膜 112 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウムおよび酸化タンタルを一種以上含む絶縁膜を用いればよい。また、ゲート絶縁膜 112 は上記材料の積層であってもよい。なお、ゲート絶縁膜 112 に、ランタン、窒素、ジルコニウムなどを、不純物として含んでいてもよい。

40

【0090】

ゲート電極 114 は、アルミニウム、チタン、クロム、コバルト、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、ルテニウム、銀、タンタル、タングステンなどから選ばれた一種以上を含む導電膜を用いればよい。

【0091】

酸化物絶縁膜 116 は、酸化アルミニウム、酸化マグネシウム、酸化シリコン、酸化窒

50

化シリコン、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジム、酸化ハフニウム、酸化タンタルなどから選ばれた一種以上含む絶縁膜を用いることができる。

【0092】

次に、トランジスタの作製方法について、図2乃至図4を用いて説明する。

【0093】

まず、基板100上に下地絶縁膜102を形成する（図2（A）参照）。

【0094】

下地絶縁膜102は、スパッタリング法、化学気相成長（CVD：Chemical Vapor Deposition）法、有機金属化学堆積（MOCVD：Metal Organic CVD）法、プラズマ化学気相堆積（PECVD：Plasma-Enhanced CVD）法、分子線エピタキシー（MBE：Molecular Beam Epitaxy）法、原子層堆積（ALD：Atomic Layer Deposition）法またはパルスレーザ堆積（PLD：Pulsed Laser Deposition）法を用いて成膜すればよい。プラズマによるダメージを減らすには、MOCVD法あるいはALD法が好ましい。

10

【0095】

次に、下地絶縁膜102の表面を平坦化するために、CMP処理を行ってもよい。CMP処理を行うことで、下地絶縁膜102の平均面粗さ（Ra）を1nm以下、好ましくは0.3nm以下、さらに好ましくは0.1nm以下とする。上述の数値以下のRaとすることで、酸化物半導体膜108aの結晶性が高くなる場合がある。Raは原子間力顕微鏡（AFM：Atomic Force Microscope）にて測定可能である。

20

【0096】

次に、下地絶縁膜102に酸素を添加することにより、過剰酸素を含む絶縁膜を形成しても構わない。酸素の添加は、プラズマ処理またはイオン注入法などにより行えばよい。酸素の添加をイオン注入法で行う場合、例えば、加速電圧を2kV以上100kV以下とし、ドーズ量を $5 \times 10^{14} \text{ ions/cm}^2$ 以上 $5 \times 10^{16} \text{ ions/cm}^2$ 以下とすればよい。

【0097】

次に、下地絶縁膜102上に導電膜104a、導電膜104bおよび導電膜104cを形成する（図2（B）参照）。導電膜104a、導電膜104bおよび導電膜104cはスパッタリング法、CVD法、MOCVD法、PECVD法、MBE法、ALD法またはPLD法を用いて成膜すればよく、ゲート電極114と同じ材料を用いることができる。プラズマによるダメージを減らすには、MOCVD法あるいはALD法が好ましい。

30

【0098】

次に、下地絶縁膜102、導電膜104a、導電膜104bおよび導電膜104c上に層間絶縁膜105を形成する（図2（C）参照）。層間絶縁膜105は、スパッタリング法、CVD法、MOCVD法、PECVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。プラズマによるダメージを減らすには、MOCVD法あるいはALD法が好ましい。層間絶縁膜105の表面を平坦化するために、CMP処理を行ってもよい。CMP処理を行うことで、層間絶縁膜105の平均面粗さ（Ra）を1nm以下、好ましくは0.3nm以下、さらに好ましくは0.1nm以下とする。上述の数値以下のRaとすることで、酸化物半導体膜108aの結晶性が高くなる場合がある。

40

【0099】

次に、層間絶縁膜105に導電膜104bに達する開口部120a、導電膜104cに達する開口部120bを形成し、層間絶縁膜106を形成する（図3（A）参照）。

【0100】

次に、層間絶縁膜106上に酸化物半導体膜108a、ブロッキング膜108bおよびブロッキング膜108cをスパッタリング法、CVD法、MOCVD法、PECVD法、MBE法、ALD法またはPLD法を用いて形成する（図3（B）参照）。プラズマによ

50

るダメージを減らすには、MOCVD法あるいはALD法が好ましい。このとき、層間絶縁膜106を適度にエッチングしてもよい。層間絶縁膜106を適度にエッチングすることで、後に形成するゲート電極114で酸化物半導体膜108aを覆いやすくすることができる。なお、トランジスタを微細化するために、酸化物半導体膜108a、ブロッキング膜108bおよびブロッキング膜108cの加工時にハードマスクを用いてもよい。

【0101】

また、酸化物半導体膜108aとして、酸化物半導体膜108a1、酸化物半導体膜108a2、および酸化物半導体膜108a3を含めた積層膜を形成する場合、各層を大気に触れさせることなく連続して成膜すると好ましい。

【0102】

不純物の混入を低減し、結晶性の高い酸化物半導体膜を形成するために、酸化物半導体膜108aは、基板温度を100℃以上、好ましくは150℃以上、さらに好ましくは200℃以上として成膜する。また、成膜ガスとして用いる酸素ガスやアルゴンガスは、露点が一40℃以下、好ましくは一80℃以下、より好ましくは一100℃以下にまで高純度化したガスを用いる。なお、不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを高純度真性または実質的に高純度真性と呼ぶ。

【0103】

酸化物半導体膜108a、ブロッキング膜108bおよびブロッキング膜108cの形成後に、第1の加熱処理を行ってもよい。第1の加熱処理は、250℃以上650℃以下、好ましくは300℃以上500℃以下の温度で、不活性ガス雰囲気、酸化性ガスを10ppm以上含む雰囲気、または減圧状態で行えばよい。また、第1の加熱処理の雰囲気は、不活性ガス雰囲気で加熱処理した後に、脱離した酸素を補うために酸化性ガスを10ppm以上含む雰囲気で行ってもよい。第1の加熱処理によって、酸化物半導体膜108aの結晶性を高め、さらに、酸化物半導体膜108a、下地絶縁膜102、層間絶縁膜106から水素や水などの不純物を除去することができる。

【0104】

なお、層間絶縁膜に開口部を形成してから酸化物半導体膜、ブロッキング膜を形成したがこれに限られず、酸化物半導体膜、ブロッキング膜を形成してから層間絶縁膜に開口部を形成してもよい。

【0105】

次に、層間絶縁膜106に設けられた開口部120aを介して導電膜104bと電氣的に接続し、かつ、酸化物半導体膜108aおよびブロッキング膜108b上のソース電極110a、および層間絶縁膜106に設けられた開口部120bを介して導電膜104cと電氣的に接続し、かつ、酸化物半導体膜108aおよびブロッキング膜108c上のドレイン電極110bを形成する（図3（C）参照）。ソース電極110aおよびドレイン電極110bは、スパッタリング法、CVD法、MOCVD法、PECVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。プラズマによるダメージを減らすには、MOCVD法あるいはALD法が好ましい。なお、ソース電極110aおよびドレイン電極110bとなる導電膜をエッチングする際、ソース電極110aおよびドレイン電極110bの上端部が丸みを帯びる（曲面を有する）場合がある。また、ソース電極110aおよびドレイン電極110bとなる導電膜をエッチングする際、層間絶縁膜106が適度にエッチングされていてもよい。

【0106】

次に、酸化物半導体膜108a上、ソース電極110a上およびドレイン電極110b上に、ゲート絶縁膜112を形成する（図4（A）参照）。ゲート絶縁膜112は、スパッタリング法、CVD法、MOCVD法、PECVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。プラズマによるダメージを減らすには、MOCVD法あるいはALD法が好ましい。

【0107】

次に、ゲート絶縁膜112上にゲート電極114を形成する（図4（B）参照）。

10

20

30

40

50

【0108】

次に、ゲート絶縁膜112およびゲート電極114上に酸化物絶縁膜116を形成する（図4（C）参照）。酸化物絶縁膜116は、スパッタリング法、CVD法、MBE法、ALD法またはPLD法を用いて成膜すればよい。

【0109】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、酸化物半導体膜108aの酸素欠損を低減することができる場合がある。

【0110】

以上の工程で、図1（A）および図1（B）に示すトランジスタを作製することができる。

10

【0111】

<トランジスタ構造の変形例>

また、図5（A）に示すトランジスタのようにソース電極110aおよびドレイン電極110bと電氣的に接続し、配線として機能する導電膜118aおよび導電膜118bを酸化物絶縁膜116上に設けてもよい。導電膜118aおよび導電膜118bは、他のトランジスタやキャパシタなどの素子と電氣的に接続されていてもよい。

【0112】

また、図5（B）に示すトランジスタのように酸化物半導体膜108aを3層構造にし、層間絶縁膜上に酸化物半導体膜108a1、酸化物半導体膜108a2、ブロッキング膜108b1、ブロッキング膜108b2、ブロッキング膜108c1、及び、ブロッキング膜108c2を設け、ソース電極およびドレイン電極上に酸化物半導体膜108a3を設ける構成にしてもよい。また、酸化物半導体膜108a3およびゲート絶縁膜は、ゲート電極をマスクにエッチングしてもよい。

20

【0113】

<トランジスタ構造の変形例>

また、図10に示すトランジスタのように酸化物半導体膜108a上にチャネル保護膜128を設けてもよい。チャネル保護膜128を設けることで酸化物半導体膜108aがエッチングガスに曝されず、酸化物半導体膜108aおよびチャネル保護膜128の間の不純物を低減できる。この結果、トランジスタのソース電極およびドレイン電極の間に流れるリーク電流を低減することができる。

30

【0114】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0115】

（実施の形態2）

本実施の形態では、実施の形態1とは異なる半導体装置について図面を用いて説明する。

【0116】

図6（A）および図6（B）は、本発明の一態様のトランジスタの上面図および断面図である。図6（A）は上面図であり、図6（A）に示す一点鎖線B1-B2の断面が図6（B）に相当する。なお、図6（A）の上面図では、図の明瞭化のために一部の要素を省いて図示している。また、一点鎖線B1-B2方向をチャネル長方向、一点鎖線B1-B2方向に垂直な方向をチャネル幅方向と呼称する場合がある。

40

【0117】

図6（A）および図6（B）に示すトランジスタ250は、基板100上の下地絶縁膜102と、下地絶縁膜102上のゲート電極114と、下地絶縁膜102およびゲート電極114上のゲート絶縁膜112と、ゲート絶縁膜112上のソース電極110aおよびドレイン電極110bと、ゲート絶縁膜112、ソース電極110aおよびドレイン電極110b上の酸化物半導体膜108aと、ソース電極110a上のブロッキング膜108

50

bと、ドレイン電極110b上のブロッキング膜108cと、ソース電極110a、ドレイン電極110b、酸化物半導体膜108a、ブロッキング膜108bおよびブロッキング膜108c上の層間絶縁膜106と、層間絶縁膜106上の導電膜104aと、層間絶縁膜106に設けられた開口部120aを介してソース電極110aと電氣的に接続し、かつ、層間絶縁膜106上の導電膜104bと、層間絶縁膜106に設けられた開口部120bを介してドレイン電極110bと電氣的に接続し、かつ、層間絶縁膜106上の導電膜104cと、を有する。

【0118】

ブロッキング膜108bは開口部120aより酸化物半導体膜108aに近い、つまり、ブロッキング膜108bと酸化物半導体膜108aとの距離は、開口部120aと酸化物半導体膜108aとの距離より短い。同様にブロッキング膜108cは開口部120bより酸化物半導体膜108aに近い、つまり、ブロッキング膜108cと酸化物半導体膜108aとの距離は、開口部120bと酸化物半導体膜108aとの距離より短い。

10

【0119】

ブロッキング膜を上記のように設けることで、他層から開口部を介して侵入する水素等の不純物をブロッキング膜で吸着させることで酸化物半導体膜中に不純物が侵入することを抑制する機能を有するため、半導体装置の電気特性の不良を抑制することができる。

【0120】

また、ブロッキング膜は酸化物半導体膜と同一材料を用いて同一表面上に形成することができる。このため、工程数が増えることなくブロッキング膜を形成することができる。これに限られず、ブロッキング膜は酸化物半導体膜、ソース電極（またはドレイン電極）と異なる材料であってもよい。

20

【0121】

ブロッキング膜は水素等の不純物を吸着させるため、酸化物半導体膜と比べて不純物濃度が高い。このため、ブロッキング膜は酸化物半導体膜と比べて導電性が高い。

【0122】

次に、トランジスタの作製方法について、図7乃至図9を用いて説明する。

【0123】

まず、基板100上に下地絶縁膜102を形成する（図7（A）参照）。下地絶縁膜102の材料および作製方法は実施の形態1を参照することができる。

30

【0124】

次に、下地絶縁膜102上にゲート電極114を形成する（図7（B）参照）。ゲート電極114の材料および作製方法は実施の形態1を参照することができる。

【0125】

次に、下地絶縁膜102およびゲート電極114上にゲート絶縁膜112を形成する（図7（C）参照）。ゲート絶縁膜112の材料および作製方法は実施の形態1を参照することができる。

【0126】

次に、ゲート絶縁膜112上にソース電極110aおよびドレイン電極110bを形成する（図8（A）参照）。ソース電極110aおよびドレイン電極110bの材料および作製方法は実施の形態1を参照することができる。

40

【0127】

次に、ゲート絶縁膜112、ソース電極110aおよびドレイン電極110b上に酸化物半導体膜108a、ブロッキング膜108bおよびブロッキング膜108cを形成する（図8（B）参照）。酸化物半導体膜108a、ブロッキング膜108bおよびブロッキング膜108cの材料および作製方法は実施の形態1を参照することができる。

【0128】

また、酸化物半導体膜108aとして、酸化物半導体膜108a1、酸化物半導体膜108a2、および酸化物半導体膜108a3を含めた積層膜を形成する場合、各層を大気に触れさせることなく連続して成膜すると好ましい。

50

【0129】

酸化物半導体膜108a、ブロッキング膜108bおよびブロッキング膜108cの形成後に、第1の加熱処理を行ってもよい。第1の加熱処理の詳細は実施の形態1を参照することができる。

【0130】

次に、酸化物半導体膜108a、ブロッキング膜108b、ブロッキング膜108c、ソース電極110aおよびドレイン電極110b上に層間絶縁膜105を形成する（図8（C）参照）。層間絶縁膜105の材料および作製方法は実施の形態1を参照することができる。

【0131】

次に、層間絶縁膜105にソース電極110aに達する開口部120a、ドレイン電極110bに達する開口部120bを形成し、層間絶縁膜106を形成する（図9（A）参照）。

【0132】

次に、層間絶縁膜106上の導電膜104aと、層間絶縁膜106に設けられた開口部120aを介してソース電極110aと電氣的に接続し、かつ、層間絶縁膜106上の導電膜104bと、層間絶縁膜106に設けられた開口部120bを介してドレイン電極110bと電氣的に接続し、かつ、層間絶縁膜106上の導電膜104cと、を形成する（図9（B）参照）。導電膜104a、導電膜104bおよび導電膜104cは、実施の形態1を参照することができる。

【0133】

次に、第2の加熱処理を行ってもよい。第2の加熱処理は、第1の加熱処理と同様の条件で行うことができる。第2の加熱処理により、酸化物半導体膜108aの酸素欠損を低減することができる場合がある。

【0134】

以上の工程で、図6に示すトランジスタを作製することができる。

【0135】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0136】

（実施の形態3）

本実施の形態では、本発明の一態様のトランジスタを利用した回路の一例について図面を参照して説明する。

【0137】

〔断面構造〕

図11（A）に本発明の一態様の半導体装置の断面図を示す。図11（A）に示す半導体装置は、下部に第1の半導体材料を用いたトランジスタ2200を有し、上部に第2の半導体材料を用いたトランジスタ2100を有している。図11（A）では、第2の半導体材料を用いたトランジスタ2100として、実施の形態1で例示したトランジスタを適用した例を示している。

【0138】

第1の半導体材料と第2の半導体材料は異なる禁制帯幅を持つ材料とすることが好ましい。例えば、第1の半導体材料を酸化物半導体以外の半導体材料（シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素など）とし、第2の半導体材料を酸化物半導体とすることができる。酸化物半導体以外の材料として単結晶シリコンなどを用いたトランジスタは、高速動作が容易である。一方で、酸化物半導体を用いたトランジスタは、オフ電流が低い。

【0139】

トランジスタ2200は、nチャネル型のトランジスタまたはpチャネル型のトランジスタのいずれであってもよく、回路によって適切なトランジスタを用いればよい。また、

10

20

30

40

50

酸化物半導体を用いた本発明の一態様のトランジスタを用いるほかは、用いる材料や構造など、半導体装置の具体的な構成をここで示すものに限定する必要はない。

【0140】

図11(A)に示す構成では、トランジスタ2200の上部に、絶縁膜2201、絶縁膜2207を介してトランジスタ2100が設けられている。また、トランジスタ2200とトランジスタ2100の間には、複数の配線2202が設けられている。また、各種絶縁膜に埋め込まれた複数のプラグ2203により、上層と下層にそれぞれ設けられた配線や電極が電氣的に接続されている。また、トランジスタ2100を覆う絶縁膜2204と、絶縁膜2204上に配線2205と、トランジスタ2100の一对の電極と同一の導電膜を加工して得られた配線2206と、が設けられている。

10

【0141】

このように、2種類のトランジスタを積層することにより、回路の占有面積が低減され、より高密度に複数の回路を配置することができる。

【0142】

ここで、下層に設けられるトランジスタ2200にシリコン系半導体材料を用いた場合、トランジスタ2200の半導体膜の近傍に設けられる絶縁膜中の水素はシリコンのダングリングボンドを終端し、トランジスタ2200の信頼性を向上させる効果がある。一方、上層に設けられるトランジスタ2100に酸化物半導体を用いた場合、トランジスタ2100の半導体膜の近傍に設けられる絶縁膜中の水素は、酸化物半導体中にキャリアを生成する要因の一つとなるため、トランジスタ2100の信頼性を低下させる要因となる場合がある。したがって、シリコン系半導体材料を用いたトランジスタ2200の上層に酸化物半導体を用いたトランジスタ2100を積層して設ける場合、これらの間に水素の拡散を防止する機能を有する絶縁膜2207を設けることは特に効果的である。絶縁膜2207により、下層に水素を閉じ込めることでトランジスタ2200の信頼性が向上することに加え、下層から上層に水素が拡散することが抑制されることでトランジスタ2100の信頼性も同時に向上させることができる。

20

【0143】

絶縁膜2207としては、例えば酸化アルミニウム、酸化窒化アルミニウム、酸化ガリウム、酸化窒化ガリウム、酸化イットリウム、酸化窒化イットリウム、酸化ハフニウム、酸化窒化ハフニウム、イットリア安定化ジルコニア(YSZ)等を用いることができる。

30

【0144】

また、酸化物半導体膜を含んで構成されるトランジスタ2100を覆うように、トランジスタ2100上に水素の拡散を防止する機能を有する絶縁膜2208を形成することが好ましい。絶縁膜2208としては、絶縁膜2207と同様の材料を用いることができ、特に酸化アルミニウムを適用することが好ましい。酸化アルミニウム膜は、水素、水分などの不純物および酸素の双方に対して膜を透過させない遮断(ブロッキング)効果が高い。したがって、トランジスタ2100を覆う絶縁膜2208として酸化アルミニウム膜を用いることで、トランジスタ2100に含まれる酸化物半導体膜からの酸素の脱離を防止するとともに、酸化物半導体膜への水および水素の混入を防止することができる。

40

【0145】

〔回路構成例〕

上記構成において、トランジスタ2100やトランジスタ2200の電極の接続構成を異ならせることにより、様々な回路を構成することができる。以下では、本発明の一態様の半導体装置を用いることにより実現できる回路構成の例を説明する。

【0146】

〔CMOS回路〕

図11(B)に示す回路図は、pチャネル型のトランジスタ2200とnチャネル型のトランジスタ2100を直列に接続し、且つそれぞれのゲートを接続した、いわゆるCMOS回路の構成を示している。

【0147】

50

〔アナログスイッチ〕

また、図 1 1 (C) に示す回路図は、トランジスタ 2 1 0 0 とトランジスタ 2 2 0 0 のそれぞれのソースとドレインを接続した構成を示している。このような構成とすることで、いわゆるアナログスイッチとして機能させることができる。

【0 1 4 8】

〔記憶装置の例〕

本発明の一態様であるトランジスタを使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限が無い半導体装置（記憶装置）の一例を図 1 2 に示す。

【0 1 4 9】

図 1 2 (A) に示す半導体装置は、第 1 の半導体材料を用いたトランジスタ 3 2 0 0 と第 2 の半導体材料を用いたトランジスタ 3 3 0 0、および容量素子 3 4 0 0 を有している。なお、トランジスタ 3 3 0 0 としては、上記実施の形態で説明したトランジスタを用いることができる。

【0 1 5 0】

トランジスタ 3 3 0 0 は、酸化物半導体を有する半導体膜にチャネルが形成されるトランジスタである。トランジスタ 3 3 0 0 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、或いは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0 1 5 1】

図 1 2 (A) において、第 1 の配線 3 0 0 1 はトランジスタ 3 2 0 0 のソース電極と電氣的に接続され、第 2 の配線 3 0 0 2 はトランジスタ 3 2 0 0 のドレイン電極と電氣的に接続されている。また、第 3 の配線 3 0 0 3 はトランジスタ 3 3 0 0 のソース電極またはドレイン電極の一方と電氣的に接続され、第 4 の配線 3 0 0 4 はトランジスタ 3 3 0 0 のゲート電極と電氣的に接続されている。そして、トランジスタ 3 2 0 0 のゲート電極、およびトランジスタ 3 3 0 0 のソース電極またはドレイン電極の他方は、容量素子 3 4 0 0 の電極の一方と電氣的に接続され、第 5 の配線 3 0 0 5 は容量素子 3 4 0 0 の電極の他方と電氣的に接続されている。

【0 1 5 2】

図 1 2 (A) に示す半導体装置では、トランジスタ 3 2 0 0 のゲート電極の電位が保持可能という特徴を活かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0 1 5 3】

情報の書き込みおよび保持について説明する。まず、第 4 の配線 3 0 0 4 の電位を、トランジスタ 3 3 0 0 がオン状態となる電位にして、トランジスタ 3 3 0 0 をオン状態とする。これにより、第 3 の配線 3 0 0 3 の電位が、トランジスタ 3 2 0 0 のゲート電極、および容量素子 3 4 0 0 に与えられる。すなわち、トランジスタ 3 2 0 0 のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下 L o w レベル電荷、H i g h レベル電荷という）のいずれかが与えられるものとする。その後、第 4 の配線 3 0 0 4 の電位を、トランジスタ 3 3 0 0 がオフ状態となる電位にして、トランジスタ 3 3 0 0 をオフ状態とすることにより、トランジスタ 3 2 0 0 のゲート電極に与えられた電荷が保持される（保持）。

【0 1 5 4】

トランジスタ 3 3 0 0 のオフ電流は極めて小さいため、トランジスタ 3 2 0 0 のゲート電極の電荷は長時間にわたって保持される。

【0 1 5 5】

次に情報の読み出しについて説明する。第 1 の配線 3 0 0 1 に所定の電位（定電位）を与えた状態で、第 5 の配線 3 0 0 5 に適切な電位（読み出し電位）を与えると、トランジスタ 3 2 0 0 のゲート電極に保持された電荷量に応じて、第 2 の配線 3 0 0 2 は異なる電

10

20

30

40

50

位をとる。一般に、トランジスタ3200をnチャネル型とすると、トランジスタ3200のゲート電極にHighレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ3200のゲート電極にLowレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ3200を「オン状態」とするために必要な第5の配線3005の電位をいうものとする。したがって、第5の配線3005の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ3200のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、Highレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (> V_{th_H})$ となれば、トランジスタ3200は「オン状態」となる。Lowレベル電荷が与えられていた場合には、第5の配線3005の電位が $V_0 (< V_{th_L})$ となっても、トランジスタ3200は「オフ状態」のままである。このため、第2の配線3002の電位を判別することで、保持されている情報を読み出すことができる。

10

【0156】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ3200が「オフ状態」となるような電位、つまり、 V_{th_H} より小さい電位を第5の配線3005に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ3200が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線3005に与えればよい。

20

【0157】

図12(B)に示す半導体装置は、トランジスタ3200を設けていない点で主に図12(A)と相違している。この場合も上記と同様の動作により情報の書き込みおよび保持動作が可能である。

【0158】

次に、情報の読み出しについて説明する。トランジスタ3300がオン状態となると、浮遊状態である第3の配線3003と容量素子3400とが導通し、第3の配線3003と容量素子3400の間で電荷が再分配される。その結果、第3の配線3003の電位が変化する。第3の配線3003の電位の変化量は、容量素子3400の電極の一方の電位（あるいは容量素子3400に蓄積された電荷）によって、異なる値をとる。

30

【0159】

例えば、容量素子3400の電極の一方の電位を V 、容量素子3400の容量を C 、第3の配線3003が有する容量成分を C_B 、電荷が再分配される前の第3の配線3003の電位を V_{B0} とすると、電荷が再分配された後の第3の配線3003の電位は、 $(C_B \times V_{B0} + C \times V) / (C_B + C)$ となる。したがって、メモリセルの状態として、容量素子3400の電極の一方の電位が V_1 と V_0 ($V_1 > V_0$) の2状態をとるとすると、電位 V_1 を保持している場合の第3の配線3003の電位 ($= (C_B \times V_{B0} + C \times V_1) / (C_B + C)$) は、電位 V_0 を保持している場合の第3の配線3003の電位 ($= (C_B \times V_{B0} + C \times V_0) / (C_B + C)$) よりも高くなることがわかる。

【0160】

そして、第3の配線3003の電位を所定の電位と比較することで、情報を読み出すことができる。

40

【0161】

この場合、メモリセルを駆動させるための駆動回路に上記第1の半導体材料が適用されたトランジスタを用い、トランジスタ3300として第2の半導体材料が適用されたトランジスタを駆動回路上に積層して設ける構成とすればよい。

【0162】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ

50

動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

【0163】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁膜の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

10

【0164】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0165】

（実施の形態4）

本実施の形態では、先の実施の形態で説明したトランジスタ、または記憶装置を含むRFタグについて、図13を参照して説明する。

【0166】

本実施の形態におけるRFタグは、内部に記憶回路を有し、記憶回路に必要な情報を記憶し、非接触手段、例えば無線通信を用いて外部と情報の授受を行うものである。このような特徴から、RFタグは、物品などの個体情報を読み取ることにより物品の識別を行う個体認証システムなどに用いることが可能である。なお、これらの用途に用いるためには極めて高い信頼性が要求される。

20

【0167】

RFタグの構成について図13を用いて説明する。図13は、RFタグの構成例を示すブロック図である。

【0168】

図13に示すようにRFタグ800は、通信器801（質問器、リーダ／ライタなどともいう）に接続されたアンテナ802から送信される無線信号803を受信するアンテナ804を有する。また、RFタグ800は、整流回路805、定電圧回路806、復調回路807、変調回路808、論理回路809、記憶回路810、ROM811を有している。なお、復調回路807に含まれる整流作用を示すトランジスタに逆方向電流を十分に抑制することが可能な材料、例えば、酸化物半導体、が用いられた構成としてもよい。これにより、逆方向電流に起因する整流作用の低下を抑制し、復調回路の出力が飽和することを防止できる。つまり、復調回路の入力に対する復調回路の出力を線形に近づけることができる。なお、データの伝送形式は、一対のコイルを対向配置して相互誘導によって交信を行う電磁結合方式、誘導電磁界によって交信する電磁誘導方式、電波を利用して交信する電波方式の3つに大別される。本実施の形態に示すRFタグ800は、そのいずれの方式に用いることも可能である。

30

40

【0169】

次に各回路の構成について説明する。アンテナ804は、通信器801に接続されたアンテナ802との間で無線信号803の送受信を行うためのものである。また、整流回路805は、アンテナ804で無線信号を受信することにより生成される入力交流信号を整流、例えば、半波2倍圧整流し、後段に設けられた容量素子により、整流された信号を平滑化することで入力電位を生成するための回路である。なお、整流回路805の入力側または出力側には、リミッタ回路を設けてもよい。リミッタ回路とは、入力交流信号の振幅が大きく、内部生成電圧が大きい場合に、ある電力以上の電力を後段の回路に入力しないように制御するための回路である。

【0170】

50

定電圧回路 806 は、入力電位から安定した電源電圧を生成し、各回路に供給するための回路である。なお、定電圧回路 806 は、内部にリセット信号生成回路を有していてもよい。リセット信号生成回路は、安定した電源電圧の立ち上がりを利用して、論理回路 809 のリセット信号を生成するための回路である。

【0171】

復調回路 807 は、入力交流信号を包絡線検出することにより復調し、復調信号を生成するための回路である。また、変調回路 808 は、アンテナ 804 より出力するデータに応じて変調を行うための回路である。

【0172】

論理回路 809 は復調信号を解析し、処理を行うための回路である。記憶回路 810 は、入力された情報を保持する回路であり、ロウデコーダ、カラムデコーダ、記憶領域などを有する。また、ROM 811 は、固有番号 (ID) などを格納し、処理に応じて出力を行うための回路である。

【0173】

なお、上述の各回路は、必要に応じて、適宜、取捨することができる。

【0174】

ここで、先の実施の形態で説明した記憶装置を、記憶回路 810 に用いることができる。本発明の一態様の記憶装置は、電源が遮断された状態であっても情報を保持できるため、RF タグに好適に用いることができる。さらに本発明の一態様の記憶装置は、データの書き込みに必要な電力 (電圧) が従来の不揮発性メモリに比べて著しく小さいため、データの読み出し時と書き込み時の最大通信距離の差を生じさせないことも可能である。さらに、データの書き込み時に電力が不足し、誤動作または誤書き込みが生じることを抑制することができる。

【0175】

また、本発明の一態様の記憶装置は、不揮発性のメモリとして用いることが可能であるため、ROM 811 に適用することもできる。その場合には、生産者が ROM 811 にデータを書き込むためのコマンドを別途用意し、ユーザが自由に書き換えできないようにしておくことが好ましい。生産者が出荷前に固有番号を書き込んだのちに製品を出荷することで、作製した RF タグすべてについて固有番号を付与するのではなく、出荷する良品にのみ固有番号を割り当てることが可能となり、出荷後の製品の固有番号が不連続になることがなく出荷後の製品に対応した顧客管理が容易となる。

【0176】

本実施の形態は、少なくともその一部を本明細書中に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0177】

(実施の形態 5)

本実施の形態では、少なくとも上記の実施の形態で説明したトランジスタを用いることができ、先の実施の形態で説明した記憶装置を含む CPU について説明する。

【0178】

図 14 は、先の実施の形態で説明したトランジスタを少なくとも一部に用いた CPU の一例の構成を示すブロック図である。

【0179】

図 14 に示す CPU は、基板 1190 上に、ALU 1191 (ALU: Arithmetic logic unit、演算回路)、ALU コントローラ 1192、インストラクションデコーダ 1193、インタラプトコントローラ 1194、タイミングコントローラ 1195、レジスタ 1196、レジスタコントローラ 1197、バスインターフェース 1198 (Bus I/F)、書き換え可能な ROM 1199、および ROM インターフェース 1189 (ROM I/F) を有している。基板 1190 は、半導体基板、SOI 基板、ガラス基板などを用いる。ROM 1199 および ROM インターフェース 1189 は、別チップに設けてもよい。もちろん、図 14 に示す CPU は、その構成を簡略化して

示した一例にすぎず、実際のCPUはその用途によって多種多様な構成を有している。例えば、図14に示すCPUまたは演算回路を含む構成を一つのコアとし、当該コアを複数含み、それぞれのコアが並列で動作するような構成としてもよい。また、CPUが内部演算回路やデータバスで扱えるビット数は、例えば8ビット、16ビット、32ビット、64ビットなどとすることができる。

【0180】

バスインターフェース1198を介してCPUに入力された命令は、インストラクションデコーダ1193に入力され、デコードされた後、ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195に入力される。

10

【0181】

ALUコントローラ1192、インタラプトコントローラ1194、レジスタコントローラ1197、タイミングコントローラ1195は、デコードされた命令に基づき、各種制御を行なう。具体的にALUコントローラ1192は、ALU1191の動作を制御するための信号を生成する。また、インタラプトコントローラ1194は、CPUのプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタコントローラ1197は、レジスタ1196のアドレスを生成し、CPUの状態に応じてレジスタ1196の読み出しや書き込みを行う。

【0182】

また、タイミングコントローラ1195は、ALU1191、ALUコントローラ1192、インストラクションデコーダ1193、インタラプトコントローラ1194、およびレジスタコントローラ1197の動作のタイミングを制御する信号を生成する。例えばタイミングコントローラ1195は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。

20

【0183】

図14に示すCPUでは、レジスタ1196に、メモリセルが設けられている。レジスタ1196のメモリセルとして、先の実施の形態に示したトランジスタを用いることができる。

【0184】

図14に示すCPUにおいて、レジスタコントローラ1197は、ALU1191からの指示に従い、レジスタ1196における保持動作の選択を行う。すなわち、レジスタ1196が有するメモリセルにおいて、フリップフロップによるデータの保持を行うか、容量素子によるデータの保持を行うかを、選択する。フリップフロップによるデータの保持が選択されている場合、レジスタ1196内のメモリセルへの、電源電圧の供給が行われる。容量素子におけるデータの保持が選択されている場合、容量素子へのデータの書き換えが行われ、レジスタ1196内のメモリセルへの電源電圧の供給を停止することができる。

30

【0185】

図15は、レジスタ1196として用いることのできる記憶素子の回路図の一例である。記憶素子1200は、電源遮断で記憶データが揮発する回路1201と、電源遮断で記憶データが揮発しない回路1202と、スイッチ1203と、スイッチ1204と、論理素子1206と、容量素子1207と、選択機能を有する回路1220と、を有する。回路1202は、容量素子1208と、トランジスタ1209と、トランジスタ1210と、を有する。なお、記憶素子1200は、必要に応じて、ダイオード、抵抗素子、インダクタなどのその他の素子をさらに有していても良い。

40

【0186】

ここで、回路1202には、先の実施の形態で説明した記憶装置を用いることができる。記憶素子1200への電源電圧の供給が停止した際、回路1202のトランジスタ1209のゲートには接地電位(0V)、またはトランジスタ1209がオフする電位が入力

50

され続ける構成とする。例えば、トランジスタ 1209 のゲートが抵抗等の負荷を介して接地される構成とする。

【0187】

スイッチ 1203 は、一導電型（例えば、n チャンネル型）のトランジスタ 1213 を用いて構成され、スイッチ 1204 は、一導電型とは逆の導電型（例えば、p チャンネル型）のトランジスタ 1214 を用いて構成した例を示す。ここで、スイッチ 1203 の第 1 の端子はトランジスタ 1213 のソースとドレインの一方に対応し、スイッチ 1203 の第 2 の端子はトランジスタ 1213 のソースとドレインの他方に対応し、スイッチ 1203 はトランジスタ 1213 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1213 のオン状態またはオフ状態）が選択される。スイッチ 1204 の第 1 の端子はトランジスタ 1214 のソースとドレインの一方に対応し、スイッチ 1204 の第 2 の端子はトランジスタ 1214 のソースとドレインの他方に対応し、スイッチ 1204 はトランジスタ 1214 のゲートに入力される制御信号 RD によって、第 1 の端子と第 2 の端子の間の導通または非導通（つまり、トランジスタ 1214 のオン状態またはオフ状態）が選択される。

10

【0188】

トランジスタ 1209 のソースとドレインの一方は、容量素子 1208 の一対の電極のうち的一方、およびトランジスタ 1210 のゲートと電氣的に接続される。ここで、接続部分をノード M2 とする。トランジスタ 1210 のソースとドレインの一方は、低電源電位を供給することのできる配線（例えば GND 線）に電氣的に接続され、他方は、スイッチ 1203 の第 1 の端子（トランジスタ 1213 のソースとドレインの一方）と電氣的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）はスイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と電氣的に接続される。スイッチ 1204 の第 2 の端子（トランジスタ 1214 のソースとドレインの他方）は電源電位 VDD を供給することのできる配線と電氣的に接続される。スイッチ 1203 の第 2 の端子（トランジスタ 1213 のソースとドレインの他方）と、スイッチ 1204 の第 1 の端子（トランジスタ 1214 のソースとドレインの一方）と、論理素子 1206 の入力端子と、容量素子 1207 の一対の電極のうち的一方と、は電氣的に接続される。ここで、接続部分をノード M1 とする。容量素子 1207 の一対の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができる。容量素子 1207 の一対の電極のうち他方は、低電源電位を供給することのできる配線（例えば GND 線）と電氣的に接続される。容量素子 1208 の一対の電極のうち他方は、一定の電位が入力される構成とすることができる。例えば、低電源電位（GND 等）または高電源電位（VDD 等）が入力される構成とすることができる。容量素子 1208 の一対の電極のうち他方は、低電源電位を供給することのできる配線（例えば GND 線）と電氣的に接続される。

20

30

【0189】

なお、容量素子 1207 および容量素子 1208 は、トランジスタや配線の寄生容量等を積極的に利用することによって省略することも可能である。

40

【0190】

トランジスタ 1209 の第 1 ゲート（第 1 のゲート電極）には、制御信号 WE が入力される。スイッチ 1203 およびスイッチ 1204 は、制御信号 WE とは異なる制御信号 RD によって第 1 の端子と第 2 の端子の間の導通状態または非導通状態を選択され、一方のスイッチの第 1 の端子と第 2 の端子の間が導通状態のとき他方のスイッチの第 1 の端子と第 2 の端子の間は非導通状態となる。

【0191】

トランジスタ 1209 のソースとドレインの他方には、回路 1201 に保持されたデータに対応する信号が入力される。図 15 では、回路 1201 から出力された信号が、トランジスタ 1209 のソースとドレインの他方に入力される例を示した。スイッチ 1203

50

の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206によってその論理値が反転された反転信号となり、回路1220を介して回路1201に入力される。

【0192】

なお、図15では、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号は、論理素子1206および回路1220を介して回路1201に入力する例を示したがこれに限定されない。スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号が、論理値を反転させられることなく、回路1201に入力されてもよい。例えば、回路1201内に、入力端子から入力された信号の論理値が反転した信号が保持されるノードが存在する場合に、スイッチ1203の第2の端子（トランジスタ1213のソースとドレインの他方）から出力される信号を当該ノードに入力することができる。

10

【0193】

また、図15において、記憶素子1200に用いられるトランジスタのうち、トランジスタ1209以外のトランジスタは、酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることができる。例えば、シリコン層またはシリコン基板にチャネルが形成されるトランジスタとすることができる。また、記憶素子1200に用いられるトランジスタ全てを、チャネルが酸化物半導体膜で形成されるトランジスタとすることもできる。または、記憶素子1200は、トランジスタ1209以外にも、チャネルが酸化物半導体膜で形成されるトランジスタを含んでいてもよく、残りのトランジスタは酸化物半導体以外の半導体でなる層または基板1190にチャネルが形成されるトランジスタとすることもできる。

20

【0194】

図15における回路1201には、例えばフリップフロップ回路を用いることができる。また、論理素子1206としては、例えばインバータやクロックドインバータ等を用いることができる。

【0195】

本発明の一態様における半導体装置では、記憶素子1200に電源電圧が供給されない間は、回路1201に記憶されていたデータを、回路1202に設けられた容量素子1208によって保持することができる。

30

【0196】

また、酸化物半導体膜にチャネルが形成されるトランジスタはオフ電流が極めて小さい。例えば、酸化物半導体膜にチャネルが形成されるトランジスタのオフ電流は、結晶性を有するシリコンにチャネルが形成されるトランジスタのオフ電流に比べて著しく低い。そのため、当該トランジスタをトランジスタ1209として用いることによって、記憶素子1200に電源電圧が供給されない間も容量素子1208に保持された信号は長期間にわたり保たれる。こうして、記憶素子1200は電源電圧の供給が停止した間も記憶内容（データ）を保持することが可能である。

【0197】

また、スイッチ1203およびスイッチ1204を設けることによって、プリチャージ動作を行うことを特徴とする記憶素子であるため、電源電圧供給再開後に、回路1201が元のデータを保持しなおすまでの時間を短くすることができる。

40

【0198】

また、回路1202において、容量素子1208によって保持された信号はトランジスタ1210のゲートに入力される。そのため、記憶素子1200への電源電圧の供給が再開された後、容量素子1208によって保持された信号を、トランジスタ1210の状態（オン状態、またはオフ状態）に変換して、回路1202から読み出すことができる。それ故、容量素子1208に保持された信号に対応する電位が多少変動していても、元の信号を正確に読み出すことが可能である。

【0199】

50

このような記憶素子1200を、プロセッサが有するレジスタやキャッシュメモリなどの記憶装置に用いることで、電源電圧の供給停止による記憶装置内のデータの消失を防ぐことができる。また、電源電圧の供給を再開した後、短時間で電源供給停止前の状態に復帰することができる。よって、プロセッサ全体、もしくはプロセッサを構成する一つ、または複数の論理回路において、短い時間でも電源停止を行うことができるため、消費電力を抑えることができる。

【0200】

本実施の形態では、記憶素子1200をCPUに用いる例として説明したが、記憶素子1200は、DSP (Digital Signal Processor)、カスタムLSI、PLD (Programmable Logic Device) 等のLSI、RF (Radio Frequency) デバイスにも応用可能である。

10

【0201】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0202】

(実施の形態6)

本実施の形態では、本発明の一態様の表示パネルの構成例について説明する。

【0203】

[構成例]

図19(A)は、本発明の一態様の表示パネルの上面図であり、図19(B)は、本発明の一態様の表示パネルの画素に液晶素子を適用する場合に用いることができる画素回路を説明するための回路図である。また、図19(C)は、本発明の一態様の表示パネルの画素に有機EL素子を適用する場合に用いることができる画素回路を説明するための回路図である。

20

【0204】

画素部に配置するトランジスタは、上記実施の形態に従って形成することができる。また、当該トランジスタはnチャネル型とすることが容易なので、駆動回路のうち、nチャネル型トランジスタで構成することができる駆動回路の一部を画素部のトランジスタと同一基板上に形成する。このように、画素部や駆動回路に上記実施の形態に示すトランジスタを用いることにより、信頼性の高い表示装置を提供することができる。

30

【0205】

アクティブマトリクス型表示装置のブロック図の一例を図19(A)に示す。表示装置の基板700上には、画素部701、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704を有する。画素部701には、複数の信号線が信号線駆動回路704から延伸して配置され、複数の走査線が第1の走査線駆動回路702、及び第2の走査線駆動回路703から延伸して配置されている。なお走査線と信号線との交差領域には、各々、表示素子を有する画素がマトリクス状に設けられている。また、表示装置の基板700はFPC (Flexible Printed Circuit) 等の接続部を介して、タイミング制御回路(コントローラ、制御ICともいう)に接続されている。

40

【0206】

図19(A)では、第1の走査線駆動回路702、第2の走査線駆動回路703、信号線駆動回路704は、画素部701と同じ基板700上に形成される。そのため、外部に設ける駆動回路等の部品の数が減るので、コストの低減を図ることができる。また、基板700外部に駆動回路を設けた場合、配線を延伸させる必要が生じ、配線間の接続数が増える。同じ基板700上に駆動回路を設けた場合、その配線間の接続数を減らすことができ、信頼性の向上、又は歩留まりの向上を図ることができる。

【0207】

[液晶パネル]

また、画素の回路構成の一例を図19(B)に示す。ここでは、VA型液晶表示パネル

50

の画素に適用することができる画素回路を示す。

【0208】

この画素回路は、一つの画素に複数の画素電極層を有する構成に適用できる。それぞれの画素電極層は異なるトランジスタに接続され、各トランジスタは異なるゲート信号で駆動できるように構成されている。これにより、マルチドメイン設計された画素の個々の画素電極層に印加する信号を、独立して制御できる。

【0209】

トランジスタ716のゲート配線712と、トランジスタ717のゲート配線713には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能するソース電極層又はドレイン電極層714は、トランジスタ716とトランジスタ717で共通に用いられている。トランジスタ716とトランジスタ717は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い液晶表示パネルを提供することができる。

10

【0210】

トランジスタ716と電氣的に接続する第1の画素電極層と、トランジスタ717と電氣的に接続する第2の画素電極層の形状について説明する。第1の画素電極層と第2の画素電極層の形状は、スリットによって分離されている。第1の画素電極層はV字型に広がる形状を有し、第2の画素電極層は第1の画素電極層の外側を囲むように形成される。

【0211】

トランジスタ716のゲート電極はゲート配線712と接続され、トランジスタ717のゲート電極はゲート配線713と接続されている。ゲート配線712とゲート配線713に異なるゲート信号を与えてトランジスタ716とトランジスタ717の動作タイミングを異ならせ、液晶の配向を制御できる。

20

【0212】

また、容量配線710と、誘電体として機能するゲート絶縁膜と、第1の画素電極層または第2の画素電極層と電氣的に接続する容量電極とで保持容量を形成してもよい。

【0213】

マルチドメイン構造は、一画素に第1の液晶素子718と第2の液晶素子719を備える。第1の液晶素子718は第1の画素電極層と対向電極層とその間の液晶層とで構成され、第2の液晶素子719は第2の画素電極層と対向電極層とその間の液晶層とで構成される。

30

【0214】

なお、図19(B)に示す画素回路は、これに限定されない。例えば、図19(B)に示す画素に新たにスイッチ、抵抗素子、容量素子、トランジスタ、センサ、又は論理回路などを追加してもよい。

【0215】

〔有機ELパネル〕

画素の回路構成の他の一例を図19(C)に示す。ここでは、有機EL素子を用いた表示パネルの画素構造を示す。

【0216】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極の一方から電子が、他方から正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、電子および正孔が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

40

【0217】

図19(C)は、適用可能な画素回路の一例を示す図である。ここではnチャネル型のトランジスタを1つの画素に2つ用いる例を示す。なお、本発明の一態様の金属酸化物膜は、nチャネル型のトランジスタのチャネル形成領域に用いることができる。また、当該画素回路は、デジタル時間階調駆動を適用することができる。

50

【0218】

適用可能な画素回路の構成及びデジタル時間階調駆動を適用した場合の画素の動作について説明する。

【0219】

画素720は、スイッチング用トランジスタ721、駆動用トランジスタ722、発光素子724及び容量素子723を有している。スイッチング用トランジスタ721は、ゲート電極層が走査線726に接続され、第1電極（ソース電極層及びドレイン電極層の一方）が信号線725に接続され、第2電極（ソース電極層及びドレイン電極層の他方）が駆動用トランジスタ722のゲート電極層に接続されている。駆動用トランジスタ722は、ゲート電極層が容量素子723を介して電源線727に接続され、第1電極が電源線727に接続され、第2電極が発光素子724の第1電極（画素電極）に接続されている。発光素子724の第2電極は共通電極728に相当する。共通電極728は、同一基板上に形成される共通電位線と電氣的に接続される。

10

【0220】

スイッチング用トランジスタ721および駆動用トランジスタ722は上記実施の形態で説明するトランジスタを適宜用いることができる。これにより、信頼性の高い有機EL表示パネルを提供することができる。

【0221】

発光素子724の第2電極（共通電極728）の電位は低電源電位に設定する。なお、低電源電位とは、電源線727に設定される高電源電位より低い電位であり、例えばGND、0Vなどを低電源電位として設定することができる。発光素子724の順方向のしきい値電圧以上となるように高電源電位と低電源電位を設定し、その電位差を発光素子724に印加することにより、発光素子724に電流を流して発光させる。なお、発光素子724の順方向電圧とは、所望の輝度とする場合の電圧を指しており、少なくとも順方向しきい値電圧を含む。

20

【0222】

なお、容量素子723は駆動用トランジスタ722のゲート容量を代用することにより省略できる。駆動用トランジスタ722のゲート容量については、チャンネル形成領域とゲート電極層との間で容量が形成されていてもよい。

【0223】

次に、駆動用トランジスタ722に入力する信号について説明する。電圧入力電圧駆動方式の場合、駆動用トランジスタ722が十分にオンするか、オフするか、の二つの状態となるようなビデオ信号を、駆動用トランジスタ722に入力する。なお、駆動用トランジスタ722を線形領域で動作させるために、電源線727の電圧よりも高い電圧を駆動用トランジスタ722のゲート電極層にかける。また、信号線725には、電源線電圧に駆動用トランジスタ722の閾値電圧 V_{th} を加えた値以上の電圧をかける。

30

【0224】

アナログ階調駆動を行う場合、駆動用トランジスタ722のゲート電極層に発光素子724の順方向電圧に駆動用トランジスタ722の閾値電圧 V_{th} を加えた値以上の電圧をかける。なお、駆動用トランジスタ722が飽和領域で動作するようにビデオ信号を入力し、発光素子724に電流を流す。また、駆動用トランジスタ722を飽和領域で動作させるために、電源線727の電位を、駆動用トランジスタ722のゲート電位より高くする。ビデオ信号をアナログとすることで、発光素子724にビデオ信号に応じた電流を流し、アナログ階調駆動を行うことができる。

40

【0225】

なお、画素回路の構成は、図19（C）に示す画素構成に限定されない。例えば、図19（C）に示す画素回路にスイッチ、抵抗素子、容量素子、センサ、トランジスタ又は論理回路などを追加してもよい。

【0226】

図19で例示した回路に上記実施の形態で例示したトランジスタを適用する場合、低電

50

位側にソース電極（第１の電極）、高電位側にドレイン電極（第２の電極）がそれぞれ電氣的に接続される構成とする。さらに、制御回路等により第１のゲート電極の電位を制御し、第２のゲート電極には図示しない配線によりソース電極に与える電位よりも低い電位など、上記で例示した電位を入力可能な構成とすればよい。

【０２２７】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【０２２８】

（実施の形態７）

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置（代表的にはＤＶＤ：Digital Versatile Disc等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯データ端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレーヤー等）、複写機、ファクシミリ、プリンタ、プリンタ複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図１６に示す。

10

【０２２９】

図１６（Ａ）は携帯型ゲーム機であり、筐体９０１、筐体９０２、表示部９０３、表示部９０４、マイクロフォン９０５、スピーカー９０６、操作キー９０７、スタイラス９０８等を有する。なお、図１６（Ａ）に示した携帯型ゲーム機は、２つの表示部９０３と表示部９０４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

20

【０２３０】

図１６（Ｂ）は携帯データ端末であり、第１筐体９１１、第２筐体９１２、第１表示部９１３、第２表示部９１４、接続部９１５、操作キー９１６等を有する。第１表示部９１３は第１筐体９１１に設けられており、第２表示部９１４は第２筐体９１２に設けられている。そして、第１筐体９１１と第２筐体９１２とは、接続部９１５により接続されており、第１筐体９１１と第２筐体９１２の間の角度は、接続部９１５により変更が可能である。第１表示部９１３における映像を、接続部９１５における第１筐体９１１と第２筐体９１２との間の角度に従って、切り替える構成としても良い。また、第１表示部９１３および第２表示部９１４の少なくとも一方に、位置入力装置としての機能が付加された表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を表示装置の画素部に設けることでも、付加することができる。

30

【０２３１】

図１６（Ｃ）はノート型パーソナルコンピュータであり、筐体９２１、表示部９２２、キーボード９２３、ポインティングデバイス９２４等を有する。

40

【０２３２】

図１６（Ｄ）は電気冷凍冷蔵庫であり、筐体９３１、冷蔵室用扉９３２、冷凍室用扉９３３等を有する。

【０２３３】

図１６（Ｅ）はビデオカメラであり、第１筐体９４１、第２筐体９４２、表示部９４３、操作キー９４４、レンズ９４５、接続部９４６等を有する。操作キー９４４およびレンズ９４５は第１筐体９４１に設けられており、表示部９４３は第２筐体９４２に設けられている。そして、第１筐体９４１と第２筐体９４２とは、接続部９４６により接続されており、第１筐体９４１と第２筐体９４２の間の角度は、接続部９４６により変更が可能で

50

ある。表示部 9 4 3 における映像を、接続部 9 4 6 における第 1 筐体 9 4 1 と第 2 筐体 9 4 2 との間の角度に従って切り替える構成としても良い。

【0 2 3 4】

図 1 6 (F) は普通自動車であり、車体 9 5 1、車輪 9 5 2、ダッシュボード 9 5 3、ライト 9 5 4 等を有する。

【0 2 3 5】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【0 2 3 6】

(実施の形態 8)

本実施の形態では、本発明の一態様に係る R F デバイスの使用例について図 1 7 を用いながら説明する。R F デバイスの用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証券類 (運転免許証や住民票等、図 1 7 (A) 参照)、記録媒体 (D V D やビデオテープ等、図 1 7 (B) 参照)、包装用容器類 (包装紙やボトル等、図 1 7 (C) 参照)、乗り物類 (自転車等、図 1 7 (D) 参照)、身の回り品 (靴や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、薬品や薬剤を含む医療品、または電子機器 (液晶表示装置、 E L 表示装置、テレビジョン装置、または携帯電話) 等の物品、若しくは各物品に取り付ける荷札 (図 1 7 (E)、図 1 7 (F) 参照) 等に設けて使用することができる。

【0 2 3 7】

本発明の一態様に係る R F デバイス 4 0 0 0 は、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込み、有機樹脂からなるパッケージであれば当該有機樹脂の内部に埋め込み、各物品に固定される。本発明の一態様に係る R F デバイス 4 0 0 0 は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証券類等に本発明の一態様に係る R F デバイス 4 0 0 0 を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明の一態様に係る R F デバイスを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、本発明の一態様に係る R F デバイスを取り付けることにより、盗難などに対するセキュリティ性を高めることができる。

【0 2 3 8】

以上のように、本発明の一態様に係わる R F デバイスを本実施の形態に挙げた各用途に用いることにより、情報の書き込みや読み出しを含む動作電力を低減できるため、最大通信距離を長くとることが可能となる。また、電力が遮断された状態であっても情報を極めて長い期間保持可能であるため、書き込みや読み出しの頻度が低い用途にも好適に用いることができる。

【0 2 3 9】

なお、本実施の形態は、本明細書で示す他の実施の形態と適宜組み合わせることができる。

【実施例】

【0 2 4 0】

本実施例では、実施例試料として、図 5 (B) に示すトランジスタと同様の構成のトランジスタについて作製し、電気特性の評価を行った。

【0 2 4 1】

はじめに、実施例試料の作製方法について示す。

【0 2 4 2】

シリコントランジスタ上に層間絶縁膜となる膜厚 9 0 0 n m の T E O S (T e t r a E t h y l O r t h o S i l i c a t e) を原料とした酸化シリコン膜を C V D 法に

10

20

30

40

50

より形成した。

【0243】

次に、酸化シリコン膜にCMP処理を施し、酸化シリコン膜の表面を平坦化した。処理条件は、CMP研磨パッドとしてポリウレタン系研磨布を用い、スラリーとしてはNP8020（ニッタ・ハース株式会社製）の原液（シリカ粒径60nm乃至80nm）を用い、スラリー温度を室温とし、研磨圧0.08MPa、基板を固定している側のスピンドル回転数は51rpm、研磨布が固定されているテーブル回転数は50rpmとして、1.6分間処理した。

【0244】

次に、シリコントランジスタの電極に達する開口をエッチングにより酸化シリコン膜に形成した。エッチング条件は、まず、第1のエッチングとしてICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法により、トリフルオロメタンおよびヘリウム（CHF₃：He=50sccm：100sccm）混合雰囲気下、電源電力475W、バイアス電力300W、圧力5.5Paにおいて3秒間エッチングし、次に第2のエッチングとしてICPエッチング法により、トリフルオロメタンおよびヘリウム（CHF₃：He=7.5sccm：142.5sccm）混合雰囲気下、電源電力475W、バイアス電力300W、圧力5.5Paにおいて79秒間エッチングし、再度第1のエッチング条件でエッチングしたあと、第2のエッチング条件でエッチングした。

【0245】

次に、中継配線となる膜厚150nmのタングステン膜をスパッタリング法により形成した。成膜条件は、タングステントargetを用い、アルゴン（Ar=80sccm）雰囲気下において、圧力0.8Pa、電源電力1kWを印加し、ターゲットと基板の間の距離を60mm、基板温度230℃として成膜した。

【0246】

次に、タングステン膜をエッチングして中継配線を形成した。エッチング条件は、ICPエッチング法により、塩素、四フッ化炭素および酸素（Cl₂：CF₄：O₂=45sccm：55sccm：55sccm）混合雰囲気下、電源電力3000W、バイアス電力110W、圧力0.67Paにおいて5秒間エッチングした。

【0247】

次に、層間絶縁膜となる膜厚500nmのTEOSを原料とした酸化シリコン膜をCVD法により形成した。

【0248】

次に、酸化シリコン膜にCMP処理を施し、中継配線を露出させた。処理条件は、CMP研磨パッドとしてポリウレタン系研磨布を用い、スラリーとしてはNP8020（ニッタ・ハース株式会社製）の原液（シリカ粒径60nm乃至80nm）を用い、スラリー温度を室温とし、研磨圧0.08MPa、基板を固定している側のスピンドル回転数は51rpm、研磨布が固定されているテーブル回転数は50rpmとして、1.4分間処理した。

【0249】

次に、層間絶縁膜となる膜厚100nmのTEOSを原料とした酸化シリコン膜、酸化シリコン膜上の膜厚50nmの窒化シリコン膜、窒化シリコン膜上の膜厚300nmの酸化シリコン膜をCVD法により形成した。

【0250】

次に、膜厚20nmの第1の酸化物半導体膜と膜厚15nmの第2の酸化物半導体膜を積層して形成した。成膜条件は、第1の酸化物半導体膜はIn：Ga：Zn=1：3：2（原子数比）の酸化物ターゲットを用いたスパッタリング法によりアルゴンおよび酸素（Ar：O₂=30sccm：15sccm）混合雰囲気下において、圧力0.4Pa、電源電力0.5kWを印加し、ターゲットと基板の間の距離を60mm、基板温度200℃として成膜し、第2の酸化物半導体膜はIn：Ga：Zn=1：1：1（原子数比）の酸

10

20

30

40

50

化物ターゲットを用いたスパッタリング法によりアルゴンおよび酸素 ($Ar:O_2 = 30\text{ sccm}:15\text{ sccm}$) 混合雰囲気下において、圧力 0.4 Pa 、電源電力 0.5 kW を印加し、ターゲットと基板の間の距離を 60 mm 、基板温度 300°C として成膜した。なお、第1の酸化物半導体膜および第2の酸化物半導体膜は、大気曝露せずに連続成膜を行った。

【0251】

続いて、加熱処理を行った。加熱処理は窒素雰囲気下、 450°C で1時間行った後、酸素雰囲気下、 450°C で1時間行った。

【0252】

次に、第1の酸化物半導体膜および第2の酸化物半導体膜を、ICPエッチング法により、三塩化ホウ素および塩素 ($BCl_3:Cl_2 = 60\text{ sccm}:20\text{ sccm}$) 混合雰囲気下、電源電力 450 W 、バイアス電力 100 W 、圧力 1.9 Pa において89秒間エッチングして島状の第1の酸化物半導体膜および第2の酸化物半導体膜に加工した。また、同時に第1の酸化物半導体膜および第2の酸化物半導体膜から島状の第1のブロッキング膜および第2のブロッキング膜を形成した。

【0253】

次に、膜厚 100 nm のTEOSを原料とした酸化シリコン膜、酸化シリコン膜上の膜厚 50 nm の窒化シリコン膜、窒化シリコン膜上の膜厚 300 nm の酸化シリコン膜に中継配線に達する開口をエッチングにより形成した。エッチング条件は、まず、第1のエッチングとしてICPエッチング法により、トリフルオロメタンおよびヘリウム ($CHF_3:He = 50\text{ sccm}:100\text{ sccm}$) 混合雰囲気下、電源電力 475 W 、バイアス電力 300 W 、圧力 5.5 Pa において3秒間エッチングし、次に第2のエッチングとしてICPエッチング法により、トリフルオロメタンおよびヘリウム ($CHF_3:He = 7.5\text{ sccm}:142.5\text{ sccm}$) 混合雰囲気下、電源電力 475 W 、バイアス電力 300 W 、圧力 5.5 Pa において69秒間エッチングし、再度第1のエッチング条件でエッチングしたあと、第2のエッチング条件でエッチングした。

【0254】

次に、ソース電極およびドレイン電極となるタングステン膜を膜厚 100 nm 成膜した。成膜条件は、タングステントargetを用いたスパッタリング法によりアルゴン ($Ar = 80\text{ sccm}$) 雰囲気下において、圧力 0.8 Pa 、電源電力 (電源出力) 1.0 kW を印加し、基板とターゲットとの間の距離を 60 mm 、基板温度 230°C の条件によって成膜した。

【0255】

次に、タングステン膜上にレジストマスクを形成して、エッチングを行った。エッチングは、ICPエッチング法により、四弗化炭素、塩素および酸素 ($CF_4:Cl_2:O_2 = 55\text{ sccm}:45\text{ sccm}:55\text{ sccm}$) 混合雰囲気下、電源電力 3000 W 、バイアス電力 110 W 、圧力 0.67 Pa にて第1のエッチングを13秒間行い、その後、酸素 ($O_2 = 100\text{ sccm}$) 雰囲気下、電源電力 2000 W 、バイアス電力 0 W 、圧力 3.0 Pa にて第2のエッチングを15秒間行い、さらにその後、四弗化炭素、塩素および酸素 ($CF_4:Cl_2:O_2 = 55\text{ sccm}:45\text{ sccm}:55\text{ sccm}$) 混合雰囲気下、電源電力 3000 W 、バイアス電力 110 W 、圧力 0.67 Pa にて第3のエッチングを14秒間行い、ソース電極およびドレイン電極を形成した。

【0256】

次に、第2の酸化物半導体膜、ソース電極およびドレイン電極上に膜厚 5 nm の第3の酸化物半導体膜を成膜した。成膜条件は、 $In:Ga:Zn = 1:3:2$ (原子数比) の酸化物ターゲットを用いたスパッタリング法によりアルゴンおよび酸素 ($Ar:O_2 = 30\text{ sccm}:15\text{ sccm}$) 混合雰囲気下において、圧力 0.4 Pa 、電源電力 0.5 kW を印加し、ターゲットと基板の間の距離を 60 mm 、基板温度 200°C とした。

【0257】

次に、CVD法によりゲート絶縁膜となる 20 nm の酸化窒化シリコン膜を、シランお

10

20

30

40

50

よび一酸化二窒素 ($\text{SiH}_4 : \text{N}_2\text{O} = 1 \text{ sccm} : 800 \text{ sccm}$) 混合雰囲気下、圧力 200 Pa 、電源電力 150 kW を印加し、ターゲットと基板の間の距離を 28 mm 、基板温度 350°C として成膜した。

【0258】

次に、膜厚 30 nm の窒化チタン膜および膜厚 135 nm のタングステン膜を、スパッタリング法により成膜した。窒化チタン膜の成膜条件は、窒素 ($\text{N}_2 = 50 \text{ sccm}$) 雰囲気下において、圧力 0.2 Pa 、電源電力 12 kW を印加し、ターゲットと基板の間の距離を 400 mm 、基板温度 25°C とした。タングステン膜の成膜条件は、アルゴン ($\text{Ar} = 100 \text{ sccm}$) 雰囲気下において、圧力 2.0 Pa 、電源電力 4 kW を印加し、ターゲットと基板の間の距離を 60 mm 、基板温度 230°C とした。

10

【0259】

次に、ICPエッチング法により、膜厚 30 nm の窒化チタン膜および膜厚 135 nm のタングステン膜の積層をエッチングした。エッチング条件は、塩素、四弗化炭素および酸素 ($\text{Cl}_2 : \text{CF}_4 : \text{O}_2 = 45 \text{ sccm} : 55 \text{ sccm} : 55 \text{ sccm}$) 混合雰囲気下、電源電力 3000 W 、バイアス電力 110 W 、圧力 0.67 Pa において第1のエッチングを行い、第1のエッチングの後に塩素および三塩化ホウ素 ($\text{Cl}_2 : \text{BCl}_3 = 50 \text{ sccm} : 150 \text{ sccm}$) 混合雰囲気下、電源電力 1000 W 、バイアス電力 50 W 、圧力 0.67 Pa において第2のエッチングを行い、ゲート電極を形成した。

【0260】

次に、ゲート電極をマスクにとして、ゲート絶縁膜、第3の酸化物半導体膜の積層をエッチングした。エッチング条件は、三塩化ホウ素 ($\text{BCl}_3 = 80 \text{ sccm}$) 雰囲気下、電源電力 450 W 、バイアス電力 100 W 、圧力 1.0 Pa においてエッチングを行った。

20

【0261】

次に、ゲート電極上に膜厚 150 nm の酸化アルミニウム膜をスパッタリング法により成膜した。成膜条件は、アルゴン：酸素 ($\text{Ar} : \text{O}_2 = 25 \text{ sccm} : 25 \text{ sccm}$) 混合雰囲気下において、圧力 0.4 Pa 、電源電力 2.5 kW を印加し、ターゲットと基板の間の距離を 60 mm 、基板温度 250°C とした。

【0262】

以上の工程を経て、チャネル長 $0.8 \mu\text{m}$ 、チャネル幅 $10 \mu\text{m}$ の実施例のトランジスタを作製した。また、比較例として上記トランジスタの第1のブロッキング膜および第2のブロッキング膜のみ有さない構成のトランジスタを作製した。

30

【0263】

次に作製した2種類のトランジスタにおいて、ドレイン電圧 ($V_d : [\text{V}]$) が 0.1 V または 2.7 V とし、ゲート電圧 ($V_g : [\text{V}]$) を -3 V から 3 V まで掃引した際の、ドレイン電流 ($I_d : [\text{A}]$) の測定を行った。測定結果を図18に示す。図18において、実線はドレイン電圧 ($V_d : [\text{V}]$) が 0.1 V のときの測定結果であり、点線はドレイン電圧 ($V_d : [\text{V}]$) が 2.7 V のときの測定結果であり、横軸はゲート電圧 ($V_g : [\text{V}]$)、縦軸はドレイン電流 ($I_d : [\text{A}]$) を示す。なお、「ドレイン電圧 ($V_d : [\text{V}]$)」とは、ソースを基準としたドレインとソースの電位差であり、「ゲート電圧 ($V_g : [\text{V}]$)」とは、ソースを基準としたゲートとソースの電位差である。また、図18 (A) に比較例のトランジスタの測定結果、図18 (B) に実施例のトランジスタの測定結果を示す。

40

【0264】

図18 (A) は、特性のばらつきが大きいことが確認できた。一方、図18 (B) は、特性のばらつきが小さいことが確認できた。ブロッキング膜を設けることにより、特性のばらつきを低減することができることが示唆された。

【符号の説明】

【0265】

100 基板

50

1 0 2	下地絶縁膜	
1 0 4 a	導電膜	
1 0 4 b	導電膜	
1 0 4 c	導電膜	
1 0 5	層間絶縁膜	
1 0 6	層間絶縁膜	
1 0 8 a	酸化物半導体膜	
1 0 8 a 1	酸化物半導体膜	
1 0 8 a 2	酸化物半導体膜	
1 0 8 a 3	酸化物半導体膜	10
1 0 8 b	ブロッキング膜	
1 0 8 b 1	ブロッキング膜	
1 0 8 b 2	ブロッキング膜	
1 0 8 c	ブロッキング膜	
1 0 8 c 1	ブロッキング膜	
1 0 8 c 2	ブロッキング膜	
1 1 0 a	ソース電極	
1 1 0 b	ドレイン電極	
1 1 2	ゲート絶縁膜	
1 1 4	ゲート電極	20
1 1 6	酸化物絶縁膜	
1 1 8 a	導電膜	
1 1 8 b	導電膜	
1 2 0 a	開口部	
1 2 0 b	開口部	
1 2 8	チャネル保護膜	
1 5 0	トランジスタ	
2 5 0	トランジスタ	
7 0 0	基板	
7 0 1	画素部	30
7 0 2	走査線駆動回路	
7 0 3	走査線駆動回路	
7 0 4	信号線駆動回路	
7 1 0	容量配線	
7 1 2	ゲート配線	
7 1 3	ゲート配線	
7 1 4	ドレイン電極層	
7 1 6	トランジスタ	
7 1 7	トランジスタ	
7 1 8	液晶素子	40
7 1 9	液晶素子	
7 2 0	画素	
7 2 1	スイッチング用トランジスタ	
7 2 2	駆動用トランジスタ	
7 2 3	容量素子	
7 2 4	発光素子	
7 2 5	信号線	
7 2 6	走査線	
7 2 7	電源線	
7 2 8	共通電極	50

8 0 0	R F タグ	
8 0 1	通信器	
8 0 2	アンテナ	
8 0 3	無線信号	
8 0 4	アンテナ	
8 0 5	整流回路	
8 0 6	定電圧回路	
8 0 7	復調回路	
8 0 8	変調回路	
8 0 9	論理回路	10
8 1 0	記憶回路	
8 1 1	R O M	
9 0 1	筐体	
9 0 2	筐体	
9 0 3	表示部	
9 0 4	表示部	
9 0 5	マイクロフォン	
9 0 6	スピーカー	
9 0 7	操作キー	
9 0 8	スタイラス	20
9 1 1	第 1 筐体	
9 1 2	第 2 筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	接続部	
9 1 6	操作キー	
9 2 1	筐体	
9 2 2	表示部	
9 2 3	キーボード	
9 2 4	ポインティングデバイス	30
9 3 1	筐体	
9 3 2	冷蔵室用扉	
9 3 3	冷凍室用扉	
9 4 1	第 1 筐体	
9 4 2	第 2 筐体	
9 4 3	表示部	
9 4 4	操作キー	
9 4 5	レンズ	
9 4 6	接続部	
9 5 1	車体	40
9 5 2	車輪	
9 5 3	ダッシュボード	
9 5 4	ライト	
1 1 8 9	R O M インターフェース	
1 1 9 0	基板	
1 1 9 1	A L U	
1 1 9 2	A L U コントローラ	
1 1 9 3	インストラクションデコーダ	
1 1 9 4	インタラプトコントローラ	
1 1 9 5	タイミングコントローラ	50

1 1 9 6	レジスタ
1 1 9 7	レジスタコントローラ
1 1 9 8	バスインターフェース
1 1 9 9	R O M
1 2 0 0	記憶素子
1 2 0 1	回路
1 2 0 2	回路
1 2 0 3	スイッチ
1 2 0 4	スイッチ
1 2 0 6	論理素子
1 2 0 7	容量素子
1 2 0 8	容量素子
1 2 0 9	トランジスタ
1 2 1 0	トランジスタ
1 2 1 3	トランジスタ
1 2 1 4	トランジスタ
1 2 2 0	回路
2 1 0 0	トランジスタ
2 2 0 0	トランジスタ
2 2 0 1	絶縁膜
2 2 0 2	配線
2 2 0 3	プラグ
2 2 0 4	絶縁膜
2 2 0 5	配線
2 2 0 6	配線
2 2 0 7	絶縁膜
2 2 0 8	絶縁膜
3 0 0 1	配線
3 0 0 2	配線
3 0 0 3	配線
3 0 0 4	配線
3 0 0 5	配線
3 2 0 0	トランジスタ
3 3 0 0	トランジスタ
3 4 0 0	容量素子
4 0 0 0	R F デバイス

10

20

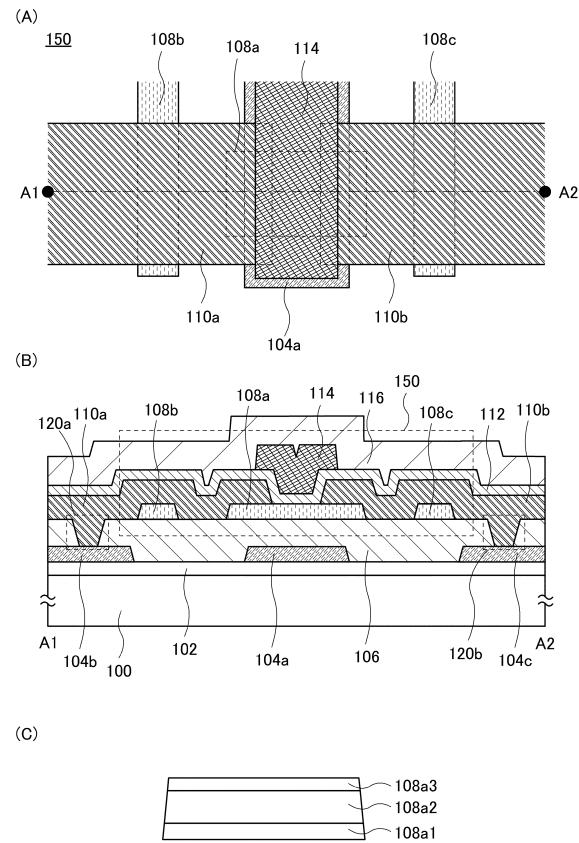
30

40

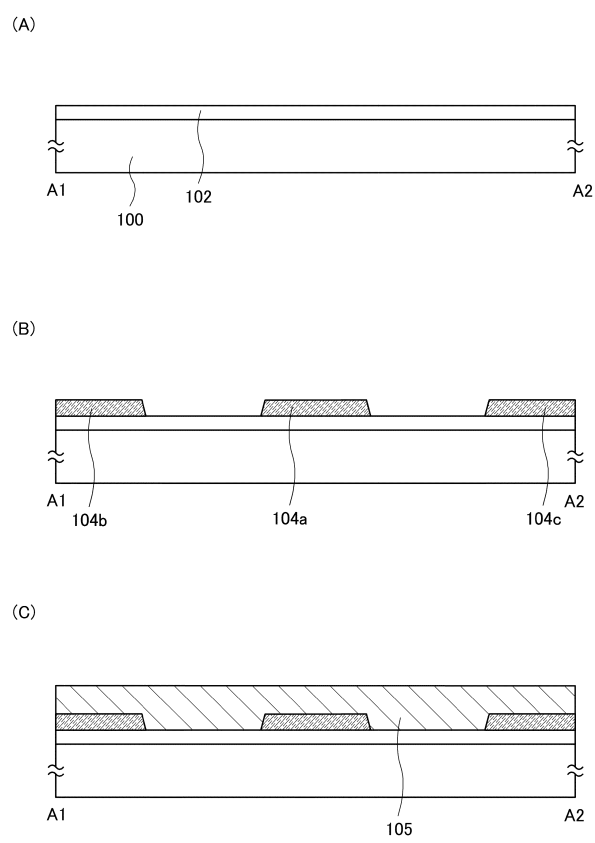
50

【図面】

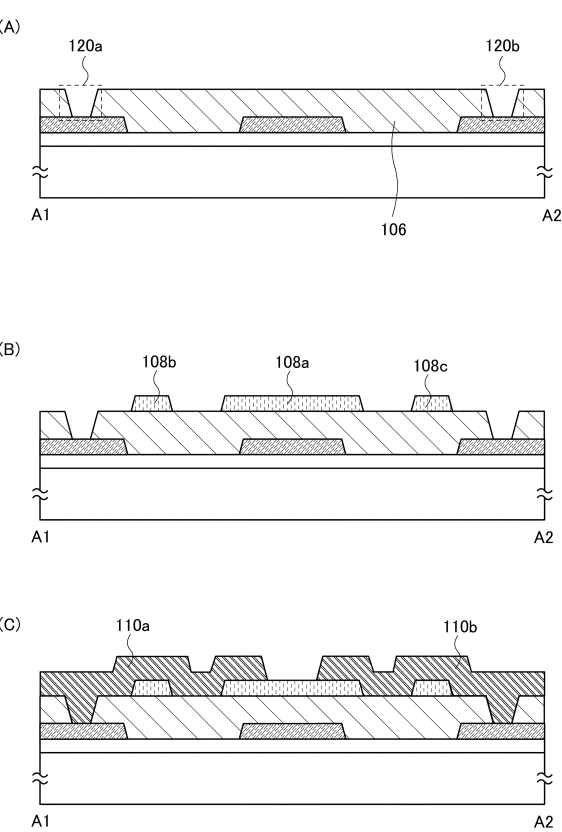
【図 1】



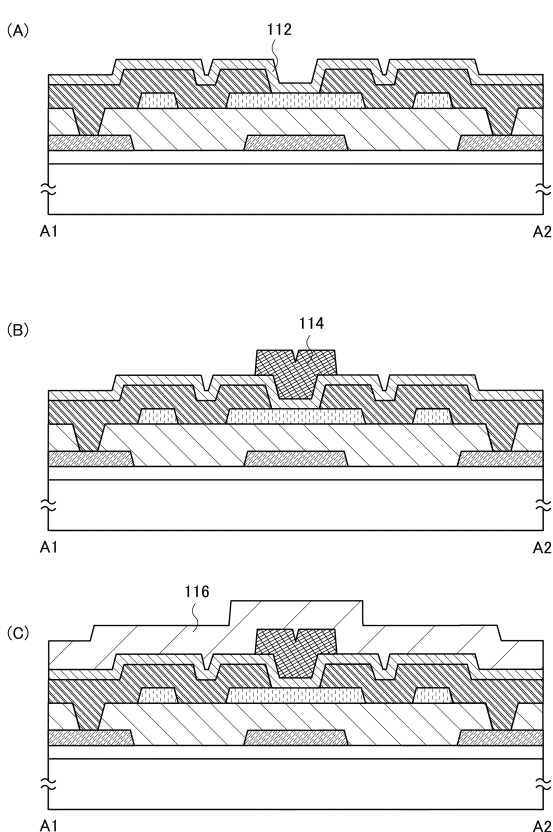
【図 2】



【図 3】



【図 4】



10

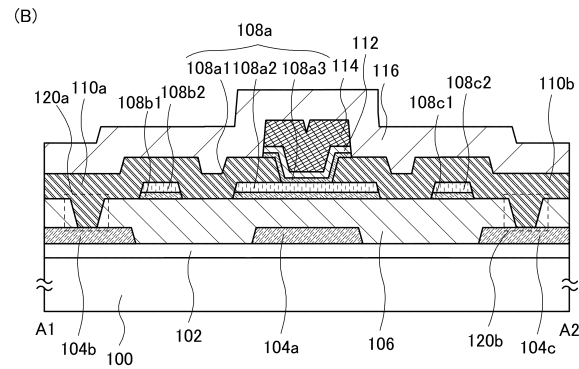
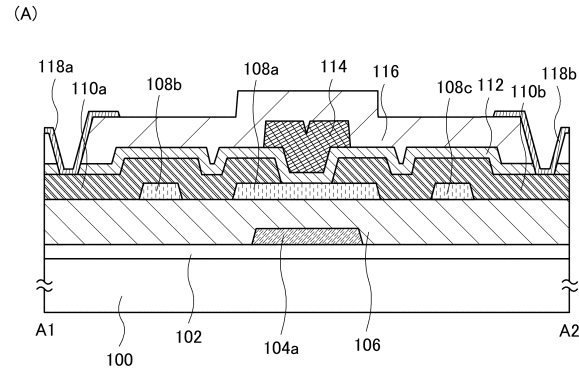
20

30

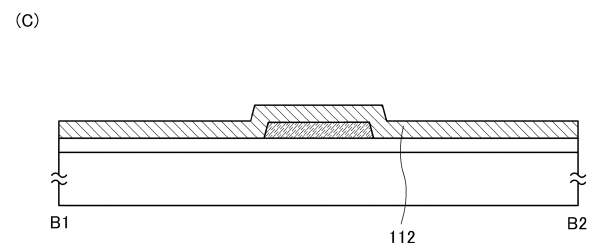
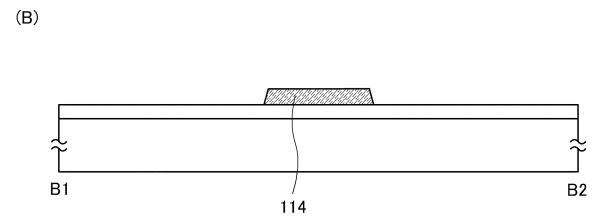
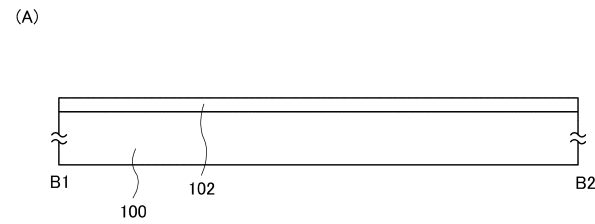
40

50

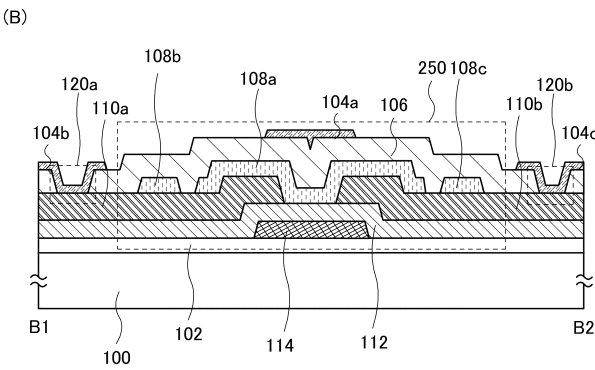
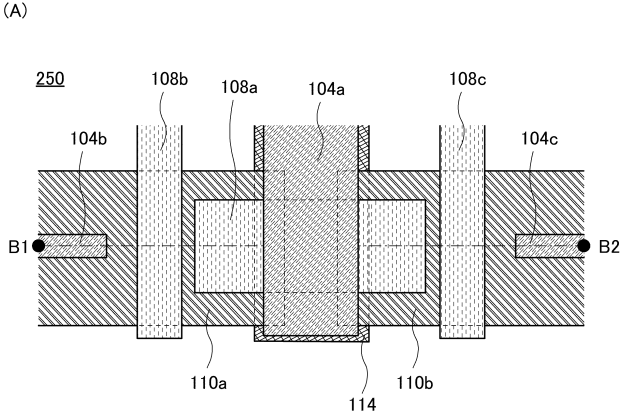
【図 5】



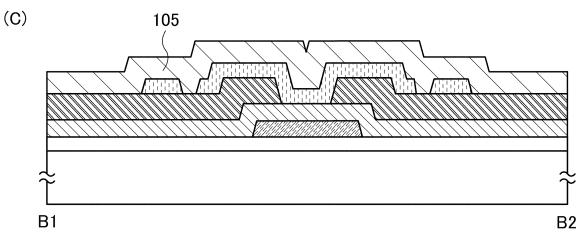
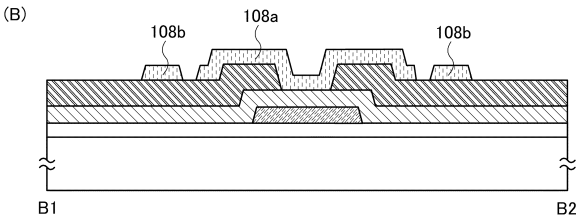
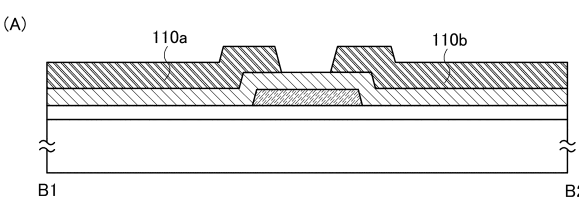
【図 7】



【図 6】



【図 8】



10

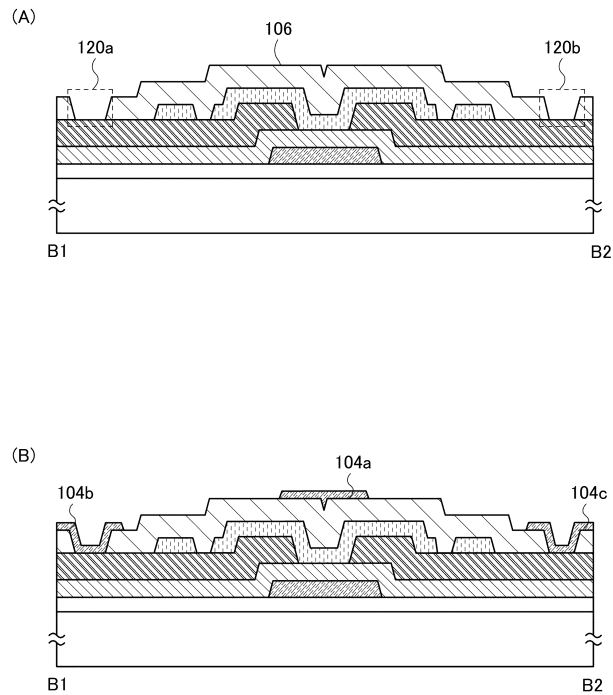
20

30

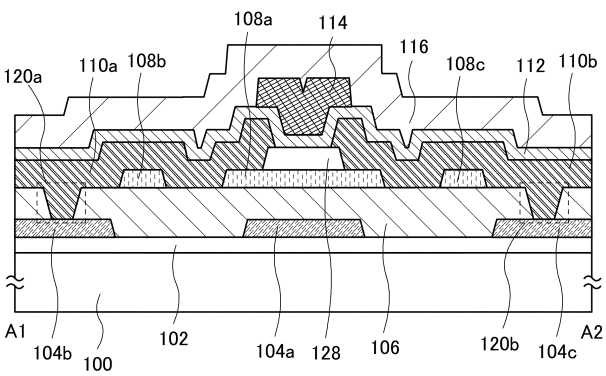
40

50

【図 9】



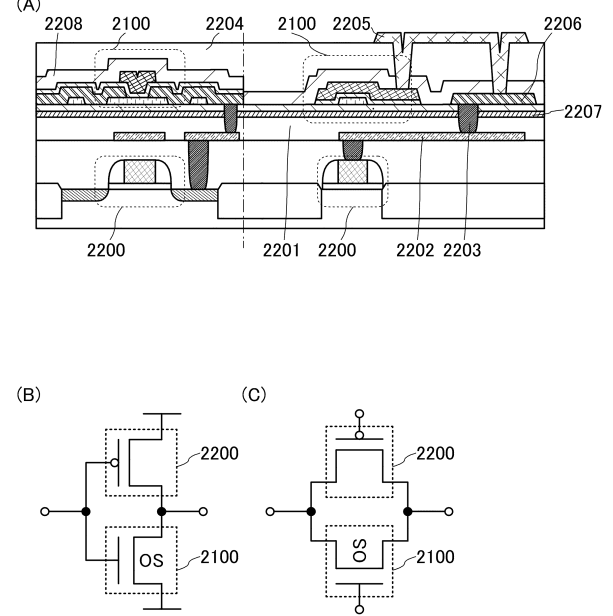
【図 10】



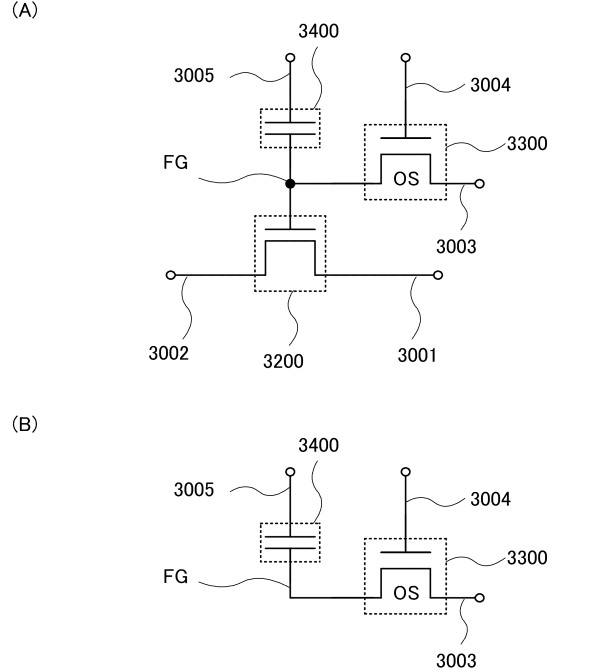
10

20

【図 11】



【図 12】

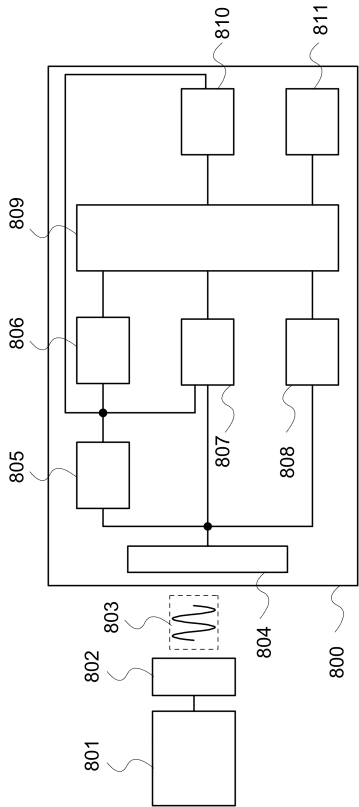


30

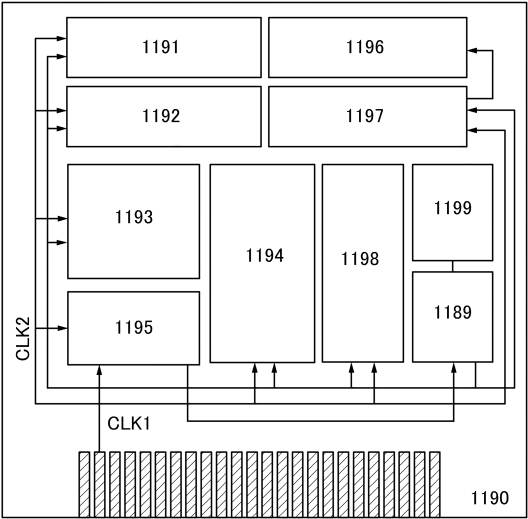
40

50

【図 1 3】



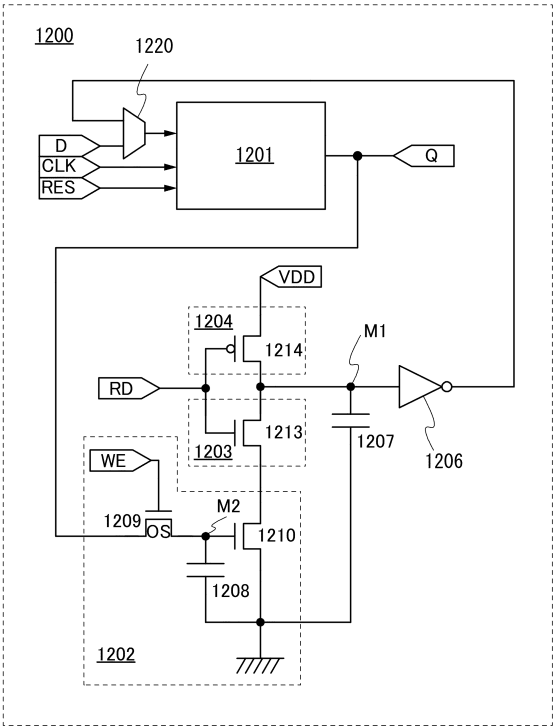
【図 1 4】



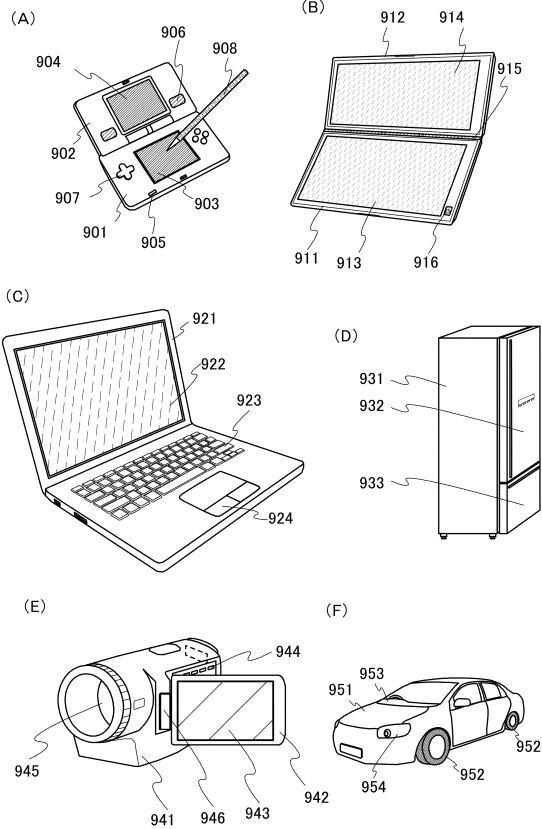
10

20

【図 1 5】



【図 1 6】

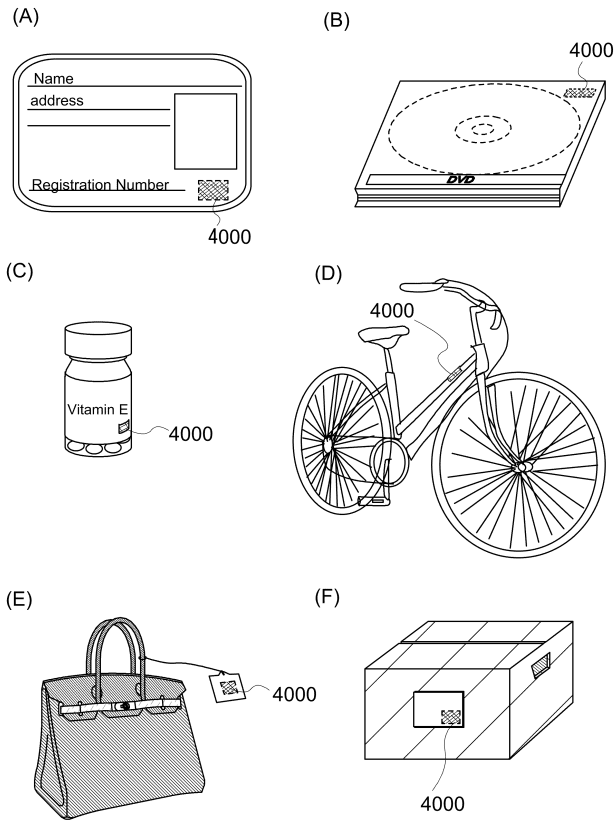


30

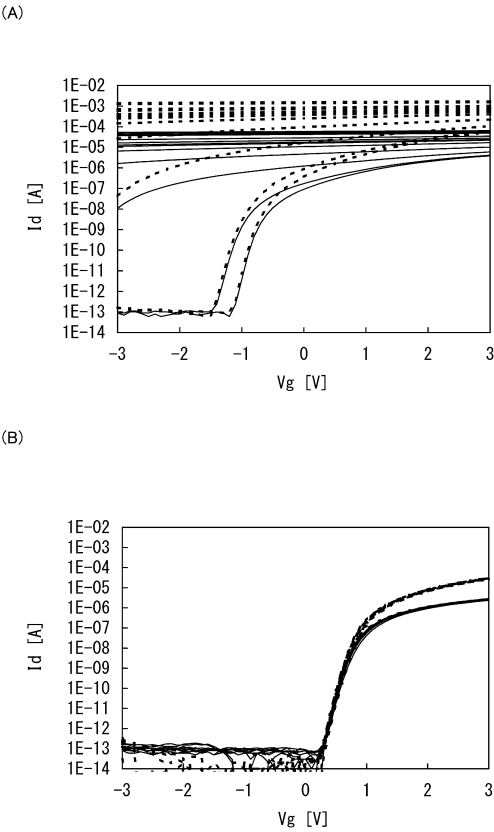
40

50

【図 17】



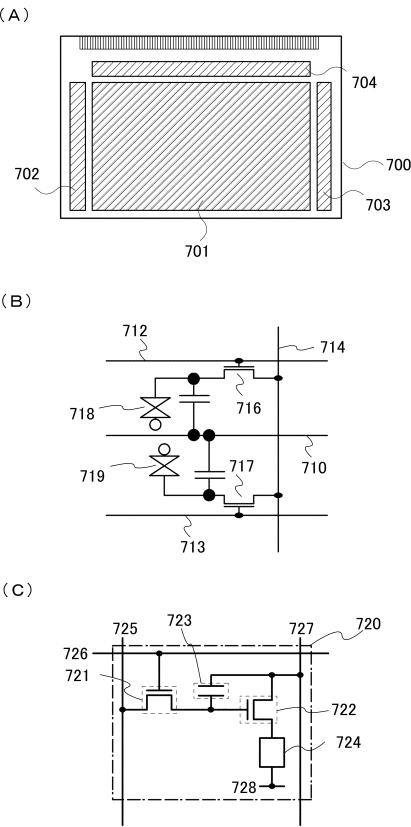
【図 18】



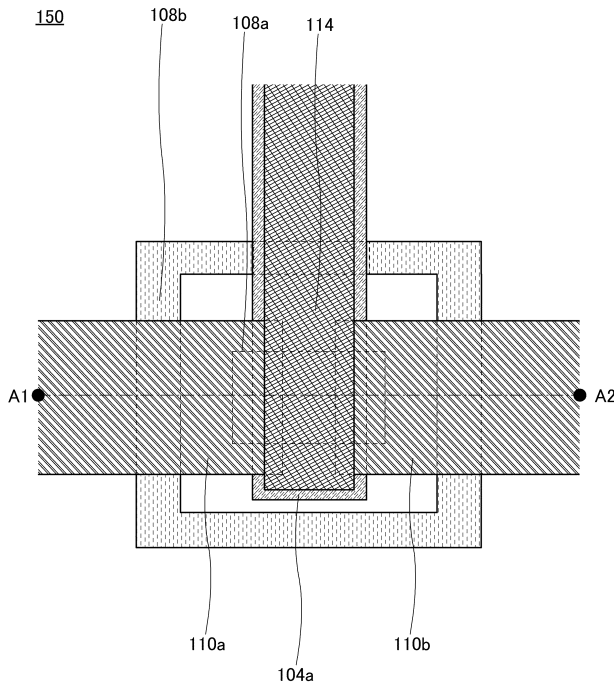
10

20

【図 19】



【図 20】

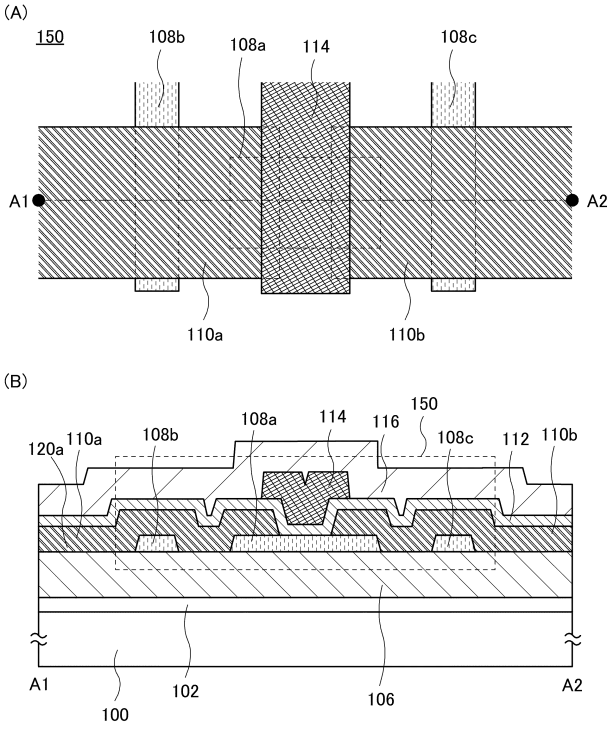


30

40

50

【図 2 1】



10

20

30

40

50

フロントページの続き

(51)国際特許分類

F I

テーマコード (参考)

H 0 1 L	29/78	6 1 3 Z
H 0 1 L	29/78	6 1 8 B
H 0 1 L	29/78	6 1 6 T
H 0 1 L	29/78	6 1 6 S

F ターム (参考)

BB02 BB09 BB11 BB14 BC18 BD02 BF02 BF07 BF11 BF15
BF16 BG13 CB01 CB03 CB04 CB10 DA23
5F083 AD02 AD69 JA02 JA05 JA36 JA37 JA38 JA39 JA40 JA56
JA60
5F110 AA01 AA04 AA09 AA14 BB02 BB04 BB05 BB11 CC01 CC03
DD11 DD13 DD25 EE02 EE03 EE04 EE30 EE42 EE44 EE45 FF01
FF02 FF03 FF04 FF07 FF27 FF28 FF29 FF30 GG01 GG06 GG07
GG12 GG13 GG14 GG15 GG16 GG17 GG19 GG22 GG25 GG28 GG29
GG32 GG33 GG34 GG35 GG42 GG43 GG44 GG45 GG58 HJ30 HK01
HK02 HK03 HK04 HK21 HK32 HK33 HK34 HK35 HM02 HM17 NN02
NN05 NN12 NN22 NN23 NN33 NN34 NN35 NN40 NN72 NN74 QQ09
QQ19