

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-40898

(P2010-40898A)

(43) 公開日 平成22年2月18日(2010.2.18)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/82 (2006.01)	H O 1 L 21/82 C	5 B 0 4 6
H O 1 L 21/3205 (2006.01)	H O 1 L 21/88 Z	5 F 0 3 3
H O 1 L 23/52 (2006.01)	G O 6 F 17/50 6 6 6 S	5 F 0 6 4
G O 6 F 17/50 (2006.01)	G O 6 F 17/50 6 5 8 M	

審査請求 未請求 請求項の数 5 O L (全 15 頁)

(21) 出願番号 特願2008-203936 (P2008-203936)
 (22) 出願日 平成20年8月7日 (2008.8.7)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 100075812
 弁理士 吉武 賢次
 (74) 代理人 100082991
 弁理士 佐藤 泰和
 (74) 代理人 100096921
 弁理士 吉元 弘
 (74) 代理人 100103263
 弁理士 川崎 康
 (74) 代理人 100108785
 弁理士 箱崎 幸雄

最終頁に続く

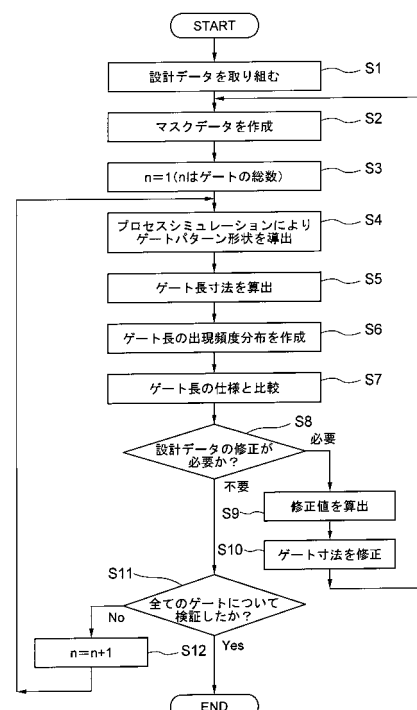
(54) 【発明の名称】 パターンレイアウトの修正方法

(57) 【要約】

【課題】プロセスパラメータのばらつきが生じても仕様に合致した素子の製造を可能にするパターンレイアウトの修正方法を提供する。

【解決手段】設計レイアウトに対応するパターンを基板上に形成するためのプロセスパラメータのばらつきを反映させた複数の条件でプロセスシミュレーションを実行することにより、前記パターンの複数の仕上がりパターンを予測し（ステップS4）、得られた複数の仕上がりパターンの寸法を算出し（ステップS5）、算出された寸法から所定の統計量を算出し（ステップS6）、該統計量と予め設定された仕様とを比較し（ステップS7）、仕様を満たさない場合に（ステップS8）修正量を算出し（ステップS9）、算出された前記修正量に基づいて前記設計レイアウトを修正する（ステップS10）。

【選択図】図1



【特許請求の範囲】**【請求項 1】**

設計レイアウトに対応するパターンを基板上に形成するためのプロセスのパラメータのばらつきを反映させた複数の条件でプロセスシミュレーションを実行することにより、前記パターンの複数の仕上がりパターンを予測する工程と、

得られた複数の仕上がりパターンの寸法を算出する工程と、

算出された寸法から所定の統計量を算出する工程と、

前記統計量と予め設定された仕様とを比較する工程と、

前記仕様を満たさない場合に修正量を算出する工程と、

算出された前記修正量に基づいて前記設計レイアウトを修正する工程と、

を備えるパターンレイアウトの修正方法。

10

【請求項 2】

前記統計量は、算出された寸法の間接値、平均値、および、最小値と最大値との中心値のいずれかであることを特徴とする請求項 1 に記載のパターンレイアウトの修正方法。

【請求項 3】

デバイスの設計レイアウトに対応するパターンを基板上に形成するためのプロセスのパラメータのばらつきを反映させた複数の条件でプロセスシミュレーションを実行することにより、前記パターンの複数の仕上がりパターンを予測する工程と、

得られた複数の仕上がりパターンの寸法を算出する工程と、

算出された寸法からデバイス特性値を導出する工程と、

得られた前記デバイス特性値から所定の統計量を算出する工程と、

算出された統計量と予め設定された仕様とを比較する工程と、

前記仕様を満たさない場合に修正量を算出する工程と、

算出された前記修正量に基づいて前記パターンのレイアウトを修正する工程と、

を備えるパターンレイアウトの修正方法。

20

【請求項 4】

前記デバイス特性値は、トランジスタスイッチがオンになった際に流れる電流量を示すオン電流、トランジスタスイッチがオフの際に漏れる電流量を示すオフ電流、および、トランジスタのチャネル領域に反転層が形成される電圧を示すスレッショルド電圧のいずれかであることを特徴とする請求項 3 に記載のパターンレイアウトの修正方法。

30

【請求項 5】

半導体素子のチップ設計データから、設計パターンレイアウトを、チップ内の第 1 の領域に属すべき第 1 のパターンレイアウトと、前記第 1 の領域とは仕様およびデバイス特性値のいずれかが異なる第 2 の領域に属する第 2 のパターンレイアウトとに選別する工程と、

前記第 1 のパターンレイアウトからプロセスパラメータのばらつきを反映させた複数の条件でプロセスシミュレーションを行いパターンの第 1 の仕上がり形状を計算する工程と、

前記第 1 の仕上がり形状から第 1 の寸法を算出する工程と、

算出した第 1 の寸法から前記複数の条件下での第 1 のデバイス特性値を導出する工程と

得られた第 1 のデバイス特性値から第 1 の統計量を算出する工程と、

前記第 1 の統計量と予め設定された第 1 の仕様とを比較する工程と、

前記第 1 の仕様を満たさない場合に第 1 の修正量を算出する工程と、

算出された前記第 1 の修正量に基づいて前記第 1 のパターンレイアウトを修正する工程と、

40

前記第 2 のパターンレイアウトからプロセスパラメータのばらつきを反映させた複数の条件でプロセスシミュレーションを行いパターンの第 2 の仕上がり形状を計算する工程と、

前記第 2 の仕上がり形状から第 2 の寸法を算出する工程と、

算出した第 2 の寸法から前記複数の条件下での第 2 のデバイス特性値を導出する工程と

50

得られた第 2 のデバイス特性値から第 2 の統計量を算出する工程と、
前記第 2 の統計量と予め設定された第 2 の仕様とを比較する工程と、
前記第 2 の仕様を満たさない場合に第 2 の修正量を算出する工程と、
算出された前記第 2 の修正量に基づいて前記第 2 のパターンレイアウトを修正する工程と、

を備えるパターンレイアウトの修正方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パターンレイアウトの修正方法に関し、例えば半導体装置のゲートトランジスタのパターンを対象とする。 10

【背景技術】

【0002】

半導体装置の微細化に伴い半導体装置基板上で設計回路どおりにパターンを形成することが困難になってきている。例えば、リソグラフィ工程などでは使用可能な露光装置の解像力の向上が半導体装置の微細化の進展に追いつかず、その結果、リソグラフィ工程でのパターン転写品質が低下してしまう。また、このような解像力の低い露光装置を使うことにより、例えば露光量やフォーカス値などのプロセスパラメータの微小なばらつきがパターン形状のより一層の劣化を引き起こす。特に、半導体装置のトランジスタを動作させるゲートパターンは形状に対する要求が厳しくナノメートル (nm) オーダーの形状管理が必要とされている。理想的な形状である設計パターンと実際にウェーハ上で形成されるパターンとの差異による特性差が無視できないレベルに達しているため、プロセスシミュレーションを行って形状を算出し、算出された形状の理想的な形状からの特性差を求め、その特性差を半導体装置の設計段階へフィードバックすることが提案されている (例えば非特許文献 1)。

【0003】

しかしながら、非特許文献 1 で述べられている方法は形状の劣化による特性差を出力することはできるが、形状劣化によるトランジスタ特性の劣化を補償することまではできないという問題があった。

【非特許文献 1】Wojtek J. Poppea, "From Poly Line to Transistor: Building BSIM Models for Non-Rectangular Transistors" SPIE vol. 6156 26, 2006 30

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明の目的は、プロセスパラメータのばらつきが生じても仕様に合致した素子の製造を可能にするパターンレイアウトの修正方法を提供することにある。

【課題を解決するための手段】

【0005】

本発明の第 1 の実施の態様によれば、
設計レイアウトに対応するパターンを基板上に形成するためのプロセスのパラメータのばらつきを反映させた複数の条件でプロセスシミュレーションを実行することにより、前記パターンの複数の仕上がりパターンを予測する工程と、
得られた複数の仕上がりパターンの寸法を算出する工程と、
算出された寸法から所定の統計量を算出する工程と、
前記統計量と予め設定された仕様とを比較する工程と、
前記仕様を満たさない場合に修正量を算出する工程と、
算出された前記修正量に基づいて前記設計レイアウトを修正する工程と、
を備えるパターンレイアウトの修正方法が提供される。 40 50

【 0 0 0 6 】

また、本発明の第 2 の実施の態様によれば、

デバイスの設計レイアウトに対応するパターンを基板上に形成するためのプロセスのパラメータのばらつきを反映させた複数の条件でプロセスシミュレーションを実行することにより、前記パターンの複数の仕上がりパターンを予測する工程と、

得られた複数の仕上がりパターンの寸法を算出する工程と、

算出された寸法からデバイス特性値を導出する工程と、

得られた前記デバイス特性値から所定の統計量を算出する工程と、

算出された統計量と予め設定された仕様とを比較する工程と、

前記仕様を満たさない場合に修正量を算出する工程と、

10

算出された前記修正量に基づいて前記パターンのレイアウトを修正する工程と、
を備えるパターンレイアウトの修正方法が提供される。

【 0 0 0 7 】

さらに、本発明の第 3 の実施の態様によれば、

半導体素子のチップ設計データから、設計パターンレイアウトを、チップ内の第 1 の領域に属すべき第 1 のパターンレイアウトと、前記第 1 の領域とは仕様およびデバイス特性値のいずれかが異なる第 2 の領域に属する第 2 のパターンレイアウトとに選別する工程と、

前記第 1 のパターンレイアウトからプロセスパラメータのばらつきを反映させた複数の条件でプロセスシミュレーションを行いパターンの第 1 の仕上がり形状を計算する工程と

20

、
前記第 1 の仕上がり形状から第 1 の寸法を算出する工程と、

算出した第 1 の寸法から前記複数の条件下での第 1 のデバイス特性値を導出する工程と

得られた第 1 のデバイス特性値から第 1 の統計量を算出する工程と、

前記第 1 の統計量と予め設定された第 1 の仕様とを比較する工程と、

前記第 1 の仕様を満たさない場合に第 1 の修正量を算出する工程と、

算出された前記第 1 の修正量に基づいて前記第 1 のパターンレイアウトを修正する工程と、

前記第 2 のパターンレイアウトからプロセスパラメータのばらつきを反映させた複数の条件でプロセスシミュレーションを行いパターンの第 2 の仕上がり形状を計算する工程と

30

、
前記第 2 の仕上がり形状から第 2 の寸法を算出する工程と、

算出した第 2 の寸法から前記複数の条件下での第 2 のデバイス特性値を導出する工程と

得られた第 2 のデバイス特性値から第 2 の統計量を算出する工程と、

前記第 2 の統計量と予め設定された第 2 の仕様とを比較する工程と、

前記第 2 の仕様を満たさない場合に第 2 の修正量を算出する工程と、

算出された前記第 2 の修正量に基づいて前記第 2 のパターンレイアウトを修正する工程と、

を備えるパターンレイアウトの修正方法が提供される。

40

【 発明の効果 】

【 0 0 0 8 】

本発明によれば、プロセスパラメータのばらつきが生じても仕様に合致した素子を製造することが可能になる。

【 発明を実施するための最良の形態 】

【 0 0 0 9 】

本発明はトランジスタを動作させるゲートパターンに対して特に有効であるため、以下の実施の形態ではゲートパターンに適用した形態について図面を参照しながら説明する。以下の各図では同一の部分には同一の参照番号を付してその重複説明は適宜省略する。

【 0 0 1 0 】

(1) 第 1 の実施の形態

50

本実施形態による処理フローを図 1 のフローチャートに示す。なお、同図中、 n はゲートの総数を表す。

【0011】

まず、トランジスタパターンを含む設計データを取り込み（ステップ S 1）、取り込んだ設計データに対して光近接効果補正などを施すことにより、マスクデータを作成する（ステップ S 2）。

【0012】

次いで、 $n = 1$ とし（ステップ S 3）、作成されたマスクデータを用いてプロセスパラメータのばらつきを反映させた複数の条件の下でプロセスシミュレーションを行い、プロセスシミュレーションの結果からゲートパターンの形状を導出する（ステップ S 4）。得られたパターン形状からゲート長の寸法を算出する（ステップ S 5）。

10

【0013】

次に、トランジスタの特性を決定するゲート長の出現頻度分布を得る（ステップ S 6）。

【0014】

得られた出現頻度分布から所定の統計量を求め、この統計量と各トランジスタに割り当てられるゲート長の仕様（スペック）とを比較し（ステップ S 7）、統計量が仕様を満たしていれば修正は不要であるが（ステップ S 8）、仕様を満たしていない場合には修正が必要と判定されて（ステップ S 8）、修正量を算出し（ステップ S 9）、設計データに対して修正量分だけ修正を行い（ステップ S 10）、再度処理フローを行う（ステップ S 2 ~ S 8）。なお、修正量の算出は、修正が必要であるとの判定と同時にに行われるとより好適である。

20

【0015】

以上の検証手順は全てのゲートについて実行される（ステップ S 11, S 12）。

【0016】

次に、図 1 のステップ S 4 および S 6 乃至 S 10 の処理内容を中心に本実施形態の処理フローをより詳細に説明する。

【0017】

ステップ S 4 の処理で行われるプロセスシミュレーションでは、各プロセスのプロセスパラメータに、理想の値からずれた状態、即ち、ばらつきを与えた状態で実行する。プロセスパラメータは、例えば露光波長、露光量（dose）、露光装置のレンズの開口数（NA）、露光装置の照明形状（ σ 、 ϵ ）、焦点位置（focus）、マスクの位相・透過率、および現像・レジストプロセス等のパラメータを含む。本実施形態では、例えばリソグラフィプロセスにおいて露光量や焦点位置にばらつきを与える。ばらつきの与え方としては各プロセスパラメータの理想的な値からのずれが独立にかつ一定の分布に従うものと仮定した。図 2 は、横軸に dose ばらつきをとり縦軸に focus ばらつきをとってこれらの組合せをプロットしたものである。その際に、各々ばらつきの出現頻度は正規分布に従うものと仮定した。このように各プロセスパラメータのばらつきの値を決定した後、それぞれプロセスパラメータのばらつきが与えられた複数の条件の下にプロセスシミュレーションを行った。その結果、図 3 のゲート部分平面図の一例に示されるように、プロセスパラメータのばらつきを反映させた各条件の下でシミュレーション形状を求めることができる。

30

40

【0018】

次に、図 1 ステップ S 6 のゲート長の出現頻度分布を求める処理について説明する。まず、上述したステップ S 2 で導出されたシミュレーション形状に対してゲート長を算出する。図 4 はゲート長算出方法の一例を説明する図である。例えば同図（a）に示す例では、トランジスタがアクティブになる素子領域 DA 1 と重複する領域において、ゲート方向（ゲートが延びる方向）での両端の midpoint でゲート長の算出を行い、その算出値をゲートの代表的な寸法値とした。また、図 4（b）に示す例では素子領域 DA 1 に加えてゲート長方向に所定の領域 CR a, CR b を追加した範囲において、ゲート長の測定を複数回行い

50

、例えばその平均値を代表的なゲート長とした。ここでは、領域C R a , C R bにおいてもゲート長を測長する。このような手法を用いてプロセスシミュレーション形状から予測される仕上がりでのトランジスタのゲート長を導出する。次に、このようなゲート長の算出をプロセス条件毎に行うことにより、図5に示すようなゲート長分布を得ることができる。ここで、横軸はゲート長L p o l yの寸法であり、縦軸はそれらのゲート長となる出現頻度である。ここではゲート長のねらい目寸法が40nmであるトランジスタの分布を示した。

【0019】

続いて、図1ステップS7のゲート長の仕様との比較について述べる。ステップS6でゲート長の寸法分布が得られれば、これらの統計的な量を用いて様々なゲート長の仕様との比較が可能になる。ゲート長の仕様としては、例えば図6で示すように寸法分布のメディアン(m e d i a n)値が、ねらい目寸法に一致していることや、図7で示すように寸法分布の平均値がねらい目寸法に一致していることや、さらに、図8に示すように寸法分布の最小値と最大値の中心がねらい目寸法に一致していることなどが考えられる。ここでの最小値および最大値は、その範囲外の数値(ゲート長値)となる確率が一定値以下とするような値として定義することができる。ゲート長の仕様としては、上記統計量が、ねらい目寸法に一致する場合のみならず、ねらい目寸法から一定の範囲内に収まっている場合でもよい。

10

【0020】

このように、ゲート長の出現頻度分布から求められる統計量とねらい目寸法との差異とゲート長の仕様とを比較すれば、プロセスパラメータのばらつきを反映させた複数条件下でのシミュレーション結果が仕様を満たしているかどうかを判定することができる。ゲート長の仕様は予め決められた値であり、例えばねらい目寸法に対してのずれが1.5%以内であることというように規定される。

20

【0021】

次に、図1のステップS8乃至S10では、ステップS7での比較によりゲート長の仕様を満たしていないと判定された場合、当該トランジスタに対して設計パターンの修正を施す。その修正量はステップS7で求めた統計量とねらい目寸法との差異を設計データに対して修正することになる。例えば図6で示すように、メディアン(m e d i a n)値がねらい目寸法に対して0.8nm細い場合は、設計データを0.8nmだけ太くする修正を行うことでメディアン(m e d i a n)値とねらい目寸法とを合致させることが可能になる。また、パターン修正量が必ずしも統計量の変化と一致しない場合は、統計量とねらい目寸法との差異に一定係数をかけたものを修正量としても良い。

30

【0022】

また、図7に示すように、ゲート長分布の平均値とねらい目寸法との差異を解消すべく設計データに修正を施すことが可能である。同様に、図8で示すようにゲート長分布の最小値および最大値の中心とねらい目寸法との差異を解消すべく設計データに修正を加えることが可能である。なお、設計データのゲート長に直接修正を加えたくないような場合は、例えば当該トランジスタを囲むように修正量に応じた識別図形を設計データに貼っておき、再度ステップS1に戻ってマスクデータを作成する際に、識別図形に対応する修正量を勘案してマスクデータを作成する方法などが考えられる。

40

【0023】

以上のように修正を施した設計データに対してマスクデータ作成(ステップS2)、プロセスシミュレーション(ステップS4)、ゲート長分布導出(ステップS5、S6)、ゲート長の仕様との比較(ステップS7)の工程を繰り返し行い、全てのトランジスタゲートで仕様を満たせば、そのときの設計データを最終の完成した設計データと規定する。

【0024】

本実施形態によれば、所望のパターンが常に形成できるように適切な修正を設計データに施すので、プロセスのパラメータのばらつきの影響を受けることなく狙い目通りのパターンを形成することができる。これにより、所望の製品が製造できる確率が上がり、歩留

50

まりが向上する。

【 0 0 2 5 】

(2) 第 2 の実施の形態

図 9 は、本発明にかかるパターンレイアウトの修正方法の第 2 の実施の形態における処理工程の概略を示すフローチャートである。図 9 において、ステップ S 2 1 乃至 S 2 3 は図 1 に示すステップ S 1 乃至 S 3 と実質的に同一の処理であり、単にステップ番号に 2 0 を加えたものに過ぎないため、重複説明を省略し、ステップ S 2 4 から説明する。

【 0 0 2 6 】

まず、ステップ S 2 2 の処理で作成されたマスクデータを用いてプロセスパラメータのばらつきを反映させた複数条件下でのプロセスシミュレーションを行い、プロセスシミュレーションの結果からゲートパターン形状と素子領域形状とを導出する (ステップ S 2 4) 。次に、得られたパターン形状および素子領域形状からトランジスタ毎にゲート長寸法を導出することに加え、プロセスシミュレーションの結果を用いてゲート幅の寸法も併せて導出する (ステップ S 2 5) 。ゲート幅の寸法を併せて導出する点は前述した第 1 の実施の形態と異なる点である。なお、本明細書において、「パターンの寸法」は、ゲート長とゲート幅を含む概念として使用される。

【 0 0 2 7 】

次に、これらゲート長寸法およびゲート幅寸法の 2 つの値を用いてデバイスシミュレーションを実行 (ステップ S 2 6) し、(プロセスパラメータのばらつきを反映させた) 与えられた条件下でのトランジスタ特性を算出する (ステップ S 2 7) 。ここで、デバイスシミュレーションにはゲート長およびゲート幅の 2 つの値だけではなく、例えばコンタクトホール位置やストレライナーの配置などを勘案しても良い。この特性値分布から所定の統計量を算出してトランジスタの特性値の仕様との比較を実行する (ステップ S 2 9) 。統計量が特性値の仕様を満たしている場合は当該トランジスタの修正は不要であると判定される (ステップ S 3 0) 。特性値の仕様を満たしていない場合は仕様を満たすべく修正値を算出して (ステップ S 3 1) 、設計データに修正が施され (ステップ S 3 2) 、再度マスクデータの作成 (ステップ S 2 2) から処理が行われる。

【 0 0 2 8 】

その後は、設計データ内の注目するトランジスタが全て特性値の仕様を満たすまで他のトランジスタゲートの検証を行った後 (ステップ S 3 3 、 S 3 4) 、その設計データを完成設計データとして規定する。

【 0 0 2 9 】

次に、図 9 のステップ S 2 4 および S 2 6 乃至 S 3 2 の処理内容を中心に本実施形態の処理フローをより詳細に説明する。

【 0 0 3 0 】

ステップ S 2 4 で行うプロセスシミュレーションでは、ゲート長のみに対してのみ行われた第 1 の実施の形態と異なり、本実施形態では素子領域に対してもプロセスばらつきを反映させた条件でシミュレーションを実行し、これにより、素子領域の仕上がり形状を導出する。また、ステップ S 2 5 でもゲート長寸法の算出に加えてゲート幅の寸法も算出する。

【 0 0 3 1 】

ゲート幅の算出方法としては、図 1 0 (a) に示すように、例えば図 4 (a) に示す例と同様にして、トランジスタゲート G 1 ~ G 4 と素子領域 D A 1 とが重複する領域において、ゲート長方向での両端の中点で素子領域に重なるゲート領域の長さを測定し、その結果をゲート幅とする。

【 0 0 3 2 】

ここで、図 1 0 (a) の左から 2 本目のトランジスタゲート G 2 のように、一方の端部でゲート幅が変化するような形状を有する場合がある。このような形状による影響を取り込むために、例えば図 1 0 (b) に示すように、ゲート G 2 と素子領域 D A 2 との重複領域でゲート幅の算出を複数回に亘って行う。例えば、それらの平均値を代表的なゲート幅

10

20

30

40

50

と規定する方策が考えられる。次に、このようにして求めたゲート長およびゲート幅を用いてデバイスシミュレーションを実行する（ステップS26）。上述の第1の実施の形態ではプロセスシミュレーションで得られた仕上がり形状からゲート長を導出したが、本実施形態のようにデバイスシミュレーションでゲート長およびゲート幅のシミュレーション結果を入力とする場合は、これらをそのまま用いることも可能である。

【0033】

このように、本実施形態のデバイスシミュレーションでは、ゲート長およびゲート幅を入力としてシミュレーションを行う。

【0034】

次に、デバイスシミュレーションの結果を用いて、（各プロセスパラメータのばらつきを反映させた）各トランジスタの各プロセスばらつき条件下でのトランジスタの特性値を算出する（ステップS27）。トランジスタ特性値としては、例えばトランジスタスイッチがオン（On）になった際に流れる電流量を示すオン電流（ I_{on} ）、またはトランジスタスイッチがオフ（Off）の際に漏れる電流量を示すオフ電流（ I_{off} ）、およびトランジスタのチャネル領域に反転層が形成される電圧を示すスレッシュホールド電圧（ V_{th} ）などが考えられる。

【0035】

次に、図9のステップS27の処理で求めたトランジスタ特性値を、プロセスパラメータのばらつきを反映させた複数の条件で求めることによりトランジスタ特性値の分布を得ることができる（ステップS28）。本実施形態では特にオン電流（ I_{on} ）に注目して以下の処理内容の説明を行う。ステップS28で求めたオン電流（ I_{on} ）の分布を図11に示す。プロセスパラメータがばらつくことによりゲート形状および素子領域の形状が変化し、それに伴いオン電流（ I_{on} ）の値が変化する。このようにして求めたオン電流（ I_{on} ）分布から統計量としてメディアン（median）を求めることができる。

【0036】

次に、求めたオン電流（ I_{on} ）のメディアン（median）値とトランジスタ特性値の仕様との比較を行う（図9、ステップS29）。特性値の仕様は予め決定されている値であり、例えばねらい目のオン電流（ I_{on} ）値からのずれが5%以内であることというように規定される。図11に示した例でねらい目オン電流（ I_{on} ）の値が235 [$\mu A / \mu m$]であったのに対し、メディアン（median）値は260 [$\mu A / \mu m$]であった。トランジスタ特性値の仕様がずれ量5%以下であるのに対し、注目するトランジスタの特性値ずれは10%であった。このような結果ではステップS30にて修正が必要と判断される。

【0037】

続いて、当該トランジスタのオン電流（ I_{on} ）が狙い目に合致するように修正量を求め（ステップS31）、該修正量にて設計データに対して修正を加える（ステップS32）。オン電流（ I_{on} ）を260 [$\mu A / \mu m$]からねらい目の235 [$\mu A / \mu m$]へ修正するためには、例えばゲート長を0.8nm太くするほか、素子領域の幅を10%小さくすることなどが考えられる。この場合でも、設計値をずらした場合に特性値がどの程度変化するかという敏感度を予め求めてルックアップテーブルとして格納しておけば、設計データを修正すべき量をずれ量から容易に求めることができる。

【0038】

図12で示すように、オン電流（ I_{on} ）特性値の平均値とねらい目との差異を解消すべく設計データに修正を施すことも可能である。同様に、図13で示すように特性値分布の最小値および最大値の中間点とねらい目特性値との差異を解消すべく設計データに修正を加えることも可能である。なお、上述した第1の実施の形態と同様に、設計データのゲート長に直接修正を加えたくないような場合は、例えば当該トランジスタを囲むように修正量に応じた識別図形を設計データに貼っておき、再度ステップS22にてマスクデータを作成する際に識別図形に応じた修正量を勘案してマスクデータを作成する方法などが考えられる。

10

20

30

40

50

【 0 0 3 9 】

このようにして修正を施した設計データに対して図 9 のステップ S 2 2 乃至 S 3 0 の処理を再度繰り返し行い、全てのトランジスタゲートで（ステップ S 3 3、S 3 4）仕様を満たせばその設計データを最終の完成した設計データとして規定する。

【 0 0 4 0 】

（ 3 ）第 3 の実施の形態

本実施形態では、チップ設計の段階で各ネットのタイミング検証を行い、検証結果をデータベースに保持しておく。チップのマスクデータを作成する際に、タイミングの厳しさに応じて、注目するデバイス特性値とその仕様とを切り替えて設計パターンの修正を行う。

10

【 0 0 4 1 】

例えば図 1 4 に示すような論理ブロックに対し、例えばプレイスメントアンドルーティング（Placement and routing）ツールを用いてブロック設計パターンを作成した後、STA（Static Timing Analysis）ツールにてタイミング検証を行う。検証の結果、タイミングの厳しい信号線とそれほど厳しくはない信号線とを区別することができる。図 1 4 ではタイミングの厳しい信号線上にある論理回路 LC 2、LC 9、LC 10 および LC 12 を白抜きで、それほど厳しくない信号線上の論理回路 LC 1、LC 3～LC 8 および LC 11 を黒塗りで示した。これらの論理回路ブロックについてチップ設計をすると図 1 5 のようなレイアウトになる。各々の矩形が論理回路を実現するための設計セルパターンを意味する。なお、図 1 5 では省略したが各設計セルパターンはメタル配線によって互いに連結されている。図 1 4 と同様に、タイミングの厳しい設計セルパターン CP 2 1、CP 3 3、CP 4 5 および CP 5 4 を白抜きで示した。本実施形態において、設計セルパターン CP 2 1、CP 3 3、CP 4 5 および CP 5 4 は例えば第 1 の領域に属すべき第 1 のパターンレイアウトに対応し、他の残余の設計セルパターンは、第 2 の領域に属する第 2 のパターンレイアウトに対応する。

20

【 0 0 4 2 】

このように半導体素子のチップ設計を行った後、タイミングの厳しい設計セルとそうでない設計セルとを区別することが可能になる。例えばタイミングが厳しいネットに属するトランジスタに関しては動作速度を規定するオン電流（Ion）をトランジスタ特性値として選択する。その後は、上述した実施形態と同様にプロセスパラメータのばらつきを反映させた複数条件でプロセスシミュレーションを行って仕上がり形状を算出し、得られた仕上がり形状から上記複数条件の下でのオン電流（Ion）の値を導出し、得られたオン電流（Ion）の値から統計値を算出して仕様と比較する。比較の結果、仕様を満たさない場合に、修正量を算出して設計セルパターンのレイアウトを修正する。オン電流（Ion）の値が小さい方向にずれることは許容できないので、本実施形態では特性値の仕様を + 0 % ～ + 1 0 % として設計セルパターン CP 2 1、CP 3 3、CP 4 5 および CP 5 4 を修正する。同様の処理を残余の設計セルパターンについても実行する。タイミングの厳しくないネットに属するトランジスタはリーク電流を減らしてチップ全体の消費電力を下げするため、残余の設計セルパターンのレイアウトについては、オフ電流（Ioff）をトランジスタ特性値として採用する。特性値の仕様としては例えばねらい目よりも - 1 0 % 以下であるという設定を行う。本実施形態において、オン電流（Ion）およびオフ電流（Ioff）は、例えば第 1 および第 2 のデバイス特性値にそれぞれ対応する。また、設計セルパターン CP 2 1、CP 3 3、CP 4 5 および CP 5 4、並びに残余のパターンについて得られた仕上がり形状、寸法、統計量および修正量は、本実施形態において、それぞれ例えば第 1 および第 2 の仕上がり形状、第 1 および第 2 の寸法、第 1 および第 2 の統計量並びに第 1 および第 2 の修正量に対応する。

30

40

【 0 0 4 3 】

本実施形態によれば、チップ設計においてタイミングの厳しさに応じて、注目するトランジスタ特性値を変え、併せて特性値の仕様も変えることにより、高速動作可能でかつ省電力の半導体素子の設計が可能となった。

50

【 0 0 4 4 】

(4) 半 導 体 装 置 の 製 造 方 法

上述した実施の形態のパターンレイアウトの修正方法を用いて作成したレイアウトに基づき半導体装置を製造すると、プロセスパラメータのばらつきの影響を受けることなく狙い通りのパターンを形成することができるので、所望の製品が製造できる確率が上がる。これにより、歩留まり向上を実現することが可能になる。

【 0 0 4 5 】

(5) プ ロ グ ラ ム

上述したパターンレイアウトの修正方法の一連の処理手順は、コンピュータに実行させる一つ又は複数のプログラムとしてフレキシブルディスクやCD-ROM等の記録媒体にレシピアイルの形態で収納し、EWS等のコンピュータに読み込ませて実行させても良い。これにより、本発明に係るパターンレイアウトの修正方法を汎用のコンピュータを用いて実現することができる。記録媒体は、磁気ディスクや光ディスク等の携帯可能なものに限定されず、ハードディスク装置やメモリなどの固定型の記録媒体でも良い。また、上述したパターンレイアウトの修正方法の一連の処理手順を組み込んだプログラムをインターネット等の通信回線（無線通信を含む）を介して頒布しても良い。さらに、上述したパターンレイアウトの修正方法の一連の処理手順を組み込んだプログラムを暗号化したり、変調をかけたり、圧縮した状態で、インターネット等の有線回線や無線回線を介して、または記録媒体に収納して頒布しても良い。

【 図 面 の 簡 単 な 説 明 】

【 0 0 4 6 】

【 図 1 】 本 発 明 に か か る パ タ ー ン レ イ ア ウ ト の 修 正 方 法 の 第 1 の 実 施 の 形 態 に お け る 処 理 工 程 の 概 略 を 説 明 す る フ ロ ー チ ャ ー ト で あ る 。

【 図 2 】 露 光 量 の ば ら つ き と 焦 点 位 置 の ば ら つ き の 一 例 を 示 す ヒ ス ト グ ラ ム で あ る 。

【 図 3 】 各 プ ロ セ ス パ ラ メ ー タ の ば ら つ き 条 件 の 下 で 得 ら れ た シ ミ ュ レ ー シ ョ ン 形 状 の 一 例 を 示 す 。

【 図 4 】 (a) お よ び (b) は ゲ ー ト 長 の 算 出 方 法 の 一 例 を 説 明 す る 図 で あ る 。

【 図 5 】 プ ロ セ ス シ ミ ュ レ ー シ ョ ン 形 状 か ら 導 出 さ れ た ゲ ー ト 長 の 分 布 図 の 一 例 で あ る 。

【 図 6 】 ゲ ー ト 寸 法 の 修 正 方 法 の 一 例 を 示 す 図 で あ る 。

【 図 7 】 ゲ ー ト 寸 法 の 修 正 方 法 の 他 の 例 を 示 す 図 で あ る 。

【 図 8 】 ゲ ー ト 寸 法 の 修 正 方 法 の さ ら に 他 の 例 を 示 す 図 で あ る 。

【 図 9 】 本 発 明 に か か る パ タ ー ン レ イ ア ウ ト の 修 正 方 法 の 第 2 の 実 施 の 形 態 に お け る 処 理 工 程 の 概 略 を 示 す フ ロ ー チ ャ ー ト で あ る 。

【 図 1 0 】 (a) お よ び (b) は ゲ ー ト 幅 の 算 出 方 法 の 一 例 を 説 明 す る 図 で あ る 。

【 図 1 1 】 オ ン 電 流 (I_{on}) を 狙 い 目 の 値 に す る た め の 設 計 デ ー タ に 対 す る 修 正 方 法 の 一 例 を 示 す 図 で あ る 。

【 図 1 2 】 オ ン 電 流 (I_{on}) を 狙 い 目 の 値 に す る た め の 設 計 デ ー タ に 対 す る 修 正 方 法 の 他 の 例 を 示 す 図 で あ る 。

【 図 1 3 】 オ ン 電 流 (I_{on}) を 狙 い 目 の 値 に す る た め の 設 計 デ ー タ に 対 す る 修 正 方 法 の さ ら に 他 の 例 を 示 す 図 で あ る 。

【 図 1 4 】 本 発 明 に か か る パ タ ー ン レ イ ア ウ ト の 修 正 方 法 の 第 3 の 実 施 の 形 態 の 説 明 図 で あ る 。

【 図 1 5 】 本 発 明 に か か る パ タ ー ン レ イ ア ウ ト の 修 正 方 法 の 第 3 の 実 施 の 形 態 の 説 明 図 で あ る 。

【 符 号 の 説 明 】

【 0 0 4 7 】

C P n m : セ ル パ タ ー ン

D A 1 , D A 2 : 素 子 領 域

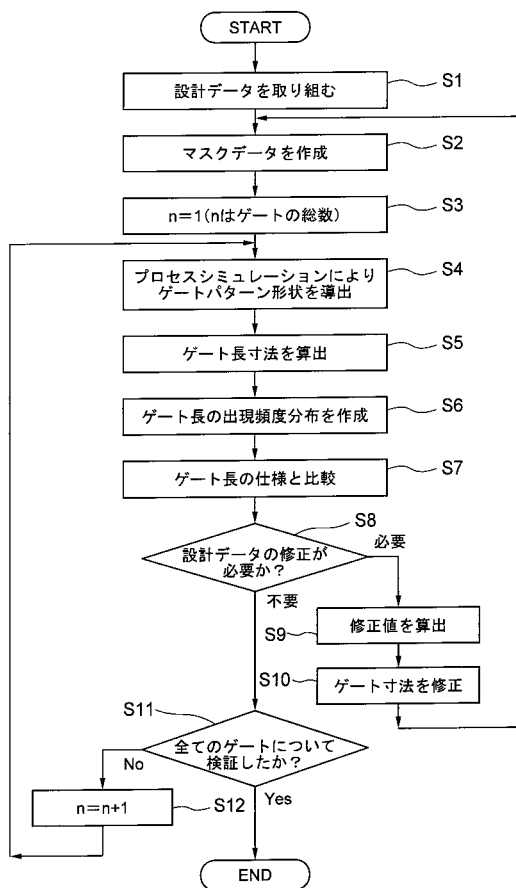
G 1 ~ G 4 : ゲ ー ト パ タ ー ン

I_{on} : オ ン 電 流

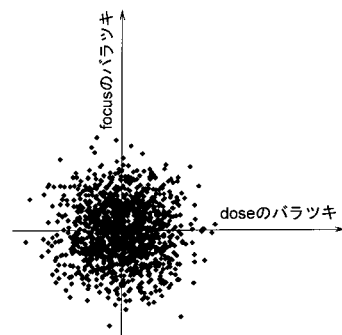
L C 1 ~ L C 1 2 : 論理回路

L p o l y : ゲートパターンの寸法

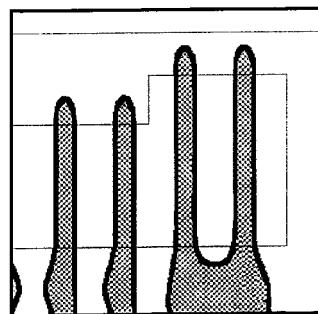
【 図 1 】



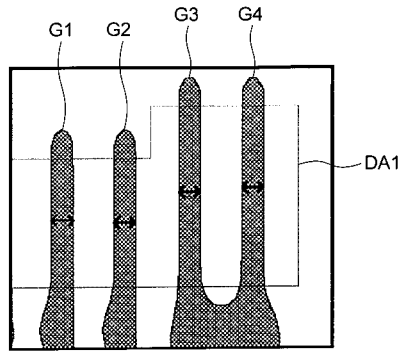
【 図 2 】



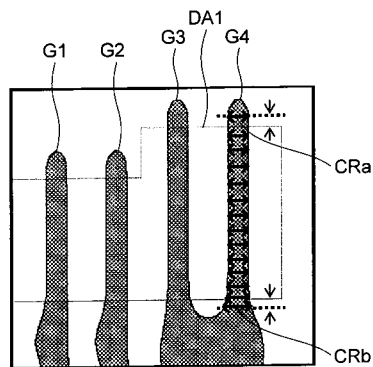
【 図 3 】



【図 4】

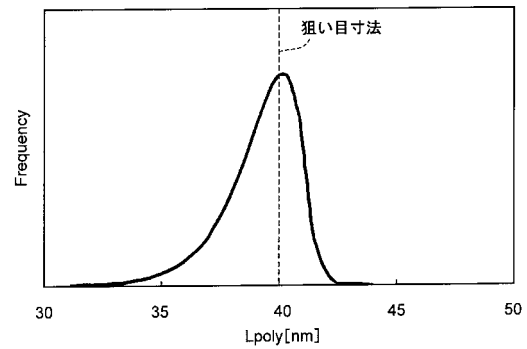


(a)



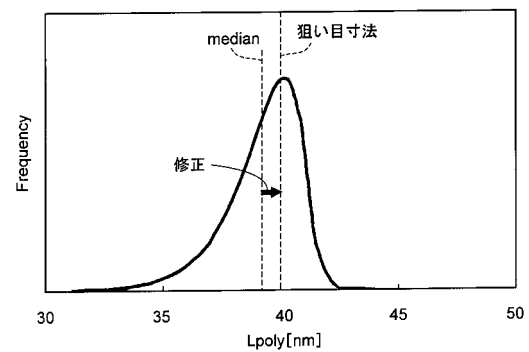
(b)

【図 5】



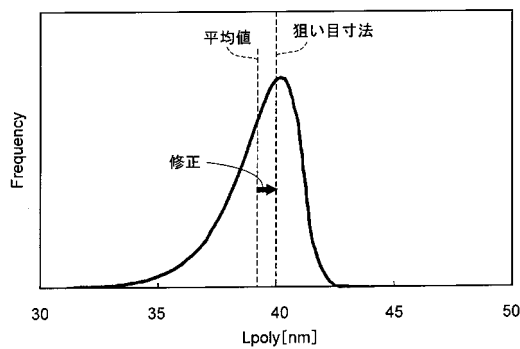
プロセスバラツキを考慮した仕上がりのLpoly寸法分布

【図 6】



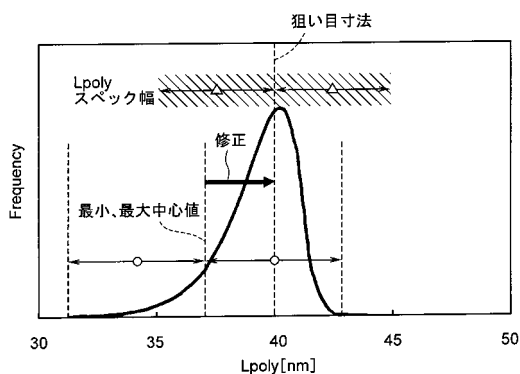
Lpoly Median値が狙い目寸法になるように修正

【図 7】



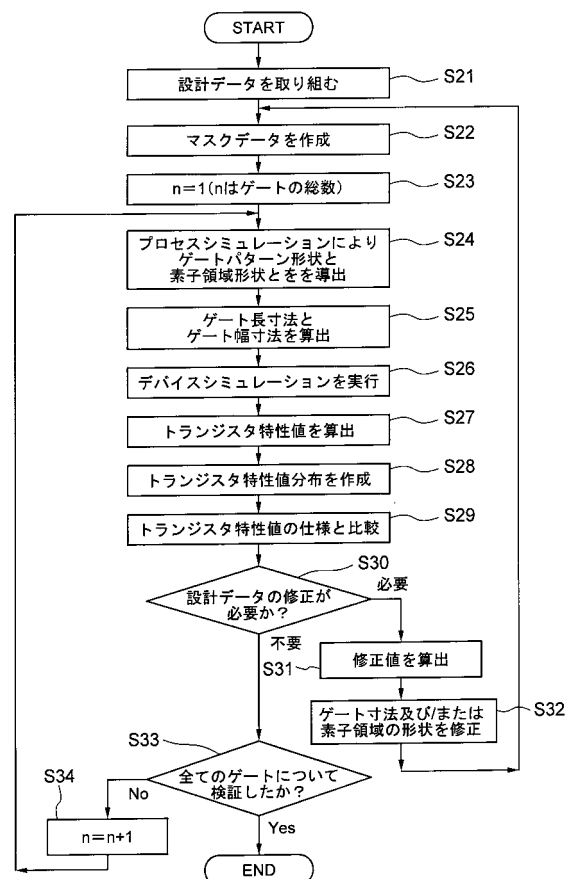
Lpoly 平均値が狙い目寸法になるように修正

【図 8】

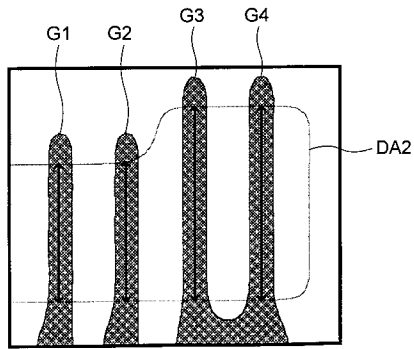


プロセスバラツキによって発生する最小値と最大値の中心値がスペックの中心値となるように修正

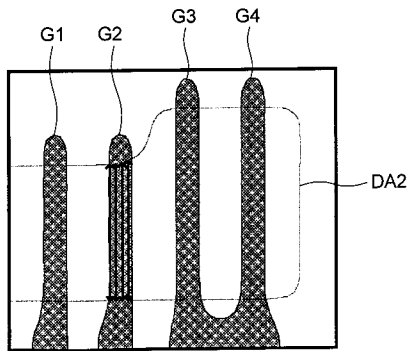
【図 9】



【図 1 0】

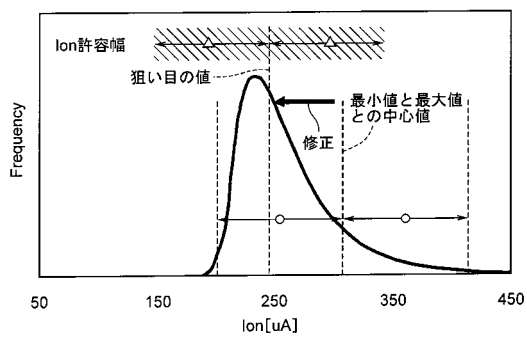


(a)



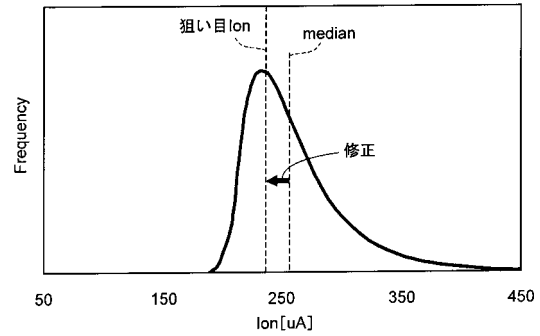
(b)

【図 1 3】



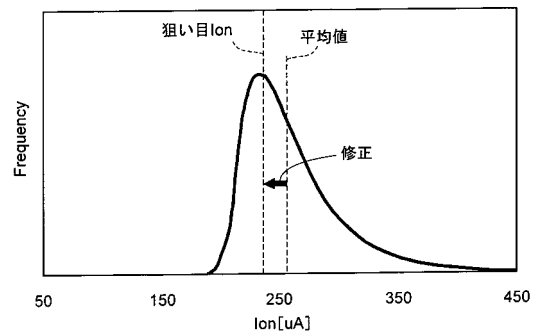
プロセスバラツキによって発生する最小値と最大値の中心値がスペックの中心値となるように修正

【図 1 1】



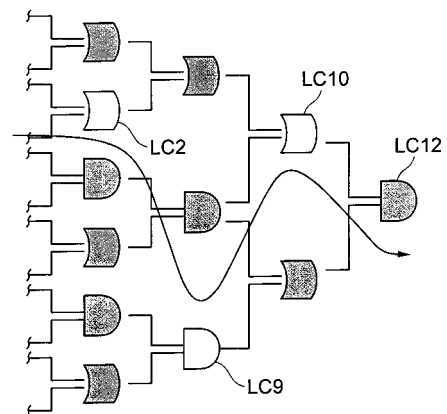
Ion分布のMedian値が狙い目になるように修正

【図 1 2】

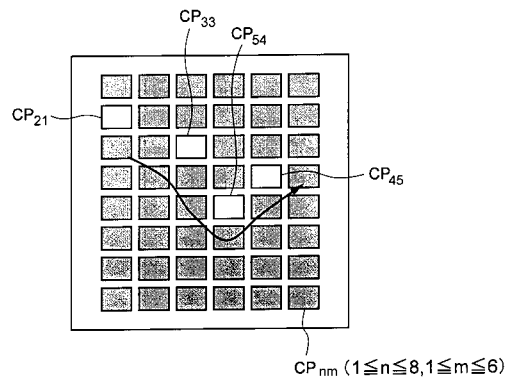


Ion分布の平均値が狙い目になるように修正

【図 1 4】



【図 15】



フロントページの続き

(72)発明者 姜 帥 現

東京都港区芝浦一丁目1番1号 株式会社東芝内

Fターム(参考) 5B046 AA08 BA04 JA01 JA04

5F033 UU01 UU07 XX00

5F064 CC09 DD02 DD10 DD19 EE02 EE03 EE47 HH02 HH06 HH09

HH10