

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 7 部門第 2 区分

【発行日】平成22年9月2日(2010.9.2)

【公開番号】特開2009-32794(P2009-32794A)

【公開日】平成21年2月12日(2009.2.12)

【年通号数】公開・登録公報2009-006

【出願番号】特願2007-193396(P2007-193396)

【国際特許分類】

H 0 1 L 21/768 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

H 0 1 L 21/90 C

H 0 1 L 21/90 A

H 0 1 L 29/78 6 1 6 K

H 0 1 L 29/78 6 1 7 J

【手続補正書】

【提出日】平成22年7月21日(2010.7.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

半導体層上またはメタル層上に形成された絶縁層と、

前記絶縁層に形成され、前記絶縁層の上面から途中まで第 1 の開口径で形成された第 1 の接続孔と、

前記絶縁層に形成され、前記第 1 の接続孔下に繋げられ、前記絶縁層の前記途中から前記半導体層上または前記メタル層上に接するまで第 2 の開口径で形成された第 2 の接続孔と、

前記第 1 の開口径よりも前記第 2 の開口径の方が大きく、

前記第 2 の接続孔の底面の前記半導体層または前記メタル層から成長され、前記第 2 の接続孔内及び前記第 1 の接続孔内に埋め込まれた無電解めっき層と、を具備することを特徴とする半導体装置。

【請求項 2】

半導体層上またはメタル層上に形成された第 1 の絶縁層と、

前記第 1 の絶縁層に形成され、前記第 1 の絶縁層の上面から途中まで第 1 の開口径で形成された第 1 の接続孔と、

前記第 1 の絶縁層に形成され、前記第 1 の接続孔下に繋げられ、前記第 1 の絶縁層の前記途中から前記半導体層上または前記メタル層上に接するまで第 2 の開口径で形成された第 2 の接続孔と、

前記第 1 の接続孔内の側面及び前記第 1 の絶縁層上に形成された第 2 の絶縁層と、

前記第 1 の開口径よりも前記第 2 の開口径の方が大きく、

前記第 2 の接続孔の底面の前記半導体層または前記メタル層から成長され、前記第 2 の接続孔内及び前記第 1 の接続孔内に埋め込まれた無電解めっき層と、を具備することを特徴とする半導体装置。

【請求項 3】

請求項 2 において、前記第 1 の絶縁層は酸化シリコン層であり、前記第 2 の絶縁層は窒化シリコン層であることを特徴とする半導体装置。

【請求項 4】

半導体層上またはメタル層上に絶縁層を形成し、

前記絶縁層に、前記絶縁層の上面から途中までを第 1 の開口径で開口した第 1 の接続孔を形成し、

前記絶縁層に、前記第 1 の接続孔下に繋げられ、前記絶縁層の前記途中から前記半導体層上または前記メタル層上に接するまでを前記第 1 の開口径よりも大きい第 2 の開口径で開口した第 2 の接続孔を形成し、

前記第 2 の接続孔の底面の前記半導体層または前記メタル層から成長させ、前記第 2 の接続孔内及び前記第 1 の接続孔内に無電解めっき層を埋め込むことを特徴とする半導体装置の作製方法。

【請求項 5】

半導体層上またはメタル層上に第 1 の絶縁層を形成し、

前記第 1 の絶縁層に、前記第 1 の絶縁層の上面から途中までを第 1 の開口径で開口した第 1 の接続孔を形成し、

前記第 1 の接続孔内の側面及び前記第 1 の絶縁層上に第 2 の絶縁層を形成し、

前記第 1 の絶縁層に、前記第 1 の接続孔下に繋げられ、前記第 1 の絶縁層の前記途中から前記半導体層上または前記メタル層上に接するまでを前記第 1 の開口径よりも大きい第 2 の開口径で開口した第 2 の接続孔を形成し、

前記第 2 の接続孔の底面の前記半導体層または前記メタル層から成長させ、前記第 2 の接続孔内及び前記第 1 の接続孔内に無電解めっき層を埋め込むことを特徴とする半導体装置の作製方法。

【請求項 6】

請求項 5 において、前記第 2 の絶縁層は、前記第 1 の絶縁層がエッチングされて前記第 2 の接続孔が形成される際のエッチングマスクとして機能することを特徴とする半導体装置の作製方法。

【請求項 7】

半導体層上またはメタル層上に絶縁層を形成し、

前記絶縁層上に第 1 のエッチングマスク層を形成し、

前記第 1 のエッチングマスク層上にレジストを形成し、

前記レジストをマスクとして前記第 1 のエッチングマスク層及び前記絶縁層を異方性エッチングすることにより、前記第 1 のエッチングマスク層及び前記絶縁層に、前記第 1 のエッチングマスク層を貫通し且つ前記絶縁層を貫通しない第 1 の接続孔を形成し、

前記レジストを除去した後、前記第 1 の接続孔内の底面と側面及び前記第 1 のエッチングマスク層上に第 2 のエッチングマスク層を形成し、

前記第 2 のエッチングマスク層をエッチバックすることにより、前記第 1 の接続孔内の底面に形成された前記第 2 のエッチングマスク層及び前記第 1 のエッチングマスク層上に形成された前記第 2 のエッチングマスク層を除去し、且つ前記第 1 の接続孔内の側面に形成された前記第 2 のエッチングマスク層を残し、

前記残された第 2 のエッチングマスク層及び前記第 1 のエッチングマスク層をマスクとして前記第 1 の接続孔の底面に露出した前記絶縁層を等方性エッチングすることにより、前記半導体層上または前記メタル層上に前記第 1 の接続孔に繋がれた第 2 の接続孔を形成し、

前記第 2 の接続孔の底面に露出した前記半導体層または前記メタル層から無電解めっき層を成長させることにより、前記第 2 の接続孔内及び前記第 1 の接続孔内に無電解めっき層を埋め込むことを特徴とする半導体装置の作製方法。

【請求項 8】

半導体層上または第 1 のメタル層上に絶縁層を形成し、

前記絶縁層上に第 2 のメタル層を形成し、

前記第 2 のメタル層上にレジストを形成し、

前記レジストをマスクとして前記第 2 のメタル層及び前記絶縁層を異方性エッチングすることにより、前記第 2 のメタル層及び前記絶縁層に、前記第 2 のメタル層を貫通し且つ前記絶縁層を貫通しない第 1 の接続孔を形成し、

前記レジストを除去した後、前記第 1 の接続孔内の底面と側面及び前記第 2 のメタル層上に第 3 のメタル層を形成し、

前記第 3 のメタル層をエッチバックすることにより、前記第 1 の接続孔内の底面に形成された前記第 3 のメタル層及び前記第 2 のメタル層上に形成された前記第 3 のメタル層を除去し、且つ前記第 1 の接続孔内の側面に形成された前記第 3 のメタル層を残し、

前記残された第 3 のメタル層及び前記第 2 のメタル層をマスクとして前記第 1 の接続孔の底面に露出した前記絶縁層を等方性エッチングすることにより、前記半導体層上または前記第 1 のメタル層上に前記第 1 の接続孔に繋がれた第 2 の接続孔を形成し、

前記第 2 のメタル層及び前記第 3 のメタル層を除去し、

前記第 2 の接続孔の底面に露出した前記半導体層または前記第 1 のメタル層から無電解めっき層を成長させることにより、前記第 2 の接続孔内及び前記第 1 の接続孔内に無電解めっき層を埋め込むことを特徴とする半導体装置の作製方法。