



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년04월11일
 (11) 등록번호 10-1611161
 (24) 등록일자 2016년04월05일

(51) 국제특허분류(Int. Cl.)
 H01L 21/78 (2006.01) H01L 31/04 (2014.01)
 (21) 출원번호 10-2008-0134618
 (22) 출원일자 2008년12월26일
 심사청구일자 2013년12월26일
 (65) 공개번호 10-2009-0073031
 (43) 공개일자 2009년07월02일
 (30) 우선권주장
 JP-P-2007-340013 2007년12월28일 일본(JP)
 (56) 선행기술조사문헌
 JP2002100709 A*
 JP2004349275 A*
 JP2002064112 A*
 US7316937 B2
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
 가부시키가이샤 한도오따이 에네루기 켄큐쇼
 일본국 가나가와켄 아쓰기시 하세 398
 (72) 발명자
 다카하시 히데카주
 일본, 가나가와켄 243-0036, 아쓰기시, 하세 398,
 가부시키가이샤한도오따이 에네루기 켄큐쇼 내
 야마다 다이키
 일본 군마켄 370-0535, 오우라군, 오히주미-마치,
 요리키도, 899-22, 미사키니반칸 101
 (뒷면에 계속)
 (74) 대리인
 장훈

전체 청구항 수 : 총 17 항

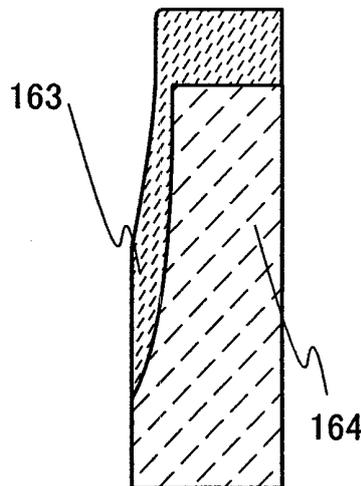
심사관 : 배진용

(54) 발명의 명칭 **반도체장치 및 반도체장치의 제작방법**

(57) 요약

기판의 제 1 면에 반도체 소자가 형성되고, 기판의 제 1 면과는 반대의 제 2 면과, 기판의 측면의 일부에 수지층을 갖고, 기판의 측면에 단차를 갖고, 기판의 폭 치수는, 단차보다도 앞의 부분이 작다. 따라서, 기판은, 불록 형상을 갖게 된다.

대표도



(72) 발명자

몬마 요헤이

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398,
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

아다치 히로키

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398,
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

야마자키 순페이

일본, 가나가와켄 243-0036, 아쓰기시, 하세 398,
가부시키가이샤한도오따이 에네루기 켄큐쇼 내

명세서

청구범위

청구항 1

반도체 장치에 있어서,

기판의 제 1 면 위에 접하는 반도체 소자; 및

상기 기판의 상기 제 1 면과는 반대 쪽인 제 2 면 아래에 있고, 상기 기판의 측면의 일부에 접하는 수지층을 포함하고,

상기 기판의 단면은 사다리꼴이고 상기 사다리꼴은 계단형 측면을 갖고,

상기 계단형 사다리꼴의 상단의 두께는 상기 계단형 사다리꼴의 하단의 두께보다 크고,

상기 기판의 상기 제 1 면 및 상기 기판의 상기 제 2 면은 사각형이고,

상기 기판의 상기 제 1 면의 면적은 상기 기판의 상기 제 2 면의 면적보다 크고,

상기 기판은 볼록 형상을 갖는, 반도체 장치.

청구항 2

삭제

청구항 3

반도체 장치에 있어서,

기판의 제 1 면 위에 접하는 반도체 소자; 및

상기 기판의 상기 제 1 면과는 반대 쪽인 제 2 면 아래에 있고, 상기 기판의 측면의 일부에 접하는 수지층을 포함하고,

상기 기판의 단면은 사다리꼴이고 상기 사다리꼴은 계단형 측면을 갖고,

상기 계단형 사다리꼴의 상단의 두께는 상기 계단형 사다리꼴의 하단의 두께보다 크고,

상기 기판의 상기 제 1 면 및 상기 기판의 상기 제 2 면은 사각형이고,

상기 기판의 상기 제 1 면의 면적은 상기 기판의 상기 제 2 면의 면적보다 큰, 반도체 장치.

청구항 4

제 3 항에 있어서,

상기 사다리꼴은 상기 상단으로부터 상기 하단으로 만곡되는, 반도체 장치.

청구항 5

제 1 항 또는 제 3 항에 있어서,

상기 수지층과 접하는 상기 기판의 상기 측면은 저부에 가까울수록 폭이 확장되는 곡면을 포함하는, 반도체 장치.

청구항 6

삭제

청구항 7

제 1 항 또는 제 3 항에 있어서,

상기 반도체 소자는 광전 변환 소자와 상기 광전 변환 소자의 출력을 증폭하는 증폭 회로를 포함하는 광전 변환 장치를 포함하고,

상기 광전 변환 소자는 p-형 반도체 층, i-형 반도체 층, 및 n-형 반도체 층의 적층 구조를 갖는, 반도체 장치.

청구항 8

제 1 항 또는 제 3 항에 있어서,

상기 기관은 투광성을 갖는, 반도체 장치.

청구항 9

제 1 항 또는 제 3 항에 있어서,

상기 수지층은 투광성을 갖는, 반도체 장치.

청구항 10

제 1 항 또는 제 3 항에 있어서,

상기 기관은 투광성을 갖고,

상기 수지층은 녹색광을 투과시키는 재료를 포함하는, 반도체 장치.

청구항 11

제 1 항 또는 제 3 항에 있어서,

상기 기관은 투광성을 갖고,

상기 수지층은 청색광을 투과시키는 재료를 포함하는, 반도체 장치.

청구항 12

제 1 항 또는 제 3 항에 있어서,

상기 기관은 투광성을 갖고,

상기 수지층은 적색광을 투과시키는 재료를 포함하는, 반도체 장치.

청구항 13

반도체 장치를 제작하는 방법에 있어서,

기관의 제 1 면 위에 접하여 반도체 소자를 형성하는 단계;

상기 제 1 면과는 반대 쪽인 제 2 면 쪽으로부터 상기 기관을 박형화(thinning)하여, 상기 기관의 상기 제 1 면과 반대쪽에 제 3 면을 갖는 박형화된 기관을 형성하는 단계;

상기 박형화된 기관의 상기 제 3 면에 홈을 형성하는 단계;

상기 제 3 면의 일부 아래 및 상기 홈에 수지층을 형성하는 단계; 및

상기 박형화된 기관을 분단하는 단계를 포함하고,

상기 홈 형성 단계에서 형성된 상기 홈의 폭은 상기 박형화된 기관의 분단 단계에서의 절삭 자국의 폭보다 큰, 반도체 장치 제작 방법.

청구항 14

제 13 항에 있어서,

상기 홈 형성 단계 및 상기 기관 분단 단계에서, 상이한 두께를 갖는 다이싱 블레이드(dicing blade)가 이용되는, 반도체 장치 제작 방법.

청구항 15

제 13 항에 있어서,

상기 기판은 상기 기판 박형화 단계, 상기 홈 형성 단계 및 상기 기판 분단 단계에서 다이싱 테이프로 고정되는, 반도체 장치 제작 방법.

청구항 16

제 13 항에 있어서,

상기 기판 분단 단계에서, 상기 박형화된 기판 상에 제공된 마커가 검출되고, 상기 박형화된 기판의 위치를 확인하면서 상기 홈의 내측이 절단되어 상기 기판이 분단되는, 반도체 장치 제작 방법.

청구항 17

반도체 장치를 제작하는 방법에 있어서,

기판의 제 1 면 위에 접하여 반도체 소자를 형성하는 단계;

상기 제 1 면과는 반대 쪽인 상기 기판의 제 2 면에 홈을 형성하는 단계;

상기 제 2 면 아래에 수지층을 형성하는 단계; 및

상기 기판을 분단하는 단계를 포함하고,

상기 홈 형성 단계에서 형성된 상기 홈의 폭은 상기 기판의 분단 단계에서의 절삭 자국의 폭보다 큰, 반도체 장치 제작 방법.

청구항 18

제 17 항에 있어서,

상기 기판은 상기 홈 형성 단계 및 상기 기판 분단 단계에서 다이싱 테이프로 고정되는, 반도체 장치 제작 방법.

청구항 19

제 17 항에 있어서,

상기 기판 분단 단계에서, 상기 기판 상에 제공된 마커가 검출되고, 상기 기판의 위치를 확인하면서 상기 홈의 내측이 절단되어 상기 기판이 분단되는, 반도체 장치 제작 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은, 반도체장치 및 반도체장치의 제작방법에 관한 것이다. 특히 반도체장치로서 광전 변환 장치에 관한 것이다.

배경 기술

[0002] 광전 변환 장치의 일 형태로서, 파장 400nm 내지 700nm의 가시광선 영역에 감도를 가지는 것은 광 센서 또는 가시광 센서라고 불리고 있다. 광 센서 또는 가시광 센서는 광 신호를 검지하여 정보를 판독하는 용도, 주변환경의 밝기를 검지하여 전자기기 등의 동작을 제어하는 용도 등이 알려져 있다.

[0003] 예를 들면, 휴대전화기나 텔레비전장치에서는 표시화면의 밝기를, 이것이 두어진 주변환경의 밝기에 따라서 조절하기 위해서 광 센서가 사용되고 있다(특허문헌 1 참조).

[0004] 이러한, 광 센서 또는 가시광 센서를 예로 하는 반도체장치는 유리나 웨이퍼 등의 기판 위에 트랜지스터를 형성하고, 다음에, 기판을 절단(분단)함으로써 형성된다.

[0005] 기관의 분단은, 많은 경우에 있어서, 우선, 스크라이브장치를 사용하여, 기관의 표면에 홈(스크라이브 라인이라 고도 함)을 형성한다. 다음에, 커팅장치를 사용하여, 홈을 따라, 강제적으로 기관을 분단한다. 또한, 레이저 빔을 사용한 기관의 분단은, 우선, 기관에 레이저빔을 선택적으로 조사하여, 국소적으로 기관을 가열한다. 다음에, 가열한 기관의 표면을, 냉매에 의해 국소적으로 냉각한다. 다음에, 기관에 발생하는 열 응력을 이용하여 균열을 형성함으로써, 기관을 분단한다(예를 들면, 특허문헌 1 참조).

[0006] [특허문헌 1] 일본 공개특허공보 2001-64029호

발명의 내용

해결 하고자하는 과제

[0007] 스크라이브장치를 사용한 기관의 분단에서는 기관의 표면에 형성된 층에 의해서, 홈이 원하는 형상으로 형성되지 않는 경우가 있었다. 그 결과, 기관을 원하는 형상으로 분단할 수 없고, 수율을 내리는 요인이 되었다. 또한, 가압력을 사용하여 분단하기 때문에, 홈으로부터 균열이 생기기 쉽고, 분단면에 악영향을 주었다. 이러한, 분단면의 외관적인 문제는 수율을 내리는 요인이 되었다. 균열 이외에 금, 깨짐도 발생하지만, 이들은 기관이 얇아져 강도가 낮아짐에 따라서 발생 빈도가 많아진다.

[0008] 또한, 스크라이브장치는 다이서 등을 사용하는 경우가 많고, 이러한 다이서 등의 칼(다이싱 블레이드)은 복수회 사용하면 마모되기 때문에, 교환할 필요가 있다. 다이싱 블레이드는 고가이기 때문에 제작비용의 삭감이 곤란하다.

[0009] 또한, 레이저빔을 사용한 기관의 절단에서는 기관을 가열하기 때문에 기관이 변형되어 버린다. 또, 기관 내에 응력이 남기 때문에 기관에 균열이 발생하여 버리는 경우가 있었다.

[0010] 그래서 본 발명은, 반도체장치가 형성되는 기관을 얇게 하는 것을 과제의 하나로 한다. 또한, 박형화된 소자 기관의 제조 수율을 향상시키는 것을 과제의 하나로 한다. 또, 박형화된 소자 기관의 제조 비용을 저감하는 것을 과제의 하나로 한다.

과제 해결수단

[0011] 본 발명은, 대면적 기관을 반도체 소자마다 분단함으로써, 복수의 반도체장치를 칩형으로 추출한다. 본 발명은, 분단방법에 있어서, 우선, 기관의 두께를 얇게 가공하여, 분단에 걸리는 공정시간의 단축 및 분단에 사용하는 다이서 등 가공수단의 마모를 경감한다. 또 분단공정은, 한번에 행하지 않고, 우선, 기관에 반도체 소자를 분단하기 위한 홈을 형성하고, 홈이 형성된 기관 위에 수지층을 형성한다. 그 후, 수지층 및 기관을 홈에 있어서, 절단하여, 복수의 반도체장치에 분단(분할)한다.

[0012] 따라서, 본 발명의 반도체장치의 일 형태는 기관의 제 1 면에 반도체 소자가 형성되고, 기관의 제 1 면과는 반대의 제 2 면과, 기관의 측면의 일부에 수지층을 갖고, 기관의 측면에 단차를 갖고, 기관의 폭 치수는 단차보다도 앞의 부분이 작다. 따라서, 기관은, 쉘(凸)자 형상을 갖게 된다. 또한, 기관의 단면을, 역T자 형상이라고 불러도 좋다. 또, 그 역T자 형상은, 실질적으로 T자와 같은 형태를 포함하면 좋다.

[0013] 본 발명의 반도체장치의 일 형태는 기관의 제 1 면에 반도체 소자가 형성되고, 기관의 제 1 면과는 반대의 제 2 면과, 기관의 측면의 일부에 수지층을 갖고, 기관은 단면에 있어서, 측면이 계단형의 사다리꼴이고, 계단형의 사다리꼴은, 상단의 두께가 하단의 두께보다 두껍다. 홈의 형상에 따라서는 사다리꼴의 상단은 하단을 향해서 만곡되어 있는 형상이 된다.

[0014] 상기 구조에 있어서, 반도체장치의 일 형태는 수지층이 접하고 있는 기관의 측면은, 끝쪽이 확대된 곡면을 갖는다. 또한, 기관의 저면 및 상면은 사각형이고, 저면의 면적쪽이 상면의 면적보다 크다.

[0015] 상기한 바와 같이 본 발명의 반도체장치는 특징적인 형상이기 때문에, 반도체장치의 표리의 판별이 용이하고, 기계에 의한 반도체장치의 자동 조작에 있어서도 오인을 경감할 수 있다.

[0016] 또한, 반도체 소자는 광전 변환 소자와, 광전 변환 소자의 출력을 증폭하는 증폭 회로가 형성된 광전 변환 장치를 갖고 있다. 광전 변환 소자는 p형 반도체층과, i형 반도체층과, n형 반도체층이 적층된 구조를 가져도 좋다.

[0017] 본 명세서에 있어서 i형 반도체란, 상기 반도체에 포함되는 p형 또는 n형을 부여하는 불순물이 $1 \times 10^{20} \text{ cm}^{-3}$ 이하

의 농도이고, 산소 및 질소가 $1 \times 10^{20} \text{ cm}^{-3}$ 이하의 농도이고, 암 전도도에 대하여 광 전도도가 100배 이상인 반도체를 가리킨다. 이 i형 반도체에는 주기표 제13족 또는 제15족의 불순물 원소가 포함되는 것을 포함한다. 즉, i형 반도체는 가전자 제어를 목적으로 한 불순물 원소를 의도적으로 첨가하지 않을 때에 약한 n형의 전기 전도성을 나타내기 때문에, i형 반도체층에 있어서는 p형을 부여하는 불순물 원소를 성막과 동시에, 또는 성막 후에, 의도적 또는 비의도적으로 첨가된 것을 포함한다.

[0018] 본 발명의 반도체장치의 제작방법의 일 형태에 있어서, 기판의 제 1 면에 반도체 소자를 형성하는 공정과, 제 1 면과는 반대측의 제 2 면측으로부터 기판의 두께를 얇게 하고, 제 1 면과는 반대측의 제 3 면을 갖는 얇아진 기판을 형성하는 공정과, 얇아진 기판의 제 3 면측에, 더욱, 얇아진 기판에 홈을 형성하는 공정과, 제 3 면의 일부 및 홈에 수지층을 형성하는 공정과, 얇아진 기판을 분단하는 공정을 갖고, 홈을 형성하는 공정에서 형성되는 홈의 폭은, 기판을 분단하는 공정에서, 기판을 분단할 때의 절삭 자국의 폭보다 넓다. 또, 기판의 두께를 얇게 하는 공정이 생략되는 프로세스가 있어도 좋다.

[0019] 상기 홈을 형성하는 공정, 상기 기판 분단하는 공정(이하, 분단하는 공정이라고 생략함)에서는 모두 절삭공구로서 다이서, 스크라이버 등을 사용할 수 있다. 적합하게는 다이서를 사용한다. 다이서로 홈을 형성하는 공정, 및 소자를 분단하는 공정은 다이싱 블레이드를 사용하지만, 홈을 형성하는 공정에 사용하는 다이싱 블레이드는 분단하는 공정에 사용하는 다이싱 블레이드보다, 칼의 두께가 얇은 것을 사용한다. 즉, 각각의 절삭 자국을 비교하였을 때, 홈을 형성하는 공정의 것 이 넓어지도록 한다. 여기에서 말하는 절삭 자국이란, 상기 홈을 형성하는 공정의 경우는 홈의 폭, 분단하는 공정의 경우는 분단 전후에서 기판 위치를 고정하였을 때에 소자간에서 기판 부재가 소실한 영역의 폭을 의미한다.

[0020] 상기 기판을 연마하여, 두께를 얇게 하는 공정은, 유리 연마기, 유리 감삭기 등을 적합하게 조합하여 사용할 수 있다. 이 연마하는 공정에 의해 다이싱 블레이드의 소모를 저감할 수 있다. 또한, 상기 수지층을 형성하는 것으로, 두께가 얇은 기판을 핸들링할 때, 및 분단하는 공정시에, 원하는 소자에 균열이 생기는 것을 저감할 수 있다. 또, 분단 후의 소자를 취급할 때에 소자끼리가 충돌한 경우의, 상처, 균열을 저감하여, 소자의 외관 검사에 있어서의 수율을 향상시킬 수 있다. 또, 분단 후의 기판의 두께가 얇기 때문에, 본 발명의 반도체장치가 탑재되는 장치의 사이즈를 작게 할 수 있다.

[0021] 절삭 자국의 폭은, 홈을 형성하는 공정의 폭이 분단하는 공정의 폭보다 넓기 때문에, 분단하는 공정에서 소자를 분단할 때에, 상기 수지층을 소자의 끝면에 남길 수 있다. 즉, 상기 홈을 형성하는 공정에서, 홈이 형성된 기판측면의 영역에는 수지가 형성된다. 한편, 상기 제 1 면, 및 분단하는 공정에서 다이싱 블레이드를 사용하였을 때 기판이 다이싱 블레이드에 접촉한 영역에는 수지층은 피복되어 있지 않았다.

효과

[0022] 본 발명에 의하면, 기판에 형성된 소자측과는 반대의 면, 및 기판 단면의 1 영역을 수지로 피복함으로써, 상처, 균열의 발생을 저감하여, 소자의 수율을 향상시킬 수 있다.

[0023] 또한, 본 발명에 의하면, 기판을 분단하기 전에, 기판의 두께를 얇게 하는 것으로, 기판을 분단 가공할 때의 절삭공구의 소모를 저감하는 것이 가능해진다. 이것에 의해 반도체장치를 더욱 저가로 제조할 수 있다.

[0024] 또한 본 발명에 의하면, 기판을 분단 가공한 후의 기판의 두께를 얇게 하는 것이 가능해진다. 이것으로, 본 발명에 의해 제작된 소자를 구비한 반도체장치의 사이즈를 작게 할 수 있다.

발명의 실시를 위한 구체적인 내용

[0025] 이하에, 본 발명의 실시형태를 도면에 기초하여 설명한다. 단, 본 발명은 많은 다른 형태로 실시하는 것이 가능하고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세한 것을 여러가지로 변경할 수 있는 것은 당업자이면 용이하게 이해된다. 따라서, 본 실시형태의 기재 내용에 한정하여 해석되는 것은 아니다. 또, 실시형태를 설명하기 위한 전체 도면에 있어서, 동일부분 또는 같은 기능을 갖는 부분에는 동일한 부호를 붙이고, 그 반복되는 설명은 생략한다.

[0026] (실시형태 1)

[0027] 본 실시형태에서는 반도체 소자가 형성된 기판의 분단방법을, 도 1a 내지 도 1d, 도 2a 내지 도 2c, 도 3a 내지 도 3b, 도 4a 내지 도 4b, 도 5a 내지 도 5d, 및 도 6a 내지 도 6c를 참조하여 설명한다. 여기에서는 상기 반

도체 소자로서 광전 변환 회로의 제작된 기판을 예로 든다.

- [0028] 분단되는 반도체 소자로서, 기판 위에 광전 변환 소자 및 전계효과 트랜지스터를 형성하는 방법을, 도 1a 내지 도 1d, 도 2a 내지 도 2c, 도 3a 내지 도 3b의, 소자의 단면도를 참조하여 설명한다. 도 1a에서는 기판(310)으로서, 유리 기판의 하나인 AN100(아사히글라스 제조)을 사용한다. 기판 위에 형성하는 전계효과 트랜지스터로서는 박막 트랜지스터를 사용한다. 기판 위에, 광전 변환 소자와 박막 트랜지스터를 동일 공정에서 제작할 수 있다. 이 때문에, 광전 변환 장치의 양산화가 용이하다는 이점이 있다. 또, 유리 기판은 투광성이고, 기판 상면으로부터, 또는 하면으로부터의 광을 포착하는 광전 변환 소자에 유효하지만, 기판의 상면으로부터의 광을 파악할 포착하는 소자 등 용도에 따라서, 실리콘 웨이퍼 등을 적절하게 사용하여도 좋다.
- [0029] 우선, 플라즈마 CVD법으로 하지 절연막(312)이 되는 질소를 포함하는 산화규소막(막 두께 100nm)을 형성하고, 또 대기에 노출시키지 않고, 반도체막, 예를 들면 수소를 포함하는 비정질 규소막(막 두께 54nm)을 적층 형성한다. 또한, 하지 절연막(312)은 산화규소막, 질화규소막, 질소를 포함하는 산화규소막을 사용하여 적층하여도 좋다. 예를 들면, 하지 절연막(312)으로서, 산소를 포함하는 질화규소막을 50nm, 또 질소를 포함하는 산화규소막을 100nm 적층한 막을 형성하여도 좋다. 또, 질소를 포함하는 산화규소막이나 질화규소막은, 유리 기판으로부터의 알칼리 금속 등의 불순물 확산을 방지하는 블로킹층으로서 기능한다.
- [0030] 이어서, 상기 비정질 규소막을 공지의 기술(고상 성장법, 레이저 결정화방법, 촉매 금속을 사용한 결정화방법 등)에 의해 결정화시켜, 결정 구조를 갖는 반도체막(결정성 반도체막), 예를 들면 다결정 규소막을 형성한다. 여기에서는 촉매 원소를 사용한 결정화방법을 사용하여, 다결정 규소막을 얻는다. 중량 환산으로 10ppm의 니켈을 포함하는 아세트산니켈 용액을 스피너로 첨가한다. 또, 용액을 첨가하는 방법 대신에, 스퍼터법으로 니켈 원소를 전체면에 살포하는 방법을 사용하여도 좋다. 이어서, 가열 처리를 하여 결정화시켜 결정 구조를 갖는 반도체막(여기에서는 다결정 규소막)을 형성한다. 여기에서는 열 처리(500℃, 1시간) 후, 결정화를 위한 열 처리(550℃, 4시간)를 하여 다결정 규소막을 얻는다.
- [0031] 이어서, 다결정 규소막 표면의 산화막을 회플루오르산 등으로 제거한다. 그 후, 결정화율을 높여, 결정립 내에 남겨지는 결함을 보수하기 위한 레이저광(XeCl : 파장 308nm)의 조사를 대기 중, 또는 산소 분위기 중에서 행한다.
- [0032] 레이저광에는 파장 400nm 이하의 엑시머 레이저광이나, YAG 레이저의 제 2 고조파 또는 제 3 고조파를 사용한다. 여기에서는 반복 주파수 10 내지 1000Hz 정도의 펄스 레이저광을 사용하여, 상기 레이저광을 광학계로 100 내지 500mJ/cm²로 집광하여, 90 내지 95%의 오버랩율을 갖고 조사하여, 다결정 규소막 표면을 주사시키면 좋다. 본 실시형태에서는 반복 주파수 30Hz, 에너지 밀도 470mJ/cm²로 레이저광의 조사를 대기 중에서 행한다.
- [0033] 또, 대기 중, 또는 산소 분위기 중에서 행하기 때문에, 레이저광의 조사에 의해 표면에 산화막이 형성된다. 또, 본 실시형태에서는 펄스 레이저를 사용한 예를 개시하였지만, 연속발진의 레이저를 사용하여도 좋다. 반도체막의 결정화에 있어서, 대입경으로 결정을 얻기 위해서는 연속발진이 가능한 고체 레이저를 사용하고, 기본파의 제 2 고조파 내지 제 4 고조파를 적용하는 것이 바람직하다. 대표적으로는 연속발진의 레이저광으로서, Nd : YVO₄ 레이저(기본파 1064nm)의 제 2 고조파(532nm)나 제 3 고조파(355nm)를 적용하면 좋다.
- [0034] 연속발진의 레이저를 사용하는 경우에는 출력 10W의 연속발진의 YVO₄ 레이저로부터 사출된 레이저광을 비선형 광학 소자에 의해 고조파로 변환한다. 또한, 공진기 중에 YVO₄ 결정과 비선형 광학 소자를 넣어, 고조파를 사출하는 방법도 있다. 그리고, 바람직하게는 광학계에 의해 조사면에서 직사각 형상 또는 타원 형상의 레이저광으로 성형하여, 피처리체에 조사한다. 이 때의 에너지 밀도는 0.01 내지 100MW/cm² 정도(바람직하게는 0.1 내지 10MW/cm²)가 필요하다. 그리고, 10 내지 2000cm/s 정도의 속도로 레이저광에 대하여 상대적으로 반도체막을 이동시켜 조사하면 좋다.
- [0035] 이어서, 상기 레이저광의 조사에 의해 형성된 산화막에 덧붙여, 오존수로 표면을 120초 처리하여 합계 1 내지 5nm의 산화막으로 이루어지는 배리어층을 형성한다. 이 배리어층은, 결정화시키기 위해서 첨가한 촉매 원소, 예를 들면 니켈(Ni)을 막 중으로부터 제거하기 위해서 형성한다. 여기에서는 오존수를 사용하여 배리어층을 형성하였지만, 산소 분위기 하의 자외선의 조사로 결정 구조를 갖는 반도체막의 표면을 산화하는 방법이나 산소 플라즈마 처리에 의해 결정 구조를 갖는 반도체막의 표면을 산화하는 방법이나 플라즈마 CVD법이나 스퍼터법이나 증착법 등으로 1 내지 10nm 정도의 산화막을 퇴적하여 배리어층을 형성하여도 좋다. 또한, 배리어층을 형성

하기 전에 레이저광의 조사에 의해 형성된 산화막을 제거하여도 좋다.

- [0036] 이어서, 배리어층 위에 스퍼터법으로써 게터링 사이트가 되는 아르곤 원소를 포함하는 비정질 규소막을 10nm 내지 400nm, 여기에서는 막 두께 100nm로 성막한다. 여기에서는 아르곤 원소를 포함하는 비정질 규소막은, 실리콘 타깃을 사용하여 아르곤을 포함하는 분위기하에서 형성한다. 플라즈마 CVD법을 사용하여 아르곤 원소를 포함하는 비정질 규소막을 형성하는 경우, 성막 조건은, 모노실란과 아르곤의 유량비(SiH₄ : Ar)를 1:99로 하고, 성막 압력을 6.665Pa로 하고, RF 파워 밀도를 0.087W/cm²로 하고, 성막 온도를 350℃로 한다.
- [0037] 그 후, 650℃로 가열된 노(爐)에 넣어 3분의 열 처리를 하는 것으로 촉매 원소를 제거(게터링)한다. 이것에 의해 결정 구조를 갖는 반도체막 중의 촉매 원소 농도가 저감된다. 노 대신에 램프 어닐장치를 사용하여도 좋다.
- [0038] 이어서, 배리어층을 에칭 스톱퍼로 하여, 게터링 사이트인 아르곤 원소를 포함하는 비정질 규소막을 선택적으로 제거한 후, 배리어층을 희플루오르산으로 선택적으로 제거한다. 또, 게터링시, 니켈은 산소 농도가 높은 영역으로 이동하기 쉬운 경향이 있기 때문에, 산화막으로 이루어지는 배리어층을 게터링 후에 제거하는 것이 바람직하다.
- [0039] 촉매 원소를 사용하여 반도체막의 결정화를 행하지 않는 경우에는 상술한 배리어층의 형성, 게터링 사이트의 형성, 게터링을 위한 열 처리, 게터링 사이트의 제거, 배리어층의 제거 등의 공정은 불필요하다.
- [0040] 이어서, 얻어진 결정 구조를 갖는 반도체막(예를 들면 결정성 규소막)의 표면에 오존수로 얇은 산화막을 형성한 후, 제 1 포토마스크를 사용하여 레지스트로 이루어지는 마스크를 형성하고, 원하는 형상으로 에칭 처리하여 섬 형상으로 분리된 반도체막(본 명세서에서는 「섬 형상 반도체 영역(331)이라고 함)을 형성한다(도 1a 참조). 섬 형상 반도체 영역을 형성한 후, 레지스트로 이루어지는 마스크를 제거한다.
- [0041] 이어서, 필요하다면 TFT의 임계치를 제어하기 위해서 미량의 불순물 원소(붕소 또는 인)의 도핑을 한다. 여기에서는 디보란(B₂H₆)을 질량 분리하지 않고 플라즈마 여기한 이온 도프법을 사용한다.
- [0042] 이어서, 플루오르산을 포함하는 에천트로 산화막을 제거하는 동시에 섬 형상 반도체 영역(331)의 표면을 세정한 후, 게이트 절연막(313)이 되는 규소를 주성분으로 하는 절연막을 형성한다. 여기에서는 플라즈마 CVD법에 의해 115nm의 두께로 질소를 포함하는 산화규소막(조성비 Si=32%, O=59%, N=7%, H=2%)으로 형성한다.
- [0043] 이어서, 게이트 절연막(313) 위에 금속막을 형성한 후, 제 2 포토마스크를 사용하여, 게이트 전극(334), 배선(314 및 315), 단자 전극(350)을 형성한다(도 1b 참조). 이 금속막으로서, 예를 들면 질화탄탈 및 텅스텐을 각각 30nm, 370nm 적층한 막을 사용한다.
- [0044] 이어서, 게이트 전극(334), 배선(314 및 315), 단자 전극(350)으로서, 상기 이외에도 티타늄(Ti), 텅스텐(W), 탄탈(Ta), 몰리브덴(Mo), 네오뉘(Nd), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt), 알루미늄(Al), 금(Au), 은(Ag), 구리(Cu)로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 이루어지는 단층막, 또는 이들의 질화물, 예를 들면, 질화티타늄, 질화텅스텐, 질화탄탈, 질화몰리브덴으로 이루어지는 단층막을 사용할 수 있다.
- [0045] 이어서, 섬 형상 반도체 영역(331)에 대한 일 도전형을 부여하는 불순물을 도입하여, TFT(113)의 소스 영역 또는 드레인 영역(337)을 형성한다(도 1c 참조). 본 실시형태에서는 n채널형 TFT를 형성하기 때문에, n형의 불순물, 예를 들면 인(P), 비소(As)를 섬 형상 반도체 영역(331)에 도입한다.
- [0046] 이어서, CVD법에 의해 산화규소막을 포함하는 제 1 층간 절연막(도시하지 않음)을 50nm 형성한 후, 각각의 섬 형상 반도체 영역에 첨가된 불순물 원소를 활성화 처리하는 공정을 한다. 이 활성화 공정은, 램프 광원을 사용한 래피드 서멀 어닐법(RTA법), 또는 YAG 레이저 또는 엑시머 레이저를 이면으로부터 조사하는 방법, 또는 노를 사용한 열 처리, 또는 이들의 방법 중, 어느 하나와 조합한 방법에 의해서 행한다.
- [0047] 이어서, 수소 및 산소를 포함하는 질화규소막을 포함하는 제 2 층간 절연막(316)을, 예를 들면 10nm의 막 두께로 형성한다.
- [0048] 이어서, 제 2 층간 절연막(316) 위에 절연물 재료로 이루어지는 제 3 층간 절연막(317)을 형성한다(도 1d 참조). 제 3 층간 절연막(317)은 CVD법으로 얻어지는 절연막을 사용할 수 있다. 본 실시형태에 있어서는 밀착성을 향상시키기 위해서, 제 3 층간 절연막(317)으로서, 900nm의 막 두께로 형성한 질소를 포함하는 산화규소막을 형성한다.

- [0049] 이어서, 열 처리(300 내지 550℃에서 1 내지 12시간의 열 처리, 예를 들면 질소 분위기 중에서 1시간)를 하여, 섬 형상 반도체막을 수소화한다. 이 공정은 제 2 층간 절연막(316)에 포함되는 수소에 의해 섬 형상 반도체막의 땀글링 본드를 중단시키기 위해서 행하는 것이다. 게이트 절연막(313)의 존재에 관계없이 섬 형상 반도체막을 수소화할 수 있다.
- [0050] 또한, 제 3 층간 절연막(317)으로서, 실록산을 사용한 절연막, 및 이들의 적층 구조를 사용하는 것도 가능하다. 실록산은, 실리콘(Si)과 산소(O)의 결합을 골격 구조로 구성된다. 치환기로서, 적어도 수소를 포함하는 화합물(예를 들면 알킬기, 방향족 탄화수소)이 사용된다. 치환기로서, 불소를 사용하여도 좋다. 또는 치환기로서, 적어도 수소를 포함하는 화합물 및 불소를 사용하여도 좋다.
- [0051] 제 3 층간 절연막(317)으로서 실록산을 사용한 절연막, 및 이들의 적층 구조를 사용한 경우는 제 2 층간 절연막(316)을 형성한 후, 섬 형상 반도체막을 수소화하기 위한 열 처리를 하고, 다음에 제 3 층간 절연막(317)을 형성할 수도 있다.
- [0052] 이어서, 제 3 포토마스크를 사용하여 레지스트로 이루어지는 마스크를 형성하고, 제 1 층간 절연막, 제 2 층간 절연막(316) 및 제 3 층간 절연막(317) 또는 게이트 절연막(313)을 선택적으로 에칭하여 콘택트홀을 형성한다. 그리고, 레지스트로 이루어지는 마스크를 제거한다.
- [0053] 또, 제 3 층간 절연막(317)은 필요에 따라서 형성하면 좋고, 제 3 층간 절연막(317)을 형성하지 않는 경우는 제 2 층간 절연막(316)을 형성한 후에 제 1 층간 절연막, 제 2 층간 절연막(316) 및 게이트 절연막(313)을 선택적으로 에칭하여 콘택트홀을 형성한다.
- [0054] 이어서, 스퍼터법으로 금속 적층막을 성막한 후, 제 4 포토마스크를 사용하여 레지스트로 이루어지는 마스크를 형성하고, 선택적으로 금속막을 에칭하여, 배선(319), 접속 전극(320), 단자 전극(351), TFT(113)의 소스 전극 또는 드레인 전극(341)을 형성한다. 그리고, 레지스트로 이루어지는 마스크를 제거한다. 또, 본 실시형태의 금속막은, 막 두께 100nm의 Ti막과, 막 두께 350nm의 Si를 미량으로 포함하는 Al막과, 막 두께 100nm의 Ti막의 3층을 적층한 것으로 한다.
- [0055] 또한 배선(319), 접속 전극(320), 단자 전극(351), 및 TFT(113)의 소스 전극 또는 드레인 전극(341)을 단층의 도전막에 의해 형성하는 경우는 내열성 및 도전율 등의 점에서 티타늄막(Ti막)이 바람직하다. 또한 티타늄막 대신에, 텅스텐(W), 탄탈(Ta), 몰리브덴(Mo), 네오뎴(Nd), 코발트(Co), 지르코늄(Zr), 아연(Zn), 루테튬(Ru), 로듐(Rh), 팔라듐(Pd), 오스뮴(Os), 이리듐(Ir), 백금(Pt)으로부터 선택된 원소, 또는 상기 원소를 주성분으로 하는 합금 재료 또는 화합물 재료로 이루어지는 단층막, 또는 이들의 질화물, 예를 들면, 질화티타늄, 질화텅스텐, 질화탄탈, 질화몰리브덴으로 이루어지는 단층막을 사용할 수 있다. 배선(319), 접속 전극(320), 단자 전극(351), 및 TFT(113)의 소스 전극 또는 드레인 전극(341)을 단층막으로 함으로써, 제작공정에서 성막 회수를 감소시키는 것이 가능해진다.
- [0056] 이상의 공정에서, 다결정 규소막을 사용한 톱 게이트형의 TFT(113)를 제작할 수 있다.
- [0057] 이어서, 도전성의 금속막(티타늄(Ti) 또는 몰리브덴(Mo) 등)을 성막한다. 이 도전성의 금속막은, 후에 형성되는 광전 변환층(대표적으로는 어모퍼스 실리콘)과 반응하여 합금이 되기 어려운 도전성의 금속막을 사용한다. 그 후, 제 5 포토마스크를 사용하여 레지스트로 이루어지는 마스크를 형성하고, 선택적으로 도전성의 금속막을 에칭하여 배선(319)을 덮는 보호 전극(318), 보호 전극(345), 보호 전극(346), 및 보호 전극(348)을 형성한다(도 2a). 여기서는 스퍼터법으로 얻어지는 막 두께 200nm의 Ti막을 사용한다. 또, 마찬가지로 접속 전극(320), 단자 전극(351), TFT(113)의 소스 전극 또는 드레인 전극(341)도 도전성의 금속막으로 덮인다. 따라서, 도전성의 금속막은, 이들의 전극에 있어서의 2층째의 Al막이 노정되어 있는 측면도 덮고, 도전성의 금속막은 광전 변환층에 대한 알루미늄 원자의 확산도 방지할 수 있다.
- [0058] 단, 배선(319), 접속 전극(320), 단자 전극(351), 및 TFT(113)의 소스 전극 또는 드레인 전극(341)을, 단층의 도전막으로 형성하는 경우, 보호 전극(318), 보호 전극(345), 보호 전극(346), 및 보호 전극(348)은 형성하지 않아도 좋다.
- [0059] 다음에 제 3 층간 절연막(317) 위에, p형 반도체층(111p), i형 반도체층(111i) 및 n형 반도체층(111n)을 포함하는 광전 변환층(111)을 형성한다.
- [0060] p형 반도체층(111p)은, 주기표 제13족의 불순물 원소, 예를 들면 붕소(B)를 포함한 세미어모퍼스(미결정, 마이크로크리스탈이라고도 함) 실리콘막을 플라즈마 CVD법으로 성막하여 형성하면 좋다.

- [0061] 미결정 실리콘막을 형성하는 방법의 일례는 실란가스 및 수소, 또는 실란가스 및 수소 및 회가스를 혼합하여 글로방전 플라즈마에 의해 성막하는 방법을 들 수 있다. 실란은 수소, 또는 수소 및 회가스로 10배부터 2000배로 희석된다. 이 때문에 다량의 수소, 또는 수소 및 회가스가 필요하게 된다. 기판의 가열 온도는 100℃ 내지 300℃, 바람직하게는 120℃ 내지 220℃에서 행한다. 미결정 실리콘막의 성장 표면을 수소로 불활성화하여, 미결정 실리콘의 성장을 촉진하기 위해서는 120℃ 내지 220℃에서 성막을 행하는 것이 바람직하다. 성막 처리 중, 활성종인 SiH 라디칼, SiH₂ 라디칼, SiH₃ 라디칼은 결정핵을 기초로 결정 성장한다. 또한, 실란 등의 가스 중에 GeH₄, GeF₄ 등의 수소화 게르마늄, 플루오르화 게르마늄을 혼합하거나, 또는 실리콘에 탄소 또는 게르마늄을 첨가하여, 에너지 밴드폭을 조절하여도 좋다. 실리콘에 탄소를 가한 경우, 에너지 밴드폭은 넓어지고, 또한, 실리콘에 게르마늄을 첨가한 경우, 에너지 밴드폭은 좁아진다.
- [0062] 또한, 배선(319) 및 보호 전극(318)은 광전 변환층(111)의 최하층, 본 실시형태에서는 p형 반도체층(111p)과 접하고 있다.
- [0063] p형 반도체층(111p)을 형성하면, 또 i형 반도체층(111i), n형 반도체층(111n)을 차례로 형성한다. 이것에 의해 p형 반도체층(111p), i형 반도체층(111i) 및 n형 반도체층(111n)을 갖는 광전 변환층(111)이 형성된다.
- [0064] i형 반도체층(111i)으로서는 예를 들면 플라즈마 CVD법으로 미결정 실리콘막을 형성하면 좋다. 또한 n형 반도체층(111n)으로서는 주기표 제15족의 불순물 원소, 예를 들면 인(P)을 포함하는 미결정 실리콘막을 형성하여도 좋고, 미결정 실리콘막을 형성한 후, 주기표 제15족의 불순물 원소를 도입하여도 좋다.
- [0065] 또한 p형 반도체층(111p), i형 반도체층(111i), n형 반도체층(111n)으로서, 미결정 반도체막뿐만 아니라, 어모퍼스 반도체막을 사용하여도 좋다. 또한, 전기의 촉매나 레이저 결정화 처리에 의해 형성되는 다결정 반도체막을 사용하여도 좋다.
- [0066] 또, 미결정 실리콘, 스마트 커트법에 의해 형성되는 단결정 실리콘을 사용하여도 좋다.
- [0067] 이어서, 전면에 절연물 재료(예를 들면 규소를 포함하는 무기 절연막)로 이루어지는 밀봉층(324)을 두께 1μm 내지 30μm로 형성하여 도 2b의 상태를 얻는다. 여기에서는 절연물 재료막으로서 CVD법에 의해, 막 두께 1μm의 질소를 포함하는 산화규소막을 형성한다. CVD법에 의한 절연막을 사용함으로써 밀착성의 향상을 도모하고 있다.
- [0068] 이어서, 밀봉층(324)을 에칭하여 개구부를 형성한 후, 스퍼터법에 의해 배선(121 및 122)을 형성한다. 배선(121 및 122)은, 티타늄막(Ti막, 200nm)은 스퍼터법에 의해 성막한다.
- [0069] 이어서 노출되어 있는 면을 덮어, 보호막(117)을 형성한다(도 3a 참조). 보호막(117)으로서, 본 실시형태에서는 질화규소막을 사용한다. 이 보호막(117)에 의해, 광전 변환층(111)이나 TFT(113)에, 수분이나 유기물 등의 불순물이 혼입되는 것을 막을 수 있다.
- [0070] 이어서 상층의 단자 전극이 하층의 배선(121), 또는 배선(122)과 전기적으로 접속되는 영역의 보호막을 에칭하여 콘택트홀을 형성한다.
- [0071] 이어서 보호막(117) 위에, 밀봉막(118)을 형성한다. 밀봉막(118)은 후에 상층에 형성되는 단자 전극의 가공시에, 에칭을 멈추기 위해서 형성된다. 또한 평탄화막으로서도 기능한다. 본 실시형태에서는 밀봉막(118)으로서, 감광성의 폴리이미드를 사용하여 2.5μm의 두께로 형성한다. 밀봉막(118)으로서는 감광성 폴리이미드인 움코트 012B(나믹스주식회사 제조)를 사용하여도 좋다.
- [0072] 이어서, 밀봉막(118) 위에, 예를 들면 니켈(Ni) 페이스트를 사용하고, 또 스퍼터법으로 티탄막(Ti막(100nm)), 니켈막(Ni막, 300nm), 금막(Au막, 50nm)의 적층막을 형성한다. 이렇게 해서 얻어지는 단자 전극(123) 및 단자 전극(124)의 고착 강도는 5N을 초과하여, 단자 전극으로서 충분한 고착 강도를 갖고 있다.
- [0073] 이상의 공정에서, 땀납 접속이 가능한 단자 전극(123) 및 단자 전극(124)이 형성되어, 도 3b에 도시하는 구조를 얻을 수 있다.
- [0074] 실제로는 도 3b의 시점에서 형성된, 광전 변환층 및 TFT 등을 포함하는 1개의 광전 변환 회로 소자는 대면적 기판 위에 각각 소자 재료를 형성되는 것으로 대량생산이 가능하다. 1장의 대면적 기판(예를 들면 600cm×720cm)으로부터는 대량의 광전 변환 회로 소자(예를 들면 2mm×1.5mm)를 제조할 수 있다. 그 형태를 도 4a, 도 4b에 도시한다.

- [0075] 도 4a에 있어서는 대면적 기관(161) 위에, 소자층(151), 밀봉막(118), 단자 전극(123, 124)이 형성되어 있다. 소자층(151)이란, 도 4에 있어서, 대면적 기관(161)으로부터 밀봉막(118)과의 사이에 형성되어 있는 구조 전체를 포함한다(도 3b 참조).
- [0076] 이웃하는 소자층(151)의 사이에서, 대면적 기관(161)은 분단되어, 개개의 소자를 갖는 기관(164)이 된다(도 4b 참조). 또, 여기에서는 기관(164)은 수지층(163)에 덮이는 제 1 영역과 측면이 노출하는 제 2 영역을 갖고, 기관 단면의 계단형의 사다리꼴의 상단의 두께는, 제 1 영역의 두께(1000)로 하고, 기관 단면의 계단형의 사다리꼴의 하단의 두께는 제 2 영역의 두께(1001)로 한다.
- [0077] 이와 같이 광전 변환층 및 TFT 등을 포함하는 광전 변환 소자(103)가 형성된 대면적 기관(161)의 상면도를 도 5a에 도시한다. 여기에서는 설명을 위해서, 대면적 기관(161) 위에 광전 변환 소자(103)가 2개 형성되어 있는 상태를 도시한다. 도 5a에 있어서, 광전 변환 소자(103)의 크기(따라서, 분할된 반도체장치의 크기)는 2mm×1.5mm, 2mm×1.2mm, 1mm×1.2mm 정도로 할 수 있다.
- [0078] 이 기관을 분단하는 공정을, 선 A-B에서의 단면도인 도 5b, 도 5c, 도 5d, 도 6a, 도 6b를 참조하여 설명한다. 여기에서는 광전 변환 소자(103)를 하측에 도시하였다.
- [0079] 이 광전 변환 소자(103)가 형성된 면에 다이싱 테이프를 붙이고, 도 5c와 같이, 연마장치를 사용하여, 대면적 기관(161)의 광전 변환 소자(103)가 형성된 면과는 반대측의 면으로부터 대면적 기관(161)을 연마한다. 이 연마공정은, 후에 다이서를 사용하여 대면적 기관(161)을 분단할 때에, 다이싱 블레이드의 칼의 소모를 저감하기 위해서 행한다. 여기에서는 두께 0.5mm의 대면적 기관(161)을, 두께 0.25mm가 될 때까지 연마한다. 연마하는 수단에 관해서는 연마기, 감삭기 등을 조합하여 사용할 수 있다. 연마공정에서는 연마포를 거친 것과, 미세한 것을 사용하여, 2단계 이상 형성하면 좋다.
- [0080] 이어서, 도 5d에 도시하는 바와 같이, 여백의 부분의 대면적 기관(161)을, 대면적 기관(161)의 도중까지 깎아 제거하여(본 명세서에서는 「하프컷」라고도 함), 홈(162)을 형성한다.
- [0081] 본 실시형태에서는 홈(162)을 형성하는 공정 즉 홈을 형성하는 공정에서, 홈(162)의 깊이를, 대면적 기관(161)의 깊이의 반으로 한다. 구체적으로는 폭0.16mm의 다이싱 블레이드에 의해 홈(162)을 깊이 0.03mm 내지 0.05mm 정도로 형성한다.
- [0082] 그리고, 다이싱 테이프를 벗긴 후, 홈(162)의 위로부터, 스피너를 사용하여 수지 코트 처리를 실시하여, 도 6a와 같이 수지층(163)을 형성한다.
- [0083] 충격 흡수재로서 기능하는 수지층을 형성하면, 반도체장치에, 더욱 내(耐)스트레스성을 부여할 수 있다. 예를 들면, 본 발명의 수지층이 형성된 반도체장치에 있어서는 약 20N의 압력을 가하여도 파손되지 않고 견딜 수 있다.
- [0084] 수지층의 재료로서는 폴리이미드, 방향족 폴리아미드, 폴리벤조이미다졸 등의 내열성 고분자, 또는 실록산수지를 사용하여도 좋다. 또한, 폴리비닐알콜, 폴리비닐부티랄 등의 비닐수지, 에폭시수지, 페놀수지, 노볼락수지, 아크릴수지, 멜라민수지, 우레탄수지 등의 수지 재료를 사용하여도 좋다. 여기에서는 재료로서 아크릴을 사용한다.
- [0085] 또한 수지층(163)은, 피복성이 좋은 도포 조건으로, 두께는 100nm 내지 1000 μ m(바람직하게는 막 두께 1 μ m 내지 20 μ m)로 형성한다. 여기에서는 6 μ m의 두께로 아크릴을 형성한다.
- [0086] 또, 상기 수지층(163)에 다이싱 테이프를 접합하여, 도 6b와 같이, 홈(162)에 겹치고 또한 내측을 0.1mm의 다이싱 블레이드를 사용하여, 대면적 기관(161)과 수지층(163)을 절단한다. 이것을 분단하는 공정이라고 한다. 분단하는 공정에서 사용하는 다이싱 블레이드의 폭은, 홈을 형성하는 공정에서 사용하는 다이싱 블레이드의 폭보다 좁은 것을 사용한다. 이것에 의해, 광전 변환 소자(103)가 형성된 기관(164)의 끝면의 부분에 수지층(163)을 형성할 수 있다. 또, 다이싱 블레이드는 기관의 광전 변환 소자(103)가 형성되어 있는 면이라도, 또는 광전 변환 소자(103)가 형성되어 있는 면과는 반대의 면이라도 절단할 수 있다. 본 실시형태에서는 기관에 형성된 마커를 판독 기관 위치를 확인하기 쉬운 상황 때문에, 기관의 광전 변환 소자(103)가 형성되어 있는 면으로부터 절단한다.
- [0087] 수지층의 형성 조건에도 기인하지만, 이때 유리와 수지층은, 일례로서 도 6c에 도시되는 바와 같은 형상이 된다. 소자 중, 이 분단하는 공정에서 다이싱 블레이드가 기관 모재와 접촉된 부분은 기관이 노출되어 있지만,

그 이외의 부분은 수지로 피복되어 있다. 수지층(163)은, 모서리의 부분은 둥그스름하다.

- [0088] 또한, 기관 단부에서의 피복성을 향상시키기 위해서, 기관의 두께는 수지층과 비교하여 두껍기 때문에, 수지층도 두껍게 하면 바람직하다. 수지층을 두껍게 형성하기 위해서 적층 구조로 하여도 좋다. 도 15에, 수지층을 적층하는 예를 개시한다.
- [0089] 도 15a는 도 6a와 대응하고 있고, 대면적 기관(161)에 있어서, 광전 변환 소자(103)가 형성되어 있는 면과는 반대 면에 수지층(163)이 형성되어 있다. 다음에 수지층(163) 위에 또 수지층을 형성하고, 수지층(170)을 형성한다. 본 실시형태에서는 수지층(163)과 같은 재료의 수지층을 적층한다(도 15b 참조). 도 6과 같이 다이싱 테이프로 고정된 수지층(170) 및 대면적 기관(161)을, 다이싱 블레이드에 의해서 분단하여, 끝면에 수지층이 형성되고, 또한 광전 변환 소자(103)가 형성된 기관(164)을 형성한다(도 15c 참조). 이상의 공정에서, 형성되는 도 15c의 반도체장치는 도 6보다 수지층을 두껍게 형성하고 있기 때문에, 기관(164)과 수지층 단부가 일치하는 형상이 된다.
- [0090] 충격 흡수재로서 기능하는 수지층을 적층하면, 반도체집적 회로에, 더욱 내 스트레스성을 부여할 수 있다.
- [0091] 또한, 본 발명에서는 홈을 형성하고, 홈 위에 수지층을 형성하기 때문에, 홈 저면에 두껍게 수지층을 형성할 수 있다. 또 수지층을 형성한 후, 수지층과 기관을 적층하여 절단하기 때문에, 반도체장치의 측면에 있어서 수지층의 단부와 기관의 단부가 일치한다. 반도체장치의 측면에 있어서 기관의 상측의 단부가 노출되지 않기 때문에, 기관의 단부의 파손이나 깨짐을 방지할 수 있다. 또한, 수지층을 적층에 의해 두껍게 형성하면, 반도체장치의 측면에 있어서 기관의 단부와 수지층의 단부의 거리를 길게 할 수 있기 때문에, 기관 단부에 주는 데미지를 더욱 경감할 수 있다.
- [0092] 이와 같이 하여, 광전 변환 소자(103)가 형성된 기관(164)은, 또 단자 전극(123, 124)의 부분에서, 뿔납(363 및 364)으로 기관(360)에 실장된다(도 3b 참조). 또 기관(360) 위의 전극(361)은, 뿔납(363)으로 단자 전극(123)에 실장되어 있다. 또한 기관(360)의 전극(362)은, 뿔납(364)으로 단자 전극(124)에 실장되어 있다.
- [0093] 도 3b에 도시하는 광전 변환 소자에 있어서, 광전 변환층(111)에 입사하는 광은, 투광성을 갖는 기관(164) 및 기관(360)을 사용함으로써, 기관(164)측 및 기관(360)측의 양쪽으로부터 들어갈 수 있다.
- [0094] 반도체장치에 있어서, 수지층이 광전 변환 소자측에 노출되지 않기 때문에, 뿔납이나 이방성 도전막을 사용하여 실장할 때에 하는 가열 처리에 대해서도 내열성을 갖게 할 수 있다.
- [0095] 수지층(163)에 있어서, 색소를 포함하는 것을 사용하면, 완성되는 광전 변환 소자는 컬러 센서로서 사용할 수 있다. 예를 들면 수지층이 청색이면, 청색에 반응하는 컬러 센서가 된다. 또한, 수지층에 접하는 기관의 두께가 얇으면, 기관 표면으로부터 입사한 광중 기관 측면을 통과, 또는 흡수되는 비율을 줄일 수 있다. 이 때문에, 수광 가능한 각도를 넓힐 수 있다.
- [0096] 이상과 같은 제작방법으로, 광전 변환 소자를 제작하면, 단가를 낮추고, 또한 수율을 향상시킬 수 있다. 또, 소자의 일례로서 광전 변환 소자를 들었지만, 본 발명은 소자의 절삭방법에 특징이 있고, 기관으로부터 분단시켜 제작되는 소자이면 어느 것에나 적용할 수 있다.
- [0097] (실시형태 2)
- [0098] 실시형태 1에서 설명한 n채널형 트랜지스터 및 p채널형 트랜지스터로서, 여러 가지의 형태의 전계효과 트랜지스터를 사용할 수 있다. 따라서, 사용하는 트랜지스터의 종류에 한정은 없다. 예를 들면, 비정질 실리콘, 다결정 실리콘, 미결정 실리콘 등으로 대표되는 비단결정 반도체막을 갖는 박막 트랜지스터(TFT) 등을 사용할 수 있다. TFT를 사용하는 경우, 여러 가지의 메리트가 있다. 예를 들면, 단결정 실리콘의 경우보다도 낮은 온도로 제조할 수 있기 때문에, 제조비용의 삭감, 또는 제조장치의 대형화를 도모할 수 있다. 제조장치를 크게 할 수 있기 때문에, 대형 기관 위에 제조할 수 있다. 이 때문에, 동시에 많은 개수의 광전 변환 장치를 제조할 수 있기 때문에, 저비용으로 제조할 수 있다. 또, 제조 온도가 낮기 때문에, 내열성이 약한 기관을 사용할 수 있다. 이 때문에, 투광성 기관 위에 트랜지스터를 제조할 수 있다. 그리고, 투광성 기관 위의 트랜지스터를 사용하여 광전 변환 소자에서의 광의 투과를 제어할 수 있다.
- [0099] 또, 다결정 실리콘을 제조할 때에, 실시형태 1에 개시되는 바와 같은 촉매(니켈 등)를 사용함으로써, 결정성을 더욱 향상시켜, 전기 특성이 좋은 트랜지스터를 제조하는 것이 가능해진다. 그 결과, 고속으로 동작시키는 것이 필요하게 되는 회로를 기관 위에 일체로 형성할 수 있다. 또, 미결정 실리콘을 제조할 때에, 촉매(니켈 등)를 사용함으로써, 결정성을 더욱 향상시켜, 전기 특성이 좋은 트랜지스터를 제조하는 것이 가능해진다. 이

때, 레이저를 조사하지 않고, 열 처리를 가하는 것만으로, 결정성을 향상시킬 수 있다. 결정화를 위해서 레이저를 사용하지 않는 경우는 실리콘의 결정성의 격차를 억제할 수 있다. 이 때문에, 트랜지스터간의 특성의 격차를 저감할 수 있다. 또, 촉매(니켈 등)를 사용하지 않고, 다결정 실리콘이나 미결정 실리콘을 제조하는 것은 가능하다.

- [0100] 또는 반도체 기판이나 SOI 기판 등을 사용하여 트랜지스터를 형성할 수 있다. 이들에 의해, 특성이나 사이즈나 형상 등의 불균일이 적고, 전류 공급 능력이 높고, 사이즈가 작은 트랜지스터를 제조할 수 있다. 이들의 트랜지스터를 사용하면, 회로의 저소비전력화, 또는 회로의 고집적화를 도모할 수 있다.
- [0101] 또는 산화아연, 실리콘게르마늄, 갈륨비소, 산화주석, IZO(산화인듐산화아연), ITO(산화인듐·주석), a-InGaZnO 등의 화합물 반도체 또는 산화물 반도체를 갖는 트랜지스터나, 또, 이들의 화합물 반도체 또는 산화물 반도체를 박막화한 박막 트랜지스터 등을 사용할 수 있다. 이들에 의해, 제조 온도를 낮게 할 수 있고, 예를 들면, 실온으로 트랜지스터를 제조하는 것이 가능해진다. 그 결과, 내열성이 낮은 기판, 예를 들면 플라스틱 기판이나 필름 기판에 직접 트랜지스터를 형성할 수 있다.
- [0102] 또는 잉크젯이나 인쇄법을 사용하여 형성한 트랜지스터 등을 사용할 수 있다. 이들에 의해, 실온, 저진공도, 또는 대형 기판 위에 트랜지스터를 제조할 수 있다. 또한, 마스크(레티클)를 사용하지 않아도 트랜지스터를 제조하는 것이 가능해지기 때문에, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다. 흔히, 레지스트를 사용할 필요가 없기 때문에, 재료비가 저가가 되고, 공정수를 삭감할 수 있다. 또, 기판 위의 필요한 부분에만 막을 붙이기 때문에, 전체면에 성막한 후에 에칭한다는 제법보다도, 재료가 낭비되지 않아, 저비용으로 할 수 있다.
- [0103] 또는 유기 반도체나 카본나노튜브를 갖는 트랜지스터 등을 사용할 수 있다. 이들에 의해, 구부리는 것이 가능한 기판 위에 트랜지스터를 형성할 수 있다. 이 때문에, 충격에 강하게 할 수 있다.
- [0104] 또한, 전계효과 트랜지스터는 여러 가지의 타입을 사용할 수 있고, 여러 가지의 기판 위에 형성시킬 수 있다. 따라서, 소정의 기능을 실현시키기 위해서 필요한 회로 전체가, 동일한 기판에 형성되어 있어도 좋다. 예를 들면, 소정의 기능을 실현시키기 위해서 필요한 회로 전체가, 유리 기판, 플라스틱 기판, 단결정 기판, 또는 SOI 기판 위에 형성되어 있어도 좋고, 여러가지의 기판 위에 형성되어 있어도 좋다. 또 본 실시형태의 광전 변환 장치는 박막 트랜지스터를 사용하여 전계효과 트랜지스터를 구성함으로써, 유리 기판 등의 투광성 기판 위에 형성할 수 있다. 이 때문에, 광전 변환 소자를 기판 상면에 형성하는 경우에 기판 상면의 한 쪽으로부터의 광의 수광에만 한하지 않고, 기판의 이면으로부터 기판을 투과한 광을 광전 변환 소자로 수광하는 것이 가능하게 되기 때문에, 광의 수광 효율을 높일 수 있다고 하는 효과가 있다.
- [0105] 또, 본 실시형태는 본 명세서의 다른 실시형태의 기술적 요소와 조합하여 행할 수 있다.
- [0106] (실시형태 3)
- [0107] 본 실시형태에서는 본 발명의 광전 변환 장치에 하우징을 형성하여 광이 입사하는 방향을 제어한 예를, 도 7 및 도 8을 참조하여 설명한다.
- [0108] 도 7은 도 3b의 광전 변환 장치에, 기판(360) 위의 전극(361, 362)을 뿔납(363, 364)을 개재하여 단자 전극(123, 124)에 실장한 후에, 하우징(601)을 형성하고, 광전 변환층(111)에 입사하는 광을, 기판(164)측으로부터가 아니라, 기판(360)측으로부터만 광을 입사하도록 한 것이다. 하우징(601)에는 광전 변환층(111)이 형성되는 영역에 광을 입사할 수 있도록 개구부가 형성되어 있다.
- [0109] 도 7에 있어서는 배선(121)이 존재하고 있지만, 기판(360)측으로부터 입사한 광은, 밀봉층(324)을 통해서 광전 변환층(111)에 비스듬하게 입사하기 때문에 광전류를 발생시키고, 광을 검지하는 것이 가능하다.
- [0110] 또한, 하우징(601)은 광을 차단하는 기능을 갖는 재료이면 무엇을 사용하여도 좋고, 예를 들면 금속 재료나 흑색안료를 갖는 수지 재료 등을 사용하여 형성하면 좋다.
- [0111] 도 8에서는, 도 3b의 광전 변환 장치에, 기판(360) 위의 전극(361, 362)을 뿔납(363, 364)을 개재하여 단자 전극(123, 124)에 실장한 후에, 하우징(601)을 형성하고, 광전 변환층(111)에 입사하는 광을, 기판(360)측으로부터가 아니라, 기판(164)측으로부터만 광을 입사하도록 한 것이다. 하우징(601)에는, 기판(164)측의 광전 변환층(111)이 형성되는 영역에 광을 입사할 수 있도록 개구부가 형성되어 있다.
- [0112] 도 8에 있어서, 기판(164)측으로부터 입사한 광은, 투광성을 갖는 수지층(163)을 통해서 광전 변환층(111)에 비

스듬하게 입사하기 때문에 광전류를 발생시키고, 광을 검지하는 것이 가능하다.

- [0113] 또 본 실시형태는, 본 명세서의 다른 실시형태의 기술적 요소와 조합하여 행할 수 있다.
- [0114] (실시형태 4)
- [0115] 본 실시형태에서는, 본 발명에 의해 얻어진 광전 변환 장치를 여러 가지의 전자기기에 내장한 예에 관해서 설명한다. 본 발명이 적용되는 전자기기로서, 컴퓨터, 디스플레이, 휴대전화, 텔레비전 등을 들 수 있다. 이들의 전자기기의 구체적인 예를 도 9, 도 10a, 도 10b, 도 11a, 도 11b, 도 12, 도 13a 및 도 13b에 도시한다.
- [0116] 도 9는 휴대전화로, 본체(A(701)), 본체(B(702)), 하우징(703), 조작키(704), 음성 출력부(705), 음성 입력부(706), 회로 기관(707), 표시 패널(A(708)), 표시 패널(B(709)), 경첩(710), 투광성 재료부(711), 광전 변환 장치(712)를 갖고 있다. 본 발명은 광전 변환 장치(712)에 적용할 수 있다.
- [0117] 광전 변환 장치(712)는 투광성 재료부(711)를 투과한 광을 검지하고, 검지한 외부광의 조도에 맞추어 표시 패널(A(708)) 및 표시 패널(B(709))의 휘도 컨트롤을 행하여, 광전 변환 장치(712)에서 얻어지는 조도에 맞추어 조작키(704)의 조명 제어를 행한다. 이것에 의해 휴대전화의 소비전류를 억제할 수 있다.
- [0118] 도 10a 및 도 10b에 휴대전화의 별도의 예를 도시한다. 도 10a 및 도 10b에 있어서, 본체(721), 하우징(722), 표시 패널(723), 조작키(724), 음성 출력부(725), 음성 입력부(726), 광전 변환 장치(727), 광전 변환 장치(7278)를 도시하고 있다.
- [0119] 도 10a에 도시하는 휴대전화에서는, 본체(721)에 설치된 광전 변환 장치(727)에 의해 외부의 광을 검지함으로써 표시 패널(723) 및 조작키(724)의 휘도를 제어하는 것이 가능하다.
- [0120] 또한 도 10b에 도시하는 휴대전화에서는, 도 10a의 구성에 덧붙여, 본체(721)의 내부에 광전 변환 장치(728)를 형성하고 있다. 광전 변환 장치(728)에 의해, 표시 패널(723)에 형성되어 있는 백 라이트의 휘도를 검출하는 것도 가능해진다.
- [0121] 도 11a는 컴퓨터로, 본체(731), 하우징(732), 표시부(733), 키보드(734), 외부 접속 포트(735), 포인팅 디바이스(736) 등을 포함한다.
- [0122] 또한 도 11b는 표시장치로 텔레비전 수상기 등이 이것에 해당한다. 본 표시장치는, 하우징(741), 지지대(742), 표시부(743) 등으로 구성되어 있다.
- [0123] 도 11a의 컴퓨터에 형성되는 표시부(733), 및 도 11b에 도시하는 표시장치의 표시부(743)로서, 액정 패널을 사용한 경우의 자세한 구성을 도 12에 도시한다.
- [0124] 도 12에 도시하는 액정 패널(762)은, 하우징(761)에 내장되어 있고, 기관(751a) 및 기관(751b), 기관(751a) 및 기관(751b)의 사이에 있는 액정층(752), 편광필터(752a) 및 편광필터(752b), 및 백 라이트(753) 등을 갖고 있다. 또한 하우징(761)에는 광전 변환 장치(754)가 형성되어 있다.
- [0125] 본 발명을 사용하여 제작된 광전 변환 장치(754)는 백 라이트(753)로부터의 광량을 감지하고, 그 정보가 피드백되어 액정 패널(762)의 휘도가 조절된다.
- [0126] 도 13a 및 도 13b는, 본 발명의 광전 변환 장치를 카메라, 예를 들면 디지털카메라에 내장한 예를 도시하는 도면이다. 도 13a는, 디지털카메라의 전면 방향에서 본 사시도, 도 13b는, 후면 방향에서 본 사시도이다. 도 13a에 있어서, 디지털카메라에는, 릴리스 버튼(801), 메인 스위치(802), 파인더창(803), 플래시(804), 렌즈(805), 렌즈 배럴(lens barrel; 806), 하우징(807)이 구비되어 있다.
- [0127] 또한, 도 13b에 있어서, 파인더 접안창(811), 모니터(812), 조작 버튼(813)이 구비되어 있다.
- [0128] 릴리스 버튼(801)은, 반의 위치까지 눌러면, 초점 조정 기구 및 노출 조정 기구가 작동하고, 최하부까지 눌러면 셔터가 열린다.
- [0129] 메인 스위치(802)는, 가압 또는 회전에 의해 디지털카메라의 전원의 ON/OFF를 바꾼다.
- [0130] 파인더창(803)은, 디지털카메라의 전면의 렌즈(805)의 상부에 배치되어 있고, 도 13b에 도시하는 파인더 접안창(811)으로부터 촬영하는 범위나 핀트의 위치를 확인하기 위한 장치이다.
- [0131] 플래시(804)는, 디지털카메라의 전면 상부에 배치되어, 피사체 휘도가 낮을 때에, 릴리스 버튼이 눌러 셔터가 열리면서 동시에 보조광을 조사한다.

- [0132] 렌즈(805)는, 디지털카메라의 정면에 배치되어 있다. 렌즈는, 포커싱 렌즈, 줌 렌즈 등으로 구성되고, 도시하지 않는 서터 및 조리개와 함께 촬영광학계를 구성한다. 또한, 렌즈의 후방에는, CCD(Charge Coupled Device) 등의 촬상 소자가 형성되어 있다.
- [0133] 렌즈 배열(806)은, 포커싱 렌즈, 줌 렌즈 등의 핀트를 맞추기 위해서 렌즈의 위치를 이동하는 것으로, 촬영시에는, 렌즈 배열을 풀어냄으로써, 렌즈(805)를 앞으로 이동시킨다. 또한, 휴대시에는, 렌즈(805)를 들어가게 하여 콤팩트하게 한다. 또, 본 실시형태에 있어서는, 렌즈 배열을 풀어냄으로써 피사체를 줌 촬영할 수 있는 구조로 하였지만, 이 구조에 한정되는 것이 아니라, 하우징(807) 내에서의 촬영광학계의 구성에 의해 렌즈 배열을 풀어 내지 않아도 줌 촬영이 가능한 디지털카메라라도 좋다.
- [0134] 파인더 접안창(811)은, 디지털카메라의 후면 상부에 형성되어 있고, 촬영하는 범위나 핀트의 위치를 확인할 때에 접안하기 위해서 형성된 창이다.
- [0135] 조작 버튼(813)은, 디지털카메라의 후면에 형성된 각종 기능 버튼이고, 셋업 버튼, 메뉴 버튼, 디스플레이 버튼, 기능 버튼, 선택 버튼 등으로 구성되어 있다.
- [0136] 본 발명의 광전 변환 장치를 도 13a 및 도 13b에 도시하는 카메라에 내장하면, 광전 변환 장치의 광의 유무 및 강도를 감지할 수 있고, 이것에 의해 카메라의 노출 조정 등을 할 수 있다. 본 발명의 광전 변환 장치는, 광전 변환 회로를 구성하는 전계효과 트랜지스터수를 삭감하여, 실장 면적을 작게 하는 것이 가능하기 때문에, 장치를 소형화할 수 있다. 광전 변환 회로를 구비하는 광 센서와 같은 부품의 소형화는, 휴대용전자기기에 이용하는 경우에 특히 유용하다.
- [0137] 또한 본 발명의 광전 변환 장치는 그 밖의 전자기기, 예를 들면 프로젝션텔레비전, 내비게이션 시스템 등에 응용하는 것이 가능하다. 즉 광을 검출할 필요가 있는 것이면 어떠한 것에나 사용하는 것이 가능하다.
- [0138] 또 본 실시형태는, 본 명세서의 다른 실시형태의 기술적 요소와 조합하여 행할 수 있다.
- [0139] (실시형태 5)
- [0140] 본 실시형태에서는, 컬러 센서로서 기능하는 반도체장치에 블랙 매트릭스나 컬러필터 등을 갖는 기판을 형성하는 구성예를, 도 16을 참조하여 설명한다.
- [0141] 도 16a에 도시하는 반도체장치는, 광전 변환 소자(180), 대면적 기판으로부터 분단된 기판(181), 수지층(182), 절연층(184), 착색층(185a, 185b, 185c), 차광층(186a, 186b)이 형성된 기판(183)을 갖고 있다.
- [0142] 착색층(185a, 185b, 185c)은 컬러필터로서 기능하고, 본 실시형태에서는, 적색(R), 녹색(G), 청색(B)과 각각 다른 색을 갖고 있다. 차광층(186a, 186b)은 블랙 매트릭스로서 기능하고, 착색층(185a, 185b, 185c) 및 광전 변환 소자(180)로 외부로부터의 부적절한 광이 조사되어, 오작동이 생기지 않도록 광을 차단하는 기능을 갖는다. 또한, 착색층 및 차광층은 기판(181)측에 형성하여도 좋다.
- [0143] 수지층(182)은, 기판(181)의 일부와 접하여, 절연층(184), 착색층(185a, 185b, 185c), 차광층(186a, 186b)이 형성된 기판(183)을 덮도록 형성되어 있다. 도 16a에 있어서는 기판(181) 및 기판(183)을, 절연층(184)을 개재하여 접합한 후, 기판(183) 및 절연층(184)의 일부를 분할하도록 제거하여 홈을 형성하고, 수지층(182)을 형성한 후, 수지층(182) 및 기판(181)을 분단하여 제작할 수 있다. 또한, 기판(181) 및 기판(183)을, 절연층(184)을 개재하여 접합하기 전에, 기판(183) 및 절연층(184)을 분할하고, 분할된 기판(183) 및 절연층(184)을 기판(181)에 접합하여도 좋다.
- [0144] 도 16b는, 도 16a에 있어서, 기판(181)의 일부까지 제거하여 홈을 형성하는 예이고, 수지층(182)은, 기판(181)의 측면의 일부도 덮고 있다.
- [0145] 도 16c는, 도 16a에 있어서, 기판(183)을 일부 잔존시키도록 제거하여 홈을 형성하는 예이고, 수지층(182)은, 기판(183)의 측면의 일부만을 덮고 있다.
- [0146] 이와 같이, 하나의 반도체장치에 복수의 색의 컬러필터를 형성하는 구성으로 할 수도 있다. 본 발명을 사용하여 광전 변환 소자를 갖는 반도체장치를 제작하면, 컬러 센서를 단가를 낮추고, 또한 수율을 향상시킬 수 있다.
- [0147] 또 본 실시형태는, 본 명세서의 다른 실시형태의 기술적 요소와 조합하여 행할 수 있다.
- [0148] 실시예 1

- [0149] 실시예 1에서는, 본 발명에 의해 형성되는 소자의 단면 형상을, 현미경 사진을 참조하여 설명한다.
- [0150] 여기에서는, 실시형태 1과 같이 광전 변환 소자를 형성한 예를 개시한다. 또, 여기에서는 두께 0.5mm의 대면적 기판(161)을, 두께 0.25mm가 될 때까지 CMP법으로 연마하고, 홈을 형성하는 공정에서는 폭 0.16mm의 다이싱 블레이드에 의해 홈을 깊이 0.03mm 내지 0.05mm 정도 형성하고, 아크릴을 6 μ m의 두께로 형성하였다. 또한, 분단하는 공정에서는 0.1mm의 다이싱 블레이드를 사용하여 분단하였다.
- [0151] 도 14a에서는, 분단되어 형성된 기판(164)의 단면 형상을 도시한다. 기판(164)에는 광전 변환 소자가 형성되고, 단자 전극(123) 및 단자 전극(124)이 상부에 보인다. 또, 기판(164)의 두께는 0.25mm 즉 250 μ m를 목표로 하였지만, 실제의 두께는 283 μ m이었다. 또, 도 14a, 도 14b, 도 14c 모두 축척을 도면의 좌측에 도시한다.
- [0152] 도 14b에서는, 기판(164)의 단부의 단면 형상을 도시한다. 단부에는 수지층(163)이 형성되어 있다. 수지층(163)은 유리의 두께 방향에서 하반분에는 두껍게 형성되어 있고, 국소적으로는 30 μ m 정도의 두께로 되어 있다. 수지층(163)은, 내측으로 볼록해지는 둥그스름한 모양이다. 또한 기판의 상반분 즉 단자 전극(123)이 형성되어 있는 면에 가까운 쪽의 측면에는, 분단하는 공정에서 다이싱 블레이드가 기판에 접촉되어 있고, 수지층(163)은 형성되어 있지 않다.
- [0153] 도 14c에서는, 기판(164)의 저면 즉 단자 전극(123)이 형성되어 있는 면과 반대의 면의 단면 형상을 도시한다. 수지층(163)의 목표 형성막 두께는 6 μ m이지만, 여기에서는 6.4 μ m로 형성되어 있다.
- [0154] 따라서, 본 발명의 반도체장치는, 기판의 제 1 면에 반도체 소자가 형성되고, 기판의 제 1 면과는 반대의 제 2 면과, 기판의 측면의 일부에 수지층을 갖고, 기판의 측면에 단차를 갖고, 기판의 폭 치수는, 단차보다도 앞의 부분이 작다. 따라서, 기판은, 볼록 형상을 갖게 된다. 또한, 기판의 단면을, 역T자 형상이라고 불러도 좋다. 또, 그 역T자 형상은, 실질적으로 T자와 같은 형을 포함하면 좋다.
- [0155] 또한, 본 발명의 반도체장치는, 기판의 제 1 면에 반도체 소자가 형성되고, 기판의 제 1 면과는 반대의 제 2 면과, 기판의 측면의 일부에 수지층을 갖고, 기판은 단면에 있어서, 측면이 계단형의 사다리꼴이고, 계단형의 사다리꼴은, 상단의 두께가 하단의 두께보다 두껍다. 홈의 형상으로 따라서는, 사다리꼴의 상단은 하단을 향해서 만곡되어 있는 형상이 된다.
- [0156] 상기 구조에 있어서, 반도체장치의 일 형태는, 수지가 접하고 있는 기판의 측면은, 끝쪽이 확대된 곡면을 갖는다. 또한, 기판의 저면 및 상면은 사각형이고, 저면의 면적쪽이 상면의 면적보다 크다.
- [0157] 상기한 바와 같이 본 발명의 반도체장치는 복잡한 형상이기 때문에, 반도체장치의 상하좌우의 판별이 용이하고, 기계에 의한 자동 조작에 있어서도 오인을 경감할 수 있다.
- [0158] 이와 같이, 수지층(163)이 형성된 기판(164)은, 물리적 충격을 완화하여, 외관상의 상처, 금 등의 발생이 저감되어, 제조 수율이 향상된 것이 된다.

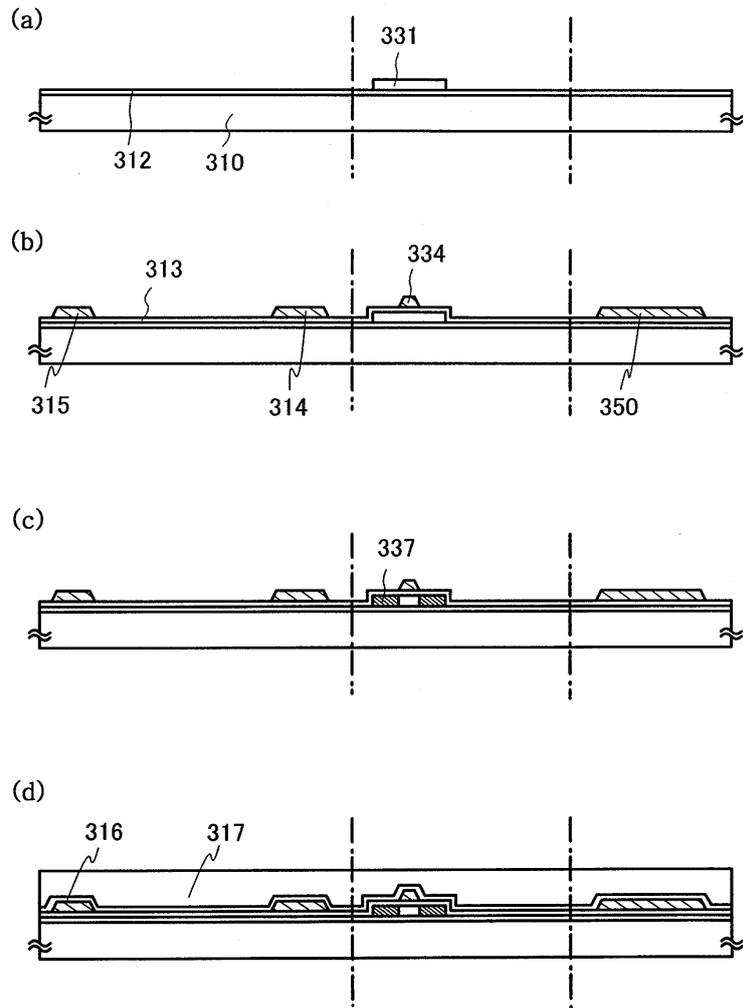
도면의 간단한 설명

- [0159] 도 1은 본 발명의 반도체장치의 제작공정을 도시하는 도면.
- [0160] 도 2는 본 발명의 반도체장치의 제작공정을 도시하는 도면.
- [0161] 도 3은 본 발명의 반도체장치의 제작공정을 도시하는 도면.
- [0162] 도 4는 본 발명의 반도체장치의 제작공정을 도시하는 도면.
- [0163] 도 5는 본 발명의 반도체장치의 제작공정을 도시하는 도면.
- [0164] 도 6은 본 발명의 반도체장치의 단면도.
- [0165] 도 7은 본 발명의 반도체장치의 단면도.
- [0166] 도 8은 본 발명의 반도체장치의 단면도.
- [0167] 도 9는 본 발명의 반도체장치를 실장한 장치를 도시하는 도면.
- [0168] 도 10은 본 발명의 반도체장치를 실장한 장치를 도시하는 도면.

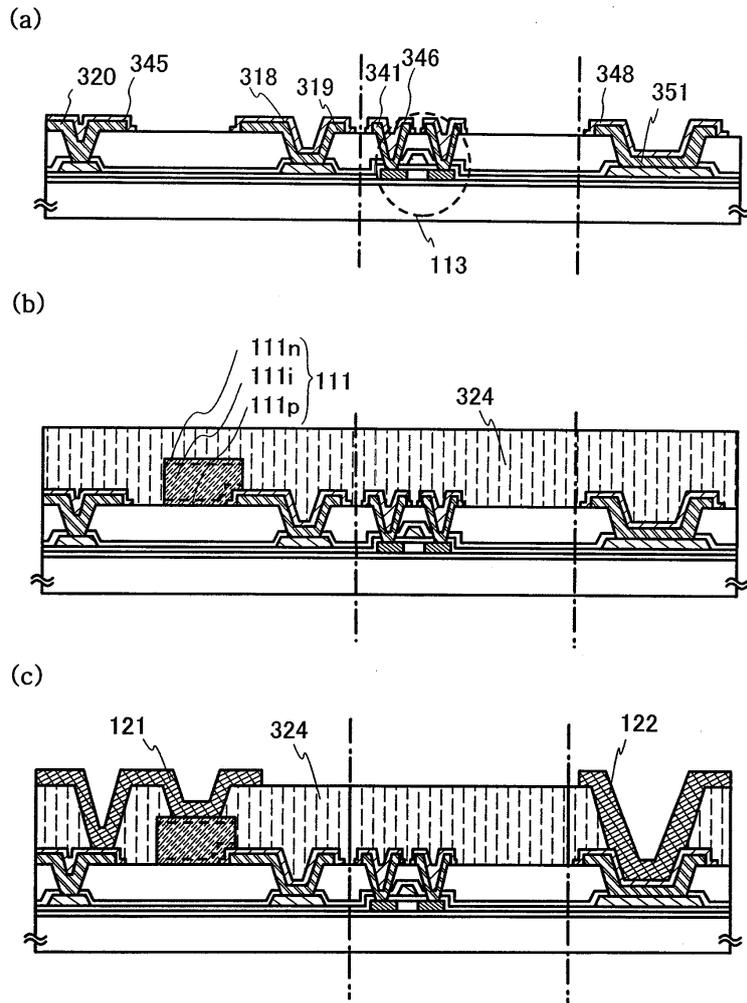
- [0169] 도 11은 본 발명의 반도체장치를 실장한 장치를 도시하는 도면.
- [0170] 도 12는 본 발명의 반도체장치를 실장한 장치를 도시하는 도면.
- [0171] 도 13은 본 발명의 반도체장치를 실장한 장치를 도시하는 도면.
- [0172] 도 14는 본 발명의 반도체장치의 단면 사진.
- [0173] 도 15는 본 발명의 반도체장치의 제작공정을 도시하는 도면.
- [0174] 도 16은 본 발명의 반도체장치의 제작공정을 도시하는 도면.

도면

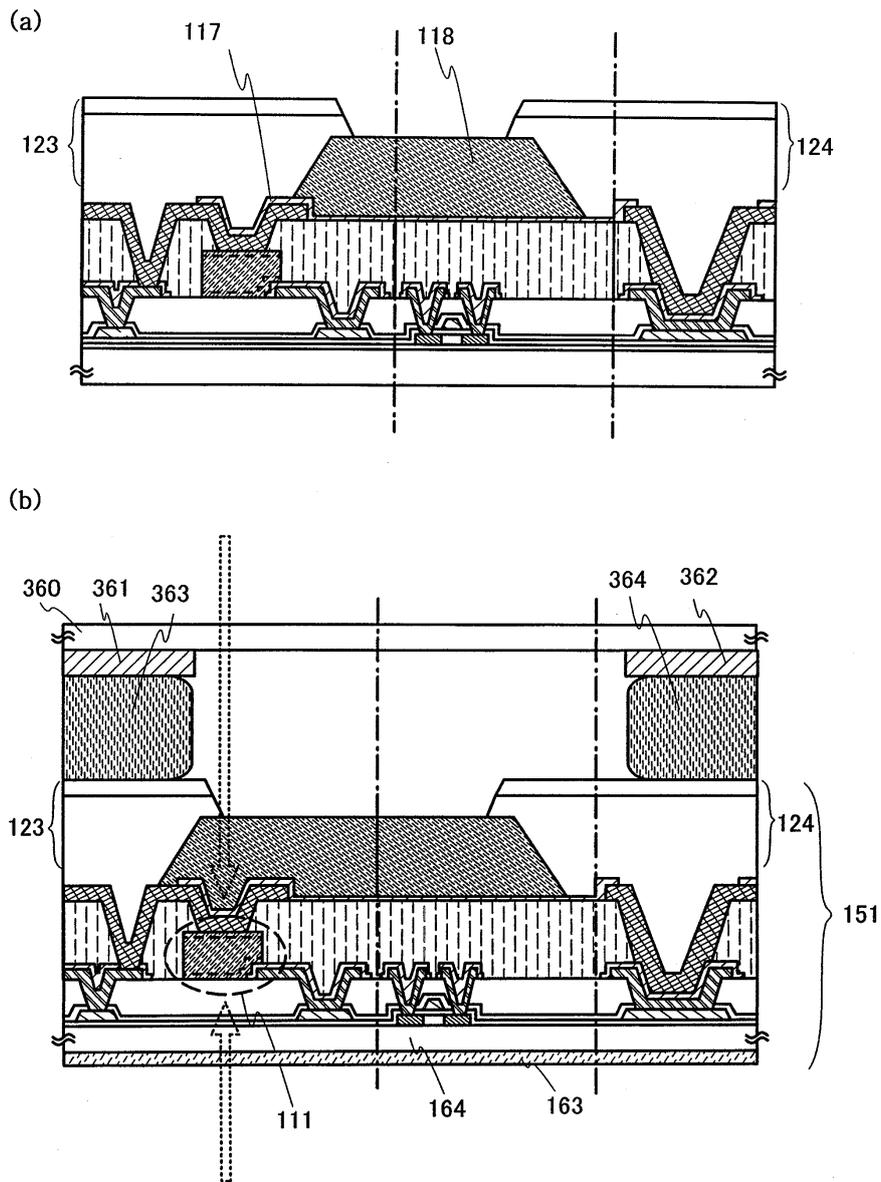
도면1



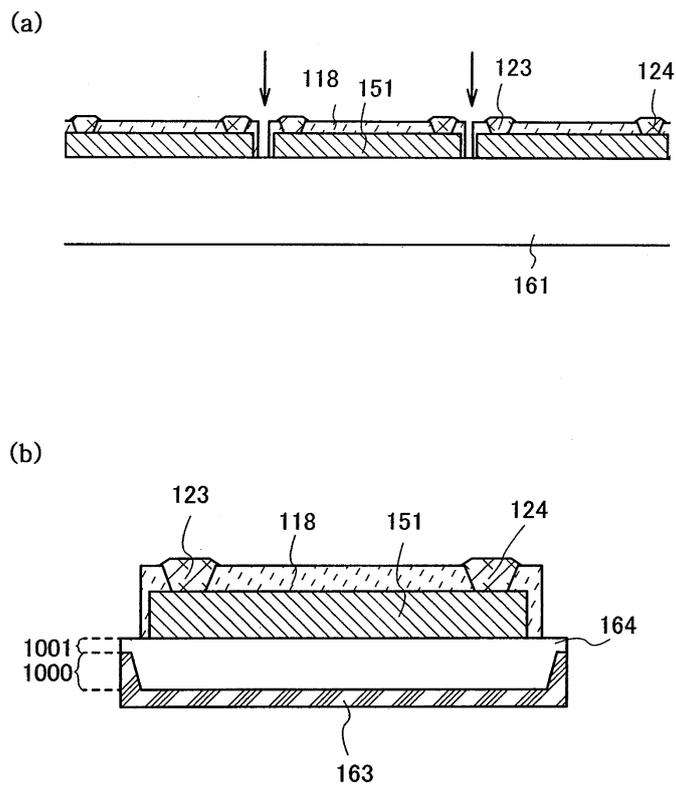
도면2



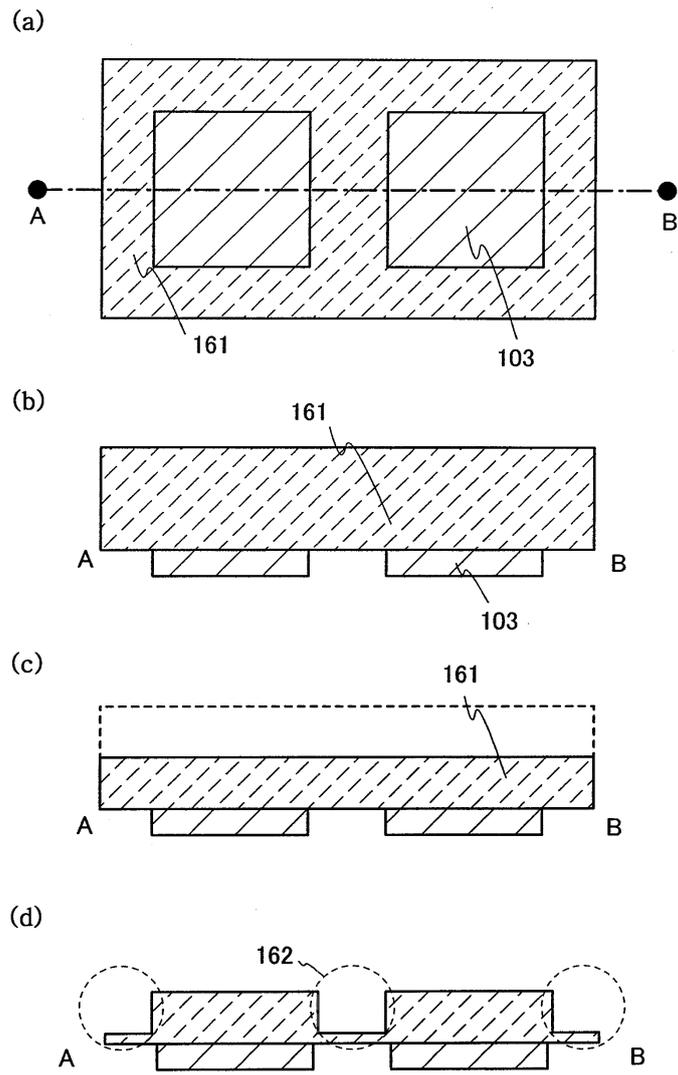
도면3



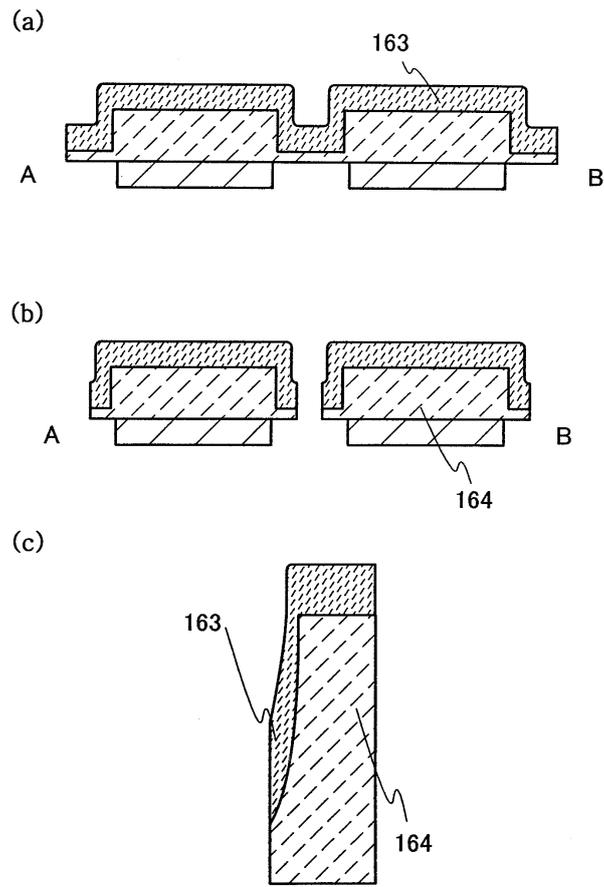
도면4



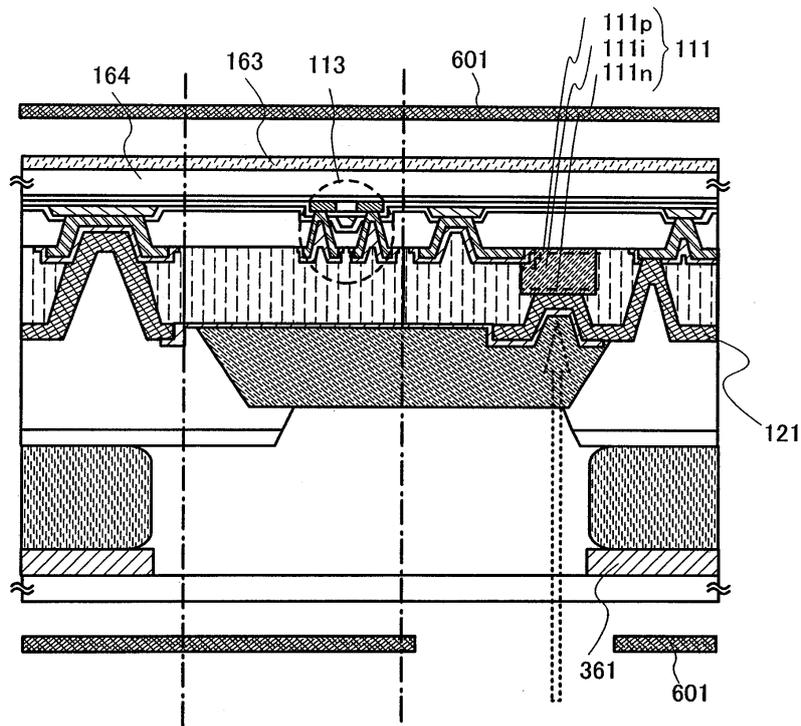
도면5



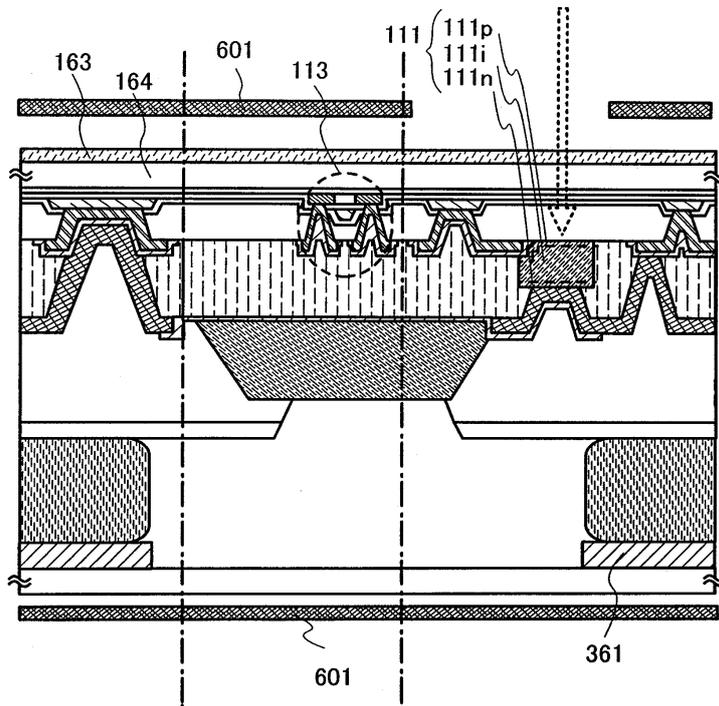
도면6



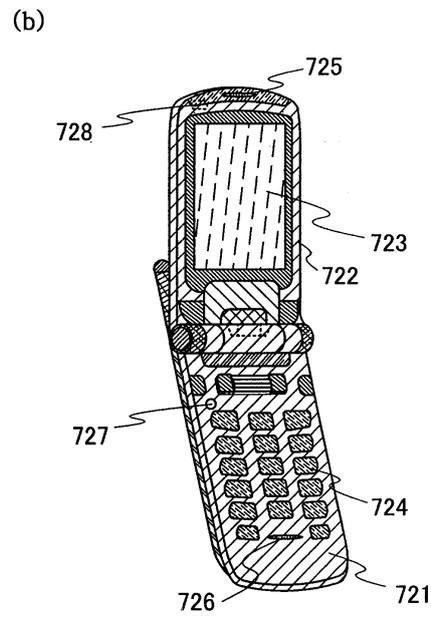
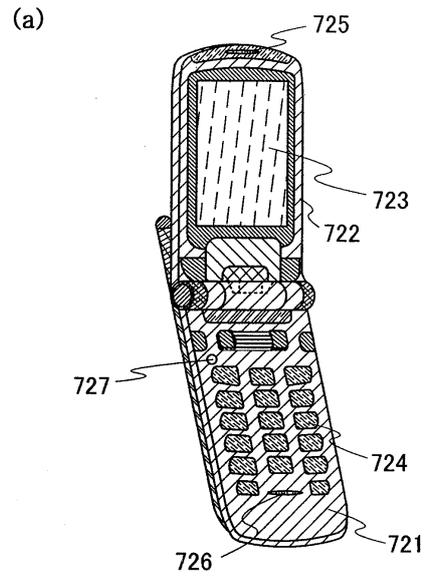
도면7



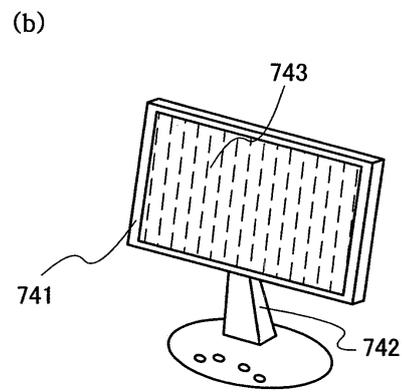
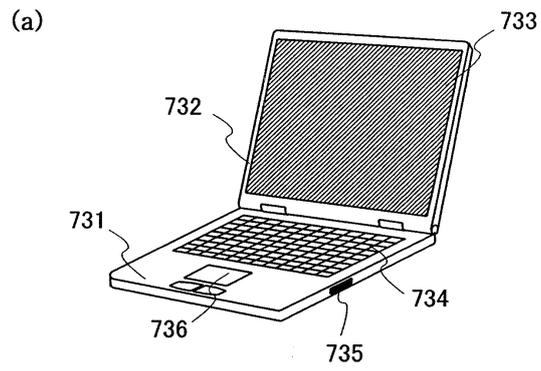
도면8



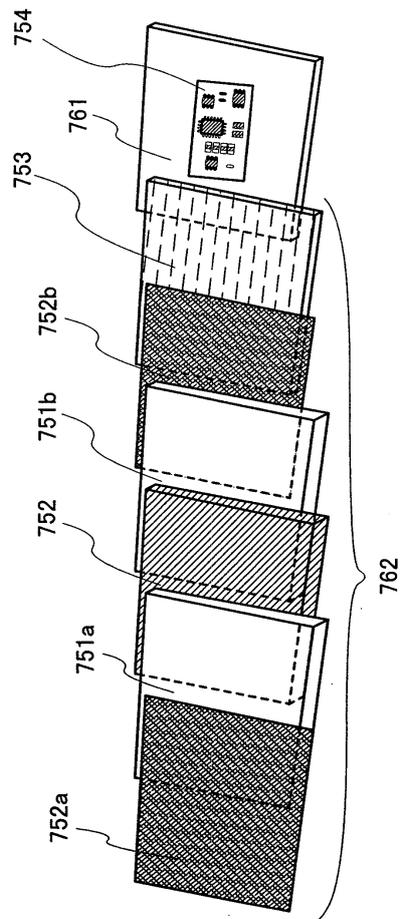
도면10



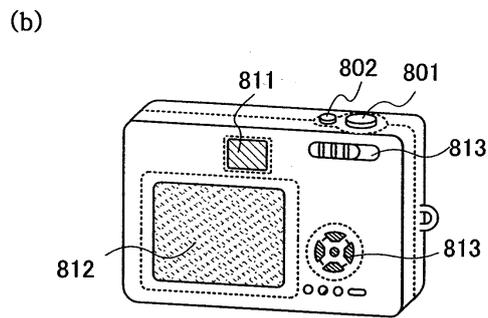
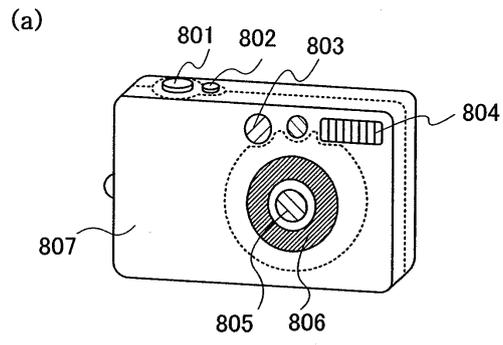
도면11



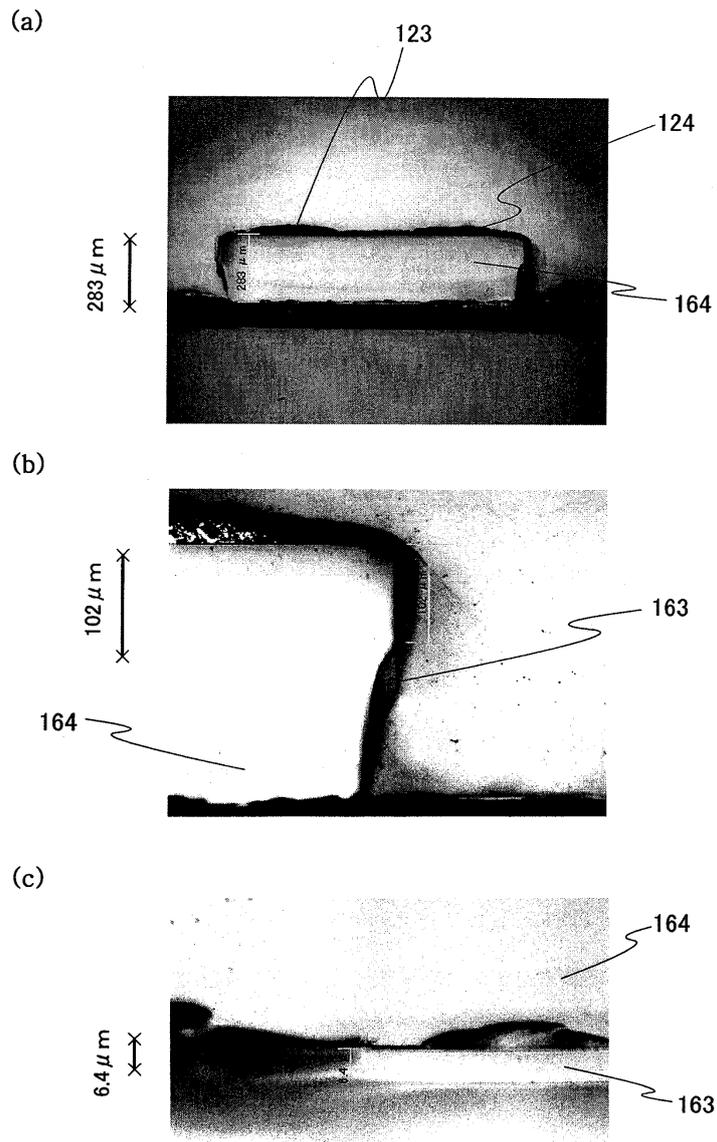
도면12



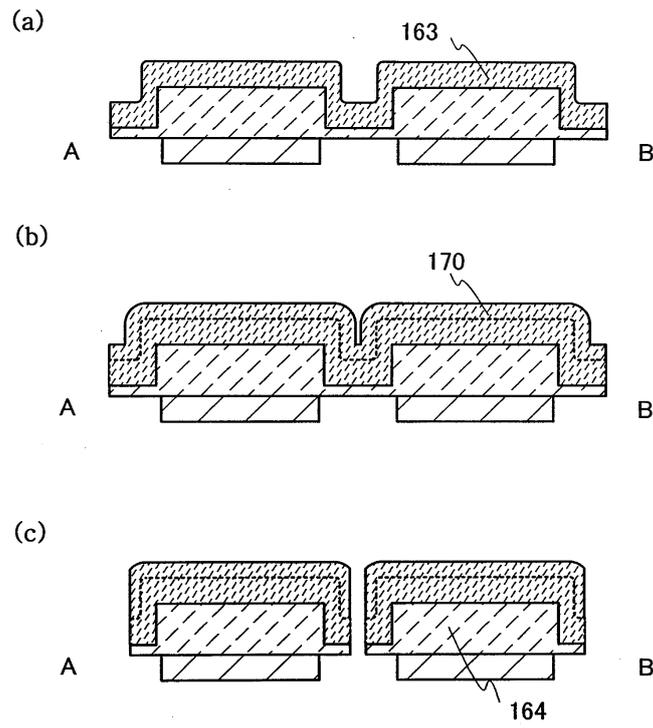
도면13



도면14



도면15



도면16

