

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012年8月9日(09.08.2012)



(10) 国際公開番号
WO 2012/105209 A1

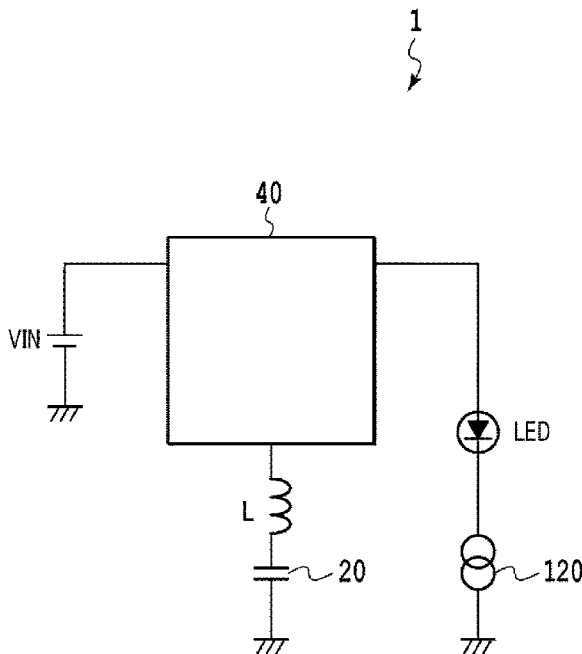
- (51) 国際特許分類:
H05B 37/02 (2006.01) H01L 33/00 (2010.01)
G03B 15/05 (2006.01)
- (74) 代理人: 特許業務法人 谷・阿部特許事務所
(TANI & ABE, p.c.); 〒1070052 東京都港区赤坂2
丁目6-20 Tokyo (JP).
- (21) 国際出願番号: PCT/JP2012/000545
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS,
LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT,
QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST,
SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ,
VC, VN, ZA, ZM, ZW.
- (22) 国際出願日: 2012年1月27日(27.01.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-020209 2011年2月1日(01.02.2011) JP
- (71) 出願人 (米国を除く全ての指定国について): 旭化
成エレクトロニクス株式会社 (Asahi Kasei Mi-
crodevices Corporation) [JP/JP]; 〒1018101 東京都千
代田区神田神保町一丁目105番地 Tokyo (JP).
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨー
ロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 儲 未名
(CHU, Weiming) [CN/JP]; 〒1018101 東京都千代田
区神田神保町一丁目105番地 Tokyo (JP).

[続葉有]

(54) Title: LED FLASH-GENERATING DEVICE AND LED FLASH-GENERATING METHOD

(54) 発明の名称: LEDのフラッシュ生成装置およびLEDのフラッシュ生成方法

[図2]



(57) Abstract: Provided is an LED flash-generating device having low energy loss and a small system area. The flash-generating device (1) comprises: an input power source (VIN); a high-capacity capacitor (20); a voltage step-down circuit (10) connected between the input power source (VIN) and one end of the high-capacity capacitor (20); a voltage step-up circuit (30) connected between the one end of the high-capacity capacitor (20) and one end of the LED; and a constant electric current source (120) connected between the other end of the LED and a ground. An induction element (L) having one end connected to the high-capacity capacitor (20), and a second transistor (M2) having one end connected to the induction element (L) and the other end connected to a ground, are structural elements shared by the voltage step-down circuit (10) and the voltage step-up circuit (30). Less energy is lost and the system structure area is considerably smaller relative to a conventional flash-generating device in which a constant-electric-current/constant-voltage charging circuit and a voltage step-up circuit are independently present.

(57) 要約:

[続葉有]

WO 2012/105209 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告 (条約第 21 条(3))

小エネルギーロス、小システム面積のLEDのフラッシュ生成装置を提供する。フラッシュ生成装置(1)は、入力電源(VIN)と、大容量コンデンサ(20)と、入力電源(VIN)と大容量コンデンサ(20)の一端との間に接続された降圧回路(10)と、大容量コンデンサ(20)の当該一端とLEDの一端との間に接続された昇圧回路(30)と、LEDの他端とグラウンドとの間に接続された定電流源(120)とを備える。一端が大容量コンデンサ(20)に接続された誘導素子(L)、および、一端が誘電素子(L)に接続され他端がグラウンドに接続された第2のトランジスタ(M2)は、降圧回路(10)および昇圧回路(30)の両方の共用の構成素子である。定電流・定電圧充電回路および昇圧回路が独立して存在していた従来のフラッシュ生成装置と比較して、エネルギーのロスを抑え、システム構成面積を大幅に小さくする。

明 細 書

発明の名称：

LEDのフラッシュ生成装置およびLEDのフラッシュ生成方法

技術分野

[0001] 本発明は、LEDのフラッシュ生成装置およびLEDのフラッシュ生成方法に関する。より詳細には、電源から大容量コンデンサに充電し、充電されたエネルギーによってLEDのフラッシュを生成させるフラッシュ生成装置およびフラッシュ生成方法に関する。

背景技術

[0002] 特許文献1に、LEDのフラッシュ発光装置が開示されている。図1を参照して、特許文献1の図6および図7に示された主要な部分を概略的に説明する。電池に蓄えられたエネルギーを定電流・定電圧充電回路910によって大容量コンデンサ920に充電し、大容量コンデンサ920に蓄えられたエネルギーをフラッシュLED用昇圧定電流回路930によって昇圧する。昇圧したエネルギーを、負荷であるLEDに供給する。

先行技術文献

特許文献

[0003] 特許文献1：特開2007-121755号公報

発明の概要

発明が解決しようとする課題

[0004] 特許文献1記載の技術では、大容量コンデンサ920に対して、定電流・定電圧充電回路910により充電を行う。そのため、大容量コンデンサ920の充電電圧が低い場合、定電流・定電圧充電回路910において生じるエネルギーのロスが大きくなる。具体的には、電池の電圧が3.7Vで、大容量コンデンサ920の充電電圧が1Vであって、定電流・定電圧充電回路910の電流が0.5Aの場合、定電流・定電圧充電回路910で生じるロスは $(3.7 - 1) \times 0.5 = 1.35\text{W}$ となる。

[0005] また、定電流・定電圧充電回路910およびフラッシュLED用昇圧定電流回路930の両方の回路が必要になるため、システム面積の増大等が避けられない。

[0006] 本発明はこのような問題点に鑑みてなされたものであり、その目的は、エネルギーのロスが小さく、かつ、回路を形成するシステム面積も小さい、LEDのフラッシュ生成装置を提供することにある。

課題を解決するための手段

[0007] 本発明の1つの態様は、LEDのフラッシュ生成装置において、入力電源と、コンデンサと、前記コンデンサに接続された誘導素子と、スイッチング回路とを備え、前記スイッチング回路は、前記入力電源から前記誘導素子、前記コンデンサへのパスを形成して、前記入力電源のエネルギーを降圧した後、前記コンデンサに充電すると共に、前記コンデンサ、前記誘導素子から前記LEDへのパスを形成して、前記コンデンサに充電されたエネルギーを昇圧した後、前記LEDに出力することを特徴とするLEDのフラッシュ生成装置である。

[0008] 前記スイッチング回路は、第1、第2、第3、および第4の端子を有し、前記入力電源は、前記第1の端子に接続され、前記誘導素子は、前記コンデンサと前記第2の端子との間に接続され、前記LEDは、前記第3の端子に接続され、前記第4の端子は、グラウンドに接続され、前記スイッチング回路は、前記第1の端子と前記第2の端子との間の第1のパスを形成し、前記第2の端子と第4の端子との間の第2のパスを形成し、前記第2の端子と前記第3の端子との間の第3のパスを形成し、前記誘導素子と前記第1のパスと前記第2のパスとが、降圧回路を構成し、前記誘導素子と前記第2のパスと前記第3のパスとが、昇圧回路を構成することができる。

[0009] 好ましくは、前記スイッチング回路は、前記第1のパスと前記第2のパスを相補的に導通して、前記誘導素子とともに降圧動作を行い、前記第2のパスと前記第3のパスを相補的に導通して、前記誘導素子とともに昇圧動作を行うことができる。

- [0010] また、前記スイッチング回路は、前記降圧動作を行う間は前記第3のパスを遮断し、前記昇圧動作を行う間は前記第1のパスを遮断することもできる。
- [0011] 好ましくは、前記第2のパスは、前記誘導素子と前記グラウンドとの間に接続されたトランジスタを含むことができる。
- [0012] また、前記第1のパスは、前記第1の端子と前記第2の端子との間に接続されたトランジスタを含むことができる。
- [0013] さらに、前記第3のパスは、前記第2の端子と前記第3の端子との間に接続されたダイオードを含むことができる。
- [0014] 本発明のもう1つの態様は、LEDのフラッシュ生成方法であって、入力電源から誘導素子、誘導素子に接続されたコンデンサへのパスを形成して、前記入力電源のエネルギーを降圧した後、前記コンデンサに充電するステップと、前記コンデンサ、前記誘導素子から前記LEDへのパスを形成して、前記コンデンサに充電されたエネルギーを昇圧した後、前記LEDに出力するステップと、を備えたことを特徴とするLEDのフラッシュ生成方法である。
- [0015] また、本発明の別の態様は、LEDのフラッシュ生成装置において、入力電源と、コンデンサと、前記入力電源と前記コンデンサの一端との間に接続され、一端が前記コンデンサに接続された誘導素子を含む降圧回路と、前記コンデンサの前記一端と前記LEDの一端との間に接続され、前記誘導素子を含む昇圧回路と、を備え、前記誘導素子は、前記降圧回路および前記昇圧回路の両方の構成素子であることを特徴とするフラッシュ生成装置である。
- [0016] さらに、本発明の別の態様は、LEDのフラッシュ駆動回路において、コントロール回路と、前記コントロール回路が出力する駆動信号によってスイッチングが制御される第1のトランジスタと、前記コントロール回路とグラウンドとの間に接続された定電流源と、前記第1のトランジスタの一端に設けられ、入力電源に接続するための第1の端子と、前記第1のトランジスタの他端に設けられ、昇圧回路に接続するための第2の端子と、第2のトラン

ジスタのスイッチングを駆動信号により制御するための第3の端子と、前記定電流源をLEDと接続するための第4の端子と、を備え、一端がコンデンサに接続された誘導素子と、一端が前記誘導素子に接続され、他端がグラウンドに接続された前記第2のトランジスタとが、前記昇圧回路の一部であることを特徴とするLEDのフラッシュ駆動回路である。

発明の効果

[0017] 本発明に係るフラッシュ生成装置においては、同一の誘電素子を降圧回路および昇圧回路の両方の構成素子とすることができる。これによって、定電流・定電圧充電回路および昇圧回路がそれぞれ独立して存在していた従来のフラッシュ生成装置と比較して、システム面積を大幅に小さくすることができる。さらに、本発明に係るフラッシュ生成装置においては、入力電源から降圧回路を介して大容量コンデンサに充電する。このため、定電流・定電圧充電回路を介して大容量コンデンサに充電をしていた従来のフラッシュ生成装置と比較して、エネルギーロスを抑えることができる。

図面の簡単な説明

[0018] [図1]図1は、従来のフラッシュ発光装置の構成を示す図である。
[図2]図2は、本発明のLEDのフラッシュ生成装置の構成を示す図である。
[図3]図3は、本発明の一実施形態に係る、LEDのフラッシュ生成装置の構成を示す図である。
[図4]図4は、本発明の一実施形態に係る、LEDのフラッシュ生成装置のコントロール回路の構成例を示す図である。
[図5]図5は、本発明の一実施形態に係る、LEDのフラッシュ生成装置の動作（充電時）を説明するための図である。
[図6]図6は、本発明の一実施形態に係る、LEDのフラッシュ生成装置の動作（充電時）を説明するための図である。
[図7]図7は、本発明の一実施形態に係る、LEDのフラッシュ生成装置の動作（放電時）を説明するための図である。
[図8]図8は、本発明の一実施形態に係る、LEDのフラッシュ生成装置の動

作（放電時）を説明するための図である。

発明を実施するための形態

[0019] 以下、図面を参照して本発明の実施形態について説明する。

<フラッシュ生成装置>

図2は、本発明のLEDのフラッシュ生成装置の構成を示す図である。

[0020] フラッシュ生成装置1は、入力電源VINと、大容量コンデンサ20と、大容量コンデンサ20に接続された誘導素子Lと、スイッチング回路40とを備える。スイッチング回路40によって、以下のように降圧および昇圧の動作に応じてパスが形成される。入力電源VINから、誘導素子Lおよび大容量コンデンサ20へ至るパス（第1のパス）を形成し、入力電源VINのエネルギーを降圧する。降圧された電圧によって、大容量コンデンサ20に充電する。また、大容量コンデンサ20および誘導素子LからLEDへ至るパス（第2のパス）を形成し、大容量コンデンサ20に充電されたエネルギーを昇圧する。昇圧をした後で、LEDにエネルギーを出力する。

[0021] LEDは、一端がスイッチング回路40に接続され、他端が定電流源120に接続されている。

[0022] スwitching回路40は、降圧動作を行うときに、入力電源VINから誘導素子Lおよび大容量コンデンサ20へ至るパス（第1のパス）を形成して、入力電源VINのエネルギーを誘導素子Lに入力して降圧し、そのエネルギーを大容量コンデンサ20に充電する。

[0023] また、スイッチング回路40は、昇圧動作を行うときに、大容量コンデンサ20および降圧動作に使用したのと同じ誘導素子LからLEDへ至るパス（第2のパス）を形成して、大容量コンデンサ20に充電されたエネルギーを誘導素子Lに入力して昇圧し、そのエネルギーをLEDに出力する。

[0024] ここで、スイッチング回路40によって形成されるパスは、静的に直流的なパスが形成されるだけでなく、誘導素子Lに関連するエネルギーを伝達できる経路が形成されることを意味していることに留意されたい。図5～図8とともに後に詳述するように、本発明のフラッシュ生成装置では、誘導素

子LはDC/DCコンバータの一部として機能するため、上述のパスの一部は、オン/オフを繰り返し行うように動作する。したがって、上述のパスも断続的に開閉されるよう動作することになる。

[0025] フラッシュ生成装置1においては、このように誘導素子Lに入力されるエネルギーの方向が双方向に設定できるようなパスをスイッチング回路40が形成する。このスイッチング回路40の構成によって、降圧動作および昇圧動作の両方を、1つの誘導素子Lを用いて行うことができる。このため、1つの共用の回路素子を利用して異なる2つの動作を行うことができるので、システム面積を小さくできるという効果を奏する。

[0026] 本発明のフラッシュ生成装置は、誘導素子を用いて降圧動作および昇圧動作を行うものであり低損失であるため、エネルギーのロスを小さくすることもできる。

[0027] 図3は、本発明の一実施形態に係る、LEDのフラッシュ生成装置の構成を示す図である。

[0028] 図3のフラッシュ生成装置1では、誘導素子Lと、スイッチング回路40における、入力電源VINから誘導素子Lの他端（大容量コンデンサ20の反対側の端）に至るまでのパスと、誘導素子Lの他端からグラウンドに至るまでのパスとによって、降圧回路10が構成されている。

[0029] また、フラッシュ生成装置1では、誘導素子Lと、スイッチング回路40における、誘導素子Lの他端からグラウンドに至るまでのパスと、誘導素子Lの他端からLEDに至るまでのパスとによって、昇圧回路30が構成されている。

[0030] フラッシュ生成装置1では、入力電源VINと誘導素子Lの他端との間のパスが形成されて、入力電源VINからのエネルギーを誘導素子Lに入力され、そのエネルギーが大容量コンデンサ20に充電される。また、フラッシュ生成装置1では、大容量コンデンサ20に充電されたエネルギーが誘導素子Lに充電され、誘導素子Lの他端とLEDとの間のパスが形成されて、そのエネルギーがLEDに放電される。

- [0031] このように、本実施形態のフラッシュ生成装置 1 は、誘導素子 L に入力電源 V I N からエネルギーを入力するパス（第 1 のパス）と、誘導素子 L から L E D にエネルギーを出力するパス（第 2 のパス）を形成する。大容量コンデンサ 2 0 にエネルギーを充電するときと放電するときとで、誘導素子 L に流れる電流の向きが逆になる。これによって、誘導素子 L を、降圧回路 1 0 および昇圧回路 3 0 の両方の機能を持つ 1 つの構成素子として共有化することができる。1 つの共用素子を利用して異なる機能を行うことができるので、システム面積を小さくすることができる。
- [0032] 本発明のフラッシュ生成装置は、降圧回路 1 0 に誘導素子を用いたものであり低損失であるため、エネルギーのロスを小さくすることもできる。
- [0033] また、本実施形態に係るフラッシュ生成装置 1 は、入力電源 V I N と誘導素子 L の他端（大容量コンデンサ 2 0 の反対の端）との間に第 1 のトランジスタ M 1 が接続されており、入力電源 V I N と誘導素子の他端との間のパスが構成される。また、誘導素子 L の他端とグラウンドとの間に第 2 のトランジスタ M 2 が接続されており、誘導素子 L の他端とグラウンドとの間のパスが構成される。さらに、誘導素子 L の他端と L E D との間にダイオード D 1 が接続されており、誘導素子 L の他端と L E D との間のパスが構成される。上述のように 2 つのトランジスタ M 1、M 2 のオン／オフを利用して、入力電源 V I N と誘導素子 L の他端との間、誘導素子 L の他端とグラウンドとの間、誘導素子 L と L E D との間をそれぞれ選択的に導通することができる。
- [0034] 上述の構成では、誘導素子 L の他端とグラウンドとの間に第 2 のトランジスタ M 2 を接続することによって、第 2 のトランジスタ M 2 を降圧回路 1 0 および昇圧回路 3 0 の両方の構成素子として共有化することができる。誘導素子 L に加えて、第 2 のトランジスタ M 2 も共用化することによって、さらに、システム面積を小さくすることができる。
- [0035] 図 1 に示した定電流・定電圧充電回路 9 1 0 および昇圧回路 9 3 0 がそれぞれ独立して構成されていた従来技術のフラッシュ生成装置と比較して、本発明のフラッシュ生成装置 1 は、システム面積をさらに大幅に小さくするこ

とが可能になる。

[0036] なお、本実施形態に係るフラッシュ生成装置 1 は、大容量コンデンサ 20 を充放電するためのフラッシュ駆動回路 100 も備えている。構成は異なるものの、特許文献 1 のフラッシュ発光装置においても、大容量コンデンサ 920 を充放電するための制御回路 E を（定電流・定電圧充電回路 910 内に）備える点は同じである。本実施形態に特有の、誘導素子 L および第 2 のトランジスタ M2 も共用化する構成によって、従来技術と比べてシステムを構成する回路部品の面積の大幅な縮小をすることができる。

[0037] 本実施形態に係るフラッシュ生成装置 1 は、降圧回路 10 において、第 1 のトランジスタ M1、第 2 のトランジスタ M2 がそれぞれ P チャネル MOS トランジスタ、N チャネル MOS トランジスタであるが、それぞれ N チャネル MOS トランジスタ、P チャネル MOS トランジスタであっても良い。この場合、第 1 のトランジスタ M1、第 2 のトランジスタ M2 のゲートに与えられる駆動信号の極性はそれぞれ逆になる。

[0038] また、本実施形態に係るフラッシュ生成装置 1 は、昇圧回路 30 において、誘導素子 L の他端と LED との間のパスがダイオード D1 となっている。しかしながら、ダイオード D1 に限定されず、トランジスタであっても良い。この場合、ダイオード D1 に替わるトランジスタが、降圧回路 10 が動作するときオフして、昇圧回路 30 が動作するとき、第 2 のトランジスタ M2 と相補的にオンオフするような駆動信号を、各ゲートに与えれば良い。

[0039] 詳細は後述するが、図 3 に示したフラッシュ生成装置 1 は、入力電源 V1N から降圧回路 10 を介して大容量コンデンサ 20 に充電する。このため、定電流・定電圧充電回路 910 を介して大容量コンデンサ 920 に充電をしていた従来のフラッシュ生成装置と比較して、エネルギーロスの抑制が可能となる。

[0040] 本明細書において「大容量コンデンサ」とは、電気二重層コンデンサ、スーパーコンデンサ、ウルトラコンデンサなどの容量値が大きいコンデンサであり、0.1F 以上 10000F 以下のコンデンサであることが好ましい。

[0041] また、これまでLEDの他端とグラウンドとの間に定電流源120が接続されている例を挙げて説明してきたが、LEDを定電圧で駆動することも可能である。LEDを大電流で駆動する場合には、LEDの推奨最大電流以上に電流が流れて寿命が短縮することを避けるため、定電流駆動することが好ましい。

<フラッシュ駆動回路>

[0042] 次に、フラッシュ駆動回路100の構成および動作について説明する。フラッシュ駆動回路100は、コントロール回路110と、コントロール回路110が出力する駆動信号によってスイッチングが制御される第1のトランジスタM1と、コントロール回路110とグラウンドとの間に接続された定電流源120とを備える。加えて、フラッシュ駆動回路100は、以下に述べる6つの端子を備えている。すなわち、第1のトランジスタM1の一端に設けられ、入力電源VINに接続するための第1の端子N1と、第1のトランジスタM1の他端に設けられ、昇圧回路30に接続するための第2の端子N2と、降圧回路10および昇圧回路30に共通の構成素子である第2のトランジスタM2のスイッチングを駆動信号により制御するための第3の端子N3と、定電流源120をLEDと接続するための第4の端子N4と、コントロール回路110を大容量コンデンサ20と接続して、大容量コンデンサ20の電圧をコントロール回路110にフィードバックするための第5の端子N5と、コントロール回路110をLEDと接続して、LEDの電圧をコントロール回路110にフィードバックするための第6の端子N6とを備える。

[0043] フラッシュ生成装置1に関してこれまでは、降圧回路10および昇圧回路30が、同一の共通のトランジスタ（具体的には、第2のトランジスタM2）および誘導素子（具体的には、誘導素子L）をその構成要素として含むという視点で説明してきた。しかし、別の視点から説明することもできる。降圧回路10は、昇圧回路30の一部である当該第2のトランジスタM2および誘導素子Lに、第1のトランジスタM1を加えた構成と見ることもできる

- 。
- [0044] フラッシュ生成装置 1 において、降圧回路 10 は、フラッシュ駆動回路 100 のコントロール回路 110 からの駆動信号によって降圧型 DC/DC コンバータとして動作する。さらに、昇圧回路 30 は、フラッシュ駆動回路 100 のコントロール回路 110 からの異なる駆動信号によって昇圧型 DC/DC コンバータとして動作する。
- [0045] このようなフラッシュ生成装置の構成および動作により、フラッシュ駆動回路 100 は、昇圧回路 30 を動作させることができる。さらに、フラッシュ駆動回路 100 は、昇圧回路 30 の一部である誘導素子 L および第 2 のトランジスタ M2 と、第 1 のトランジスタ M1 とによって構成される降圧回路 10 を動作させることができる。
- [0046] 図 4 は、本発明の一実施形態に係る、LED のフラッシュ生成装置のコントロール回路 110 の構成例を示す図である。
- [0047] コントロール回路 110 は、第 5 の端子 N5 とグラウンドとの間に直列接続され、大容量コンデンサ 20 の電圧を分圧して分圧電圧を共通接続部より出力する抵抗 R1 および R2 と、分圧電圧と基準電圧 VREF1 との差を増幅して誤差電圧を出力する誤差増幅回路 AMP1 と、三角波を出力する発振回路 OSC と、誤差増幅回路 AMP1 が出力する誤差電圧と三角波を比較して PWM 信号を出力する比較回路 CMP1 と、第 4 の端子の電圧と基準電圧 VREF2 との差を増幅して誤差電圧を出力する誤差増幅回路 AMP2 と、誤差増幅回路 AMP2 が出力する誤差電圧と三角波とを比較して PWM 信号を出力する比較回路 CMP2 と、大容量コンデンサ 20 の電圧と出力電圧とを比較回路 CPM1 および CMP2 が出力する PWM 信号とをそれぞれ入力して第 1 のトランジスタ M1 および第 2 のトランジスタ M2 のスイッチングをそれぞれ制御する駆動信号を出力するドライブ回路 130 とを備える。
- [0048] 基準電圧 VREF1 は、大容量コンデンサ 20 の所望の電圧に対応した電圧であり、基準電圧 VREF2 は、所望の出力電圧に対応しており LED に適切なバイアス電圧がかかるようにするための電圧である。

- [0049] 比較回路CMP 1 が出力するPWM信号は、入力電源VINを降圧するための信号であり、比較回路CMP 2 が出力するPWM信号は、大容量コンデンサ20の電圧を昇圧するための信号である。
- [0050] ドライブ回路130は、入力電源VINの電圧を降圧して大容量コンデンサ20を充電するときに、比較回路CMP 1 が出力するPWM信号を選択して、第1のトランジスタM1および第2のトランジスタM2にこのPWM信号を出力する。このとき、第1のトランジスタM1および第2のトランジスタM2は、PWM信号のデューティに応じて相補的にオンオフされる。
- [0051] ドライブ回路130は、大容量コンデンサ20の電圧を昇圧してLEDに出力電圧を出力するときに、比較回路CMP 2 が出力するPWM信号を選択して、第2のトランジスタM2にこのPWM信号出力し、ハイレベルの信号を第1のトランジスタM1に出力する。このとき、第2のトランジスタM2は、PWM信号のデューティに応じてオンオフされる。PチャネルMOSトランジスタでありハイレベルの信号が入力されるため、第1のトランジスタM1はオフする。
- [0052] ドライブ回路130は、第5の端子N5より大容量コンデンサ20の電圧を監視して、その充電電圧が所望の充電レベルより低いときに降圧動作が行われるように、比較回路CMP 1 が出力するPWM信号を選択する。さらに、大容量コンデンサ20が耐圧を超えないような制御も行う。また、ドライブ回路130は、比較回路CMP 2 の出力電圧を選択して第4の端子N4のLEDのカソード電圧を監視し、その電圧が基準電圧VREF 2より低いときは出力電圧を上げ、その電圧が基準電圧VREF 2より高いときは出力電圧を下げながら昇圧動作が行われるよう制御する。ドライブ回路130は、第6の端子N6より出力電圧を監視して過電圧時に第1のトランジスタM1および第2のトランジスタM2をオフして昇圧動作を停止する。

<動作説明>

- [0053] 図5から図8を参照しながら、本発明の一実施形態に係るLEDのフラッシュ生成装置の動作例を説明する。

[0054] まず、入力電源VINから、降圧回路10を介して大容量コンデンサ20に電力を充電する動作を説明する。図3のフラッシュ駆動回路100の場合、第1のトランジスタM1および第2のトランジスタM2を相補的にオンオフすることによって、入力電圧を降圧して大容量コンデンサ20に充電をする。このとき、ダイオードD1は、両端の電圧が閾値より低くオフするため、誘導素子Lの他端とLEDとの間のパスは遮断される。

[0055] 図5は、本発明の一実施形態に係る、LEDのフラッシュ生成装置の充電時の動作を説明するための図である。図5に示すように、降圧回路10は、フラッシュ駆動回路100により、第1のトランジスタM1をオンして、第2のトランジスタM2をオフする。入力電源VINから、第1のトランジスタM1および誘導素子Lを通じて大容量コンデンサ20に電流が流れ、誘導素子Lにエネルギーが充電される。このときの電流のパスを破線矢印で示す。

[0056] 降圧回路10は、入力電源VINと誘導素子Lとの間のパスを導通して、誘導素子Lとグラウンドとの間のパスを遮断して誘導素子Lにエネルギーを充電する。

[0057] 図6は、本発明の一実施形態に係るLEDのフラッシュ生成装置の充電時の動作を説明するための別の図である。図6に示すように、降圧回路10は、フラッシュ駆動回路100によって、第1のトランジスタM1をオフして、第2のトランジスタM2をオンする。そして、グラウンドより第2のトランジスタM2および誘導素子Lを通じて大容量コンデンサ20に電流が流れる。このときの電流のパスを破線矢印で示す。

[0058] このとき、降圧回路10は、入力電源VINおよび誘導素子Lの間のパスを遮断し、かつ、誘導素子Lおよびグラウンドの間のパスを導通して、誘導素子Lに充電されたエネルギーが大容量コンデンサ20に充電される。

[0059] 第1のトランジスタM1および第2のトランジスタM2が相補的にオンオフする動作が繰り返され、上述の図5および図6の状態が交互に繰り返される。

[0060] すなわち、入力電源VINおよび誘導素子Lの間のパスと、誘導素子Lおよびグラウンドの間のパスとが相補的に導通する動作が繰り返される。誘導素子Lへのエネルギーの充放電が繰り返されて、大容量コンデンサ20に入力電源VINを降圧したエネルギーが充電される。

[0061] また、第5の端子N5から大容量コンデンサ20の充電状態をコントロール回路110にフィードバックすることによって、大容量コンデンサ20が所望の充電レベルに到達したら第1のトランジスタM1のスイッチングを停止し、充電動作を終了させる。

[0062] 誘導素子Lを用いて、降圧回路10が大容量コンデンサ20にエネルギーを充電することによって、エネルギーロスを抑制することができる。

[0063] 上述のように、本発明のフラッシュ生成装置は、誘導素子Lを用いた降圧回路10を介して大容量コンデンサ20への充電を行うことによって、従来の定電流・定電圧充電回路910を用いた装置に比べてエネルギーのロスが大幅に少なくなる。具体的には、電源電圧=3.7V、入力電源VINから供給する平均電流=0.5A、降圧回路10の効率=80%の場合に、従来技術の定電流・定電圧充電回路910による充電で発生するエネルギーロス、および、本発明に係る降圧回路10による充電で発生するエネルギーロスは、下記表1の通りとなる。

[0064] [表1]

大容量コンデンサの電圧 (V)	全エネルギー (W)	降圧回路使用時のエネルギーロス (W)	定電流・定電圧充電回路使用時のエネルギーロス (W)
0.1	1.85	0.37	1.8
0.5	1.85	0.37	1.6
1	1.85	0.37	1.35
2	1.85	0.37	0.85
2.5	1.85	0.37	0.6

[0065] 注)

全エネルギー

=電源電圧×電源から供給する平均電流

定電流・定電圧充電回路使用時のロス

$$= (\text{電源電圧} - \text{コンデンサ電圧}) \times \text{電源から供給する平均電流}$$

$$\text{降圧回路使用時のロス}$$

$$= \text{全エネルギー} \times (1 - \text{降圧回路の効率})$$

表1より、本発明のフラッシュ生成装置は、エネルギーのロスが大幅に少ないことがわかる。

[0066] また、従来方法の場合、大容量コンデンサ920への充電電流も0.5Aとなるが、降圧回路10の場合、

大容量コンデンサへの充電電流

$$= \text{電源から供給する平均電流} \times \text{電源電圧} \times \text{降圧回路の効率} / \text{大容量コンデンサ電圧}$$

となるので、大容量コンデンサへの充電電流は、下記表2の通りとなる。

[0067] [表2]

コンデンサ電圧 (V)	降圧回路を使用する場合 (A)	定電流・定電圧充電回路を使用する場合 (A)
0.1	14.80	0.5
0.5	2.96	0.5
1	1.48	0.5
2	0.74	0.5
2.5	0.59	0.5

[0068] つまり、電源から供給する平均電流が同じ場合、定電流・定電圧充電回路910を介して大容量コンデンサ920に充電していた従来のフラッシュ生成装置と比較して、降圧回路10を介して大容量コンデンサ20に充電する本発明に係るフラッシュ生成装置1では、大容量コンデンサ20へより多く充電電流を供給することができる。したがって、充電時間も大幅に短縮することができる。

[0069] 次に、大容量コンデンサ20に充電された電力を、昇圧回路30を用いて昇圧し、負荷であるLEDに供給する動作を説明する。図3にしめした回路の場合、第2のトランジスタM2をスイッチングし、第1のトランジスタM1をオフにすることによって、大容量コンデンサ20の電圧を昇圧してLEDに供給することが可能である。このとき、入力電源と誘導素子Lの他端と

の間のパスは遮断される。

[0070] 図7は、本発明の一実施形態に係るLEDのフラッシュ生成装置の放電時の動作を説明するための図である。図7に示すように、昇圧回路30は、フラッシュ駆動回路100により、第2のトランジスタM2をオンする。そして、大容量コンデンサ20より誘導素子Lを通じてグラウンドに電流が流れ、誘導素子Lにエネルギーが充電される。このときの電流のパスを破線矢印で示す。また、このとき出力コンデンサCOUTに蓄えられているエネルギーがLEDに放電されることより、LEDには電流が流れる。

[0071] つまり、昇圧回路30は、誘導素子Lおよびグラウンドの間のパスを導通して誘導素子Lにエネルギーを充電する。

[0072] 図8は、本発明の一実施形態に係るLEDのフラッシュ生成装置の放電時の動作を説明するための別の図である。図8に示すように、昇圧回路30は、フラッシュ駆動回路100によって、第2のトランジスタM2をオフする。そして、大容量コンデンサ20より誘導素子LおよびダイオードD1を通じて、LEDおよび出力コンデンサCOUTに電流が流れる。このときの電流のパスを破線矢印で示す。

[0073] つまり、昇圧回路30は、誘導素子Lとグラウンドとの間のパスを遮断して、誘導素子LとLEDとの間のパスを導通することで、誘導素子Lに充電されたエネルギーをLEDに供給する。

[0074] 第2のトランジスタM2がオンオフする動作が繰り返され、図7および図8の状態が交互に繰り返される。

[0075] すなわち、誘導素子Lおよびグラウンドの間のパスが導通および遮断される動作が繰り返されて、誘導素子Lへのエネルギーの充放電が繰り返される。そして、LEDに大容量コンデンサ20の電圧を昇圧した電圧が供給されて、LEDはフラッシュを生成する。

[0076] 本発明のフラッシュ生成装置は、上述した構成および動作により、エネルギーのロスが小さく、かつ、システム面積も小さくすることができる。

産業上の利用可能性

[0077] 本発明は、LEDによってフラッシュを生成するフラッシュ生成装置に利用できる。

符号の説明

- [0078]
- 1 フラッシュ生成装置
 - 10 降圧回路
 - 20 大容量コンデンサ
 - 30 昇圧回路
 - 40 スイッチング回路
 - 100 フラッシュ駆動回路
 - 110 コントロール回路
 - 120 定電流源
 - VIN 入力電源
 - M1 第1のトランジスタ
 - M2 第2のトランジスタ
 - L 誘導素子
 - N1 第1の端子
 - N2 第2の端子
 - N3 第3の端子
 - N4 第4の端子
 - N5 第5の端子
 - N6 第6の端子
 - R1、R2 抵抗
 - AMP1、AMP2 誤差増幅回路
 - CMP1、CMP2 比較回路
 - OSC 発振回路
 - 130 ドライブ回路

請求の範囲

[請求項1]

LEDのフラッシュ生成装置において、
入力電源と、
コンデンサと、
前記コンデンサに接続された誘導素子と、
スイッチング回路と、
を備え、
前記スイッチング回路は、
前記入力電源から前記誘導素子、前記コンデンサへのパスを形成して、前記入力電源のエネルギーを降圧した後、前記コンデンサに充電すると共に、前記コンデンサ、前記誘導素子から前記LEDへのパスを形成して、前記コンデンサに充電されたエネルギーを昇圧した後、前記LEDに出力することを特徴とするLEDのフラッシュ生成装置。

[請求項2]

前記スイッチング回路は、第1、第2、第3、および第4の端子を有し、
前記入力電源は、前記第1の端子に接続され、
前記誘導素子は、前記コンデンサと前記第2の端子との間に接続され、
前記LEDは、前記第3の端子に接続され、
前記第4の端子は、グラウンドに接続され、
前記スイッチング回路は、
前記第1の端子と前記第2の端子との間の第1のパスを形成し、前記第2の端子と第4の端子との間の第2のパスを形成し、前記第2の端子と前記第3の端子との間の第3のパスを形成し、
前記誘導素子と前記第1のパスと前記第2のパスとが、降圧回路を構成し、前記誘導素子と前記第2のパスと前記第3のパスとが、昇圧回路を構成することを特徴とする請求項1に記載のLEDのフラッシュ

ユ生成装置。

[請求項3]

前記スイッチング回路は、

前記第1のパスと前記第2のパスを相補的に導通して、前記誘導素子とともに降圧動作を行い、前記第2のパスと前記第3のパスを相補的に導通して、前記誘導素子とともに昇圧動作を行うことを特徴とする請求項2記載のLEDのフラッシュ生成装置。

[請求項4]

前記スイッチング回路は、

前記降圧動作を行う間は前記第3のパスを遮断し、前記昇圧動作を行う間は前記第1のパスを遮断することを特徴とする請求項3に記載のLEDのフラッシュ生成装置。

[請求項5]

前記第2のパスは、

前記誘導素子と前記グラウンドとの間に接続されたトランジスタを含むことを特徴とする請求項2乃至4のいずれかに記載のLEDのフラッシュ生成装置。

[請求項6]

前記第1のパスは、

前記第1の端子と前記第2の端子との間に接続されたトランジスタを含むことを特徴とする請求項2乃至5のいずれかに記載のLEDのフラッシュ生成装置。

[請求項7]

前記第3のパスは、

前記第2の端子と前記第3の端子との間に接続されたダイオードを含むことを特徴とする請求項2乃至6のいずれかに記載のLEDのフラッシュ生成装置。

[請求項8]

LEDのフラッシュ生成方法において、

入力電源から誘導素子、誘導素子に接続されたコンデンサへのパスを形成して、前記入力電源のエネルギーを降圧した後、前記コンデンサに充電するステップと、

前記コンデンサ、前記誘導素子から前記LEDへのパスを形成して、前記コンデンサに充電されたエネルギーを昇圧した後、前記LEDに

出力するステップと、
を備えたことを特徴とするLEDのフラッシュ生成方法。

[請求項9]

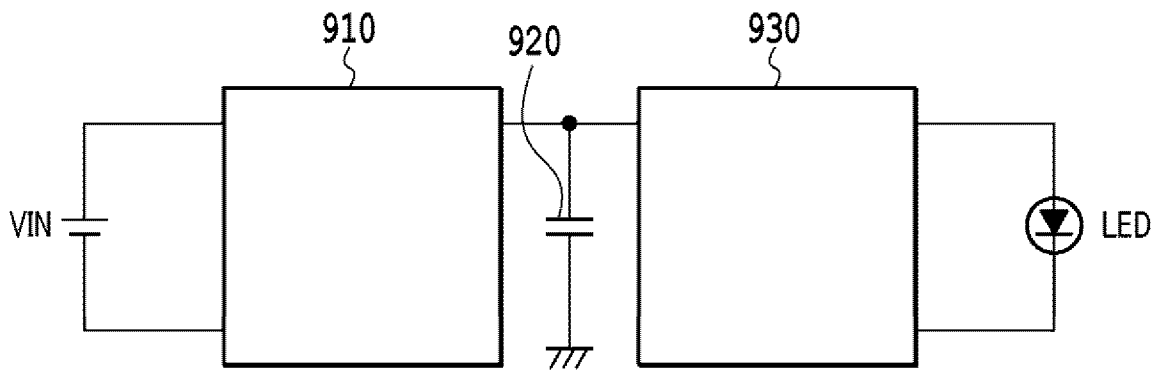
LEDのフラッシュ生成装置において、
入力電源と、
コンデンサと、
前記入力電源と前記コンデンサの一端との間に接続され、一端が前記コンデンサに接続された誘導素子を含む降圧回路と、
前記コンデンサの前記一端と前記LEDの一端との間に接続され、前記誘導素子を含む昇圧回路と、
を備え、
前記誘導素子は、前記降圧回路および前記昇圧回路の両方の構成素子であることを特徴とするフラッシュ生成装置。

[請求項10]

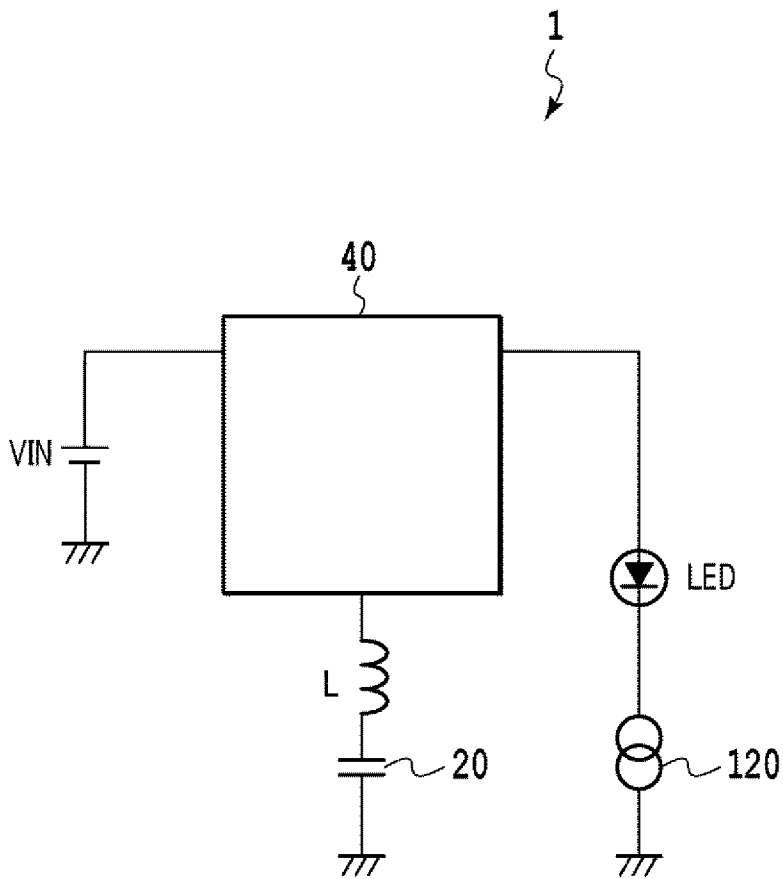
LEDのフラッシュ駆動回路において、
コントロール回路と、
前記コントロール回路が出力する駆動信号によってスイッチングが制御される第1のトランジスタと、
前記コントロール回路とグラウンドとの間に接続された定電流源と、
、
前記第1のトランジスタの一端に設けられ、入力電源に接続するための第1の端子と、
前記第1のトランジスタの他端に設けられ、昇圧回路に接続するための第2の端子と、
第2のトランジスタのスイッチングを駆動信号により制御するための第3の端子と、
前記定電流源をLEDと接続するための第4の端子と、
を備え、
一端がコンデンサに接続された誘導素子と、一端が前記誘導素子に接続され、他端がグラウンドに接続された前記第2のトランジスタと

が、前記昇圧回路の一部であることを特徴とするLEDのフラッシュ駆動回路。

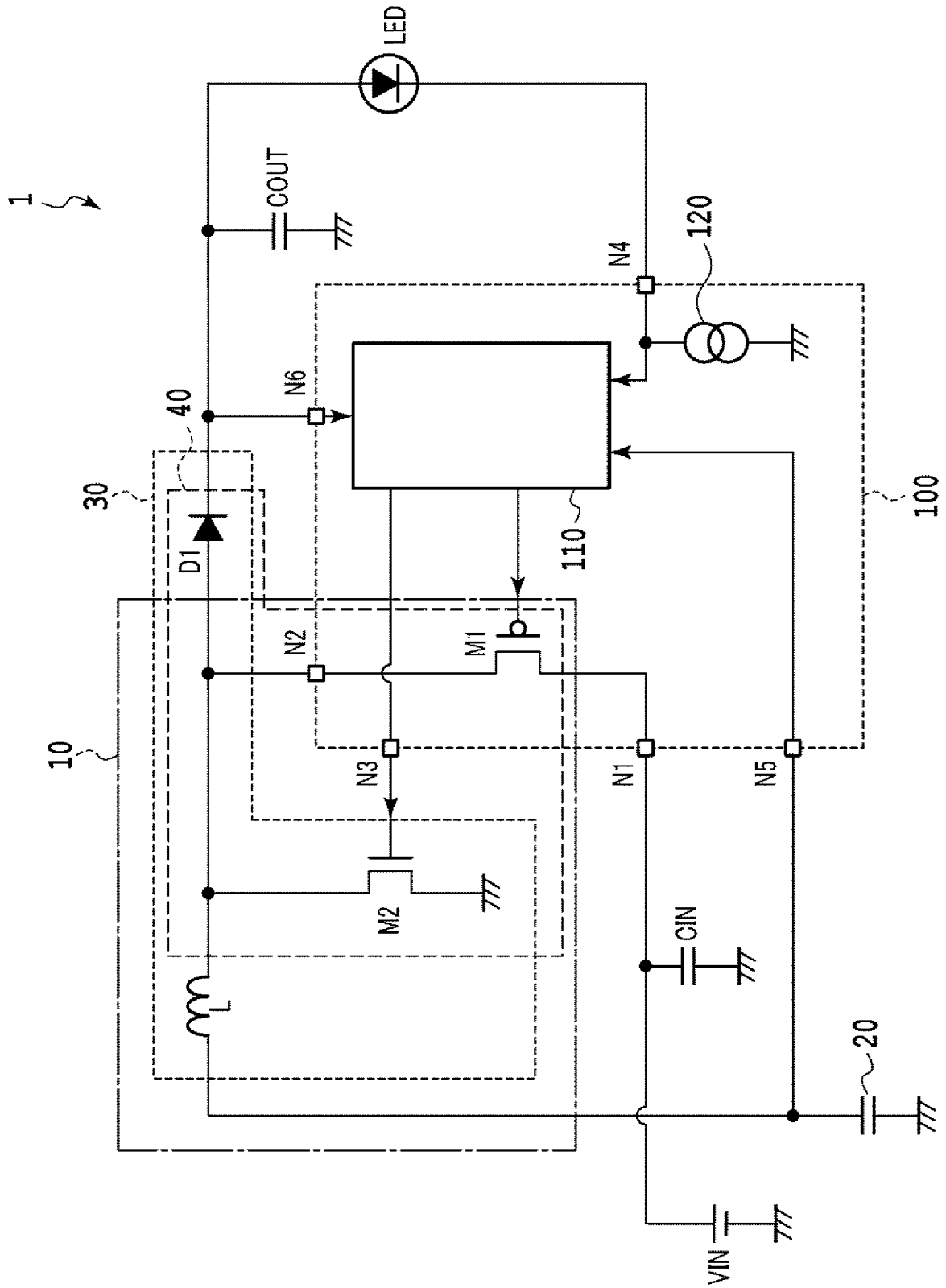
[図1]



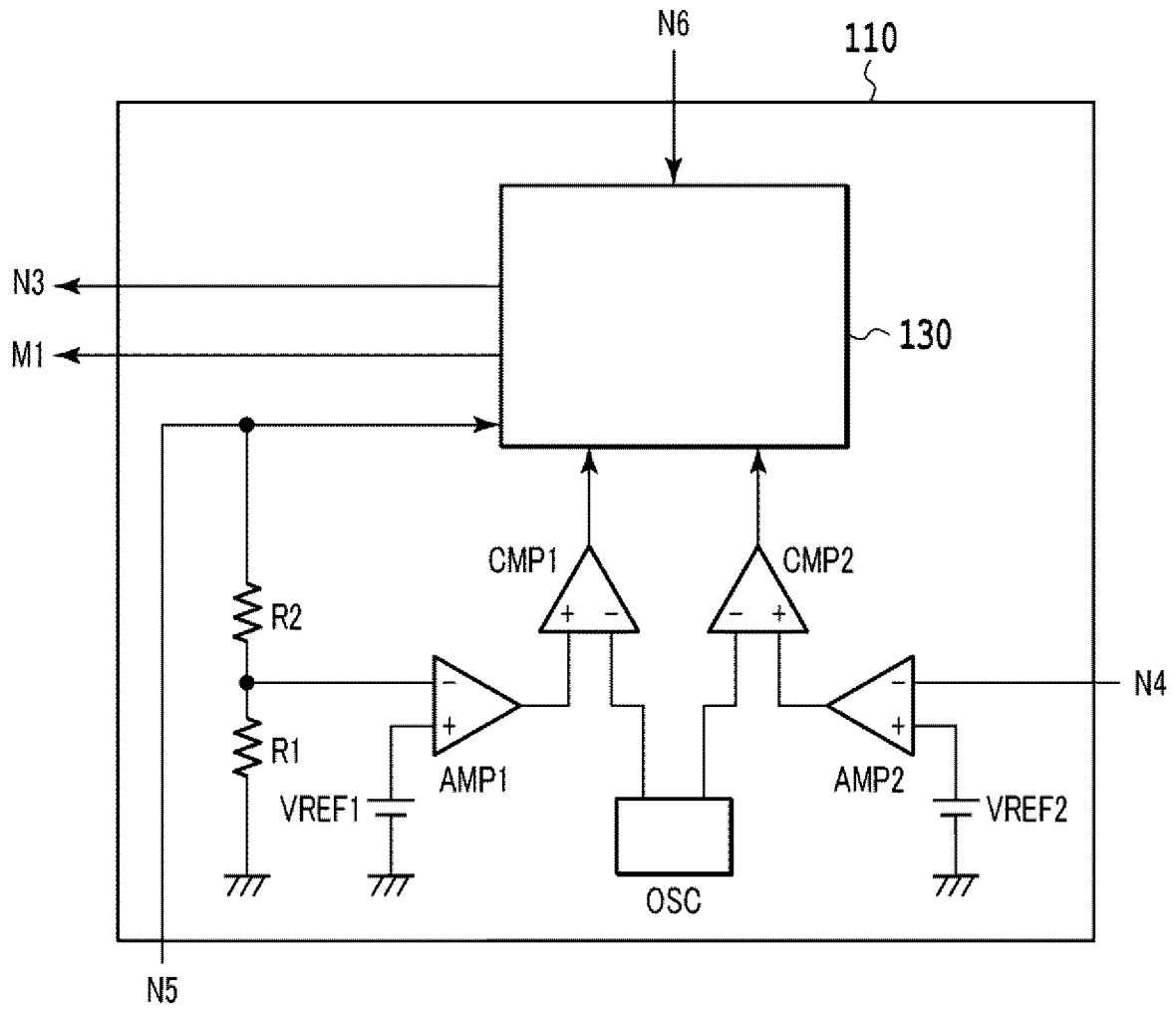
[図2]



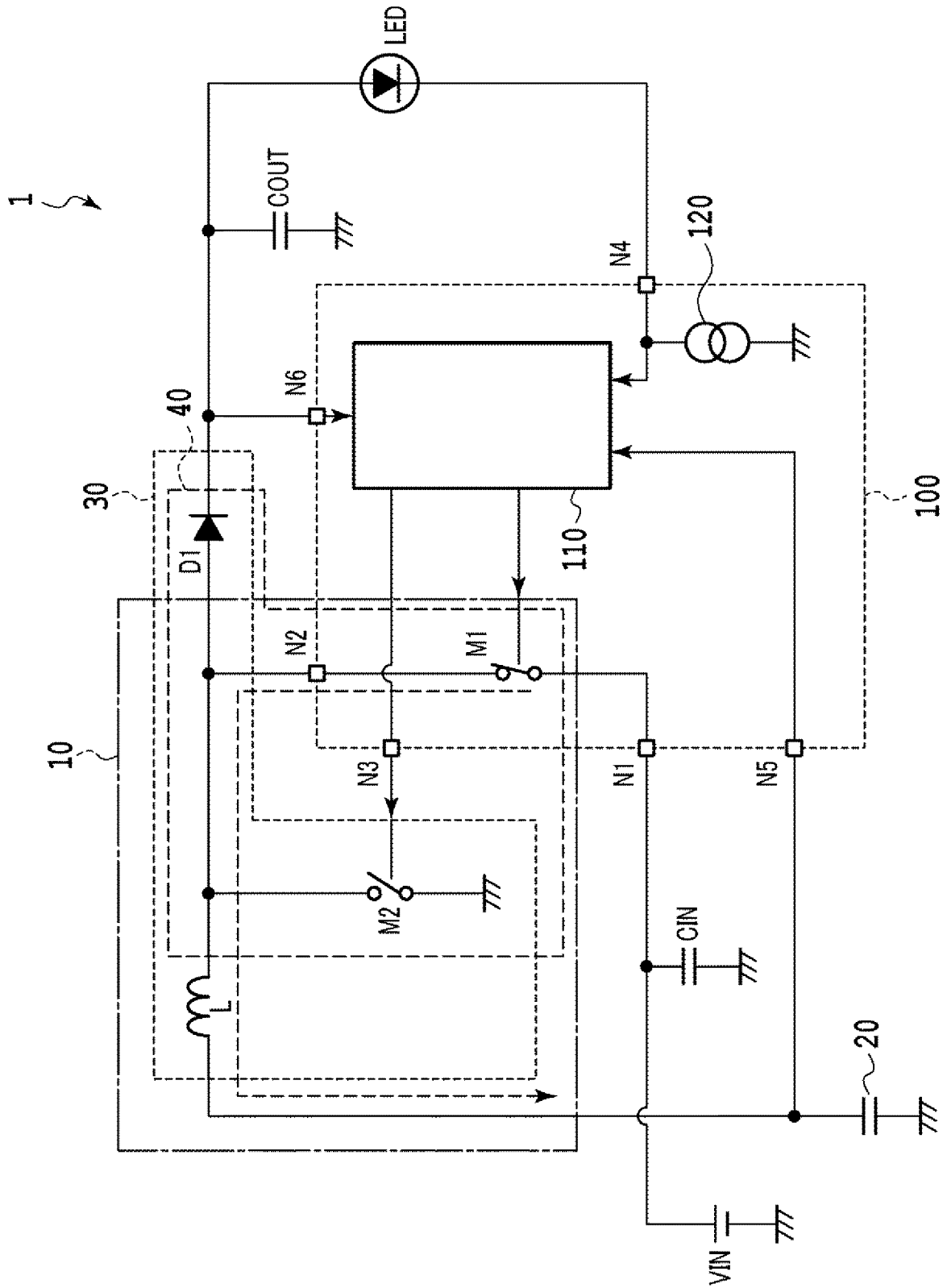
[図3]



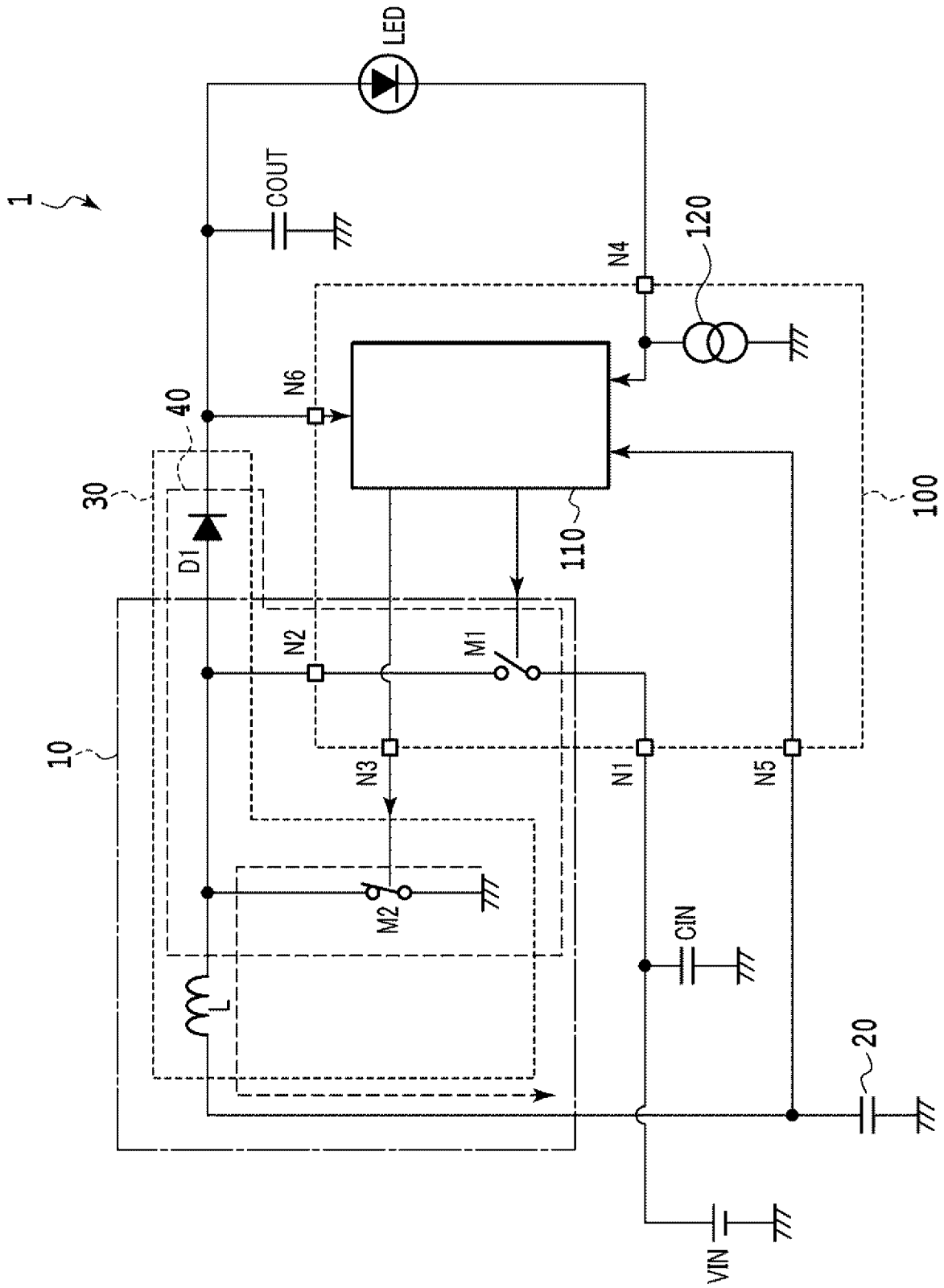
[図4]



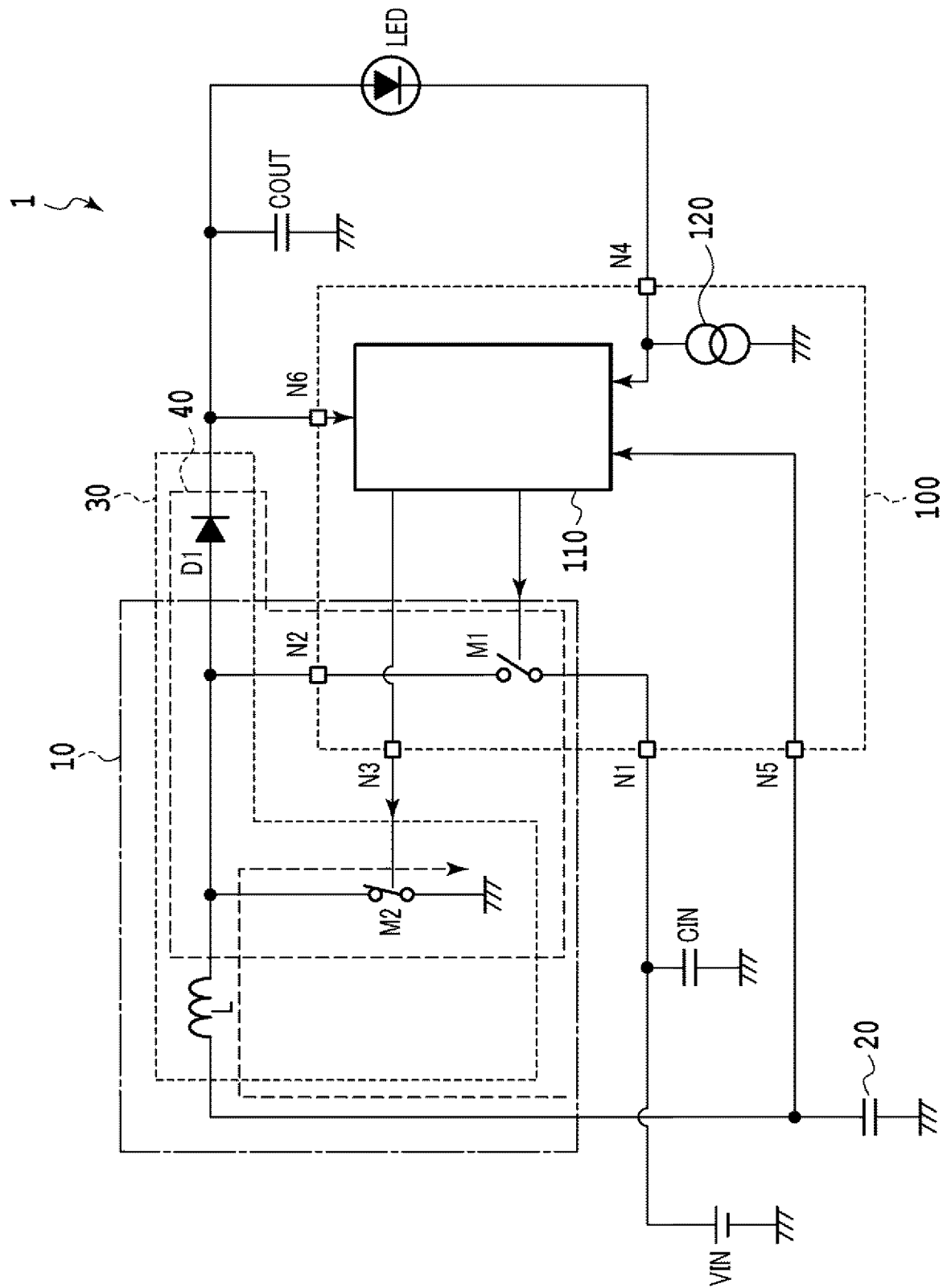
[図5]



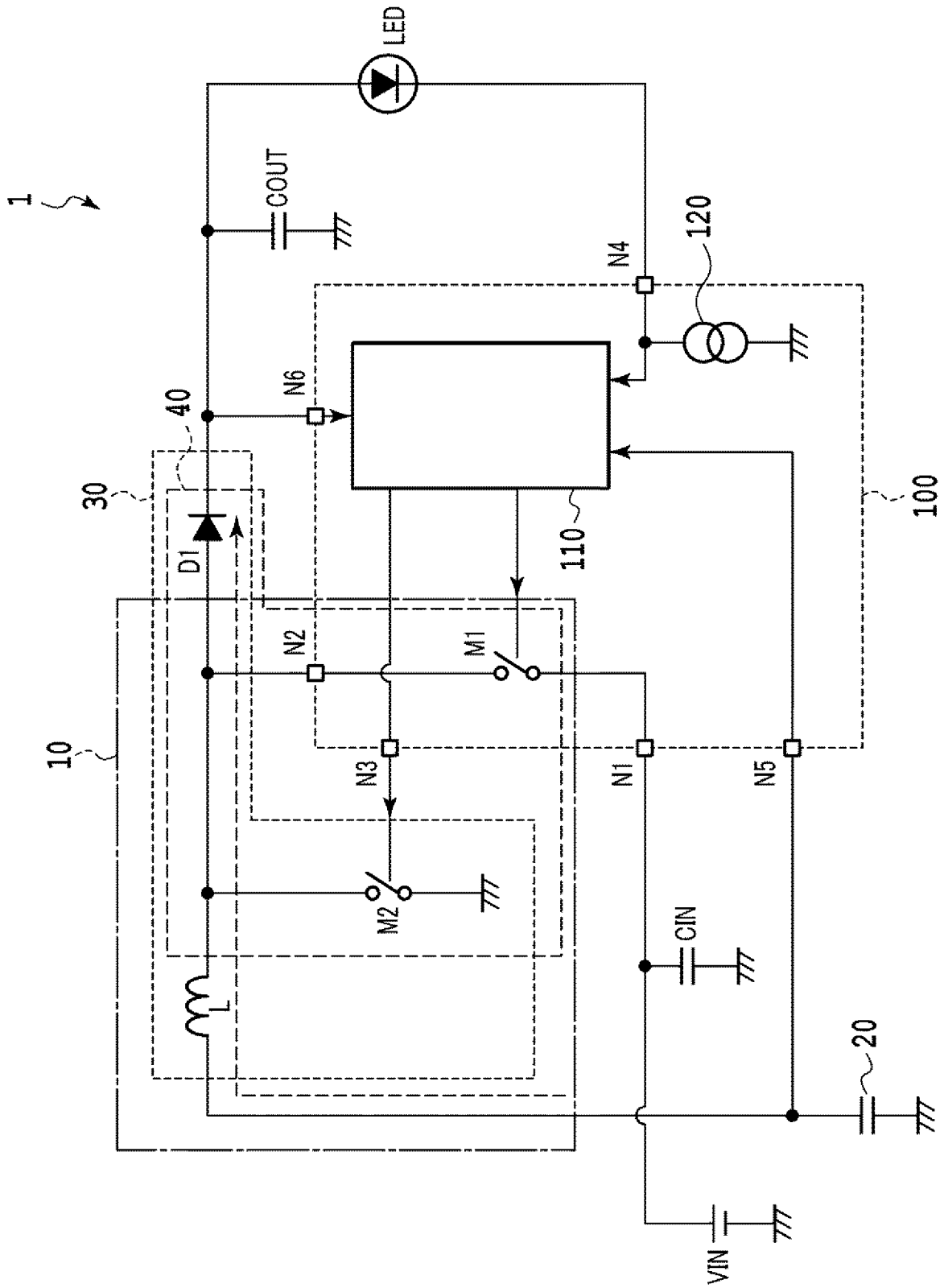
[図6]



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/000545

A. CLASSIFICATION OF SUBJECT MATTER

H05B37/02(2006.01)i, G03B15/05(2006.01)i, H01L33/00(2010.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05B37/00-39/10, G03B15/04-15/05, H01L33/00-33/64

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 11-135274 A (Toshiba Tec Corp.), 21 May 1999 (21.05.1999), fig. 8 (Family: none)	1-10
A	JP 2010-182883 A (Denso Corp.), 19 August 2010 (19.08.2010), fig. 1 & US 2010/0194301 A1	1-10
A	JP 57-41625 A (Minolta Camera Co., Ltd.), 08 March 1982 (08.03.1982), fig. 3 (Family: none)	1-10

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
16 February, 2012 (16.02.12)Date of mailing of the international search report
28 February, 2012 (28.02.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H05B37/02(2006.01)i, G03B15/05(2006.01)i, H01L33/00(2010.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H05B37/00-39/10, G03B15/04-15/05, H01L33/00-33/64

最小限資料以外の資料で調査を行った分野に含まれるもの
 日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2012年
 日本国実用新案登録公報 1996-2012年
 日本国登録実用新案公報 1994-2012年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 11-135274 A (東芝テック株式会社) 1999.05.21, 図8 ファミリーなし	1-10
A	JP 2010-182883 A (株式会社デンソー) 2010.08.19, 図1 & US 2010/0194301 A1	1-10

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

<p>* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願</p>	<p>の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献</p>
---	---

国際調査を完了した日 16.02.2012	国際調査報告の発送日 28.02.2012
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 角地 雅信 電話番号 03-3581-1101 内線 3255

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 57-41625 A (ミノルタカメラ株式会社) 1982.03.08, 第3図 ファミリーなし	1-10