

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020 年 3 月 5 日 (05.03.2020)



(10) 国际公布号
WO 2020/042383 A1

(51) 国际专利分类号:
H01L 21/84 (2006.01) **H01L 27/12** (2006.01)

(21) 国际申请号: PCT/CN2018/116302

(22) 国际申请日: 2018 年 11 月 20 日 (20.11.2018)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201810995637.7 2018 年 8 月 29 日 (29.08.2018) CN

(71) 申请人: 武汉华星光电技术有限公司(WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(72) 发明人: 陈辰 (CHEN, Chen); 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430079 (CN)。

(74) 代理人: 深圳翼盛智成知识产权事务所 (普通合伙) (ESSEN PATENT&TRADEMARK AGENCY); 中国广东省深圳市福田区深南大道 6021 号喜年中心 A 座 1709-1711, Guangdong 518040 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,

(54) Title: LOW-TEMPERATURE POLYCRYSTALLINE SILICON THIN-FILM TRANSISTOR ARRAY SUBSTRATE AND MANUFACTURING METHOD THEREOF

(54) 发明名称: 低温多晶硅薄膜晶体管阵列基板及其制造方法

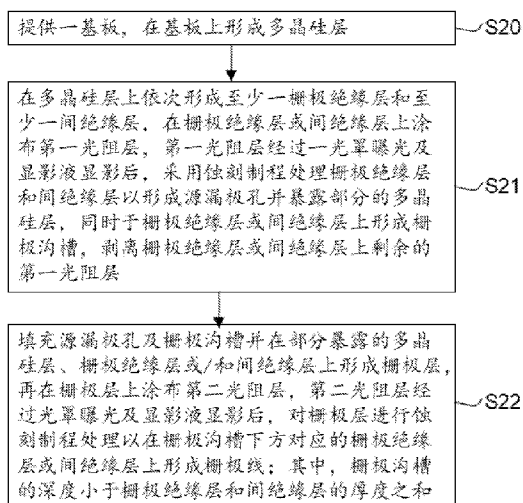


图 3

S20 Provide a substrate, and form polycrystalline silicon layer on substrate
S21 On polycrystalline silicon layer, form, in sequence, at least one gate insulating layer and at least one inter-insulating layer and coat first photoresist layer on gate insulating layer or inter-insulating layer; expose first photoresist layer by photomask and develop with developing liquid, then use etching procedure to process gate insulating layer and inter-insulating layer so as to form source/drain electrode hole, and expose part of polycrystalline silicon layer; at same time, form gate trench on gate insulating layer or inter-insulating layer, and peel off remainder of first photoresist layer on gate insulating layer or inter-insulating layer
S22 Fill source/drain electrode hole and gate trench, and form gate layer on polycrystalline silicon layer and gate insulating layer and/or inter-insulating layer, then coat gate layer with second photoresist layer; expose second photoresist layer by photomask and develop with developing liquid, then perform etching procedure on gate layer so as to form gate line on corresponding gate insulating layer or inter-insulating layer beneath gate trench; depth of gate trench is smaller than sum of thicknesses of gate insulating layer and inter-insulating layer

(57) Abstract: On a polycrystalline silicon layer (203) are formed, in sequence, a gate insulating layer (204) and an inter-insulating layer (206) and a via pattern thereon; the via pattern comprises a gate trench (211) and source/drain electrode hole (207); by means of using stacked preparation of the gate insulating layer (204) and inter-insulating layer (206), the conditions for the formation of the gate trench (211) are provided; the stacked preparation of the gate insulating layer (204) and inter-insulating layer (206), in conjunction with steps such as vias being fabricated on the gate insulating layer (204) and the inter-insulating layer (206) so as to form a via pattern, and such as the via pattern being filled to fabricate a gate line (205), enables the formation of the gate line (205) and the formation of the via pattern using a same photomask; thus the number of photomasks used is decreased and production costs are reduced.

AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：在多晶硅层(203)上依次形成栅极绝缘层(204)和间绝缘层(206)及其上的过孔图案，该过孔图案包括栅极沟槽(211)和源漏极孔(207)；通过采用栅极绝缘层(204)和间绝缘层(206)的叠层制备，为栅极沟槽(211)的形成提供条件；栅极绝缘层(204)和间绝缘层(206)的叠层制备，配合在栅极绝缘层(204)和间绝缘层(206)上制备过孔以形成过孔图案以及填充过孔图案以制备栅极线(205)等步骤，使得栅极线(205)的形成和过孔图案的形成可以采用相同的光罩即可完成，从而减少光罩使用数量，降低生产成本。

低温多晶硅薄膜晶体管阵列基板及其制造方法

技术领域

[0001] 本申请涉及显示技术领域，具体涉及一种低温多晶硅（Low Temperature Poly-silicon, LTPS）薄膜晶体管(Thin Film Transistor, TFT)阵列基板及其制造方法。

背景技术

[0002] 在显示屏制造领域中，LTPS技术由于其产品成本较低及器件电子迁移率高等特点，越来越受到手机和平板屏幕等制造商的青睐。

[0003] 传统的LTPS技术所需的膜层较多且膜层结构复杂，造成LTPS的制程过程存在所需曝光次数多及所需光罩数量较多的问题。图1为采用传统LTPS技术形成的TFT器件膜层结构，该TFT器件膜层结构包括玻璃基板100、设于所述玻璃基板100上的遮光层101、设于所述玻璃基板100及所述遮光层101上的缓冲层102、设于所述缓冲层102上的多晶硅层103、设于所述多晶硅层103及所述缓冲层102上的栅极绝缘层104、设于所述栅极绝缘层104上的栅极线105、设于所述栅极线105及所述栅极绝缘层104上的间绝缘层106、设于所述间绝缘层106上且通过源极孔连接所述多晶硅层103的源电极108及设于所述间绝缘层106上且通过漏极孔与所述多晶硅层103连接的漏电极109；图2为图1所示TFT器件膜层结构的主要工艺流程，利用该工艺流程图制造图1所示的TFT器件膜层结构需至少6块光罩。为了解决LTPS TFT器件的制程过程存在所需光罩数量较多导致生产成本提高的问题，各大厂商均在寻求减少光罩使用数量的方法。

发明概述

技术问题

[0004] 本申请的目的在于提供一种低温多晶硅薄膜晶体管阵列基板及其制造方法，该低温多晶硅薄膜晶体管阵列基板的制造方法能够有效地减少光罩使用数量，从而降低生产成本。

问题的解决方案

技术解决方案

- [0005] 一种低温多晶硅薄膜晶体管阵列基板的制造方法，包括以下步骤：
- [0006] 提供一基板，在所述基板上形成多晶硅层；
- [0007] 在所述多晶硅层上依次形成至少一栅极绝缘层和至少一间绝缘层，在所述栅极绝缘层或所述间绝缘层上涂布第一光阻层，所述第一光阻层经过一光罩曝光及显影液显影后，采用蚀刻制程处理所述栅极绝缘层和所述间绝缘层以形成源漏极孔并暴露部分的多晶硅层，同时于所述栅极绝缘层或所述间绝缘层上形成栅极沟槽，剥离所述栅极绝缘层或所述间绝缘层上剩余的所述第一光阻层；
- [0008] 填充所述源漏极孔及所述栅极沟槽并在所述部分暴露的多晶硅层、所述栅极绝缘层或/和所述间绝缘层上形成栅极层，再在所述栅极层上涂布第二光阻层，所述第二光阻层经过所述光罩曝光及显影液显影后，对所述栅极层进行蚀刻制程处理以在所述栅极沟槽下方对应的栅极绝缘层或间绝缘层上形成栅极线；
- [0009] 其中，所述栅极沟槽的深度小于所述栅极绝缘层和所述间绝缘层的厚度之和。
- [0010] 在其中一些实施例中，采用化学气相沉积一次形成所述栅极绝缘层和所述间绝缘层。
- [0011] 在其中一些实施例中，所述栅极绝缘层为氮化硅层、氧化硅层、氧化硅层及氮化硅层的复合层中的任意一种；所述间绝缘层为氮化硅层、氧化硅层、氧化硅层及氮化硅层的复合层中的任意一种。
- [0012] 在其中一些实施例中，所述在所述多晶硅层上依次形成至少一栅极绝缘层和至少一间绝缘层包括如下步骤：在所述多晶硅层上形成依次叠加的第一栅极绝缘层、第一间绝缘层、第二栅极绝缘层和第二间绝缘层，所述第一栅极绝缘层和第一间绝缘层都为氧化硅层，所述第二栅极绝缘层和第二间绝缘层都为氮化硅层。
- [0013] 在其中一些实施例中，所述栅极线的厚度与所述栅极沟槽的深度相同。
- [0014] 在其中一些实施例中，所述栅极沟槽是通过干法刻蚀制程或湿法刻蚀制程处理所述栅极绝缘层和所述间绝缘层得到。
- [0015] 在其中一些实施例中，所述栅极层的制备材料为钼、铝、铜、钛中的至少一种。

- [0016] 在其中一些实施例中，在所述基板上形成所述多晶硅层之前，所述低温多晶硅薄膜晶体管阵列基板的制造方法还包括采用等离子体增强化学气相沉积在所述基板上形成缓冲层。
- [0017] 在其中一些实施例中，在所述基板上形成所述多晶硅层之前，所述低温多晶硅薄膜晶体管阵列基板的制造方法还包括在所述基板上形成遮光层。
- [0018] 在其中一些实施例中，所述低温多晶硅薄膜晶体管阵列基板的制造方法还包括：形成数据线，所述数据线形成于源电极上，所述源电极与所述栅极线通过同一制程制得。
- [0019] 一种低温多晶硅薄膜晶体管阵列基板，包括：
- [0020] 一基板，于所述基板上形成的多晶硅层；
- [0021] 至少一栅极绝缘层和至少一间绝缘层，所述栅极绝缘层和所述间绝缘层依次形成于所述多晶硅层上；
- [0022] 栅极沟槽，于所述栅极绝缘层或所述间绝缘层上形成；
- [0023] 栅极线，于所述栅极沟槽下方对应的所述栅极绝缘层或间绝缘层上形成；
- [0024] 其中，所述栅极沟槽的深度小于所述栅极绝缘层和所述间绝缘层的厚度之和。
- [0025] 在其中一些实施例中，采用化学气相沉积一次形成所述栅极绝缘层和所述间绝缘层。
- [0026] 在其中一些实施例中，所述栅极绝缘层为氮化硅层、氧化硅层、氧化硅层及氮化硅层的复合层中的任意一种；所述间绝缘层为氮化硅层、氧化硅层、氧化硅层及氮化硅层的复合层中的任意一种。
- [0027] 在其中一些实施例中，所述栅极绝缘层和所述间绝缘层依次形成于所述多晶硅层上包括如下步骤：在所述多晶硅层上形成依次叠加的第一栅极绝缘层、第一间绝缘层、第二栅极绝缘层和第二间绝缘层，所述第一栅极绝缘层和第一间绝缘层都为氧化硅层，所述第二栅极绝缘层和第二间绝缘层都为氮化硅层。
- [0028] 在其中一些实施例中，所述栅极线的厚度与所述栅极沟槽的深度相同。
- [0029] 在其中一些实施例中，所述栅极沟槽是通过采用干法刻蚀制程或湿法刻蚀制程处理所述栅极绝缘层和所述间绝缘层得到。
- [0030] 在其中一些实施例中，所述栅极层的制备材料为钼、铝、铜、钛中的至少一种

。

[0031] 在其中一些实施例中，所述低温多晶硅薄膜晶体管阵列基板还包括缓冲层，所述缓冲层形成于所述基板上且位于所述基板和所述多晶硅层之间。

[0032] 在其中一些实施例中，所述低温多晶硅薄膜晶体管阵列基板还包括遮光层，所述遮光层形成于所述基板上且位于所述基板和所述多晶硅层之间。

[0033] 在其中一些实施例中，所述低温多晶硅薄膜晶体管阵列基板还包括数据线，所述数据线形成于源电极上，所述源电极与所述栅极线通过同一制程制得。

发明的有益效果

有益效果

[0034] 本申请提供一种低温多晶硅薄膜晶体管阵列基板及其制造方法，通过栅极绝缘层和间绝缘层的叠层制备，为栅极沟槽的形成提供条件。另外，栅极绝缘层和间绝缘层的叠层制备，配合在栅极绝缘层和间绝缘层上制备过孔以形成过孔图案（源漏极孔及栅极沟槽）以及填充栅极沟槽以制备栅极线等步骤，使得栅极线的形成和栅极绝缘层和间绝缘层上的过孔图案的形成可以采用相同的光罩即可完成。相对于传统的制造工艺，本申请低温多晶硅薄膜晶体管阵列基板的制造过程可以减少一块光罩的使用，即本申请的低温多晶硅薄膜晶体管阵列基板的制造方法相对传统的制造方法减少了所需的光罩数量，从而降低生产成本。

对附图的简要说明

附图说明

[0035] 图1为采用传统的LTPS工艺制造的TFT器件膜层结构示意图；

[0036] 图2为制造图1所示TFT器件膜层结构的主要工艺流程图；

[0037] 图3为本申请一实施例的低温多晶硅薄膜晶体管阵列基板的主要工艺流程图；

[0038] 图4为本申请另一实施例的低温多晶硅薄膜晶体管阵列基板的主要工艺流程图

；

[0039] 图5A、5B、5C、5D、5E、5F、5G、5H、5I及5J为图4所示主要工艺流程图在各个工艺段的结构示意图。

[0040] 附图中示出的部件标注如下：

[0041] 100、200玻璃基板；101、201 遮光层；102、202缓冲层；103、203 多晶硅层

；104、204 栅极绝缘层；105、205 栅极线；106、206 间绝缘层；207 源漏极孔；108、208源电极；109、209漏电极；210 栅极层；211 栅极沟槽；212、213、214 光阻层；215数据线层；216 数据线

发明实施例

本发明的实施方式

[0042] 下面结合本申请实施例中的附图，对本申请所提供的各个示例性的实施例的技术方案进行清楚、完整地描述。在不冲突的情况下，下述各个实施例以及实施例中的特征可以相互组合。并且，本申请全文所采用的方向性术语，例如“上”、“下”等，均是为了更好的描述各个实施例的技术方案，并非用于限制本申请的保护范围。

[0043] 请参阅图3，为本申请一实施例的低温多晶硅薄膜晶体管阵列基板的制造方法的主要流程图，包括以下步骤：

[0044] S20，提供一基板，在基板上形成多晶硅层；

[0045] S21，在多晶硅层上依次形成至少一栅极绝缘层和至少一间绝缘层，在栅极绝缘层或间绝缘层上涂布第一光阻层，第一光阻层经过一光罩曝光及显影液显影后，采用蚀刻制程处理栅极绝缘层和间绝缘层以形成源漏极孔并暴露部分的多晶硅层，同时于栅极绝缘层或间绝缘层上形成栅极沟槽，剥离栅极绝缘层或间绝缘层上剩余的第一光阻层；

[0046] S22，填充源漏极孔及栅极沟槽并在部分暴露的多晶硅层、栅极绝缘层或/和间绝缘层上形成栅极层，再在栅极层上涂布第二光阻层，第二光阻层经过光罩曝光及显影液显影后，对栅极层进行蚀刻制程处理以在栅极沟槽下方对应的栅极绝缘层或间绝缘层上形成栅极线；

[0047] 其中，栅极沟槽的深度小于栅极绝缘层和间绝缘层的厚度之和。

[0048] 本实施例提供的是低温多晶硅薄膜晶体管阵列基板的制造方法，通过栅极绝缘层和间绝缘层的叠层制备，为栅极沟槽的形成提供条件；传统的栅极绝缘层的厚度一般仅为0.1微米，而栅极线的厚度至少为0.1微米，通过在栅极绝缘层上形成栅极沟槽并填充栅极沟槽以恰好形成栅极线时，单层栅极绝缘层的厚度不能满足栅极沟槽的厚度需求。而在本申请中，栅极绝缘层和间绝缘层的叠层制备

，配合在栅极绝缘层和间绝缘层上制备过孔以形成过孔图案（源漏极孔及栅极沟槽）以及填充栅极沟槽以制备栅极线等步骤，使得栅极线的形成和栅极绝缘层和间绝缘层上的过孔图案（源漏极孔及栅极沟槽）的形成可以采用相同的光罩(步骤S21和步骤S22中使用的光罩是相同的)即可完成，从而减少光罩使用数量，降低生产成本。相对于传统的制造工艺，本申请低温多晶硅薄膜晶体管阵列基板的制造过程可以减少一块光罩的使用。

[0049] 请参阅图4，为本申请另一实施例的低温多晶硅薄膜晶体管阵列基板的主要工艺流程图，包括：

[0050] S200，提供一基板，该基板为玻璃基板，可选地，在玻璃基板上形成遮光层；

[0051] 具体地，提供一玻璃基板200，利用第一光罩在玻璃基板200上形成遮光层201。遮光层201由金属制成，主要作用是遮挡射向薄膜晶体管中半导体构件的光线，以避免该光线对半导体构件中的电子迁移过程产生影响。经过上述步骤，得到如图5A所示的结构。

[0052] S201，形成缓冲层和多晶硅层；

[0053] 具体地，在形成多晶硅层203之前，可选地，在遮光层201和玻璃基板200上形成缓冲层202。该缓冲层202可以是由绝缘材料形成的单层结构，也可以是由至少两种绝缘材料形成的叠层结构，例如缓冲层202可为通过等离子体增强化学气相沉积（PECVD）工艺在遮光层201和玻璃基板200上形成的 $\text{SiN}_x/\text{SiO}_x$ 叠层结构，缓冲层202的作用是防止玻璃基板中的金属离子（铝、钡以及钠等）在热工艺中扩散到LTPS的有源区。

[0054] 接着，再利用第二光罩在缓冲层202上形成多晶硅层，形成多晶硅层203的步骤包括：

[0055] 通过化学气相沉积在缓冲层202上形成非晶硅层，通过准分子激光退火法将非晶硅层202进行晶化处理后，得到多晶硅层203；

[0056] 经过此步骤得到如图5B所示的结构。

[0057] S202，离子植入；

[0058] 具体地，在离子植入之前，需要对多晶硅层203进行图案化处理以得到有源层，再利用第三光罩对有源层进行离子植入。

[0059] S203, 在多晶硅层上依次形成至少一栅极绝缘层和至少一间绝缘层, 在栅极绝缘层或间绝缘层上涂布第一光阻层, 第一光阻层经过一光罩曝光及显影液显影后, 采用蚀刻制程处理栅极绝缘层和间绝缘层以形成源漏极孔并暴露部分的多晶硅层, 同时于栅极绝缘层或间绝缘层上形成栅极沟槽, 剥离栅极绝缘层或间绝缘层上剩余的第一光阻层;

[0060] 具体地, 采用化学气相沉积在多晶硅层203上依次形成栅极绝缘层204和间绝缘层206, 栅极绝缘层204和间绝缘层206由依次叠加在多晶硅层上的第一栅极绝缘层、第一间绝缘层、第二栅极绝缘层以及第二间绝缘层组成, 其中, 第一栅极绝缘层和第二栅极绝缘层的厚度为0.1微米左右, 第二间绝缘层和第二间绝缘的厚度为0.4-0.6微米, 栅极绝缘层是氮化硅层 (SiN_x)、氧化硅层 (SiO_x) 以及氮化硅层与氧化硅层的复合层中的任意一种, 间绝缘层也是氮化硅层 (SiN_x)、氧化硅层 (SiO_x) 以及氮化硅层与氧化硅层的复合层中的中的任意一种, 优选地, 第一栅极绝缘层和第一间绝缘层都为氧化硅层, 第二栅极绝缘层和第二间绝缘层为氮化硅层, 第一栅极绝缘层和第一间绝缘层都为氧化硅层能够起到保温以及抗氧化作用, 第二栅极绝缘层和第二间绝缘层为氮化硅层能够起到阻隔杂质并提高电性能和电学表现的作用, 栅极绝缘层204和间绝缘层206的此种优选制备方法相互配合能够进一步地提高低温多晶硅薄膜晶体管阵列基板的综合性能。此外, 由于栅极绝缘层和间绝缘层的叠层结构, 使得栅极绝缘层和间绝缘层可以采用一次制程制得, 相较于传统方法 (栅极绝缘层和间绝缘层是被间隔开且分两次制得的), 本实施例的一次制程法能够缩短整体的制程时间, 从而提高生产效率;

[0061] 接着, 在第二间绝缘层上涂布第一负光阻层212, 第一负光阻层212经过第四光罩曝光并经过显影液显影后, 在第一负光阻层212上形成源漏极孔的定位孔和栅极沟槽的定位槽 (如图5C所示), 再对栅极绝缘层和间绝缘层进行干法蚀刻制程或湿法刻蚀制程处理, 在源漏极孔的定位孔下方所对应的栅极绝缘层204和间绝缘层206上形成源漏极孔207并暴露部分的多晶硅层203, 同时在栅极沟槽的定位槽下方所对应的第一间绝缘层上形成栅极沟槽211, 剥离第二间绝缘层上剩余的第一负光阻层212, 经过此步骤得到如图5D所示的结构。

[0062] S204, 填充源漏极孔及栅极沟槽并在部分暴露的多晶硅层、栅极绝缘层或/和间绝缘层上形成栅极层, 再在栅极层上涂布第二光阻层, 第二光阻层经过光罩曝光及显影液显影后, 对栅极层进行蚀刻制程处理以在栅极沟槽下方对应的栅极绝缘层或间绝缘层上形成栅极线; 其中, 栅极沟槽的深度小于栅极绝缘层和间绝缘层的厚度之和;

[0063] 具体地, 填充源漏极孔207及栅极沟槽211并在部分暴露的多晶硅层203、第二间绝缘层上形成栅极层210 (如图5E所示), 在栅极层210上涂布第一正光阻层213, 第一正光阻层213经过第四光罩曝光及显影液显影后, 形成对源漏电极图案以及栅极线图案进行保护的第一正光阻层213(如图5F所示), 再对未被第一正光阻层213保护的栅极层210进行蚀刻制程处理, 然后处理剩余的第一正光阻层213, 在栅极沟槽211下方对应的第一间绝缘层上方形成栅极线205, 同时, 在源漏极孔207中形成源漏电极 (208, 209), 经过此步骤得到如图5G所示的结构;

[0064] 其中, 栅极层的制备材料为导电材料, 例如钼、铝、铜、钛中的至少一种; 栅极线的厚度与栅极沟槽的深度相同, 如此, 可以通过准确地设计栅极沟槽的深度从而提高栅极线的精确度, 而且, 栅极线的厚度高于栅极沟槽的深度, 会提高蚀刻制程的控制难度, 即栅极线的厚度与栅极沟槽的深度相同也有利于能够简化栅极层的形成并减少不必要的刻蚀制程。

[0065] S205, 形成数据线;

[0066] 具体地, 采用物理沉积在源漏电极 (208, 209)、栅极线205以及第二间绝缘层上形成数据线层215, 如图5H所示;

[0067] 接着, 在数据线层215上涂布第二正光阻层214, 第二正光阻层214经过第五光罩曝光后及显影液显影后, 剩下保护数据线图案的第二正光阻层214(如图5I所示), 通过蚀刻制程处理掉数据线图案之外的其他数据线层215, 再剥离剩余的第二光阻层214, 在源极上形成数据线216, 如图5J所示。

[0068] 此外, 本申请还提供一种通过上述方法制造的低温多晶硅薄膜晶体管阵列基板。

[0069] 在此基础上, 以上所述仅为本申请的实施例, 并非因此限制本申请的专利范围, 凡是利用本申请说明书及附图内容所作的等效结构或等效流程变换, 例如各

实施例之间技术特征的相互结合，或直接或间接运用在其他相关的技术领域，均同理包括在本申请的专利保护范围内。

权利要求书

- [权利要求 1] 一种低温多晶硅薄膜晶体管阵列基板的制造方法，其中，包括以下步骤：
- 提供一基板，在所述基板上形成多晶硅层；
- 在所述多晶硅层上依次形成至少一栅极绝缘层和至少一间绝缘层，在所述栅极绝缘层或所述间绝缘层上涂布第一光阻层，所述第一光阻层经过一光罩曝光及显影液显影后，采用蚀刻制程处理所述栅极绝缘层和所述间绝缘层以形成源漏极孔并暴露部分的多晶硅层，同时于所述栅极绝缘层或所述间绝缘层上形成栅极沟槽，剥离所述栅极绝缘层或所述间绝缘层上剩余的所述第一光阻层；
- 填充所述源漏极孔及所述栅极沟槽并在所述部分暴露的多晶硅层、所述栅极绝缘层或/和所述间绝缘层上形成栅极层，再在所述栅极层上涂布第二光阻层，所述第二光阻层经过所述光罩曝光及显影液显影后，对所述栅极层进行蚀刻制程处理以在所述栅极沟槽下方对应的栅极绝缘层或间绝缘层上形成栅极线；
- 其中，所述栅极沟槽的深度小于所述栅极绝缘层和所述间绝缘层的厚度之和。
- [权利要求 2] 根据权利要求1所述的低温多晶硅薄膜晶体管阵列基板的制造方法，其中，所述在所述多晶硅层上依次形成至少一栅极绝缘层和至少一间绝缘层的步骤包括：采用化学气相沉积一次形成所述栅极绝缘层和所述间绝缘层。
- [权利要求 3] 根据权利要求1所述的低温多晶硅薄膜晶体管阵列基板的制造方法，其中，所述栅极绝缘层为氮化硅层、氧化硅层、氧化硅层及氮化硅层的复合层中的任意一种；所述间绝缘层为氮化硅层、氧化硅层、氧化硅层及氮化硅层的复合层中的任意一种。
- [权利要求 4] 根据权利要求1所述的低温多晶硅薄膜晶体管阵列基板的制造方法，其中，所述在所述多晶硅层上依次形成至少一栅极绝缘层和至少一间绝缘层包括如下步骤：在所述多晶硅层上形成依次叠加的第一栅极绝

缘层、第一间绝缘层、第二栅极绝缘层和第二间绝缘层，所述第一栅极绝缘层和第一间绝缘层都为氧化硅层，所述第二栅极绝缘层和第二间绝缘层都为氮化硅层。

- [权利要求 5] 根据权利要求1所述的低温多晶硅薄膜晶体管阵列基板的制造方法，其中，所述栅极线的厚度与所述栅极沟槽的深度相同。
- [权利要求 6] 根据权利要求1所述的低温多晶硅薄膜晶体管阵列基板的制造方法，其中，所述栅极沟槽是通过干法刻蚀制程或湿法刻蚀制程处理所述栅极绝缘层和所述间绝缘层得到。
- [权利要求 7] 根据权利要求1所述的低温多晶硅薄膜晶体管阵列基板的制造方法，其中，所述栅极层的制备材料为钼、铝、铜、钛中的至少一种。
- [权利要求 8] 根据权利要求1所述的低温多晶硅薄膜晶体管阵列基板的制造方法，其中，在所述基板上形成所述多晶硅层之前，所述低温多晶硅薄膜晶体管阵列基板的制造方法还包括采用等离子体增强化学气相沉积在所述基板上形成缓冲层。
- [权利要求 9] 根据权利要求1所述的低温多晶硅薄膜晶体管阵列基板的制造方法，其中，在所述基板上形成所述多晶硅层之前，所述低温多晶硅薄膜晶体管阵列基板的制造方法还包括在所述基板上形成遮光层。
- [权利要求 10] 根据权利要求1所述的低温多晶硅薄膜晶体管阵列基板的制造方法，其中，所述低温多晶硅薄膜晶体管阵列基板的制造方法还包括：形成数据线，所述数据线形成于源电极上，所述源电极与所述栅极线通过同一制程制得。
- [权利要求 11] 一种低温多晶硅薄膜晶体管阵列基板，其中，包括：
一基板，于所述基板上形成的多晶硅层；
至少一栅极绝缘层和至少一间绝缘层，所述栅极绝缘层和所述间绝缘层依次形成于所述多晶硅层上；
栅极沟槽，于所述栅极绝缘层或所述间绝缘层上形成；
栅极线，于所述栅极沟槽下方对应的所述栅极绝缘层或间绝缘层上形成；

其中，所述栅极沟槽的深度小于所述栅极绝缘层和所述间绝缘层的厚度之和。

- [权利要求 12] 根据权利要求11所述的低温多晶硅薄膜晶体管阵列基板，其中，采用化学气相沉积一次形成所述栅极绝缘层和所述间绝缘层。
- [权利要求 13] 根据权利要求11所述的低温多晶硅薄膜晶体管阵列基板，其中，所述栅极绝缘层为氮化硅层、氧化硅层、氧化硅层及氮化硅层的复合层中的任意一种；所述间绝缘层为氮化硅层、氧化硅层、氧化硅层及氮化硅层的复合层中的任意一种。
- [权利要求 14] 根据权利要求11所述的低温多晶硅薄膜晶体管阵列基板，其中，所述栅极绝缘层和所述间绝缘层依次形成于所述多晶硅层上包括如下步骤：在所述多晶硅层上形成依次叠加的第一栅极绝缘层、第一间绝缘层、第二栅极绝缘层和第二间绝缘层，所述第一栅极绝缘层和第一间绝缘层都为氧化硅层，所述第二栅极绝缘层和第二间绝缘层都为氮化硅层。
- [权利要求 15] 根据权利要求11所述的低温多晶硅薄膜晶体管阵列基板，其中，所述栅极线的厚度与所述栅极沟槽的深度相同。
- [权利要求 16] 根据权利要求11所述的低温多晶硅薄膜晶体管阵列基板，其中，所述栅极沟槽是通过采用干法刻蚀制程或湿法刻蚀制程处理所述栅极绝缘层和所述间绝缘层得到。
- [权利要求 17] 根据权利要求11所述的低温多晶硅薄膜晶体管阵列基板，其中，所述栅极层的制备材料为钼、铝、铜、钛中的至少一种。
- [权利要求 18] 根据权利要求11所述的低温多晶硅薄膜晶体管阵列基板，其中，所述低温多晶硅薄膜晶体管阵列基板还包括缓冲层，所述缓冲层形成于所述基板上且位于所述基板和所述多晶硅层之间。
- [权利要求 19] 根据权利要求11所述的低温多晶硅薄膜晶体管阵列基板，其中，所述低温多晶硅薄膜晶体管阵列基板还包括遮光层，所述遮光层形成于所述基板上且位于所述基板和所述多晶硅层之间。
- [权利要求 20] 根据权利要求11所述的低温多晶硅薄膜晶体管阵列基板，其中，所述

低温多晶硅薄膜晶体管阵列基板还包括数据线，所述数据线形成于源电极上，所述源电极与所述栅极线通过同一制程制得。

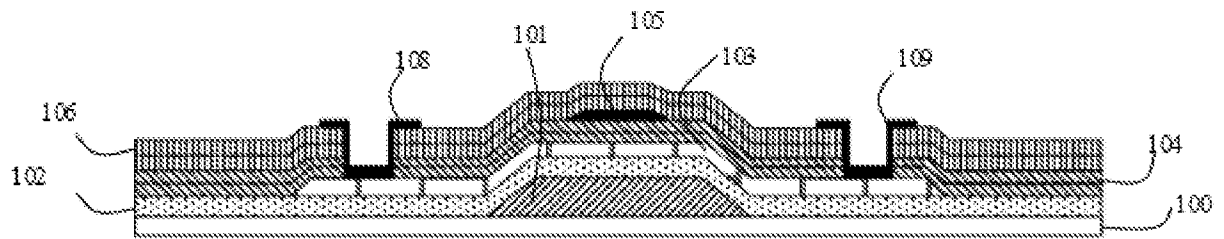


图 1

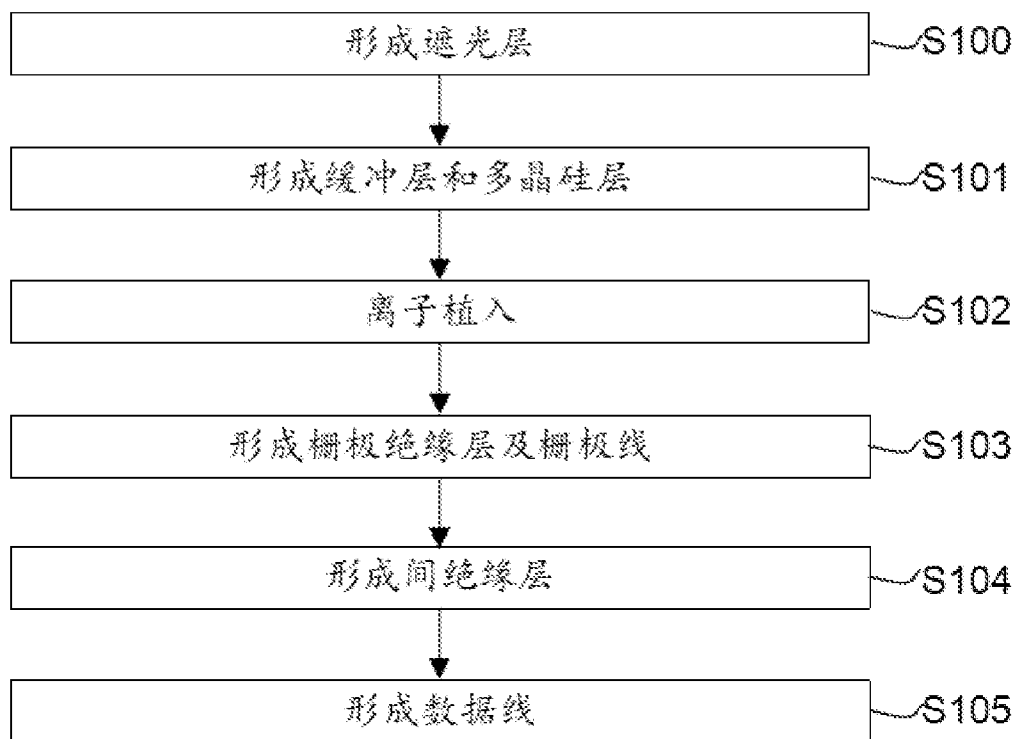


图 2

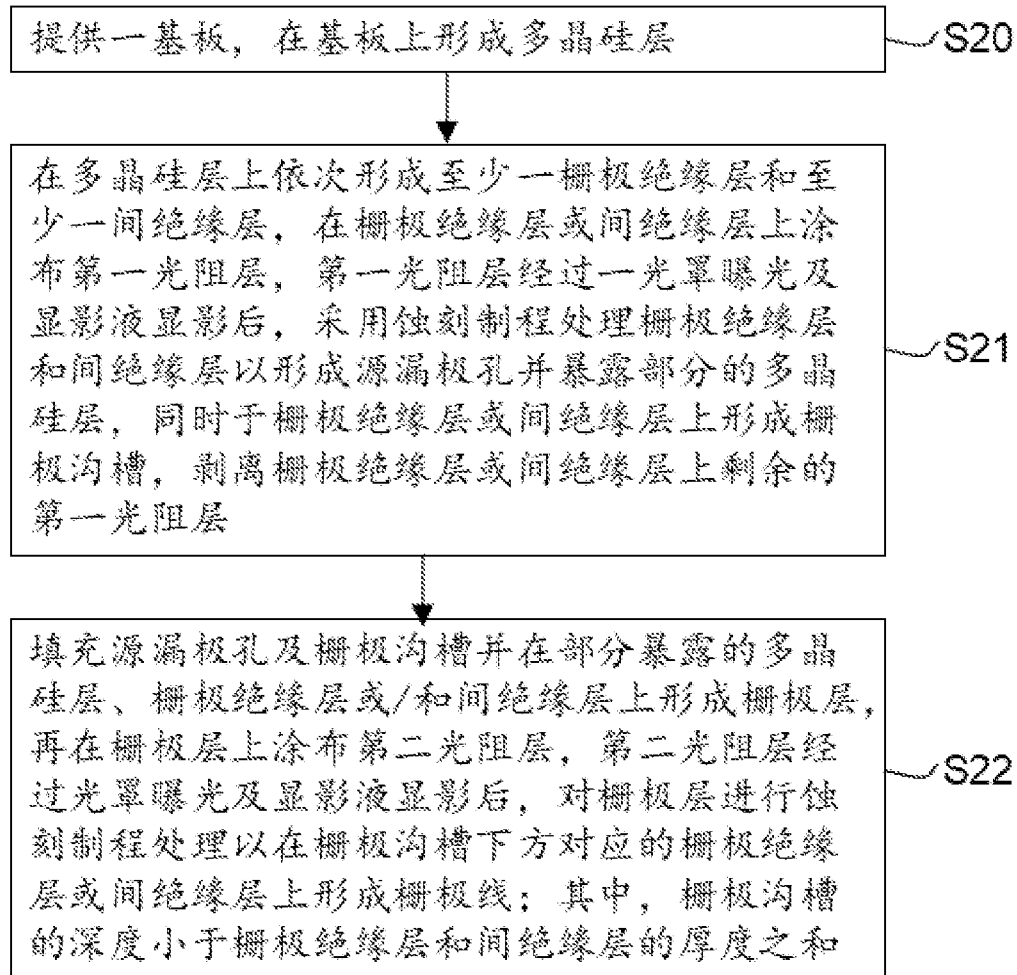


图 3

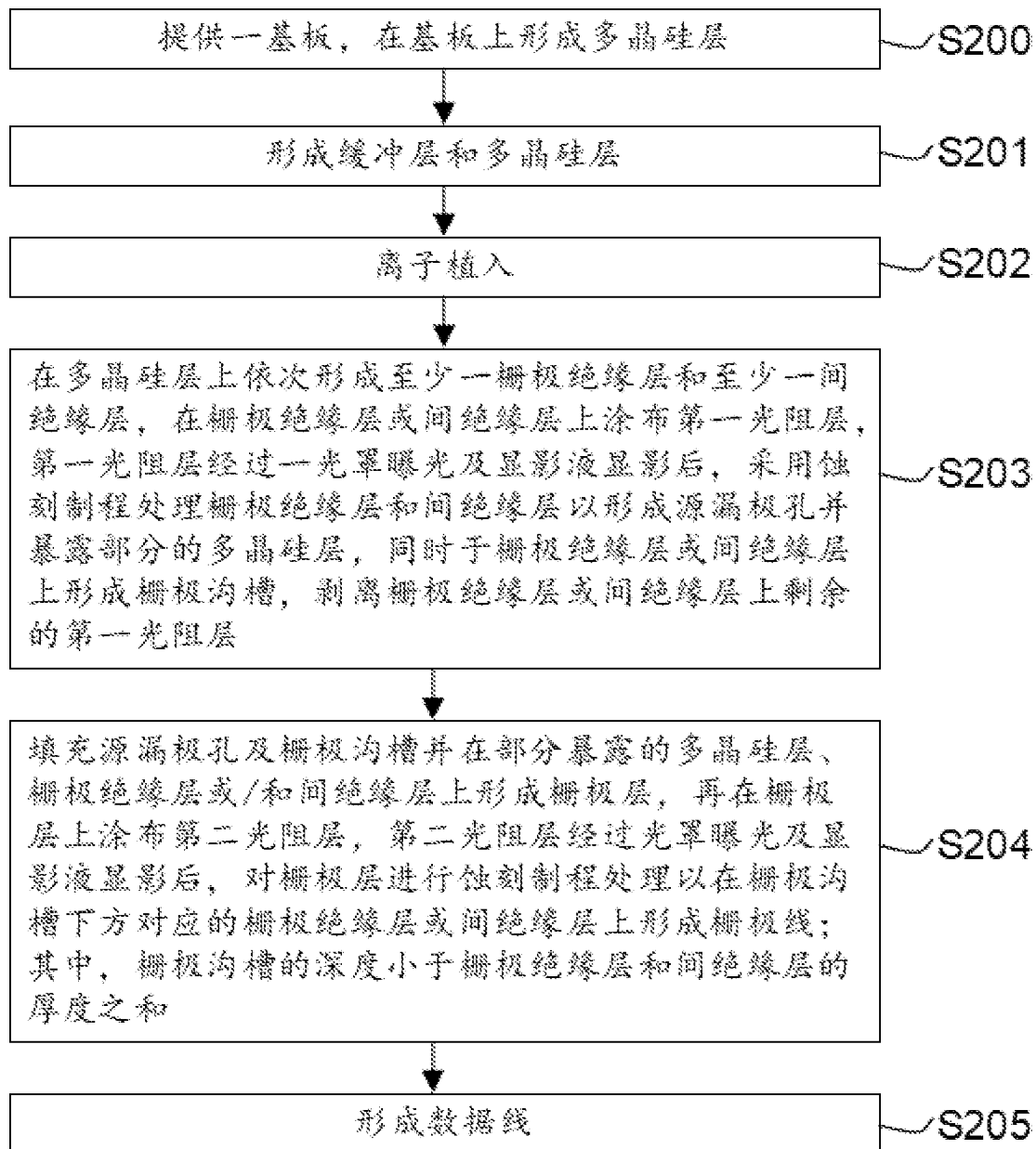


图 4



图 5A

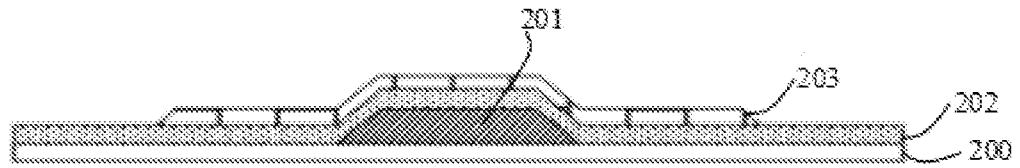


图 5B

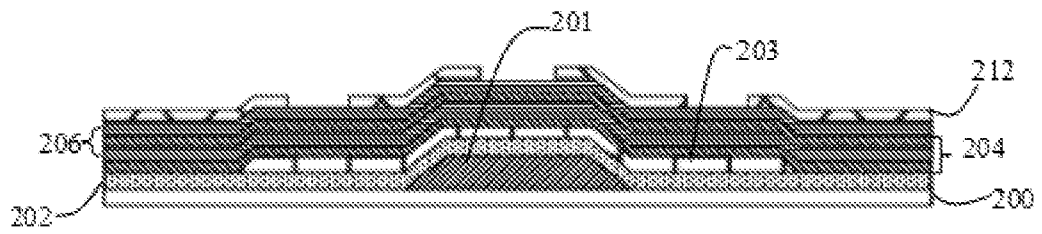


图 5C

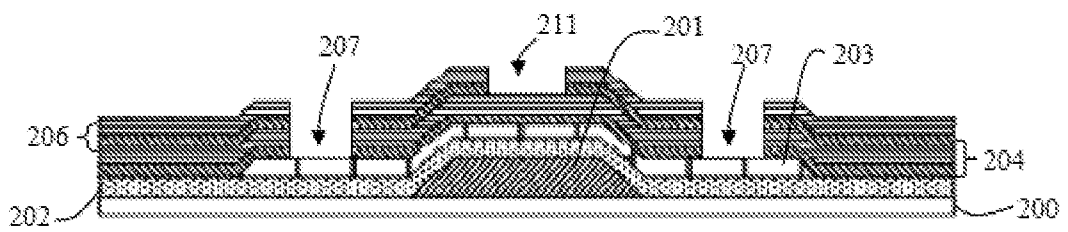


图 5D

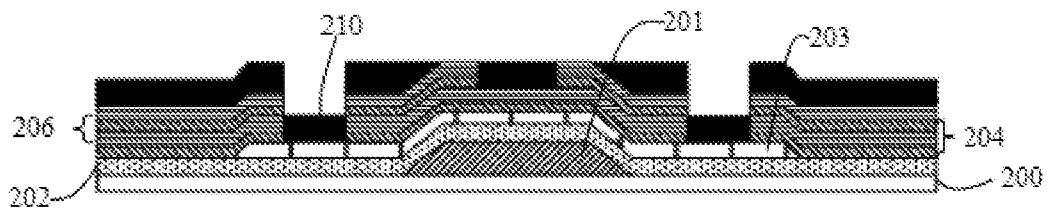


图 5E

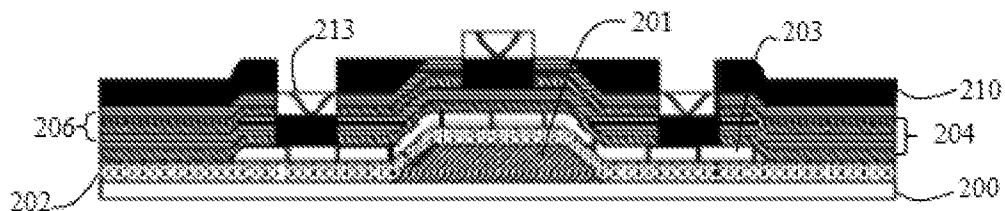


图 5F

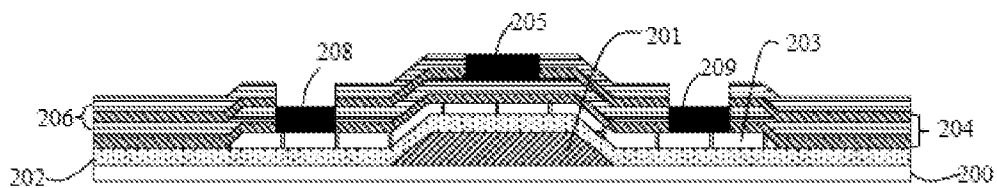


图 5G

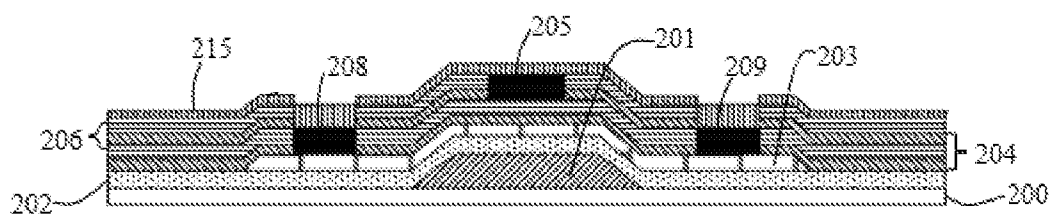


图 5H

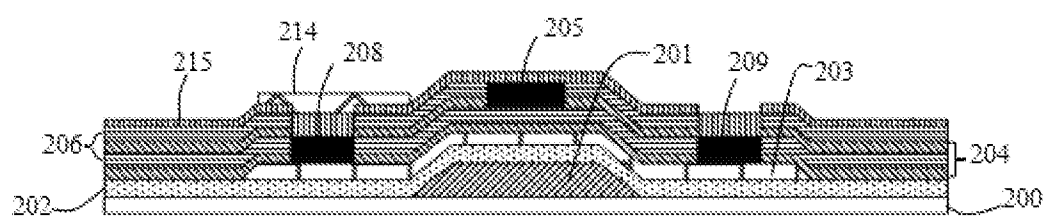


图 5I

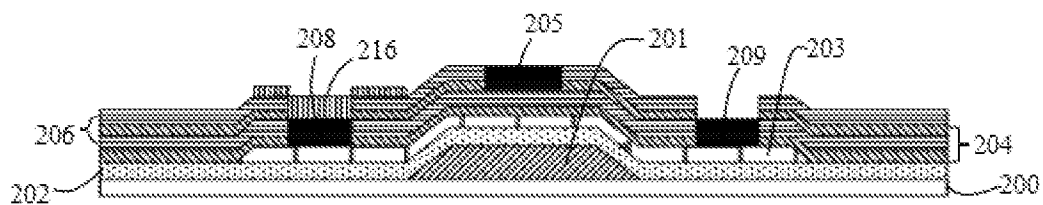


图 5J

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/116302

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/84(2006.01)i; H01L 27/12(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, IEEE, WPI, EPODOC: 华星光电, 掩膜, 光罩, 栅极, 栅电极, 源漏电极, 减少, 层间, 绝缘层, 凹槽, 沟槽, 介电层, 多晶硅, mask, groove, trench, LTPS, gate, polycrystalline

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 106847744 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. ET AL.) 13 June 2017 (2017-06-13) description, paragraphs [0032]-[0093], and figures 1a-4j	11-16, 20
Y	CN 106847744 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. ET AL.) 13 June 2017 (2017-06-13) description, paragraphs [0032]-[0093], and figures 1a-4j	1-10, 17-19
Y	CN 104637955 A (BOE TECHNOLOGY GROUP CO., LTD.) 20 May 2015 (2015-05-20) description, paragraphs [0059]-[0063], and figures 7-12	1-10, 17-19
A	CN 107946368 A (SHENZHEN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 20 April 2018 (2018-04-20) entire document	1-20
A	CN 105097550 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.) 25 November 2015 (2015-11-25) entire document	1-20

☐ Further documents are listed in the continuation of Box C.☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

16 May 2019

Date of mailing of the international search report

03 June 2019

Name and mailing address of the ISA/CN

**China National Intellectual Property Administration (ISA/
CN)**
**No. 6, Xitucheng Road, Jimenqiao, Haidian District, Beijing
100088**
China

Facsimile No. (86-10)62019451

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/116302

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	106847744	A	13 June 2017	WO	2018149119	A1	23 August 2018
				US	2019074305	A1	07 March 2019
CN	104637955	A	20 May 2015	CN	104637955	B	24 October 2017
CN	107946368	A	20 April 2018	US	10249654	B1	02 April 2019
CN	105097550	A	25 November 2015	US	2017155002	A1	01 June 2017
				WO	2017020358	A1	09 February 2017
				US	9786789	B2	10 October 2017

国际检索报告

国际申请号

PCT/CN2018/116302

A. 主题的分类

H01L 21/84(2006.01)i; H01L 27/12(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, CNKI, IEEE, WPI, EPODOC: 华星光电, 掩膜, 光罩, 栅极, 栅电极, 源漏电极, 减少, 层间, 绝缘层, 凹槽, 沟槽, 介电层, 多晶硅, mask, groove, trench, LTPS, gate, polycrystalline

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 106847744 A (合肥京东方光电科技有限公司 等) 2017年 6月 13日 (2017 - 06 - 13) 说明书第[0032]-[0093]段、图1a-4j	11-16、20
Y	CN 106847744 A (合肥京东方光电科技有限公司 等) 2017年 6月 13日 (2017 - 06 - 13) 说明书第[0032]-[0093]段、图1a-4j	1-10、17-19
Y	CN 104637955 A (京东方科技集团股份有限公司) 2015年 5月 20日 (2015 - 05 - 20) 说明书第[0059]-[0063]段、图7-12	1-10、17-19
A	CN 107946368 A (深圳市华星光电半导体显示技术有限公司) 2018年 4月 20日 (2018 - 04 - 20) 全文	1-20
A	CN 105097550 A (深圳市华星光电技术有限公司) 2015年 11月 25日 (2015 - 11 - 25) 全文	1-20

☐ 其余文件在C栏的续页中列出。☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

2019年 5月 16日

国际检索报告邮寄日期

2019年 6月 3日

ISA/CN的名称和邮寄地址

中国国家知识产权局 (ISA/CN)
中国北京市海淀区蓟门桥西土城路6号 100088

受权官员

李静

传真号 (86-10)62019451

电话号码 86-(10)-53961223

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/116302

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	106847744	A	2017年 6月 13日	WO	2018149119	A1	2018年 8月 23日
				US	2019074305	A1	2019年 3月 7日
CN	104637955	A	2015年 5月 20日	CN	104637955	B	2017年 10月 24日
CN	107946368	A	2018年 4月 20日	US	10249654	B1	2019年 4月 2日
CN	105097550	A	2015年 11月 25日	US	2017155002	A1	2017年 6月 1日
				WO	2017020358	A1	2017年 2月 9日
				US	9786789	B2	2017年 10月 10日

表 PCT/ISA/210 (同族专利附件) (2015年1月)