



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년08월25일

(11) 등록번호 10-1433987

(24) 등록일자 2014년08월19일

(51) 국제특허분류(Int. Cl.)

H01L 21/027 (2006.01) H01L 21/3065 (2006.01)

(21) 출원번호 10-2009-7016604

(22) 출원일자(국제) 2008년01월08일

심사청구일자 2013년01월07일

(85) 번역문제출일자 2009년08월07일

(65) 공개번호 10-2009-0107055

(43) 공개일자 2009년10월12일

(86) 국제출원번호 PCT/US2008/050524

(87) 국제공개번호 WO 2008/086361

국제공개일자 2008년07월17일

(30) 우선권주장

11/621,902 2007년01월10일 미국(US)

(56) 선행기술조사문현

WO2006096528 A2

KR1020050031375 A

JP2000133638 A

JP2001308076 A

전체 청구항 수 : 총 17 항

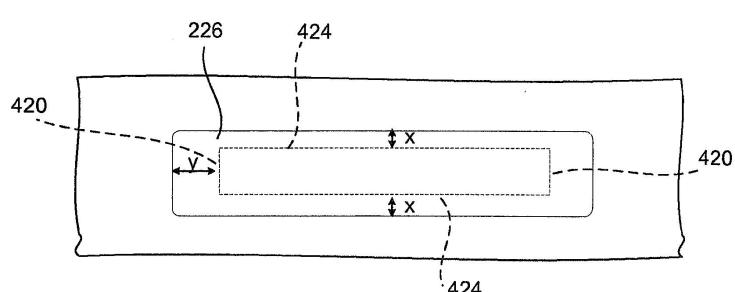
심사관 : 방기인

(54) 발명의 명칭 예칭 동안 라인 말단 단축의 감소 방법

(57) 요약

예칭층에 피쳐를 예칭하는 방법이 제공된다. 패터닝된 포토레지스트 마스크가 예칭층 위에 제공되며, 이 포토레지스트 마스크는 라인 말단에서 끝나는 한 쌍의 측벽을 갖는 적어도 하나의 포토레지스트 라인을 갖는다.

폴리머 층은 적어도 하나의 포토레지스트 라인 위에 위치되며, 포토레지스트 라인의 라인 말단에 있는 폴리머 층의 두께는 포토레지스트 라인의 측벽상의 폴리머층의 두께보다 크다. 포토레지스트 마스크를 통해서 예칭층에 피쳐가 예칭되며, 여기서, 라인 말단 단축 (LES; line end shortening) 비율은 1 이하이다.

대 표 도 - 도4d

(72) 발명자
린 프랭크 와이
미국 94539 캘리포니아주 프레몬트 리버모어 커먼
43257

중 청화
미국 94539 캘리포니아주 프레몬트 로사도 로드
263

특허청구의 범위

청구항 1

예칭층에 피쳐를 예칭하는 방법으로서,

라인 말단 (line end)에서 끝나는 한 쌍의 측벽들을 갖는 적어도 하나의 포토레지스트 라인을 갖는 패터닝된 포토레지스트 마스크를 상기 예칭층 위에 제공하는 단계;

상기 적어도 하나의 포토레지스트 라인 위에 폴리머 층을 위치시키는 단계로서, 상기 포토레지스트 라인의 상기 라인 말단에서의 상기 폴리머 층의 두께는 상기 포토레지스트 라인의 상기 측벽들 상의 상기 폴리머 층의 두께 보다 더 두꺼운, 상기 폴리머 층을 위치시키는 단계; 및

상기 포토레지스트 마스크를 통해서 상기 예칭층에 피쳐를 예칭하는 단계를 포함하는, 예칭층에 피쳐를 예칭하는 방법.

청구항 2

제 1 항에 있어서,

상기 적어도 하나의 포토레지스트 라인 위에 폴리머 층을 위치시키는 단계는, 상기 예칭층의 후속 예칭을 위해 하부층을 갖는 예칭 마스크를 형성하기 위해 상기 하부층을 예칭하는 동시에 상기 폴리머 층을 증착하는, 예칭 층에 피쳐를 예칭하는 방법.

청구항 3

제 2 항에 있어서,

상기 폴리머 층을 증착하는 것은,

증착 가스를 유입하는 단계;

상기 증착 가스를 플라즈마로 형성하는 단계; 및

적어도 100 볼트의 크기를 갖는 바이어스 전압을 제공하는 단계를 포함하는, 예칭층에 피쳐를 예칭하는 방법.

청구항 4

제 1 항에 있어서,

상기 적어도 하나의 포토레지스트 라인 위에 폴리머 층을 위치시키는 단계는, 적어도 하나의 사이클을 포함하고,

상기 사이클 각각은,

상기 적어도 하나의 포토레지스트 라인 상에 폴리머를 증착하는 증착 페이즈 (deposition phase); 및

상기 적어도 하나의 포토레지스트 라인의 상기 측벽들 위에 증착된 폴리머가 상기 적어도 하나의 포토레지스트 라인의 상기 라인 말단 위에 증착된 폴리모보다 더 많이 트리밍되도록, 상기 증착된 폴리머를 선택적으로 트리밍하는 트리밍 페이즈를 포함하는, 예칭층에 피쳐를 예칭하는 방법.

청구항 5

제 4 항에 있어서,

상기 적어도 하나의 포토레지스트 라인 위에 상기 폴리머 층을 위치시키는 단계는, 적어도 4 회의 사이클을 포함하는, 예칭층에 피쳐를 예칭하는 방법.

청구항 6

제 4 항에 있어서,

상기 증착 페이즈는,

증착 가스를 유입하는 단계;
상기 증착 가스로부터 플라즈마를 형성하는 단계; 및
상기 증착 가스를 중지시키는 단계를 포함하고,
상기 트리밍 페이즈는,
트리밍 가스를 유입하는 단계;
상기 트리밍 가스로부터 플라즈마를 형성하는 단계; 및
상기 트리밍 가스의 유입을 중지시키는 단계를 포함하는, 에칭층에 피쳐를 에칭하는 방법.

청구항 7

제 6 항에 있어서,
상기 트리밍 가스는 산소 함유 가스를 포함하는, 에칭층에 피쳐를 에칭하는 방법.

청구항 8

제 7 항에 있어서,
상기 트리밍 가스는 Cl_2 를 더 포함하는, 에칭층에 피쳐를 에칭하는 방법.

청구항 9

제 1 항에 있어서,
상기 적어도 하나의 포토레지스트 라인 위에 폴리머 층을 위치시키는 단계는,
폴리머 형성 가스 및 HBr 를 포함하는 증착 가스를 제공하는 단계; 및
상기 증착 가스로부터 플라즈마를 형성하는 단계를 포함하는, 에칭층에 피쳐를 에칭하는 방법.

청구항 10

제 1 항에 있어서,
상기 적어도 하나의 포토레지스트 라인 위에 폴리머 층을 위치시키는 단계는,
증착 가스 및 트리밍 가스를 동시에 유입하는 단계; 및
상기 증착 가스 및 상기 트리밍 가스를 플라즈마로 형성하는 단계를 포함하는, 에칭층에 피쳐를 에칭하는 방법.

청구항 11

제 1 항에 있어서,
산소 애싱 (oxygen ashing) 을 제공하는 단계를 더 포함하는, 에칭층에 피쳐를 에칭하는 방법.

청구항 12

제 1 항에 있어서,
상기 적어도 하나의 포토레지스트 라인 위에 폴리머 층을 위치시키는 단계는:
 CHF_3 , CF_4 , CH_2F_2 , CH_4 또는 $SiCl_4$ 중 적어도 하나를 포함하는 증착 가스를 제공하는 단계; 및
상기 증착 가스를 플라즈마로 형성하는 단계를 포함하는, 에칭층에 피쳐를 에칭하는 방법.

청구항 13

제 1 항 내지 제 12 항 중 어느 한 항에 기재된 에칭층에 피쳐를 에칭하는 방법에 의해 형성된, 반도체 디바이스.

청구항 14

예칭층에 피쳐를 예칭하는 방법으로서,

라인 말단 (line end)에서 끝나는 한 쌍의 측벽들을 갖는 적어도 하나의 포토레지스트 라인을 갖는 패터닝된 포토레지스트 마스크를 상기 예칭층 위에 제공하는 단계;

상기 적어도 하나의 포토레지스트 라인 위에 폴리머 층을 위치시키는 단계;

상기 폴리머 층을 트리밍하는 단계로서, 상기 포토레지스트 라인의 상기 라인 말단에서의 상기 트리밍된 폴리머 층의 두께는 상기 포토레지스트 라인의 상기 측벽들 상의 상기 트리밍된 폴리머 층의 두께보다 더 두꺼운, 상기 폴리머 층을 트리밍하는 단계; 및

상기 포토레지스트 마스크를 통해서 상기 예칭층에 피쳐를 예칭하는 단계를 포함하고,

상기 폴리머 층을 위치시키는 단계는:

증착 가스를 유입하는 단계;

상기 증착 가스를 플라즈마로 변형시키는 단계; 및

상기 증착 가스를 중지시키는 단계를 포함하고,

상기 폴리머 층을 트리밍하는 단계는:

트리밍 가스를 유입하는 단계;

상기 트리밍 가스를 플라즈마로 변형시키는 단계; 및

상기 트리밍 가스를 중지시키는 단계를 포함하는, 예칭층에 피쳐를 예칭하는 방법.

청구항 15

제 14 항에 있어서,

상기 트리밍 가스는 산소 함유 가스를 포함하는, 예칭층에 피쳐를 예칭하는 방법.

청구항 16

제 15 항에 있어서,

상기 트리밍 가스는 Cl_2 를 더 포함하는, 예칭층에 피쳐를 예칭하는 방법.

청구항 17

라인 말단 (line end)에서 끝나는 한 쌍의 측벽들을 갖는 적어도 하나의 포토레지스트 라인을 갖는 포토레지스트 마스크 아래의, 예칭층에 피쳐를 예칭하는 장치로서,

플라즈마 프로세싱 챔버 인클로저를 형성하는 챔버 벽, 상기 플라즈마 프로세싱 챔버 인클로저 내부에서 기판을 지지하는 기판 지지체, 상기 플라즈마 프로세싱 챔버 인클로저 내의 압력을 조절하기 위한 압력 조절기, 플라즈마를 유지하기 위해 상기 플라즈마 프로세싱 챔버 인클로저에 전력을 제공하기 위한 적어도 하나의 전극, 상기 플라즈마 프로세싱 챔버 인클로저에 가스를 제공하기 위한 가스 인렛, 및 상기 플라즈마 프로세싱 챔버 인클로저로부터 가스를 배출하기 위한 가스 아웃렛을 포함하는, 플라즈마 프로세싱 챔버;

상기 가스 인렛과 유체 연결되고, 폴리머 증착 가스 소스 및 예칭층 예칭 가스 소스를 포함하는 가스 소스; 및

상기 가스 소스 및 상기 적어도 하나의 전극에 제어가능하게 접속된 제어기를 포함하고,

상기 제어기는:

적어도 하나의 프로세서, 및

컴퓨터 판독가능 매체를 포함하며,

상기 컴퓨터 판독가능 매체는:

상기 포토레지스트 라인의 상기 측벽들 및 상기 라인 말단의 축소 (shrinkage) 를 감소시키기 위한, 적어도 하나의 사이클을 포함하는, 컴퓨터 판독가능 코드를 포함하고,

상기 사이클 각각은:

상기 포토레지스트 라인 위에 폴리머를 형성하기 위해 증착 가스를 제공하기 위한 컴퓨터 판독가능 코드로서, 상기 라인 말단들에서의 폴리머의 양은 상기 측벽들 상의 폴리머의 양보다 더 많은, 상기 증착 가스를 제공하기 위한 컴퓨터 판독가능 코드,

상기 예칭층을 예칭하기 위한 컴퓨터 판독가능 코드, 및

상기 포토레지스트 마스크를 제거하기 위한 컴퓨터 판독가능 코드를 포함하는, 예칭층에 피쳐를 예칭하는 장치.

명세서

[0001]

관련 출원

[0002]

본 출원은, Kota 등에 의해 2006년 9월 14일 출원되고 발명의 명칭이 "Line End Shortening Reduction during Etch" 인 미국 특허 출원 제11/521,810호의 일부계속출원이며, 이는 본 명세서에 참조로서 통합된다.

[0003]

발명의 분야

[0004]

본 발명은 반도체 디바이스의 형성에 관한 것이다. 더욱 상세하게는, 본 발명은 반도체 디바이스의 형성 도중에 라인 말단 단축 (line end shortening) 을 감소시키는 것에 관한 것이다.

[0005]

발명의 배경

[0006]

반도체 웨이퍼 프로세싱 도중에, 웨이퍼에 반도체 디바이스의 피쳐가 공지된 패터닝 및 예칭 프로세스를 이용하여 정의된다. 이들 프로세스에서, 포토레지스트 (PR; photoresist) 재료가 웨이퍼상에 증착된 후 레티클에 의해 필터링된 광에 노광된다. 일반적으로, 레티클은, 이 레티클을 통해서 전파되는 광을 차단하는 예시적인 피쳐 기하학 형상으로 패터닝된 유리 플레이트이다.

[0007]

레티클을 통과한 후, 광은 포토레지스트 재료의 표면에 접촉한다. 현상액 (developer) 이 포토레지스트 재료의 일부를 제거할 수 있도록, 광이 포토레지스트 재료의 화학적 조성을 변화시킨다. 포지티브 포토레지스트 재료의 경우 노광된 영역이 제거되고, 네거티브 포토레지스트 재료의 경우 노광되지 않은 영역이 제거된다.

그후, 포토레지스트 재료에 의해 더 이상 보호되지 않는 영역으로부터 하부 재료를 제거하기 위해 웨이퍼가 예칭되어, 이에 따라 웨이퍼에 원하는 피쳐를 정의한다.

[0008]

집적 회로 (IC) 의 최소 피쳐 크기는 각 세대의 반도체 웨이퍼 프로세싱 개선에 따라 계속 축소된다. 트랜지스터와 금속 라인이 소형화되어 서로 보다 더욱 가까이 이동함에 따라서, 이전에 중요하지 않았던 제 3 의 변수들이 현재 IC 디자인 및 제조를 지배하고 있다. 발생하는 하나의 문제점은 "라인 말단 단축 (LES; line end shortening)" 이다. 도 1a 및 도 1b 는 하나의 라인 말단 단축 문제를 도시한다. LES 는 라인의 말단의 실제 인쇄된 위치와 의도된 (디자인된) 위치 사이의 차이로서 특징화된다. 도 1a 는 좌측에서 우측으로 이어지는 폴리실리콘 라인 (12) 을 갖는 트랜지스터 (10) 의 디자인을 도시하고, 이 트랜지스터 (10) 의 디자인은 상부 확산 영역과 하부 확산 영역을 전기적으로 커플링하기 위해 이용된 게이트 영역을 형성할 수도 있다.

[0009]

도 1b 는 원하는 디자인을 도시하는 접선 (16) 과 디자인으로부터 도출된 실제 인쇄된 이미지를 도시한다. 예칭 효과 및 포토레지스트 장애 (pullback) 로 인해, 상당한 양의 라인 말단 단축 (14) 이 있다. 도 1b 를 참조하여, LES 비율은, 꼭의 감소에 대한 길이의 감소의 비율인 $(Y-Y_1)/(X-X_1)$ 로서 정의될 수도 있고, LES 는 현재 2 보다 더 크다.

[0010]

도 2a 및 도 2b 는 다른 LES 문제점을 나타낸다. 도 2a 에 도시된 디자인은, 꼭 W_1 , 측벽 (24), 및 활성 소스 (26) 와 드레인 (28) 사이의 라인 말단 (22) 을 갖는 포토레지스트 라인 (20) 을 가질 수도 있다. 결과로 나타나는 인쇄 이미지는 도 2b 에 도시된다. 결과로 나타나는 이미지는, 꼭 W_2 , 측벽 (32), 및 라인 말단 (34) 을 갖는 포토레지스트 라인 (30) 을 갖는다. 디자인 라인 말단 (22) 과 인쇄된 이미지 라인 말단 (34) 사이의 꼭 W_3 은 소스 (26) 와 드레인 (28) 사이의 캡을 초래하여 디바이스의 누설 및 실패를 야기한다.

도 2b 에 도시되고 전술한 바와 같이, W_3 에서의 LES 는 W_1 와 W_2 사이의 차이보다 훨씬 크다. 따라서, LES 는 측벽 (24) 과 비교할 때 라인 말단 (22) 에서 더 크다. 더욱 긴 포토레지스트 라인을 인쇄하기 위해 라인을 연장하더라도, 마스크 디자인에서 LES 를 보상하기 위한 충분한 여지 (room) 가 없기 때문에 통상적으로 이는 가능하지 않다. LES 비율은 $(W_1 - W_2)/(2 \cdot W_3)$ 로서 정의될 수도 있다.

[0011] 다른 방식으로는 LES 에 대해 보상하기 위해 라인 말단에 "해머 헤드 (hammer head)" 를 추가한다. 그러나, 해머 헤드는 그 해머 헤드와 폴리실리콘 라인 사이의 브리징 (bridging) 을 잠재적으로 야기할 수 있는 디자인 규칙 위반을 발생시킬 수도 있다. 이러한 브리징 문제는 해머 헤드와 폴리실리콘 라인 사이의 분리 (separation) 에 의해 경감될 수도 있지만, 이러한 분리는 회로 소자의 크기를 증가시킬 것이고, 이는 보다 적은 회로 소자가 반도체 디바이스에 집적될 수 있음을 의미한다. 추가적으로, 해머 헤드의 이용은 더 큰 라인 폭 거칠기를 야기할 수도 있다.

[0012] LES 는 저하된 디바이스 성능, 감소된 신뢰도, 손실 산출량, 디바이스에서의 누설, 임계 치수 (CD; critical dimension) 에 대한 제한 및 다른 관련 문제들을 초래할 수도 있다.

발명의 개요

[0014] 전술한 목적을 달성하기 위해 본 발명의 목적에 따르면, 예칭층에 피쳐를 예칭하는 방법이 제공된다. 예칭 층 위에 패터닝된 포토레지스트 마스크가 제공되고, 이 포토레지스트 마스크는 라인 말단에서 끝나는 한 쌍의 측벽을 갖는 적어도 하나의 포토레지스트 라인을 갖는다. 적어도 하나의 포토레지스트 라인 위에 폴리머 층이 위치되고, 포토레지스트 라인의 라인 말단에 있는 폴리머 층의 두께는 포토레지스트 라인의 측벽 상에 있는 폴리머 층의 두께보다 크다. 포토레지스트 마스크를 통해서 피쳐들이 예칭층으로 예칭되고, 여기서 라인 말단 단축 (LES) 비율은 1 이하이다.

[0015] 본 발명의 다른 양태는 예칭층에 피쳐를 예칭하는 방법을 제공한다. 라인 말단에서 끝나는 한 쌍의 측벽을 갖는 적어도 하나의 포토레지스트 라인을 갖는 패터닝된 포토레지스트 마스크가 예칭층 위에 제공된다. 적어도 하나의 포토레지스트 라인 위에 폴리머 층이 위치되며, 이는 중착 가스를 유입시키는 것, 그 중착 가스를 플라즈마로 변형시키는 것, 및 중착 가스를 중지시키는 것을 포함한다. 폴리머층은 트리밍되고, 여기서 포토레지스트 라인의 라인 말단에 있는 트리밍된 폴리머 층의 두께는 포토레지스트 라인의 측벽 상에 있는 트리밍된 폴리머 층의 두께보다 크며, 이는 트리밍 가스를 유입시키는 것, 그 트리밍 가스를 플라즈마로 변형시키는 것, 및 트리밍 가스를 중지시키는 것을 포함한다. 포토레지스트 마스크를 통해서 예칭층에 피쳐를 예칭하는 데, 여기서 라인 말단 단축 (LES) 비율은 1 이하이다.

[0016] 본 발명의 다른 양태에서, 라인 말단에서 끝나는 한 쌍의 측벽을 갖는 적어도 하나의 포토레지스트 라인을 갖는 포토레지스트 마스크 하부에, 예칭층에 피쳐를 예칭하기 위한 장치가 제공된다. 플라즈마 프로세싱 챔버는 플라즈마 프로세싱 챔버 인클로저를 형성하는 챔버 벽, 플라즈마 프로세싱 챔버 인클로저 내부에서 기판을 지지하는 기판 지지체, 플라즈마 프로세싱 챔버 인클로저 내의 압력을 조절하는 압력 조절기, 플라즈마를 유지하기 위해 전력을 플라즈마 프로세싱 챔버 인클로저에 제공하는 적어도 하나의 전극, 플라즈마 프로세싱 챔버 인클로저에 가스를 제공하기 위한 가스 인렛, 및 플라즈마 프로세싱 챔버 인클로저로부터 가스를 배출하기 위한 가스 아웃렛을 갖는다. 가스 인렛과 유체 연결된 가스 소스는 폴리머 중착 가스 소스 및 예칭 층 예칭 가스 소스를 포함한다. 이 가스 소스와 적어도 하나의 전극에 제어기가 제어가능하게 접속되어 있을 수도 있다. 제어기는, 포토레지스트 라인의 라인 말단 및 측벽들의 축소 (shrinkage) 를 감소시키기 위한 컴퓨터 관독가능 코드를 포함하는 컴퓨터 관독가능 매체 및 적어도 하나의 프로세서를 포함하고, 그 컴퓨터 관독가능 코드는 적어도 하나의 사이클을 포함하는데, 그 각각의 사이클은 라인 위에 폴리머를 형성하기 위해 중착 가스를 제공하기 위한 컴퓨터 관독가능 코드 (여기서, 라인 말단에서의 폴리머의 양은 측벽 상의 폴리머의 양보다 큼), 예칭 층을 예칭하기 위한 컴퓨터 관독가능 코드 (여기서, 라인 말단 단축 (LES) 비율은 1 이하임), 및 포토레지스트 마스크를 제거하기 위한 컴퓨터 관독가능 코드를 포함한다.

[0017] 본 발명의 이러한 특징 및 다른 특징은 본 발명의 상세한 설명 및 이하의 도면과 관련하여 이하 더욱 상세하게 설명될 것이다.

도면의 간단한 설명

[0019] 본 발명은, 유사한 참조 수치가 유사한 엘리먼트를 지칭하는 첨부된 도면에서, 한정이 아닌 예시에 의해 설명된다.

- [0020] 도 1a 및 도 1b 는 일 라인 말단 단축의 문제점을 도시한다.
- [0021] 도 2a 및 도 2b 는 다른 라인 말단 단축의 문제점을 도시한다.
- [0022] 도 3 은 본 발명의 일 실시형태에 이용될 수도 있는 프로세스의 하이 레벨 플로우차트이다.
- [0023] 도 4a 내지 도 4f 는 본 발명의 일 실시형태에 따라서 프로세싱된 적층체의 개략적인 단면도 및 평면도이다.
- [0024] 도 5 는 라인 말단 단축을 감소시키는 단계의 하나의 더욱 상세한 플로우차트이다.
- [0025] 도 6 은 본 발명을 실행하는데 이용될 수도 있는 플라즈마 프로세싱 챔버의 개략도이다.
- [0026] 도 7a 및 도 7b 는 본 발명의 실시형태들에 이용되는 제어기를 구현하는데 적절한 컴퓨터 시스템을 도시한다.
- [0027] 도 8a 내지 도 8d 는 본 발명의 일 실시형태에 따라서 프로세싱된 적층체의 개략적인 단면도 및 평면도이다.
- [0028] 도 9 는 라인 말단 단축을 감소시키는 단계의 다른 더욱 상세한 플로우차트이다.

바람직한 실시형태의 상세한 설명

- [0030] 이제, 본 발명은, 첨부된 도면에 도시된 바와 같이 몇몇 바람직한 실시형태를 참조하여 상세하게 설명될 것이다. 이하의 설명에서, 수많은 특정 세부사항들이 본 발명의 전반적인 이해를 제공하기 위해 설명된다. 그러나, 당업자에게는 본 발명이 몇몇 또는 모든 이러한 특정 세부사항 없이 실행될 수도 있다는 것이 명백 할 것이다. 다른 예시에서, 본 발명을 불필요하게 모호하게 하지 않기 위해서 공지된 프로세스 단계 및/또는 구조는 상세하게 설명되지 않는다.
- [0031] 이해를 용이하게 하기 위해, 도 3 은 본 발명의 일 실시형태에 이용될 수도 있는 프로세스의 하이 레벨 플로우 차트이다. 패터닝된 포토레지스트 마스크가 제공된다 (단계 304). 도 4a 는, 적층체 (400) 를 형성하는, 에칭될 층 (408) 위의 하부층 (410) 위에, 포토레지스트 피쳐 (414) 를 갖는 패터닝된 포토레지스트 마스크 (412) 를 갖는 기판 (404) 위의 에칭될 층 (408) 의 개략적인 단면도이다. 패터닝된 포토레지스트 마스크 (412) 는 라인 말단 (420) 에서 끝나는 한 쌍의 측벽 (424) 을 갖는 적어도 하나의 포토레지스트 라인을 갖는다. 패터닝된 포토레지스트 마스크를 제공하기 위해, 포토레지스트 층이 에칭될 층 위에 먼저 형성될 수도 있다. 그후, 포토레지스트 층이 패터닝되어 포토레지스트 측벽 및 라인 말단을 갖는 포토레지스트 라인을 형성한다. 도시된 바와 같이, 포토레지스트 피쳐는 폭 W_e 를 가질 수도 있다.

- [0032] 도 4b 는 포토레지스트 마스크 (412) 의 평면도이다. 전술한 바와 같이, 리소그래피와 같은 제조 프로세스 는 인쇄된 이미지의 LES 를 초래한다. 점선 (416) 은 포토레지스트 마스크 (412) 에 제공된 인쇄 패턴을 나타낸다. 도시된 바와 같이, 실제 에칭된 이미지는 단축된 측벽 (434) 및 라인 말단 (436) 을 가질 수도 있다.

- [0033] 하부층 (410) 은 임의의 공지된 유기, 무기, 또는 금속 층일 수도 있다. 제한하도록 의도되지 않은 예시적인 목적을 위해, 하부층은 반사방지층 (ARL; anti-reflective layer), 바닥 반사방지 코팅 (BARC; bottom anti-reflective coating), 유전체 반사 방지 코팅 (DARC; dielectric anti-reflective coating), 비정질 탄소, 하드 마스크 (예를 들어, Si_xO_y , Si_xN_y , $Si_xO_yN_z$), 또는 임의의 다른 알려진 하부층일 수도 있다.

- [0034] 포토레지스트 마스크 위에 코팅이 위치될 수도 있다 (단계 308). 도 5 는 이 단계의 더욱 상세한 플로우 차트이다. 도 5 에 도시된 바와 같이, LES 의 감소는, 폴리머 층을 증착하는 단계 (504) 및 폴리머 층을 경화하는 단계 (508) 를 포함하는 순환 프로세스의 적어도 하나의 사이클을 포함한다. 포토레지스트 라인이 폴리머 층으로 코팅된 후의 적층체의 단면도인 도 4c 에 도시된 바와 같이, 포토레지스트 마스크들 (412) 사이의 간격이 폴리머 층의 코팅 이전의 포토레지스트 피쳐들의 폭 "S_e" 보다 작은 폭인 "S_p" 을 갖도록, 포토레지스트 라인은 폴리머 층으로 코팅 또는 증착될 수도 있다.

- [0035] 도 4d 는 폴리머 층 (226) 으로 코팅된 포토레지스트 라인을 갖는 도 4c 의 포토레지스트 마스크 (412) 의 평면도이다. 폴리머 층 (226) 은 포토레지스트 라인을 코팅하여, LES 비율이 1 이하가 되도록 에칭하는 도중에 라인 말단 (420) 및 측벽 (424) 을 보호한다. 이러한 코팅은 LES 를 감소시켜 포토레지스트 라인의 길이 및 폭을 증가시킨다. 도시된 바와 같이, 측벽 (424) 에서보다 라인 말단 (420) 에서 축소가 더 큰 정도로 발생하기 때문에, 라인 말단 (420) 에 증착된 폴리머의 양 (y) 은 측벽 (424) 상에 증착된 폴리머의 양 (x) 보다 크다. 일 실시형태에서, 라인 말단에 증착된 코팅의 양은 측벽상에 증착된 양의 3 배인 것이 바람직하다.

증착되는 코팅의 양은 LES 가 1 미만의 측벽 감소 비율을 획득하도록 이용될 수도 있다.

[0036] 폴리머 층은 탄소, 수소, 불소, 또는 그 조합물을 함유할 수도 있다. 이용되는 가스는 히드로카본 (예를 들어, 메탄 (CH_4)), 플루오로카본, 히드로플루오로카본, 헬륨, 아르곤, 또는 그 조합물일 수도 있다. 플루오로카본은 화학식 C_4F_8 을 가질 수도 있다. 바람직하게는, 플루오로카본은 화학식 $C_xH_yF_z$ 을 갖는다. 포토레지스트 마스크 위에 폴리머를 증착하는 프로세스는 약 1 내지 20 초 사이를 차지할 수도 있다.

[0037] 폴리머는 플루오로카본과 브롬화수소 가스의 혼합물을 이용하여 경화될 수도 있다. 바람직하게는, 플루오로카본은 CF_4 일 수도 있다. 원하는 층이 달성될 때까지 순환 프로세스가 반복될 수도 있다. 사이클은 10회 이하, 바람직하게는 적어도 1 회 반복되는 것이 바람직하다.

[0038] 그후, 도 4e 에 도시된 바와 같이, 피쳐 (428) 가 포토레지스트 마스크 (412) 를 통해서 에칭층 (408) 에 에칭될 수도 있다 (단계 (316)). 또한, 폴리머 코팅 (226) 의 일부 또는 전부가 이 단계 도중에 제거되어, 이에 따라, 라인 말단 및 측벽을 보호하여 LES 비율이 1 이하로 되도록 LES 의 양을 감소시킬 수도 있다. 다음으로, 도 4f 에 도시된 바와 같이, 포토레지스트 마스크 (412) 가 제거된다 (단계 (320)).

실시예

[0040] 프로세스의 일 예시에서, 패터닝된 포토레지스트 층이 형성된다 (단계 (304)). 에칭층 (408), 하부층 (410), 및 패터닝된 포토레지스트 마스크 (412) 을 갖는 기판 (404) 이 에칭 챔버 내에 위치된다.

[0041] 도 6 은, 포토레지스트 마스크 위에 폴리머 층을 위치시키고, 폴리머 층을 경화시키고, 그리고 박리하는데 이용될 수도 있는 플라즈마 프로세싱 시스템 (600) 의 개략도이다. 플라즈마 프로세싱 시스템 (600) 은 플라즈마 프로세싱 툴 (601) 을 포함할 수도 있다. 플라즈마 프로세싱 툴 (601) 은 유도결합형 플라즈마 에칭 툴이고, 이는 그 내부에 플라즈마 프로세싱 챔버 (604) 를 갖는 플라즈마 반응기 (602) 를 포함한다. TCP (transformer coupled power) 제어기 (650) 및 바이어스 전력 제어기 (655) 각각은, 플라즈마 챔버 (604) 내에 생성된 플라즈마 (624) 에 영향을 주는 TCP 전력 공급기 (651) 및 바이어스 전력 공급기 (656) 를 제어한다.

[0042] TCP 전력 제어기 (650) 는, (TCP 매칭 네트워크 (652) 에 의해 조정되는) 13.56MHz 에서 무선 주파수 신호를 공급하도록 구성된 TCP 전력 공급기 (651) 에 대한 설정 포인트 (set point) 를 플라즈마 챔버 (604) 가까이에 위치된 TCP 코일 (675) 로 설정한다. TCP 코일 (675) 로부터 플라즈마 챔버 (604) 로 에너지의 통과를 허용하면서 플라즈마 챔버 (604) 로부터 TCP 코일 (675) 을 분리시키기 위해 RF 투명 윈도우 (654) 가 제공된다. RF 투명 윈도우 (654) 내의 개구 (aperture) 에 위치된 대략 2.5cm (1 인치) 의 직경을 갖는 사파이어 원형 피스에 의해 선택적인 투명 윈도우 (665) 가 제공될 수도 있다.

[0043] 바이어스 전력 제어기 (655) 는, RF 신호를 공급하도록 구성되고 바이어스 전력 공급기 (656) 에 대한 설정 포인트를, 프로세싱되는 기판 (606) (예를 들어, 반도체 웨이퍼 워크피스) 을 수용하도록 채택된 척 전극 (608) 위에 DC (direct current) 바이어스를 생성하는 (바이어스 매칭 네트워크 (657) 에 의해 조정되는) 플라즈마 챔버 (604) 내부에 위치된 척 전극 (608) 으로 설정한다.

[0044] 가스 공급 메커니즘 또는 가스 소스 (610) 는, 플라즈마 챔버 (604) 의 내부로 프로세스에 요구되는 적절한 화학물질을 공급하기 위해 가스 매니폴드 (617) 를 통해서 부착된 가스 또는 가스들의 소스 또는 소스들 (616) 을 포함한다. 가스 배출 메커니즘 (618) 은, 압력 제어 밸브 (619) 및 배출 펌프 (620) 를 포함하고, 플라즈마 챔버 (604) 내에서 이 플라즈마 챔버로부터 파티클을 제거하며, 플라즈마 챔버 (604) 내에서 일정 압력으로 유지한다.

[0045] 온도 제어기 (680) 는 히터 전력 공급기 (684) 를 제어함으로써 척 전극 (608) 내에 제공된 히터 (682) 의 온도를 제어한다. 플라즈마 프로세싱 시스템 (600) 은 또한 전자 제어 회로 (670) 를 포함한다.

[0046] 도 7a 및 도 7b 는 본 발명의 실시형태에 이용되는 전자 제어 회로 (670) 를 구현하는데 적합한 컴퓨터 시스템 (700) 을 도시한다. 도 7a 는 컴퓨터 시스템의 하나의 가능한 물리적 형태를 나타낸다. 물론, 컴퓨터 시스템은 접속 회로, 인쇄 회로 기판, 및 소형 디바이스에서 대형 슈퍼 컴퓨터까지 이르는 수많은 물리적 형태를 가질 수도 있다. 컴퓨터 시스템 (700) 은 모니터 (702), 디스플레이 (704), 하우징 (706), 디스크 드라이브 (708), 키보드 (710), 및 마우스 (712) 를 포함한다. 디스크 (714) 는 데이터를 컴퓨터 시스템 (700) 으로 및 컴퓨터 시스템 (700) 으로부터 전송하는데 이용되는 컴퓨터-판독가능 매체이다.

[0047]

도 7b 는 컴퓨터 시스템 (700)에 대한 블록도의 일 예시이다. 광범위하게 다양한 서브시스템이 시스템 버스 (720)에 부착된다. 프로세서(들) (722) (또한, 중앙 처리 장치 또는 CPU로서 지칭됨)는, 메모리 (724)를 포함하는 저장 디바이스들에 커플링된다. 메모리 (724)는 RAM (random access memory) 및 ROM (read only memory)를 포함한다. 당업계에 공지된 바와 같이, ROM은 데이터 및 명령들을 CPU에 일방향으로 전달하도록 동작하고, RAM은 통상적으로 데이터 및 명령들을 양-방향 방식으로 전달하도록 이용된다. 이러한 유형의 메모리들 모두는 후술하는 것과 같은 임의의 적합한 컴퓨터-판독가능 매체를 포함할 수도 있다.

또한, 고정 디스크 (726)는 CPU (722)에 양-방향으로 커플링되는데, 이는 추가적인 데이터 저장 용량을 제공하며, 또한 후술하는 것과 같은 임의의 컴퓨터-판독가능 매체를 포함할 수도 있다. 고정 디스크 (726)는 프로그램, 데이터 등을 저장하도록 이용될 수도 있으며, 일반적으로 주 저장소보다 더 느린 보조 저장 매체 (예를 들어, 하드 디스크)이다. 적절한 경우, 고정 디스크 (726) 내에 보존된 정보가 메모리 (724)에서의 가상 메모리로서 표준 방식으로 통합될 수도 있다는 것을 파악할 수 있다. 탈착가능 디스크 (714)는 후술하는 임의의 컴퓨터-판독가능 매체의 형태를 취할 수도 있다.

[0048]

또한, CPU (722)는 디스플레이 (704), 키보드 (710), 마우스 (712), 및 스피커 (730)와 같은 각종 입/출력 디바이스에 커플링된다. 일반적으로, 입/출력 디바이스는: 영상 디스플레이, 트랙 볼, 마우스, 키보드, 마이크로폰, 터치-감지 디스플레이, 트랜스듀서 카드 판독기, 자기 또는 페이퍼 테이프 판독기, 태블릿 (tablet), 스타일러스 (stylus), 음성 또는 필체 인식기, 바이오메트리 판독기, 또는 다른 컴퓨터 중 임의의 것일 수도 있다. CPU (722)는 선택적으로 네트워크 인터페이스 (740)를 이용하여 다른 컴퓨터 또는 전기통신 네트워크에 커플링될 수도 있다. 이러한 네트워크 인터페이스에 의해, CPU는 네트워크로부터 정보를 수신했을 수도 있고, 또는 전술한 방법의 단계들을 수행하는 사이에 정보를 네트워크로 출력했을 수도 있다고 생각된다. 또한, 본 발명의 방법 실시형태들은 CPU (722)에서만 단독으로 실행할 수도 있고, 또는 프로세싱의 일부를 공유하는 원격 CPU와 결합하여 인터넷과 같은 네트워크를 통해서 실행할 수도 있다.

[0049]

부가적으로, 본 발명의 실시형태들은 또한 다양한 컴퓨터-구현 동작들을 수행하기 위한 컴퓨터 코드를 갖는 컴퓨터-판독가능 매체를 구비한 컴퓨터 저장 제품에 관한 것이다. 그 매체 및 컴퓨터 코드는 본 발명의 목적을 위해 특별히 설계되고 구성된 것일 수도 있으며, 또는 컴퓨터 소프트웨어 업계에서의 당업자에게 잘 알려지고 이용가능한 종류의 것일 수도 있다. 컴퓨터-판독가능 매체의 예시는, 자기 매체 (예를 들어, 하드 디스크, 플로피 디스크, 및 자기 테이프); 광학 매체 (예를 들어, CD-ROM 및 홀로그래픽 디바이스); 자기-광학 매체 (예를 들어, 플롭티컬 디스크); 및 프로그램 코드를 저장 및 실행하도록 특별히 구성된 하드웨어 디바이스 (예를 들어, 주문형 집적 회로 (ASIC), 프로그래머블 로직 디바이스 (PLD), ROM 디바이스 및 RAM 디바이스)를 포함하지만, 이에 한정하지 않는다. 컴퓨터 코드의 예시는 (컴파일러에 의해 생성된 것과 같은) 머신 코드 및 인터프리터를 이용하여 컴퓨터에 의해 실행되는 보다 하이 레벨의 코드를 포함하는 파일을 포함한다. 컴퓨터 판독가능 매체는 또한, 반송파에 담지되는 컴퓨터 데이터 신호에 의해 송신되고 프로세서에 의해 실행가능한 명령들의 시퀀스를 나타내는 컴퓨터 코드일 수도 있다.

[0050]

포토레지스트 마스크 위에 폴리머 층이 위치된다 (단계 (308)). 도 5에 도시된 사이클의 복수 사이클을 이용하면, 폴리머 층을 증착하는 예시 레시피 (단계 504)는, 예를 들어 CH_4 , C_4F_8 , 및 $\text{C}_x\text{H}_y\text{F}_z$ 중 적어도 하나의 가스를 이용했을 것이다. 예칭 챔버 또는 플라즈마 프로세싱 챔버는 1 내지 100mT의 압력을 가질 수도 있다. 더욱 바람직하게는, 마스크를 측면으로 예칭하기 위한 압력은 2 내지 8 mT 사이이다. 13.56MHz에서의 플라즈마 프로세싱 챔버에 500 내지 1000 Watt의 전력이 공급된다. 온도는 약 40°C 내지 60°C 사이일 수도 있다. 레시피의 일 실시형태에서, 5mT의 압력, 500Watt의 전력, 및 0 바이어스 전력에서 15 초간 40°C의 온도에서 20sccm의 CH_4 및 100sccm의 He가 이용된다.

[0051]

플라즈마 층이 경화된다 (단계 508). 폴리머 층의 경화를 위한 일 예시의 레시피는 플루오로카본 및 브롬화 수소 함유 가스 (예를 들어, 100 sccm의 CF_4 및 25sccm의 HBr)를 제공한다. 5mTorr의 압력이 챔버에 제공된다. RF 전원은 13.56MHz의 주파수 및 40°C의 온도에서 500Watt를 제공한다.

[0052]

그후, 예칭층에 피쳐가 예칭된다 (단계 316). 일 예시에서, 예칭층은 게이트를 형성하기 위한 폴리실리콘이다. 다른 실시형태에서, 예칭될 층은 종래의 예칭층 (예를 들어, SiN, SiC, 산화물, 금속층, 또는 로우-k 유전체)일 수도 있다. 종래의 예칭 레시피가 예칭될 층을 예칭하는데 이용될 수도 있다.

[0053]

마스크를 제거하기 위해 (단계 320), 산소 애싱 (oxygen ashing)이 이용될 수도 있다.

[0054]

도시된 바와 같이, 본 발명의 바람직한 실시형태에서, 폴리머 층의 배치, 폴리머 층의 경화, 및 예칭층으로의

피쳐의 예칭은 동일한 예칭 챔버 내에서 인시츄 (in-situ)로 행해진다. 바람직하게, 폴리머층의 배치 및 경화는 10 사이클 미만에 걸쳐 수행된다. 더욱 바람직하게, 폴리머층의 배치 및 경화는 적어도 하나의 사이클에 걸쳐 수행된다.

[0055] 증착을 위한 레시피의 일 예시는 25mTorr의 챔버 압력을 제공한다. 100sccm의 C₄F₈의 증착 가스가 제공된다. 증착 가스는, 13.56MHz에서 500Watt의 TCP 전력을 제공함으로써 플라즈마로 변형되며, 여기서 바이어스 전압은 0 볼트이다. 증착 레시피의 다른 예시는 CH₄ 레시피를 이용한다. 이 예시는 5mTorr의 챔버 압력을 제공한다. 20 sccm의 CH₄ 및 100 sccm의 He의 증착 가스가 챔버에 제공된다. 증착 가스는 13.56MHz에서 600Watt의 TCP 전력을 제공함으로써 플라즈마로 변형되고, 여기서 바이어스 전압은 0 볼트이다. 증착 단계 이후에 HBr 및 CH₄의 경화 단계가 수행된다.

[0056] 더욱 일반적으로, 증착은 CHF₃, CH₄, CH₂F₂, CH₄, 또는 SiCl₄ 중 적어도 하나를 포함하는 가스 화학물질을 가질 수도 있다.

[0057] 다른 실시형태에서는, 경화 단계가 이용되지 않는다. 예를 들어, 포토레지스트 및 증착된 폴리머는 경화 단계를 필요로 하지 않을 정도로 충분히 예칭 저항성이다. 100sccm의 C₄F₈의 증착 가스가 제공되는 전술한 예시 및 20sccm의 CH₄ 및 100sccm의 He의 증착 가스가 제공되는 전술한 예시에서, 별도의 경화 단계는 생략될 수도 있다. 이러한 프로세스는, 경화 단계를 제거하여 이러한 프로세스를 더욱 간략하고 더욱 높은 쓰루풋을 갖게 할 수 있다. 별도의 경화 단계를 요구하지 않는 증착 레시피의 다른 예시에서, 챔버 압력은 5 내지 10mTorr로 설정된다. 100sccm의 CF₄ 및 20sccm의 HBr의 증착 가스가 챔버로 유입된다. 바이어스 전압이 100 내지 200 볼트인, 13.56MHz에서 300 내지 500Watt의 TCP 전력을 제공함으로써 그 증착 가스가 플라즈마로 형성된다. 별도의 경화 단계를 요구하지 않는 증착 레시피의 다른 예시에서, 챔버 압력은 5 내지 10mTorr로 설정된다. 200sccm의 N₂ 및 20 내지 50 sccm의 CF₄의 증착 가스가 챔버로 유입된다. 바이어스 전압이 100 내지 300 볼트인, 13.56MHz에서 300 내지 900Watt의 TCP 전력을 제공함으로써 증착 가스는 플라즈마로 형성된다. 이들 프로세스는 트리밍하지 않는다. 이들은 끝에서 끝까지 (tip to tip) 증착하고 포토레지스트를 경화한다.

[0058] 다른 예시는, 경화 단계를 이용하지 않고 증착 단계 및 트리밍 단계를 갖는 폴리머 형성 프로세스를 제공하는 프로세스이다. 도 3의 프로세스에 따르면, 패터닝된 포토레지스트 마스크가 제공된다 (단계 304). 도 8a는, 적층체 (800)를 형성하는, 예칭될 층 (808) 위의 하부층 (810) 위에, 포토레지스트 피쳐 (814)를 갖는 패터닝된 포토레지스트 마스크 (812)를 갖는, 기판 (804) 위에 예칭될 층 (808)의 개략적인 단면도이다. 패터닝된 포토레지스트 마스크 (812)는 라인 말단에서 끝나는 한 쌍의 측벽 (824)을 갖는 적어도 하나의 포토레지스트 라인을 갖는다. 패터닝된 포토레지스트 마스크를 제공하기 위해, 예칭될 층 위에 포토레지스트 층이 먼저 형성될 수도 있다. 그후, 포토레지스트 층이 패터닝되어 포토레지스트 측벽 및 라인 말단을 갖는 포토레지스트 라인을 형성한다. 도시된 바와 같이, 포토레지스트 피쳐는 폭 S_e을 가질 수도 있다.

[0059] 도 8b는 포토레지스트 마스크 (812)의 평면도이다. 패터닝된 포토레지스트 마스크 (812)는 라인 말단 (820)에서 끝나는 한 쌍의 측벽 (824)을 갖는 적어도 하나의 포토레지스트 라인을 갖는다.

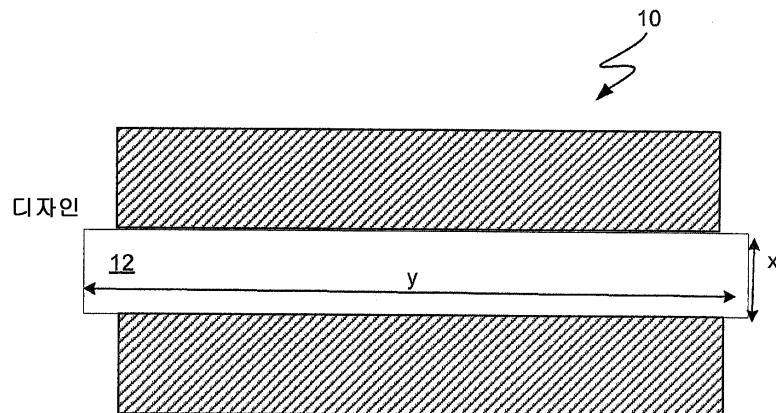
[0060] 포토레지스트 마스크 위에 코팅이 위치된다 (단계 308). 도 9는 이 단계의 더욱 상세한 플로우차트이다. 도 9에 도시된 바와 같이, LES 비율의 감소는, 폴리머 층을 증착하는 단계 (단계 904) 및 측벽을 트리밍하는 단계 (단계 908)를 포함하는 순환적 프로세스의 적어도 하나의 사이클을 포함한다. 도 8c는, 폴리머 층 (828)이 포토레지스트 마스크 (812) 위에 증착되는 (단계 904) 이후의 포토레지스트 마스크 (812)의 평면도이다. 폴리머 층 (828)은 포토레지스트 라인을 코팅하여 라인 말단 (820) 및 측벽 (824)을 보호한다. 이 예시에서, 측벽 (824) 상에 증착된 폴리머 층의 두께는 라인 말단 (820) 상에 증착된 폴리머의 두께와 대략 동일하다. 다른 예시에서, 이 두께들은 상이한 관계를 가질 수도 있다. 이러한 프로세스에 대한 예시적인 레시피에서, 증착은 5mTorr의 챔버 압력을 제공한다. 20sccm의 HBr, 80sccm의 CF₄, 및 5sccm의 O₂의 증착 가스는 챔버 내부로 유입된다. 바이어스 전압이 0 볼트인, 13.56MHz에서 300 내지 500Watt의 TCP 전력을 제공함으로써 이 증착 가스는 플라즈마로 형성된다. 도 8d는, 측벽이 트리밍된 (단계 908) 후의 포토레지스트 마스크 (812)의 평면도이다.

- [0061] 트리밍 레시피의 일 예시는 8mTorr 의 챔버 압력을 제공한다. 20sccm 의 Cl₂, 20sccm 의 O₂, 및 60sccm 의 He 의 트리밍 가스가 챔버로 유입된다. 바이어스 전압이 0 볼트인, 13.56MHz 에서 300Watt 의 TCP 전력을 제공함으로써 이 트리밍 가스는 플라즈마로 형성된다. 트리밍은 폴리머를 선택적으로 에칭하고, 심지어 가능하면 라인 말단에서 보다 측벽상에서 더 빠르게 포토레지스트를 에칭하여 도 8d 에 도시된 바와 같이, 라인 말단 상의 폴리머가 측벽 상의 폴리머보다 더 두껍게 한다. 도 8d 에서의 예시는 폴리머만이 트리밍된 것을 나타내지만, 다른 예시에서, 포토레지스트 마스크의 측벽의 일부가 트리밍되도록, 측벽상의 폴리머가 완전히 트리밍될 수도 있다. 그후, 에칭층에 피쳐가 에칭된다 (단계 316). 마스크 및 폴리머 층이 제거된다 (단계 320). 이전 실시형태에서와 같이, 그 결과로 나타나는 폴리머 층이 라인 말단에서 더 두껍고 측벽에서 더 얇기 때문에, LES 는 감소된다. 또한, 트리밍의 추가는 CD 의 감소를 허용한다. 경화 단계를 가지지 않음으로써, 트리밍은 더욱 쉬워진다.
- [0062] 증착 및 트리밍 프로세스의 다른 예시에서, 증착 및 후속 트리밍의 적어도 4 회 사이클이 수행되어, 각각의 증착은 다음 증착 이전에 적은 양을 트리밍하는 트리밍 수행 전에 얇은 층을 증착하도록 한다. 이러한 복수의 사이클 프로세스는 개선된 제어를 제공하는 것으로 발견되었다.
- [0063] 다른 예시에서, 증착 및 트리밍이 동시에 수행될 수도 있으므로, 증착 및 트리밍은 단일의 단계로 수행될 수도 있다. 단일의 단계에서 트리밍 및 증착을 수행하는 예시 레시피는 이하와 같다: 챔버 압력은 5mTorr 로 설정된다. 80 내지 150sccm 의 CF₄, 20sccm 의 HBr, 및 0 내지 5sccm 의 O₂ 의 증착 및 트리밍 가스가 제공된다. 증착 및 트리밍 가스는, 13.56MHz 의 주파수에서 300 내지 625 Watt 를 제공함으로써 플라즈마로 형성되는데, 여기서 바이어스 전압은 0 볼트이다. 이는, 포토레지스트를 경화하는 단일의 증착 및 트리밍 프로세스이므로, 별도의 경화 프로세스는 필요하지 않다.
- [0064] 단일 단계의 증착 및 트리밍 프로세스의 다른 예시에서, 5mTorr 의 압력이 제공된다. 약 80 내지 100 sccm 의 CF₄ 및 약 20 sccm 의 CHF₃ 또는 CH₂F₂ 의 증착 및 트리밍 가스가 제공된다. 증착 및 트리밍 가스는, 바이어스 전압이 0 볼트인, 13.56MHz 에서 약 300 Watt 의 TCP 전력을 제공함으로써 플라즈마로 변환된다. 이러한 레시피는 라인을 트리밍하지만, 끝에서 끝까지 증착하여 경화 단계를 요구하지 않고 LES 비율을 개선시킨다. 가스 주입 및 TESC 온도는 균일하게 조절되도록 이용될 수도 있기 때문에, 여기서는 고정되지 않는다.
- [0065] 다른 실시형태에서, 포토레지스트 마스크 위에 코팅을 위치시키는 것 (단계 308) 은, 단일 단계에서, 포토레지스트 마스크 위에 폴리머를 증착하고 동시에 하부층 (예를 들어, BARC) 을 에칭한다. 에칭 마스크의 일부로서 BARC 를 이용함으로써 경화 단계는 회피될 수 있다. 증착 및 BARC 에칭 레시피의 일 예시에서, 챔버 압력은 5 내지 8mTorr 로 설정된다. 200sccm 의 N₂ 및 20 내지 50 sccm 의 CF₄ 의 증착 및 BARC 에칭 가스가 챔버로 유입된다. 증착 및 BARC 에칭 가스는, 13.56MHz 에서 300 내지 900Watt 의 TCP 전력을 제공함으로써 플라즈마로 형성된다.
- [0066] 다른 예시에서, BARC 에칭을 제공하기 위한 레시피는 8mTorr 의 챔버 압력을 제공한다. 20sccm 의 Cl₂, 20sccm 의 O₂, 4sccm 의 SiCl₄, 및 60sccm 의 He 의 BARC 에칭 가스가 제공된다. BARC 에칭 가스는, 바이어스 전압이 -150 볼트인, 13.56MHz 에서의 300 내지 400Watt 의 TCP 전력을 제공함으로써 플라즈마로 형성된다. 다른 예시적인 레시피에서, 8mTorr 의 챔버 압력이 제공된다. 80 내지 100sccm 의 CF₄ 및 20sccm 의 CHF₃ 또는 CH₂F₂ 의 BARC 에칭 가스가 챔버로 유입된다. 바이어스 전압이 100 내지 200 볼트인, 13.56MHz 에서의 300 내지 400Watt 의 TCP 전력을 제공함으로써 BARC 에칭 가스는 플라즈마로 형성된다.
- [0067] 본 발명은 몇몇 바람직한 실시형태를 고려하여 설명되지만, 본 발명의 범위에서 벗어나지 않는 변경, 치환, 및 다양한 대체 등가물이 있다. 또한, 본 발명의 방법 및 장치들을 구현하는 수많은 대안적인 방법이 있다는 사실에 유의해야만 한다. 따라서, 이하의 첨부된 청구범위는 본 발명의 진정한 사상 및 범위내에 있다면 모든 이러한 변경, 치환, 및 다양한 대체 등가물을 포함하는 것으로서 해석되도록 의도된다.

도면

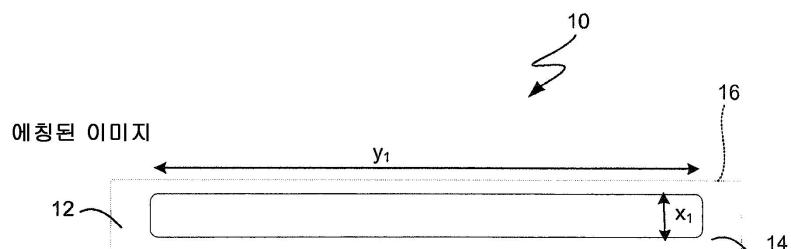
도면1a

종래 기술



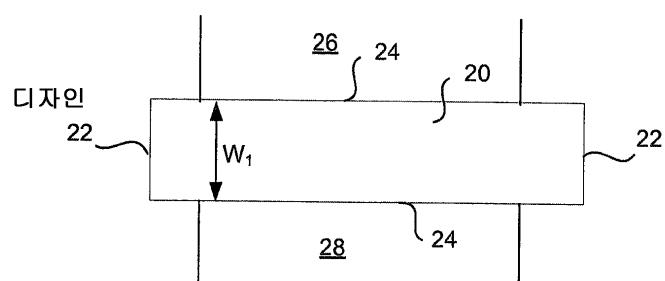
도면1b

종래 기술



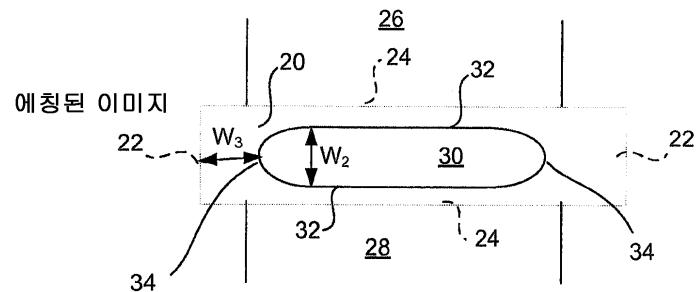
도면2a

종래 기술

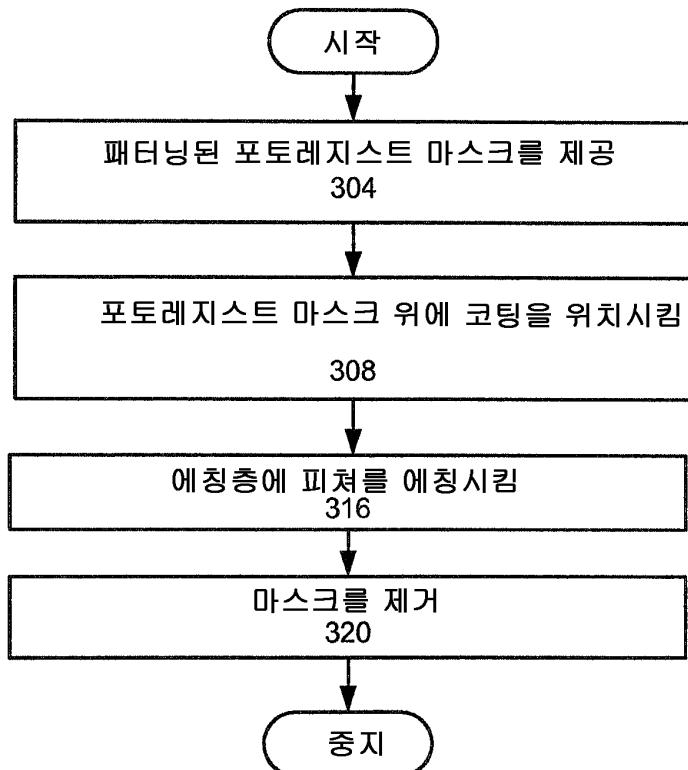


도면2b

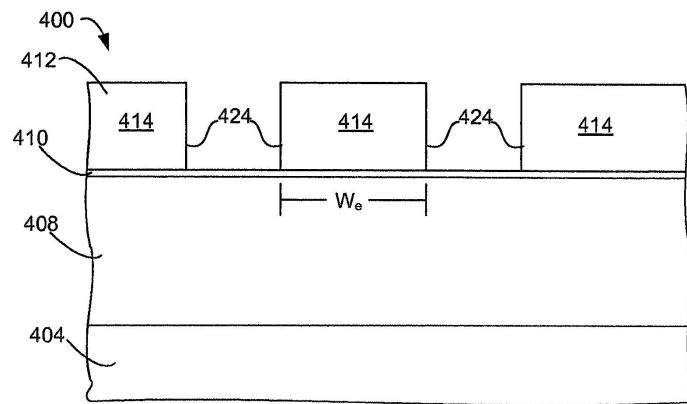
종래 기술



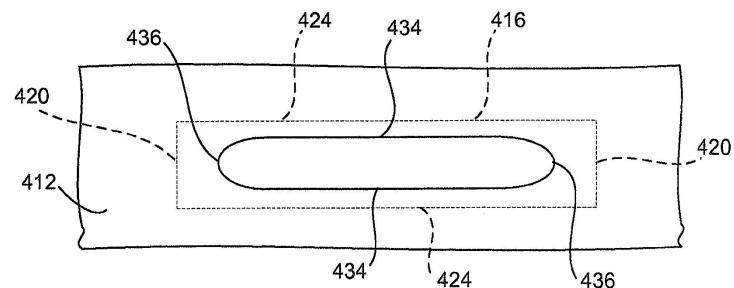
도면3



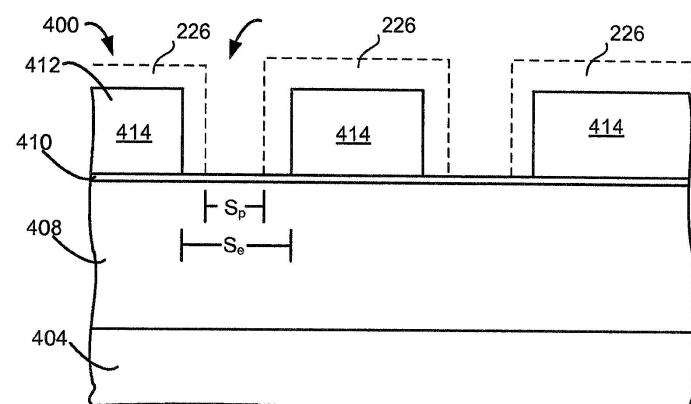
도면4a



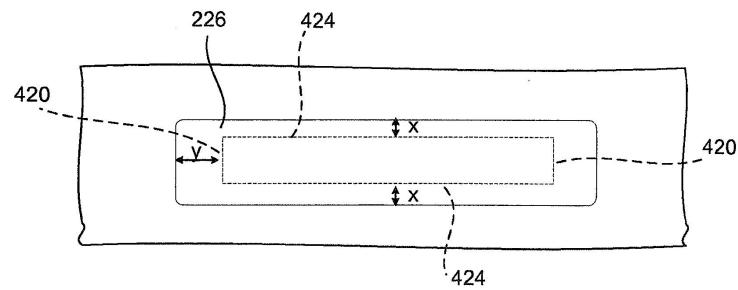
도면4b



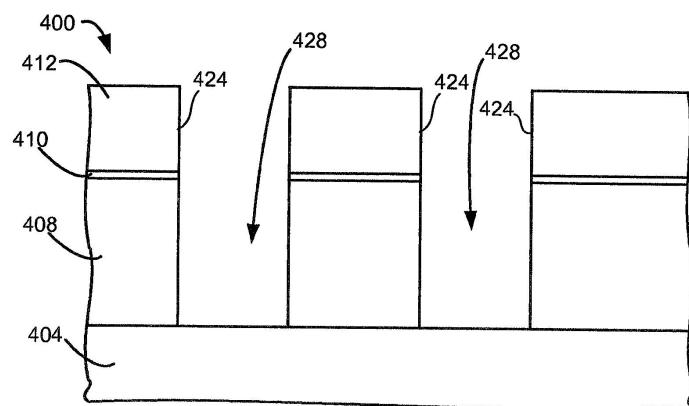
도면4c



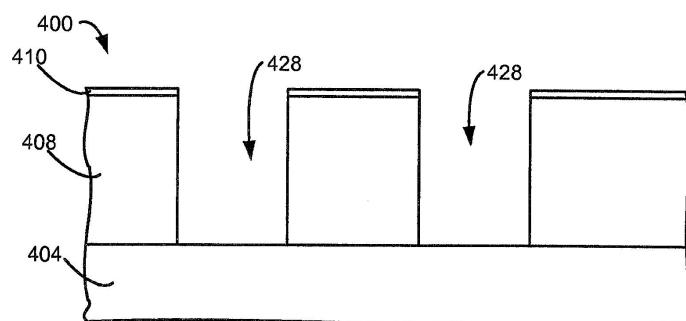
도면4d



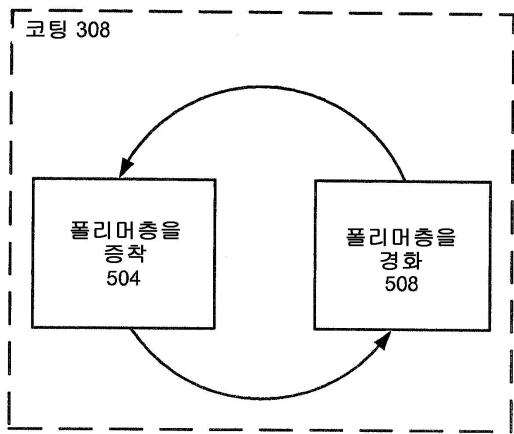
도면4e



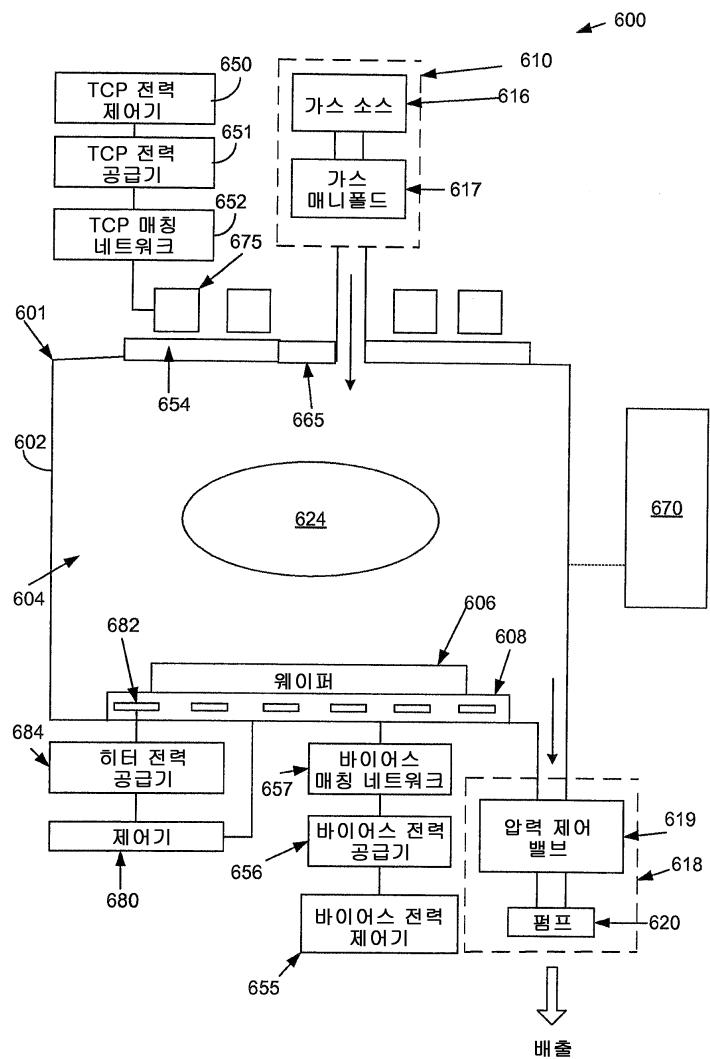
도면4f



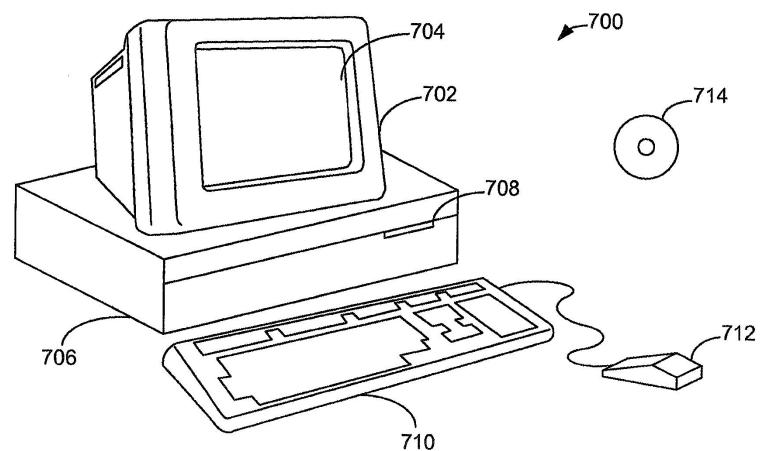
도면5



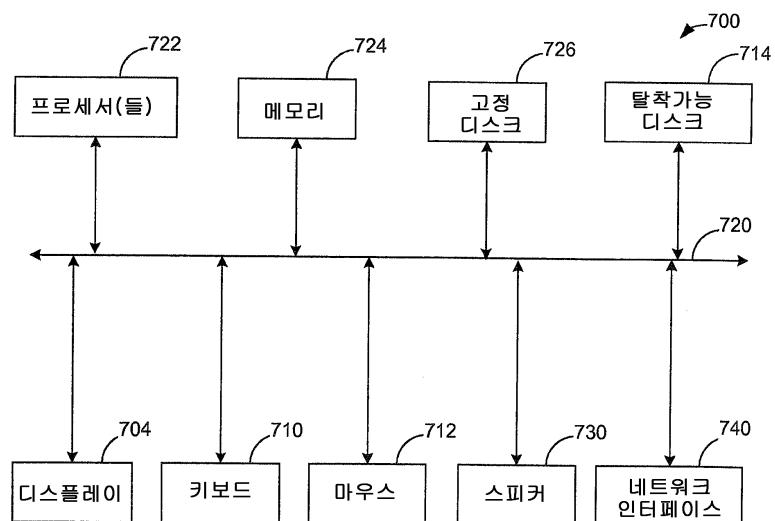
도면6



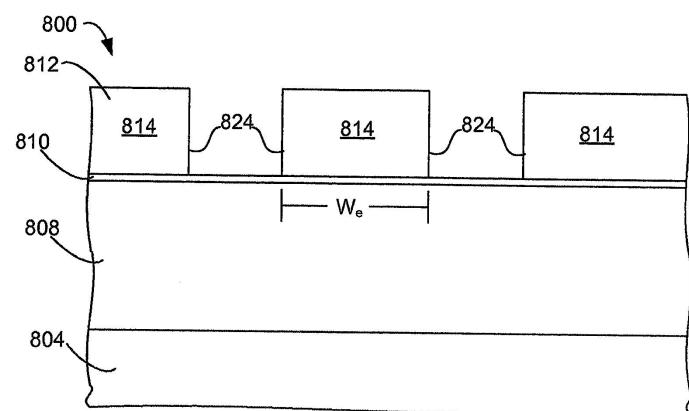
도면7a



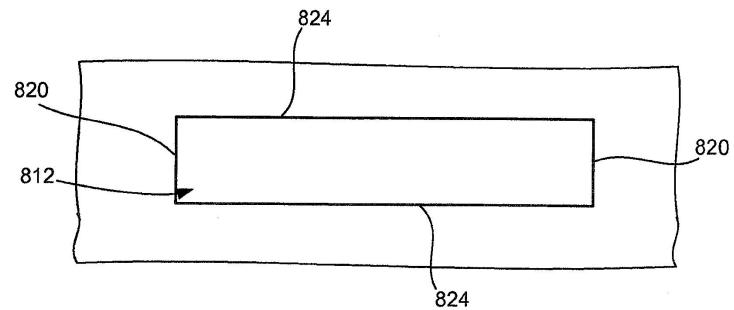
도면7b



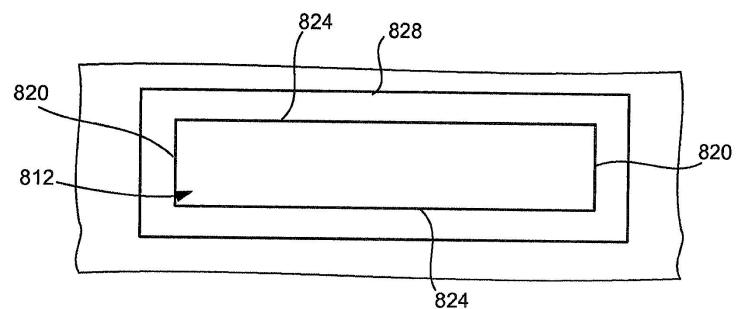
도면8a



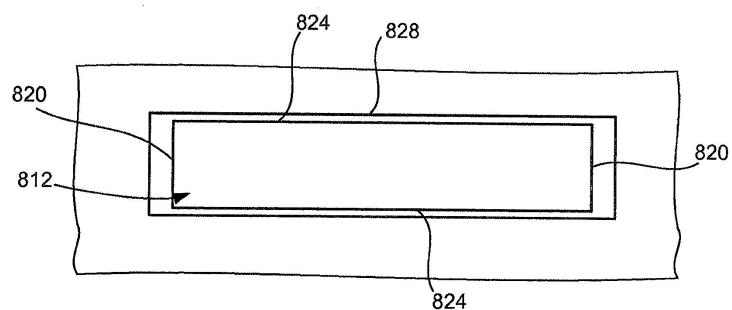
도면8b



도면8c



도면8d



도면9

