



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I469221 B

(45) 公告日：中華民國 104 (2015) 年 01 月 11 日

(21) 申請案號：098121651

(22) 申請日：中華民國 98 (2009) 年 06 月 26 日

(51) Int. Cl. : H01L21/329 (2006.01)

H01L29/872 (2006.01)

(71) 申請人：節能元件股份有限公司 (英屬維爾京群島) PFC DEVICE CO. (VG)

新北市新店區中正路 501 之 17 號

(72) 發明人：趙國梁 CHAO, KOU LIANG (TW)；郭鴻鑫 KUO, HUNG HSIN (TW)；蘇子川 SU, TSE CHUAN (TW)；陳美玲 CHEN, MEI LING (TW)

(74) 代理人：葉明源

(56) 參考文獻：

TW 506130

US 7220661B1

US 20090127593A1

審查人員：莊榮昌

申請專利範圍項數：20 項 圖式數：2 共 28 頁

(54) 名稱

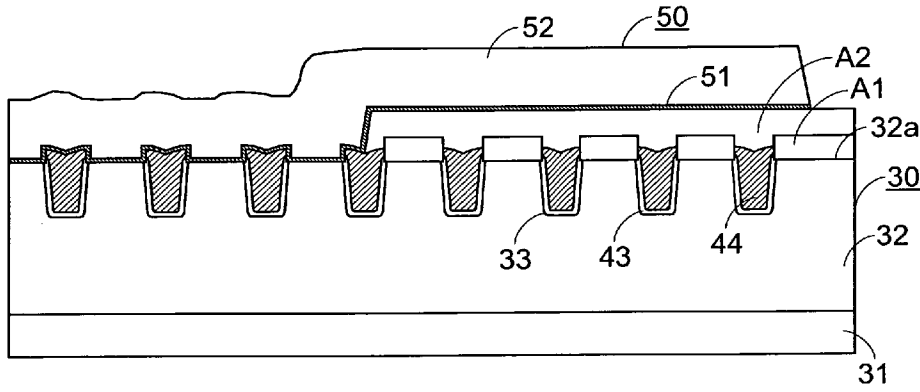
溝渠式蕭基二極體及其製作方法

TRENCH SCHOTTKY DIODE AND MANUFACTURING METHOD THEREOF

(57) 摘要

本發明係為一種溝渠式蕭基二極體及其製作方法。該方法包含下列步驟：提供一半導體基板；於該半導體基板上形成一第一單幕層；根據該第一單幕層對該半導體基板進行蝕刻，以於該半導體基板中形成一多溝渠結構；於該多溝渠結構之表面上形成一閘極氧化層；於該閘極氧化層上與該第一單幕層上形成一多晶矽結構；對該多晶矽結構進行蝕刻，以將該第一單幕層之頂面與部份側面加以露出；於部份之該多晶矽結構上與部份之該第一單幕層上形成一第二單幕層，以將該半導體基板、該多晶矽結構和該閘極氧化層之部份表面加以露出；於該第二單幕層上與該半導體基板、該多晶矽結構和該閘極氧化層之部份表面上形成一金屬濺鍍層；以及對該金屬濺鍍層進行蝕刻，以將該第二單幕層之部份表面加以露出。

The present invention relates to a trench Schottky diode and its manufacturing method. The method includes steps of: providing a semiconductor substrate; forming a first mask layer on the semiconductor substrate; etching the semiconductor substrate through the first mask layer to form a multi-trench structure in the semiconductor substrate; forming a gate oxide layer on a surface of the multi-trench structure; forming a polysilicon structure on the gate oxide layer and the first mask layer; etching the polysilicon structure to expose a top surface and a portion of a lateral surface of the first mask layer; forming a second mask layer on a portion of the polysilicon structure and a portion of the first mask layer, and exposing portions of the semiconductor substrate, the polysilicon structure and the gate oxide layer; forming a metal sputtering layer on the second mask layer and the exposed portions of the semiconductor substrate, the polysilicon structure and the gate oxide layer; and etching the metal sputtering layer to expose a portion of a surface of the second mask layer.



第二圖(o)

- 30 . . . 半導體基板
- 31 . . . 高摻雜濃度之矽基板
- 32 . . . 低摻雜濃度之磊晶層
- 32a . . . 表面
- 33 . . . 多溝渠結構
- 43 . . . 閘極氧化層
- 44 . . . 多晶矽結構
- A1 . . . 第一罩幕層
- A2 . . . 第二罩幕層
- 50 . . . 金屬濺鍍層
- 51 . . . 第一金屬層
- 52 . . . 第二金屬層

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號： 098121651

※ 申請日： 98 6 26

※IPC 分類： H01L 21/329 (2006.01)

H01L 29/892 (2006.01)

一、發明名稱：(中文/英文)

溝渠式蕭基二極體及其製作方法

TRENCH SCHOTTKY DIODE AND MANUFACTURING  
METHOD THEREOF

二、中文發明摘要：

本發明係為一種溝渠式蕭基二極體及其製作方法。該方法包含下列步驟：提供一半導體基板；於該半導體基板上形成一第一單幕層；根據該第一單幕層對該半導體基板進行蝕刻，以於該半導體基板中形成一多溝渠結構；於該多溝渠結構之表面上形成一閘極氧化層；於該閘極氧化層上與該第一單幕層上形成一多晶矽結構；對該多晶矽結構進行蝕刻，以將該第一單幕層之頂面與部份側面加以露出；於部份之該多晶矽結構上與部份之該第一單幕層上形成一第二單幕層，以將該半導體基板、該多晶矽結構和該閘極氧化層之部份表面加以露出；於該第二單幕層上與該半導體基板、該多晶矽結構和該閘極氧化層之部份表面上形成一金屬濺鍍層；以及對該金屬濺鍍層進行蝕刻，以將該第二單幕層之部份表面加以露出。

三、英文發明摘要：

The present invention relates to a trench Schottky diode and its manufacturing method. The method includes steps of:

providing a semiconductor substrate; forming a first mask layer on the semiconductor substrate; etching the semiconductor substrate through the first mask layer to form a multi-trench structure in the semiconductor substrate; forming a gate oxide layer on a surface of the multi-trench structure; forming a polysilicon structure on the gate oxide layer and the first mask layer; etching the polysilicon structure to expose a top surface and a portion of a lateral surface of the first mask layer; forming a second mask layer on a portion of the polysilicon structure and a portion of the first mask layer, and exposing portions of the semiconductor substrate, the polysilicon structure and the gate oxide layer; forming a metal sputtering layer on the second mask layer and the exposed portions of the semiconductor substrate, the polysilicon structure and the gate oxide layer; and etching the metal sputtering layer to expose a portion of a surface of the second mask layer.

四、指定代表圖：

(一)本案指定代表圖為：第二圖(o)。

(二)本代表圖之元件符號簡單說明：

半導體基板 30

高摻雜濃度之矽基板 31

低摻雜濃度之磊晶層 32

表面 32a

多溝渠結構 33

閘極氧化層 43

多晶矽結構 44

第一罩幕層 A1

第二罩幕層 A2

金屬濺鍍層 50

第一金屬層 51

第二金屬層 52

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係為一種溝渠式蕭基二極體及其製作方法，尤指以一製作方法以提供出一種具有較低的反向電壓漏電流、較低的正向偏置電壓( $V_f$ )、較高的反向耐電壓值以及較短的反向回復時間( $t_{RR}$ )等特性之溝渠式蕭基二極體。

### 【先前技術】

蕭基二極體(Schottky Diode)為以電子作為載子之單極性元件，其特性為速度快，且於加入較低的正向偏置電壓(Forward Bias Voltage;  $V_f$ )時，便可有較大的順向電流與較短的反向回復時間(Reverse Recovery Time;  $t_{RR}$ )，但若加入持續增加的反向偏壓時，則會有較大的漏電流(與金屬功函數及半導體摻雜濃度所造成之蕭基能障(Schottky Barrier)有關)。而後，有溝渠式之蕭基能障二極體之提出，係藉由於溝渠中填入多晶矽或金屬來夾止反向漏電流，使元件的漏電能大幅降低。

關於溝渠式之蕭基能障二極體，其代表性前案可參閱美國專利第 5365102 號(專利名稱：SCHOTTKY BARRIER RECTIFIER WITH MOS TRENCH)中所揭露之元件結構與技術；並請參閱如第一圖(a)至(f)所示之主要製程步驟。首先在第一圖(a)中，提供有一磊晶層(epitaxial layer)厚度之半導體基板 12，且此基板 12 具有兩表面 12a、12b，其中高

摻雜濃度(N+型)之陰極區域 12c 鄰近其表面 12a，而低摻雜濃度(N 型)之漂移區域 12d 則從高摻雜濃度(N+型)之陰極區域 12c 伸展至表面 12b；並進而於其上成長一二氧化矽層 ( $\text{SiO}_2$ )13，以降低接著要成長的一氮化矽層 ( $\text{Si}_3\text{N}_4$ )15 之沉積應力，並再於氮化矽層 15 上形成一光阻層 17。

而接著在第一圖(b)中，利用該光阻層 17 進行一微影製程(lithography)及蝕刻製程(etching)，以移除部分的氮化矽層 15、二氧化矽層 13 以及基板 12，從而將其基板 12 的漂移區域 12d 蝕刻出多個分離平台 14，且形成為具有一特定深度與寬度之一溝渠結構 22。接著在第一圖(c)中，分別於其溝渠結構 22 之側壁 22a 及底部 22b 上成長出絕緣性質之一熱氧化層 16。並在第一圖(d)中，移除剩下的氮化矽層 15 和二氧化矽層 13，以及於第一圖(e)中，在其整體結構之上方鍍上一金屬層 23。並接著在第一圖(f)中，於背面之表面 12a 處同樣進行金屬鍍製，使其多個分離之平台 14 能將所接觸之金屬層 23 平行連接出單一個陽極金屬層 18，而於其背面之表面 12a 處則能形成出一陰極金屬層 20；使其陽極金屬層 18 與平台 14 之接觸便因所謂的蕭基能障 (Schottky Barrier)而成為蕭基接面，從而完成晶圓之製程。

由上述之方法製作之溝渠式蕭基二極體(Trench MOS Barrier Schottky Rectifier，簡稱為 TMBR)，具有極低之正向偏置電壓( $V_f$ )，反向漏電流則受到溝渠結構之夾止，會比無溝渠結構者有更低的漏電流。然而，由於在矽晶圓上挖溝渠等製程所製造出之應力未能有效的得到適當之處理，使得產品在可靠度測試時較容易故障；於實際產品應用時

亦偶有故障產生。其原因即為應力導致之微細裂痕，最後造成元件故障。

### 【發明內容】

本發明係為一種溝渠式蕭基二極體製作方法，該方法包含下列步驟：提供一半導體基板；於該半導體基板上形成一第一單幕層；根據該第一單幕層對該半導體基板進行蝕刻，以於該半導體基板中形成一多溝渠結構；於該多溝渠結構之表面上形成一閘極氧化層；於該閘極氧化層上與該第一單幕層上形成一多晶矽結構；對該多晶矽結構進行蝕刻，以將該第一單幕層之頂面與部份側面加以露出；於部份之該多晶矽結構上與部份之該第一單幕層上形成一第二單幕層，以將該半導體基板、該多晶矽結構和該閘極氧化層之部份表面加以露出；於該第二單幕層上與該半導體基板、該多晶矽結構和該閘極氧化層之部份表面上形成一金屬濺鍍層；以及對該金屬濺鍍層進行蝕刻，以將該第二單幕層之部份表面加以露出。

本發明另一方面係為一種溝渠式蕭基二極體，包含有：一半導體基板，其內部係具有一多溝渠結構；一第一單幕層，形成於該半導體基板之表面上；一閘極氧化層，形成於該多溝渠結構之表面上，該閘極氧化層並凸出於該半導體基板之表面；一多晶矽結構，形成於該閘極氧化層上，該多晶矽結構並凸出於該半導體基板之表面；一第二單幕層，形成於該第一單幕層上與部份之該多晶矽結構



上；以及一金屬濺鍍層，形成於該第二罩幕層、該半導體基板、該多晶矽結構和該閘極氧化層之部份表面上。

### 【實施方式】

請參閱第二圖(a)至(o)，係為本發明所提出之溝渠式蕭基二極體之製作方法，其較佳實施例的製作流程示意圖。如第二圖(a)所示，首先係先提供一半導體基板 30；在此實施例中，該半導體基板 30 包含了有一高摻雜濃度(N+型)之矽基板 31 與一低摻雜濃度(N型)之磊晶層 32 此兩部份；而其中低摻雜濃度之磊晶層 32 係形成於高摻雜濃度之矽基板 31 之上，且其低摻雜濃度之磊晶層 32 係具有一定的厚度，以提供本發明後續所需之多溝渠結構(Multi-Trench)之蝕刻形成。

接著便於該半導體基板 30 之表面 32a 上，也就是對其中的低摻雜濃度之磊晶層 32 所在之表面 32a，先進行一熱氧化(Thermal Oxidation)製程，而於該半導體基板 30 之表面 32a 上形成一第一氧化層 41；在此實施例中，該第一氧化層 41 所具有的厚度可設計約為 6000Å。其次，如第二圖(b)所示，再於該第一氧化層 41 上形成定義有一第一光阻圖案的一第一光阻層 B1，用以使該第一氧化層 41 蝕刻出該第一光阻圖案；因而根據所述之該第一光阻圖案對該第一氧化層 41 進行蝕刻，使得該第一光阻圖案能轉移至該第一氧化層 41 上。而在此實施例中，所述之該第一光阻圖案係和後續待形成的多溝渠結構(Multi-Trench)之樣式相對應，

因而蝕刻後的該第一氧化層 41 便能成為用以提供蝕刻出溝渠的成長蝕刻硬遮罩(Hard Mask)，而成為如第二圖(c)中所示的一第一罩幕層 A1。在此實施例中，將該第一氧化層 41 形成所述之該第一罩幕層 A1 之過程，其所採用的蝕刻方式係為乾式蝕刻。

承上所述，當該第一罩幕層 A1 於該半導體基板 30 上形成了之後，便可除去完成蝕刻後的該第一光阻層 B1，而呈現出如第二圖(d)所示之結果。接著，如第二圖(e)所示，便根據所形成的該第一罩幕層 A1 對該半導體基板 30 進行溝渠之蝕刻(Trench Etching)，以於該半導體基板 30 中形成本發明之一多溝渠結構(Multi-Trench)33。而當該多溝渠結構 33 形成了之後，便是接著對其包含有底部與側壁之表面進行一粗糙度之修飾(Trench Rounding)，以使其表面因前述之蝕刻過程所產生的粗糙邊角能加以去除，而讓後續之相關氧化層的形成有較佳的環境。

在此一步驟中，其修飾之處理係包含有幾個程序。其一係為先對該多溝渠結構 33 進行其表面向下厚度約達數百個 Å 大小的乾式蝕刻，使得此一較薄之蝕刻處理能修飾其表面；另一方面則是接著前述處理後，於該多溝渠結構 33 之表面(包含了其底部與側壁)上形成一第二氧化層 42，而該第二氧化層 42 之設計目的係為一種犧牲氧化層(Sacrificial Oxide)，其厚度亦不大，也就是藉由其形成之後便接著加以除去的過程，來達到修飾該多溝渠結構 33 之表面的目的。而第二圖(f)中所示的，係為修飾之後再形成該第二氧化層 42 之示意；因此，接著的步驟便是將該第二氧

化層 42 加以除去，並再於該多溝渠結構 33 之表面上，也就是包含了於其底部與側壁上，形成如第二圖(g)中所示的一閘極氧化層(Gate Oxide)43。而在此實施例中，該閘極氧化層 43 之形成係能凸出於前述之該半導體基板 30 之表面 32a 的高度，也就是說，該多溝渠結構 33 上的該閘極氧化層 43 能和所述之該第一單幕層 A1 之部份側面相接觸。

承上所述，當該閘極氧化層 43 於該多溝渠結構 33 之表面上形成之後，便接著於該閘極氧化層 43 上與該第一單幕層 A1 上形成如第二圖(h)中所示的一多晶矽結構 44。在此實施例中，該多晶矽結構 44 係以一化學氣相沉積(Cheical Vapor Deposition，簡稱為 CVD)製程之方式於該閘極氧化層 43 上與該第一單幕層 A1 上完成，使得該多晶矽結構 44 除了能填滿該多溝渠結構 33 上的該閘極氧化層 43 中所呈現的空間外，還能從該第一單幕層 A1 之頂面與其部份側面上加以整個覆蓋。

接著，便是將所形成的該多晶矽結構 44 加以除去所不需要的部份。在此實施例中，所使用的除去方式係為一反蝕刻(Etch Back)製程，也就是仍以乾式蝕刻的方式但不使用任何的光阻圖案，而是依所設定的時間來均勻地對該多晶矽結構 44 進行向下的蝕刻。其蝕刻之結果係如第二圖(i)中所示，使得經過蝕刻之後，該第一單幕層 A1 之頂面與其一部份的側面便能夠加以露出；而該第一單幕層 A1 之另一部份的側面，則仍舊和該閘極氧化層 43 以及所剩下的該多晶矽結構 44 相接觸。

在此實施例中，於上述步驟完成之後，還在保持如第

二圖(i)所示之樣式下進行一離子佈植(Ion Implantation)製程；而在此例中，係利用硼離子或磷離子來作為進行此一離子佈植製程的說明。詳細來說，係將硼離子或磷離子於該多晶矽結構 44 內作均勻地、預定深度之佈植，使其能成為在二極體中的一均勻的 P 型或 N 型傳導材質。接著，便是於該多晶矽結構 44 上與該第一罩幕層 A1 上，先進行一化學氣相沉積(CVD)製程，以形成如第二圖(j)所示的一硼磷氧化層 45；在此實施例中，該硼磷氧化層 45 係以加入硼、磷雜質之氧化物為材質，以使其熔點能降低，因而在經過加熱後(較佳方式係加熱到約攝氏 800 度)，即可使得此種含硼、磷雜質之氧化物具有較軟之易流動性質。因此，進而在進行化學氣相沉積製程時，對於如所述之該多晶矽結構 44 與該第一罩幕層 A1 所呈現的凹陷不一之表面，便能有效地完成其氧化層的覆蓋，以及形成其氧化層表面的平坦外觀。

承上所述，當該硼磷氧化層 45 於該多晶矽結構 44 上與該第一罩幕層 A1 上形成了之後，如第二圖(k)所示，便再於該硼磷氧化層 45 上形成定義有一第二光阻圖案的一第二光阻層 B2，用以根據該第二光阻圖案來對該硼磷氧化層 45 進行蝕刻；進而再除去完成蝕刻後的該第二光阻層 B2，而成為如第二圖(l)中所示的一第二罩幕層 A2。在此一步驟中，利用該第二光阻層 B2 所採用的蝕刻方式係為一接觸蝕刻(Contact Etching)製程，以使該硼磷氧化層 45 形成所述之該第二罩幕層 A2。

其中，此種接觸蝕刻製程係能對在該第二光阻圖案下

的所有氧化層，在此例中係包括了為該第一氧化層 41 之該第一罩幕層 A1 以及此處之該硼磷氧化層 45，進行全部的蝕刻；而所述之該第二罩幕層 A2 則仍會覆蓋住其下的部份第一罩幕層 A1。也就是該第二罩幕層 A2 的形成，係位於部份之該多晶矽結構 44 上與部份之該第一罩幕層 A1 上，而該第一罩幕層 A1 之其他部份則和部份之該硼磷氧化層 45 一起被蝕刻；從而使得該半導體基板 30、該多晶矽結構 44 和該閘極氧化層 43 之部份表面能加以露出，也就是露出如第二圖(l)中所示之晶圓左側區域。

當該第二罩幕層 A2 形成了之後，接著便是於該第二罩幕層 A2 上與該半導體基板 30、該多晶矽結構 44 和該閘極氧化層 43 之部份表面上進行一金屬濺鍍(Metal Sputtering)製程，以形成如第二圖(m)中所示的一金屬濺鍍層 50。而在此實施例中，該金屬濺鍍層 50 係由一第一金屬層 51 和一第二金屬層 52 這兩部份所構成。其分別的形成步驟係為，先於該第二罩幕層 A2 上與該半導體基板 30、該多晶矽結構 44 和該閘極氧化層 43 之部份表面上進行金屬濺鍍，以形成該第一金屬層 51，也就是此時該第一金屬層 51 係覆蓋了整個晶圓的頂面。而在此例中，該第一金屬層 51 係可採用一鈦金屬(Ti)之材質來完成。

接著，再於該第一金屬層 51 上進行金屬濺鍍，以形成另一層的該第二金屬層 52，而該第二金屬層 52 係為對該第一金屬層 51 作整體的覆蓋。而在此例中，該第二金屬層 52 的採用係為鋁、矽、銅(Al/Si/Cu)之合金。是故，該金屬濺鍍層 50(即其中的第一金屬層 51)與該半導體基板 30(即

其中的低摻雜濃度(N 型)之磊晶層 32)之表面 32a 相接觸時，便能形成所謂的一蕭基接面或蕭基能障(Schottky Barrier)。此外，在此實施例中，於此一步驟後還可包含進行一快速熱製程(Rapid Thermal Processing，簡稱為 RTP)，如此便可有效地修正該金屬濺鍍製程之結果。

承上所述，當該金屬濺鍍層 50 於該第二罩幕層 A2 上與該半導體基板 30、該多晶矽結構 44 和該閘極氧化層 43 之部份表面上形成之後，如第二圖(n)所示，便是再於該金屬濺鍍層 50 上形成定義有一第三光阻圖案的一第三光阻層 B3，用以根據該第三光阻圖案來對部份之該金屬濺鍍層 50，也就是針對如第二圖(n)中所示之晶圓右側區域進行蝕刻；進而再除去完成蝕刻後的該第三光阻層 B3，而成為如第二圖(o)中所示的最後晶圓樣式。

在此步驟中，利用該第三光阻層 B3 所採用的蝕刻方式係為一金屬蝕刻(Metal Etching)製程，從而能在該第三光阻圖案下，對包含了該第一金屬層 51 與該第二金屬層 52 的該金屬濺鍍層 50 進行蝕刻，以將所述之該第二罩幕層 A2 位於其晶圓右側區域的部份表面加以露出。此外，在此實施例中，於此一步驟後還可包含進行一熱融合(Sintering)製程，以加強該金屬濺鍍層 50 於該第二罩幕層 A2 上與該半導體基板 30、該多晶矽結構 44 和該閘極氧化層 43 之部份表面上的密合。最後，進行一晶圓允收測試(Wafer Acceptance Test，簡稱為 WAT)，來對完成所有製程後的晶圓進行結構之電性測試。

是故，第二圖(o)中所示的最後晶圓樣式，便為利用本

發明所提出之溝渠式蕭基二極體製作方法，所完成的一溝渠式蕭基二極體。由該圖所示可知，其結構係包含有：一半導體基板 30、一第一罩幕層 A1、一閘極氧化層 43、一多晶矽結構 44、一第二罩幕層 A2 以及一金屬濺鍍層 50。其中該半導體基板 30 內部係具有一多溝渠結構 33；而所示之該第一罩幕層 A1 則形成於和該半導體基板 30 的部份多溝渠結構 33 相鄰之表面 32a 上；而該閘極氧化層 43 則以凸出於該半導體基板 30 之表面 32a 的方式，形成於該多溝渠結構 33 之表面上；同樣的，該多晶矽結構 44 亦以凸出於該半導體基板 30 之表面 32a 的方式，形成於該閘極氧化層 43 上；而該第二罩幕層 A2 係形成於該第一罩幕層 A1 上與部份之該多晶矽結構 44 上；而包含該第一金屬層 51 和該第二金屬層 52 的該金屬濺鍍層 50，則便形成於該第二罩幕層 A2、該半導體基板 30、該多晶矽結構 44 和該閘極氧化層 43 之部份表面上，且該第二罩幕層 A2 部份位於其晶圓右側區域之表面係呈現為露出。

綜上所述，相較於習用的溝渠式蕭基二極體結構，利用本發明所述之製作方法所完成的溝渠式蕭基二極體之結構，其晶圓上位於其蕭基接面這一側之裝置(device)設置區域，便能有效地和外在環境作隔絕；換句話說，其結構於第一、第二罩幕層 A1、A2 一側之區域係能成為可有效阻絕電流的一種防護環(guard ring)結構，使其漏電流的現象得以有效改善。而在本發明中，所述之多晶矽結構 44 和閘極氧化層 43 之樣式係凸出於其半導體基板 30 之表面 32a，使得和所覆蓋於其上的金屬濺鍍層 50 之間便能加強其彼

此的結合程度，使產品的可靠度測試結果較習用的溝渠式蕭基二極體結構更為優異。其次，經由相關技術之電性測試後，本發明所提出之溝渠式蕭基二極體係具有較低的反向電壓漏電流、較低的正向偏置電壓( $V_f$ )、較高的反向耐電壓值以及較短的反向回復時間( $t_{RR}$ )等特性。如此一來，本發明所提出之溝渠式蕭基二極體及其製作方法，便能有效地解決如先前技術中所述之相關缺失，進而成功地達成了本案發展之主要目的。

任何熟悉本技術領域的人員，可在運用與本發明相同目的之前提下，使用本發明所揭示的概念和實施例變化來作為設計和改進其他一些方法的基礎。這些變化、替代和改進不能背離申請專利範圍所界定的本發明的保護範圍。是故，本發明得由熟習此技藝之人士任施匠思而為諸般修飾，然皆不脫如附申請專利範圍所欲保護者。

### 【圖式簡單說明】

本案得藉由下列圖式及說明，俾得一更深入之了解：第一圖(a)至(f)，係為習用的溝渠式之蕭基能障二極體的主要製程步驟示意圖。

第二圖(a)至(o)，係為本發明所提出之溝渠式蕭基二極體之製作方法，其較佳實施例的製作流程示意圖。

### 【主要元件符號說明】



本案圖式中所包含之各元件列示如下：

半導體基板 12	表面 12a、12b
陰極區域 12c	漂移區域 12d
二氧化矽層 13	平台 14
氮化矽層 15	熱氧化層 16
光阻層 17	陽極金屬層 18
陰極金屬層 20	溝渠結構 22
側壁 22a	底部 22b
金屬層 23	半導體基板 30
高摻雜濃度之矽基板 31	低摻雜濃度之磊晶層 32
表面 32a	多溝渠結構 33
第一氧化層 41	第二氧化層 42
閘極氧化層 43	多晶矽結構 44
硼磷氧化層 45	第一光阻層 B1
第二光阻層 B2	第三光阻層 B3
第一罩幕層 A1	第二罩幕層 A2
金屬濺鍍層 50	第一金屬層 51
第二金屬層 52	

102年5月29日修(更)正本

### 七、申請專利範圍：

1.一種溝渠式蕭基二極體製作方法，該方法包含下列步驟：

提供一半導體基板；

於該半導體基板上形成一第一單幕層；

根據該第一單幕層對該半導體基板進行蝕刻，以於該半導體基板中形成一多溝渠結構；

於該多溝渠結構之表面上形成一閘極氧化層；

於該閘極氧化層上與該第一單幕層上形成一多晶矽結構；

對該多晶矽結構進行蝕刻，以將該第一單幕層之頂面與部份側面加以露出；

於部份之該多晶矽結構上與部份之該第一單幕層上形成一第二單幕層，以將該半導體基板、該多晶矽結構和該閘極氧化層之部份表面加以露出；

於該第二單幕層上與該半導體基板、該多晶矽結構和該閘極氧化層之部份表面上形成一金屬濺鍍層；以及

對該金屬濺鍍層進行蝕刻，以將該第二單幕層之部份表面加以露出。

2.如申請專利範圍第 1 項所述之溝渠式蕭基二極體製作方法，其中該半導體基板係包含一高摻雜濃度(N+型)之矽基板與一低摻雜濃度(N型)之磊晶層。

3.如申請專利範圍第 1 項所述之溝渠式蕭基二極體製作方法，其中形成該第一單幕層係包含下列步驟：

進行一熱氧化製程，而於該半導體基板之表面上形成一第一氧化層；

02年5月29日修(更)正(原)

於該第一氧化層上形成一第一光阻層，且定義該第一光阻層具有一第一光阻圖案；

根據該第一光阻圖案對該第一氧化層進行蝕刻，以將該第一光阻圖案轉移至該第一氧化層上而形成該第一罩幕層；以及

除去蝕刻後的該第一光阻層。

4.如申請專利範圍第3項所述之溝渠式蕭基二極體製作方法，其中該第一光阻圖案係和該多溝渠結構之樣式相對應。

5.如申請專利範圍第1項所述之溝渠式蕭基二極體製作方法，其中形成該閘極氧化層係包含下列步驟：

對該多溝渠結構進行蝕刻，以將該多溝渠結構之表面進行修飾；

於該多溝渠結構之表面上形成一第二氧化層；以及

除去該第二氧化層，並再於該多溝渠結構之表面上形成該閘極氧化層。

6.如申請專利範圍第1項所述之溝渠式蕭基二極體製作方法，其中該多晶矽結構係以一化學氣相沉積製程於該閘極氧化層上與該第一罩幕層上完成。

7.如申請專利範圍第1項所述之溝渠式蕭基二極體製作方法，其中該方法包含下列步驟：於該多晶矽結構內利用硼離子或磷離子進行一離子佈植製程。

8.如申請專利範圍第1項所述之溝渠式蕭基二極體製作方法，其中形成該第二罩幕層係包含下列步驟：

進行一化學氣相沉積製程，而於該多晶矽結構上與該第一罩幕層上形成一硼磷氧化層；

102年5月29日修(更)正

於該硼磷氧化層上形成一第二光阻層，且定義該第二光阻層具有一第二光阻圖案；

根據該第二光阻圖案對該硼磷氧化層進行一接觸蝕刻製程以形成該第二罩幕層，而將該半導體基板、該多晶矽結構和該閘極氧化層之部份表面加以露出；以及

除去蝕刻後的該第二光阻層。

9.如申請專利範圍第1項所述之溝渠式蕭基二極體製作方法，其中形成該金屬濺鍍層係包含下列步驟：

於該第二罩幕層、該半導體基板、該多晶矽結構和該閘極氧化層之部份表面上進行一金屬濺鍍製程，以形成一第一金屬層；以及

於該第一金屬層上進行該金屬濺鍍製程，以形成一第二金屬層，而該第一金屬層與該第二金屬層係構成為該金屬濺鍍層。

10.如申請專利範圍第9項所述之溝渠式蕭基二極體製作方法，其中該第一金屬層係以一鈦金屬而完成，而該第二金屬層係為鋁、矽、銅之合金。

11.如申請專利範圍第9項所述之溝渠式蕭基二極體製作方法，其中該方法包含下列步驟：進行一快速熱製程，以修正該金屬濺鍍製程之結果。

12.如申請專利範圍第1項所述之溝渠式蕭基二極體製作方法，其中該方法包含下列步驟：

於該金屬濺鍍層上形成一第三光阻層，且定義該第三光阻層具有一第三光阻圖案；

根據該第三光阻圖案對部份之該金屬濺鍍層進行一金

102年5月29日修(更)正頁

屬蝕刻製程，以將該第二單幕層之部份表面加以露出；以及

除去蝕刻後的該第三光阻層。

13.如申請專利範圍第1項所述之溝渠式蕭基二極體製作方法，其中該方法包含下列步驟：進行一熱融合製程，以加強該金屬濺鍍層於該第二單幕層上與該半導體基板、該多晶矽結構和該閘極氧化層之部份表面上的密合。

14.一種溝渠式蕭基二極體，包含有：

一半導體基板，在該半導體基板上有一第一數目的溝渠以及第二數目的溝渠，其中該第一數目與該第二數目為大於1的整數；

第一數目的閘極氧化層形成於該第一數目的溝渠內之表面，並且凸出於該半導體基板之表面；

第二數目的閘極氧化層形成於該第二數目的溝渠內之表面，並且凸出於該半導體基板之表面；

第一數目的多晶矽結構填充於該第一數目的溝渠中，並且凸出於該半導體基板之表面；

第二數目的多晶矽結構填充於該第二數目的溝渠中，並且凸出於該半導體基板之表面；

一第一單幕層，覆蓋於該第一數目的溝渠之間的該半導體基板之表面其中，根據該第一單幕層對該半導體基板進行蝕刻，使該半導體基板內部形成該第一數目的溝渠；

一第二單幕層，完全覆蓋於該第一數目的多晶矽結構與該第一單幕層；以及

一金屬濺鍍層，覆蓋於該第二單幕層、該第二數目的

2002年5月29日修(更)正頁

溝渠之間的該半導體基板之表面、該第二數目的多晶矽結構和該第二數目的閘極氧化層，其中部份的該金屬濺鍍層被進行蝕刻後，使得該第二罩幕層的部份表面加以露出。

15.如申請專利範圍第 14 項所述之溝渠式蕭基二極體，其中該半導體基板係包含一高摻雜濃度(N+型)之矽基板與一低摻雜濃度(N 型)之磊晶層。

16.如申請專利範圍第 14 項所述之溝渠式蕭基二極體，其中該第一罩幕層之形成，係為先於該半導體基板之表面上進行一熱氧化製程以形成一第一氧化層，並再對該第一氧化層進行蝕刻而產生。

17.如申請專利範圍第 14 項所述之溝渠式蕭基二極體，其中該第一數目與該第二數目的閘極氧化層之形成，係為先對該第一數目與該第二數目的溝渠進行蝕刻，以於該第一數目與該第二數目的溝渠之表面上形成一第二氧化層，並於除去該第二氧化層後再加以形成。

18.如申請專利範圍第 14 項所述之溝渠式蕭基二極體，其中該第一數目與該第二數目的多晶矽結構之形成，係為於該第一數目與該第二數目的閘極氧化層上進行一化學氣相沉積製程與對應之蝕刻而產生。

19.如申請專利範圍第 14 項所述之溝渠式蕭基二極體，其中該第二罩幕層之形成，係為先於該第一數目與該第二數目的多晶矽結構上與該第一罩幕層上進行一化學氣相沉積製程以形成一硼磷氧化層，並再對該硼磷氧化層進行一接觸蝕刻製程而產生。

20.如申請專利範圍第 14 項所述之溝渠式蕭基二極體，其

2002年5月29日修(更)正本

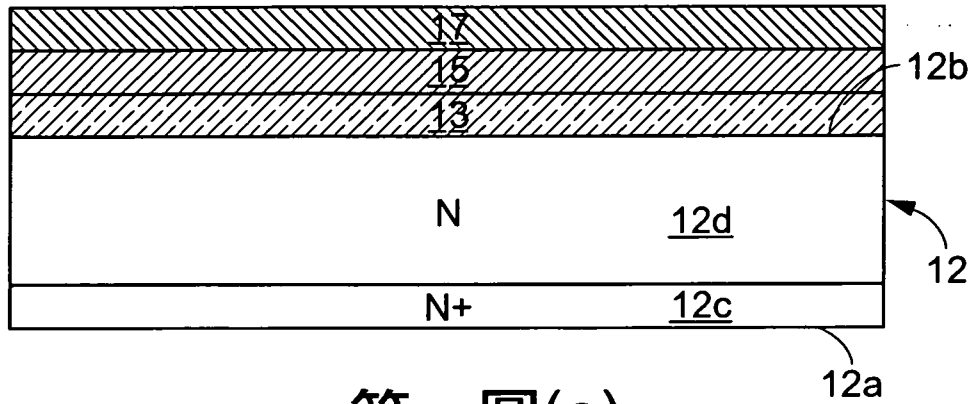
中該金屬濺鍍層包含有：

一第一金屬層，覆蓋於該第二單幕層、該第二數目的溝渠之間的該半導體基板之表面、該第二數目的多晶矽結構和該第二數目的閘極氧化層；以及

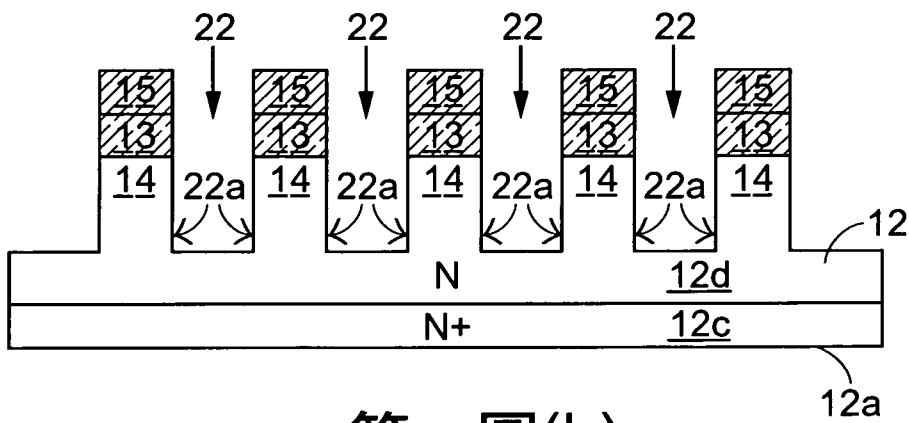
一第二金屬層，形成於該第一金屬層上；

其中該第一金屬層係以一鈦金屬而完成，而該第二金屬層係為鋁、矽、銅之合金。

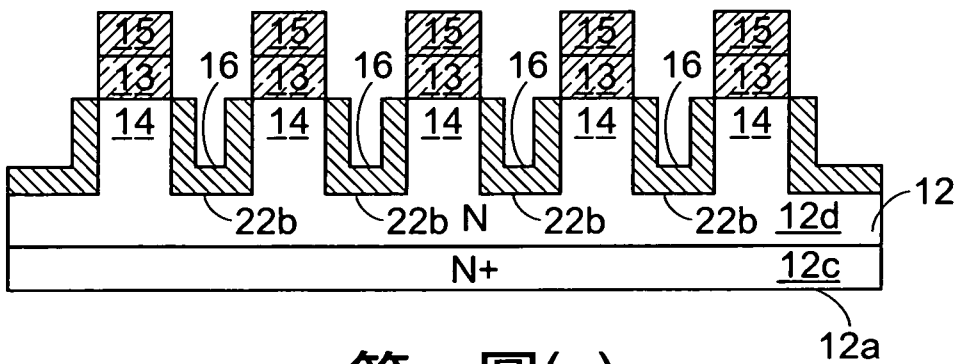
八、圖式：



第一圖(a)

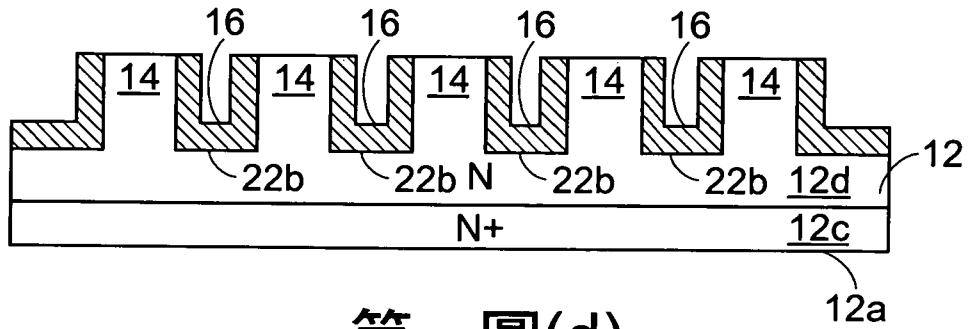


第一圖(b)

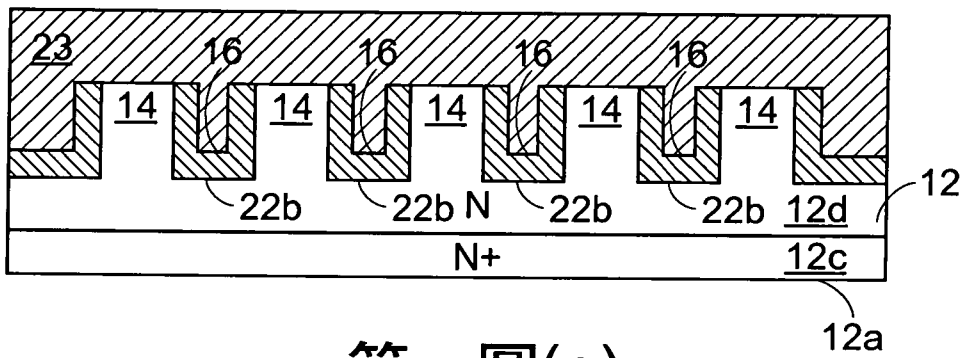


第一圖(c)

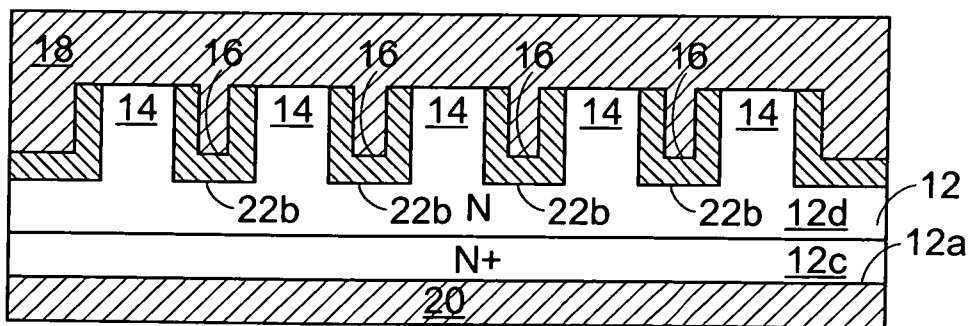




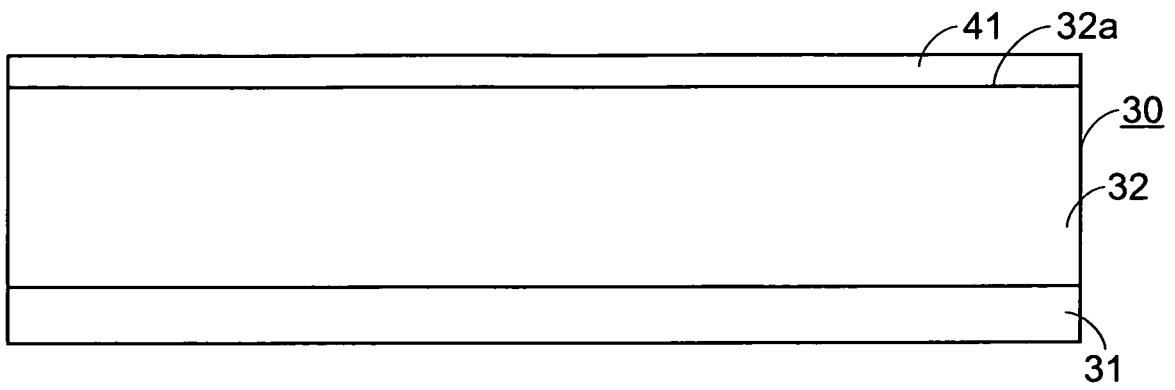
第一圖(d)



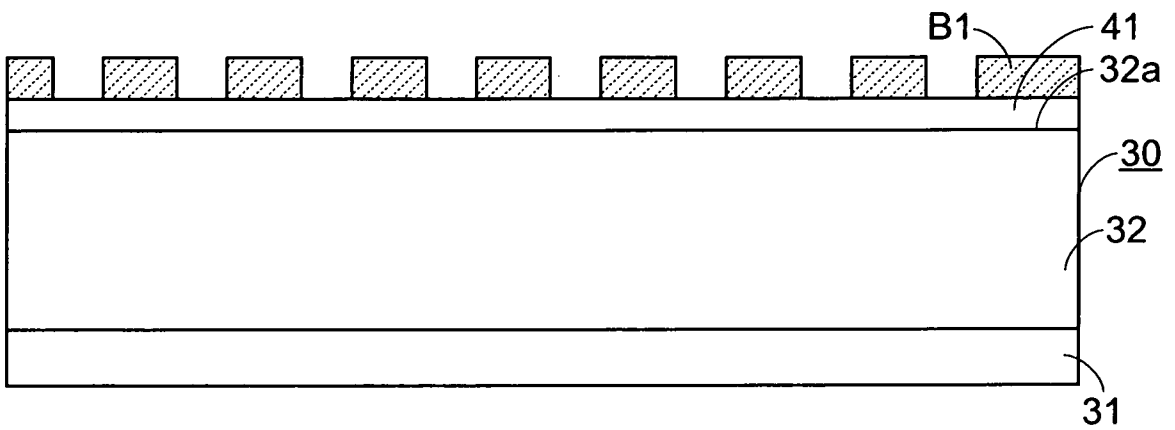
第一圖(e)



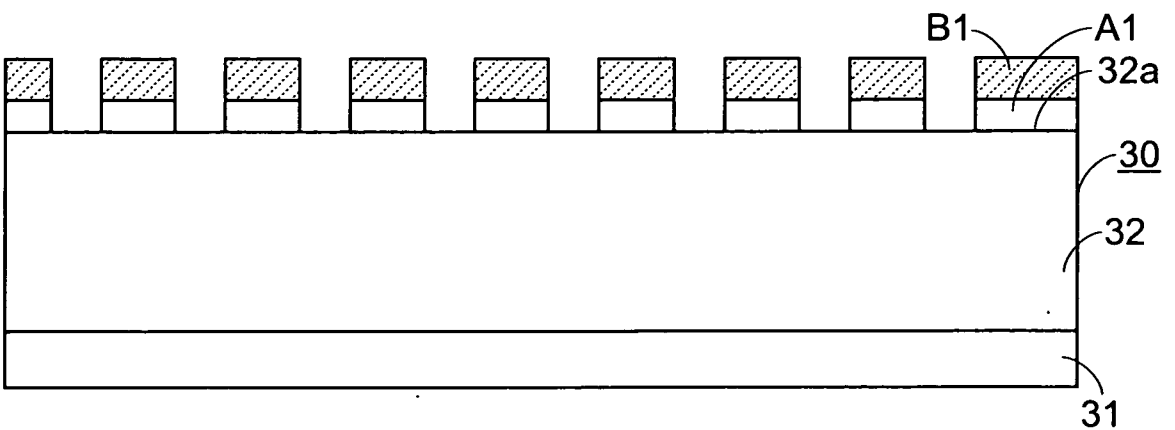
第一圖(f)



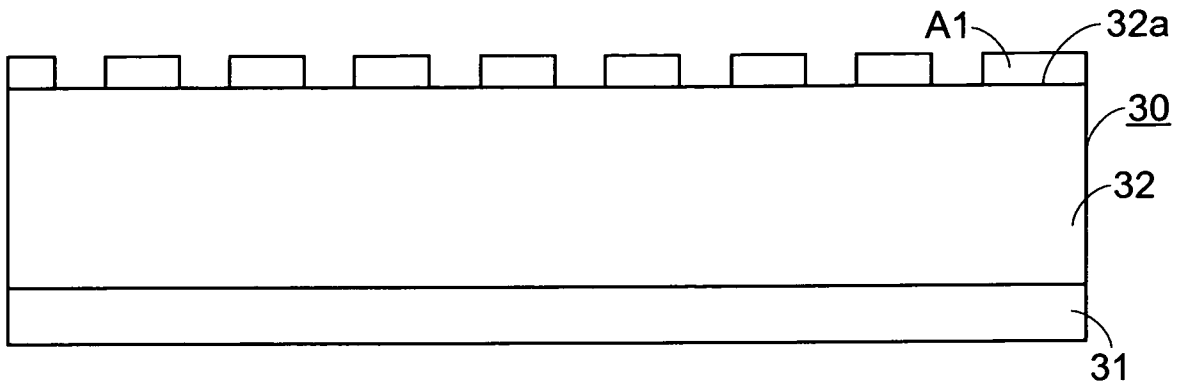
第二圖(a)



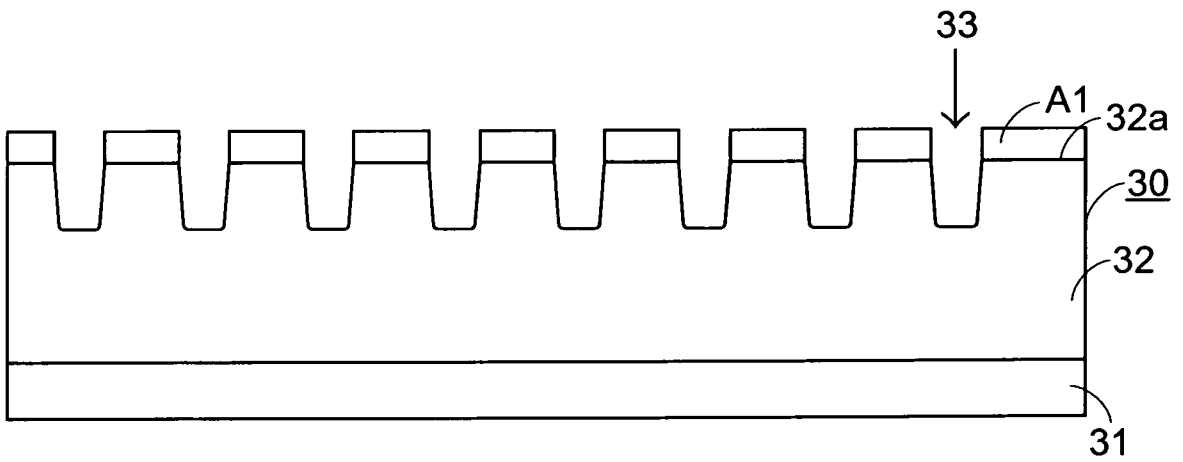
第二圖(b)



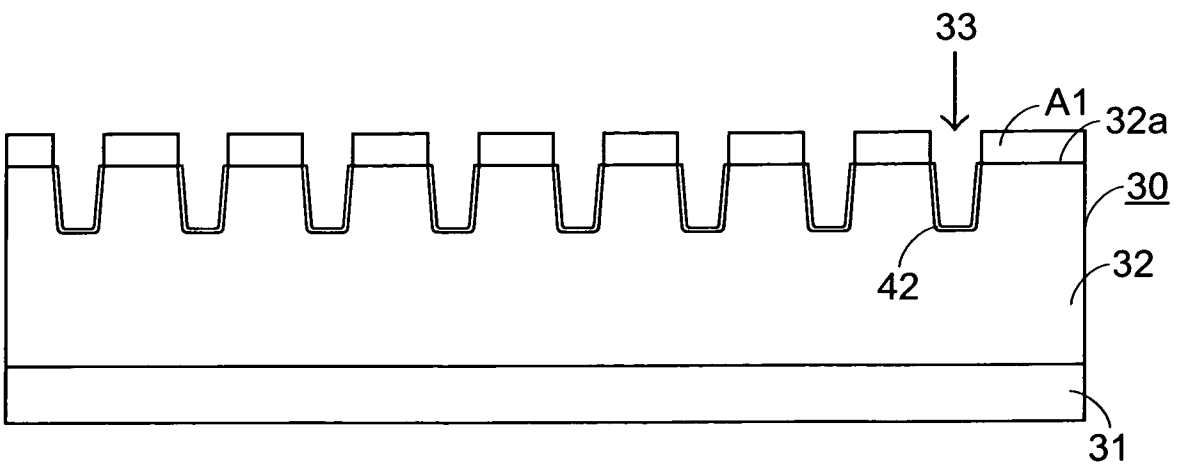
第二圖(c)



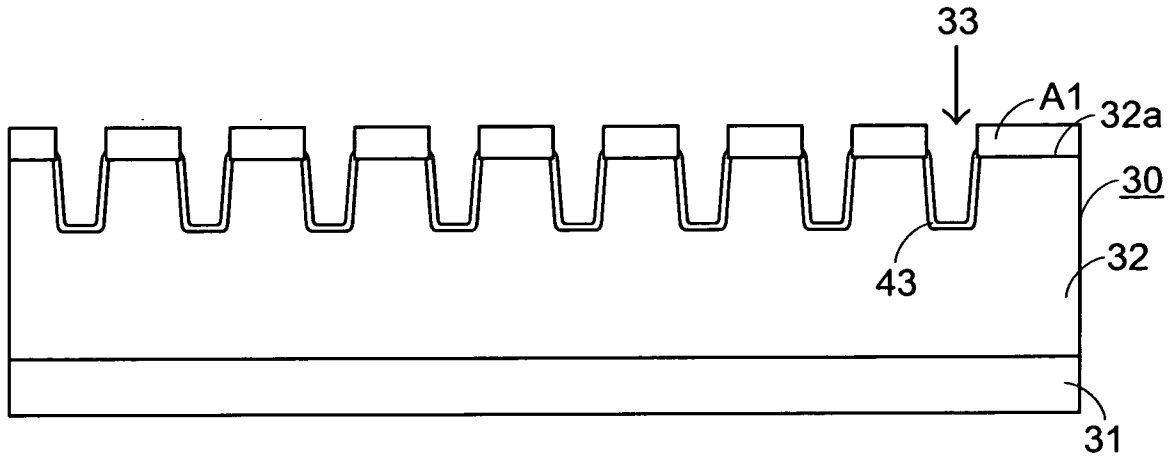
第二圖(d)



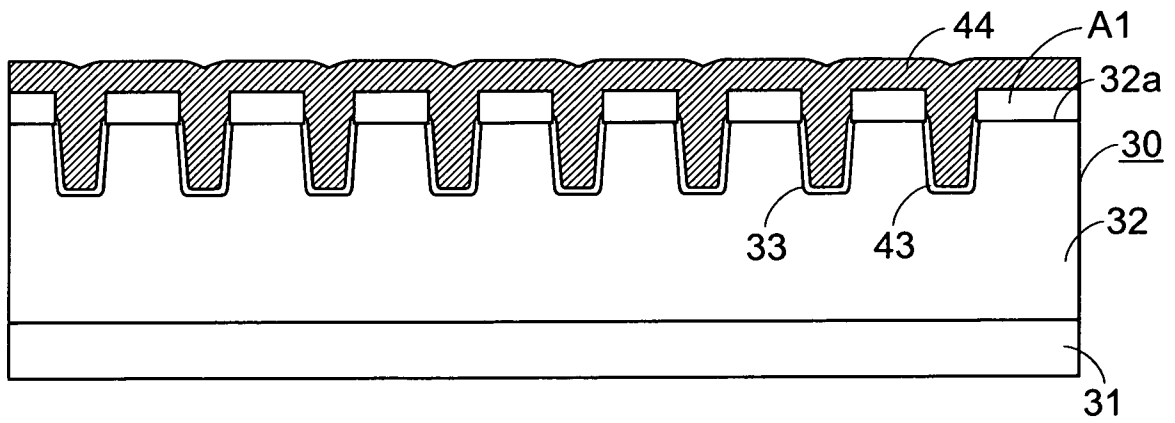
第二圖(e)



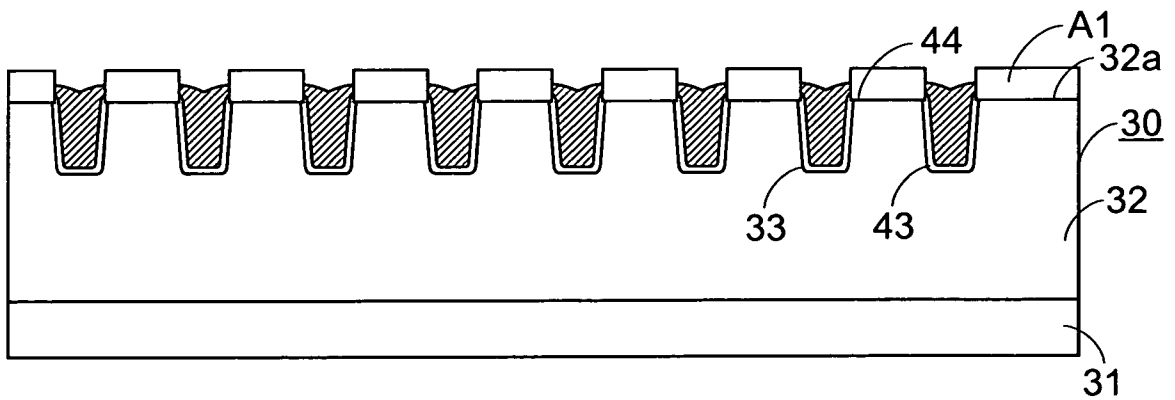
第二圖(f)



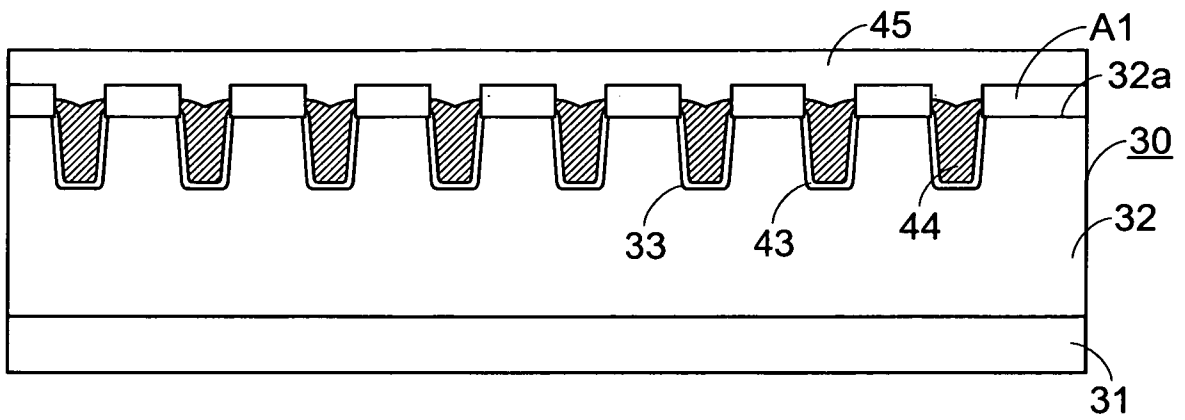
第二圖(g)



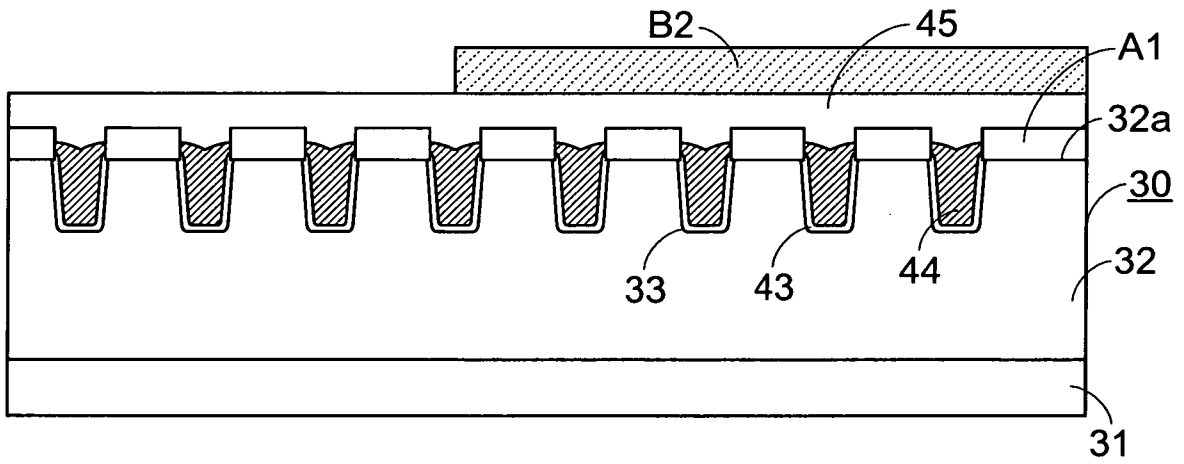
第二圖(h)



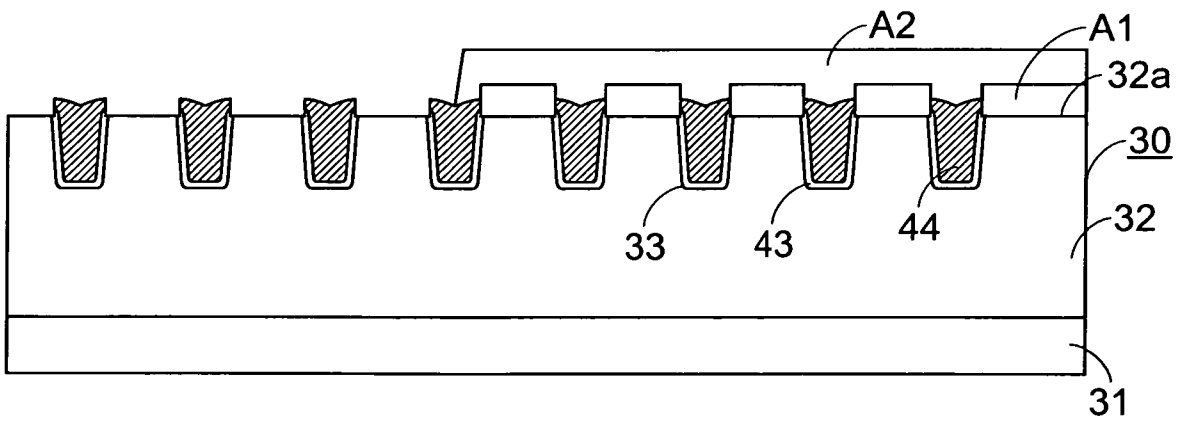
第二圖(i)



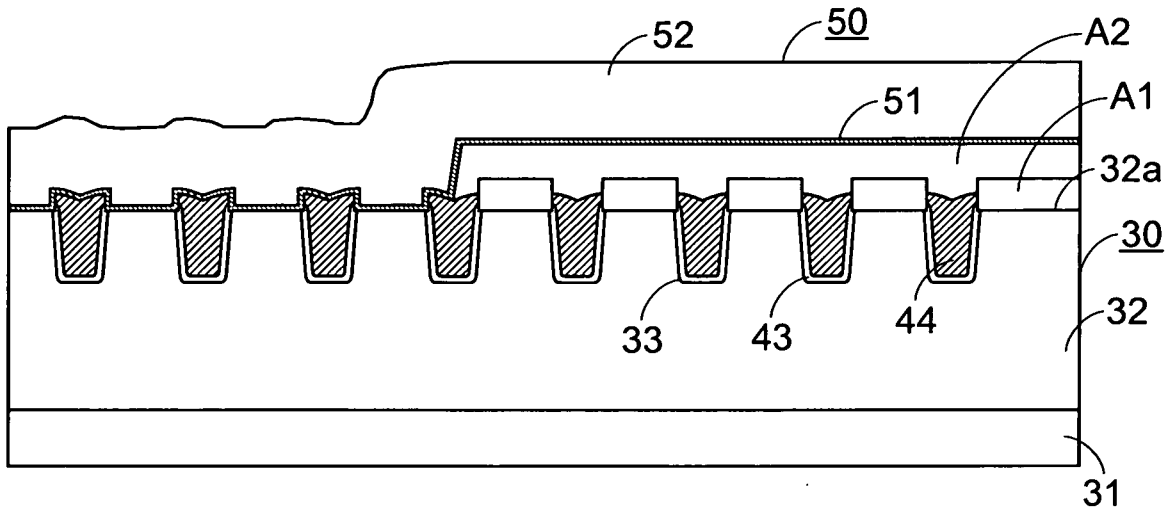
第二圖(j)



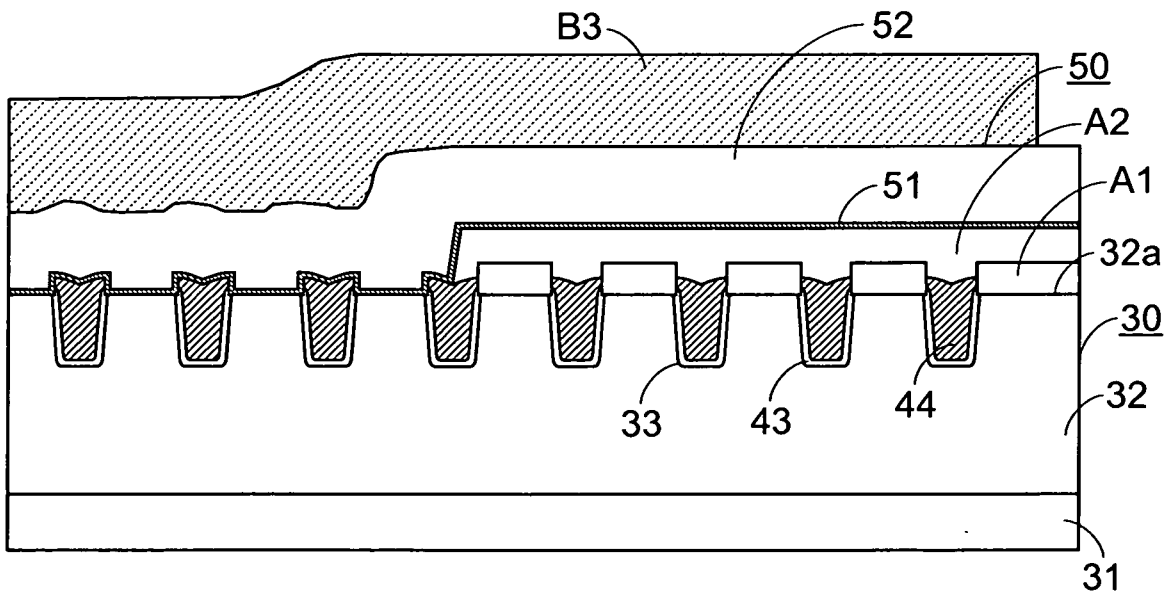
第二圖(k)



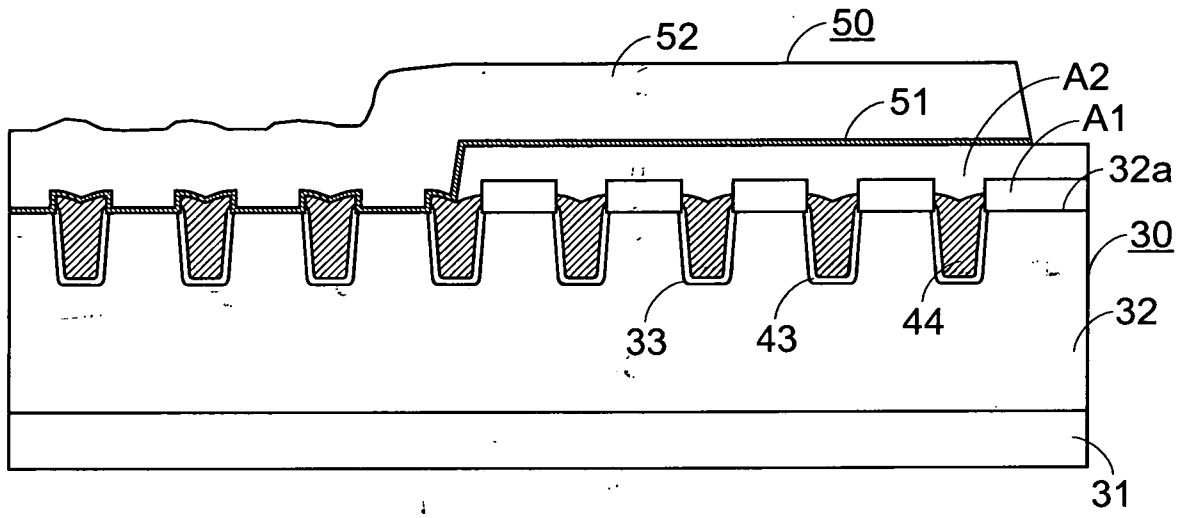
第二圖(l)



第二圖(m)



第二圖(n)



第二圖(o)