

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4583590号
(P4583590)

(45) 発行日 平成22年11月17日(2010.11.17)

(24) 登録日 平成22年9月10日(2010.9.10)

(51) Int.Cl.

F 1

GO6F 13/362	(2006.01)	GO6F 13/362	510D
GO6F 13/36	(2006.01)	GO6F 13/36	310E
GO6F 13/42	(2006.01)	GO6F 13/42	350Z

請求項の数 8 外国語出願 (全 19 頁)

(21) 出願番号	特願2000-379455 (P2000-379455)	(73) 特許権者	599145753 威盛電子股▲ふん▼有限公司 VIA Technologies, Inc 台灣省新店市中正路535號8樓
(22) 出願日	平成12年12月13日 (2000.12.13)	(74) 代理人	100064908 弁理士 志賀 正武
(65) 公開番号	特開2001-216254 (P2001-216254A)	(74) 代理人	100089037 弁理士 渡邊 隆
(43) 公開日	平成13年8月10日 (2001.8.10)	(74) 代理人	100108453 弁理士 村山 靖彦
審査請求日	平成15年7月3日 (2003.7.3)	(74) 代理人	100110364 弁理士 実広 信哉
審判番号	不服2007-19889 (P2007-19889/J1)	(72) 発明者	▲賴▼ 瑾 台灣台北市辛亥路7段69巷19號4樓
審判請求日	平成19年7月17日 (2007.7.17)		最終頁に続く
(31) 優先権主張番号	88121973		
(32) 優先日	平成11年12月15日 (1999.12.15)		
(33) 優先権主張国	台灣 (TW)		

(54) 【発明の名称】バストランザクションにおける制御チップセットのアービトレーション

(57) 【特許請求の範囲】

【請求項 1】

制御チップセットは、第1制御チップと、第2制御チップとを具備し、データは、バスを介して第1および第2制御チップ間を転送され、該バスは、二方向バスを具備する、という制御チップセット内におけるバスアービトレーション方法であって、

前記第2制御チップは、該第2制御チップがバスを用いる必要がある場合に、バス要求信号を送出する段階と、

前記第1制御チップは、該第1制御チップが要求信号を検出すれば、該第1制御チップが現在バスを用いていなければバスの権限を第2制御チップへ解放し、該第1制御チップが現在バスを用いていれば該第1制御チップが現在のバストランザクションを完了した後にバスの権限を第2制御チップへ直ちに解放する段階と、

前記第2制御チップは、前記第1制御チップが現在はバスを用いていないことを該第2制御チップが検出した場合に、所定時間の間待機した後にバスを使用する段階と、

前記第2制御チップは、前記第1制御チップが現在はバスを用いていることを該第2制御チップが検出した場合に、前記第1制御チップが現在に実行するバスコマンドと当該バスコマンドに必要とされるクロック数により、現在に実行するバスコマンドが完了され、かつターンアラウンドサイクルを待機した後に、バスを使用する段階と、
を具備することを特徴とする方法。

【請求項 2】

前記第1制御チップが現在はバスを使用していることを前記第2制御チップが検出した

場合に、前記第2制御チップがバスを駆動する前の待機時間を計算するために、

前記第1制御チップは、現在のバスコマンドを実行するためのクロック数と、現在のバスコマンドに対応するデータ送信のために二方向バスを用いるクロック数とを、前記第2制御チップへ供給する段階と、

前記第2制御チップは、該第2制御チップが第1制御チップに対してコマンドを送出する場合に、確認応答のクロック数と、前記コマンドに対応する前記第1制御チップにより応答されるデータのクロック数とを記憶する段階と、

をさらに具備し、前記確認応答のクロック数と、前記第1制御チップにより応答されるデータのクロック数とは、前記確認応答が送信されるべき、前記コマンドに予め格納されているクロック数、及びデータが送信されるべき、前記コマンドに予め格納されているクロック数に基づいてコマンドにより決定されることを特徴とする請求項1に記載の方法。10

【請求項3】

前記バスは、アドレス/データバスと、バイトイネーブル信号線と、アップリンクコマンド信号線と、アップリンクストローブ信号線と、ダウンリンクコマンド信号線と、ダウンリンクストローブ信号線と、クロック信号線とをさらに具備し、前記二方向バスは、アドレス/データバスと、バイトイネーブル信号線とからなることを特徴とする請求項1に記載の方法。

【請求項4】

前記第1および第2制御チップは、それぞれ、コンピュータマザーボード上にある北側ブリッジおよび南側ブリッジであることを特徴とする請求項1に記載の方法。20

【請求項5】

前記第1および第2制御チップは、それぞれ、コンピュータマザーボード上にある南側ブリッジおよび北側ブリッジであることを特徴とする請求項1に記載の方法。

【請求項6】

前記アップリンクストローブ信号線の周波数および前記ダウンリンクストローブ信号の周波数は、クロック信号の周波数の2倍であることを特徴とする請求項3に記載の方法。

【請求項7】

前記要求信号は、アップリンクコマンド信号線を介して送出されることを特徴とする請求項6に記載の方法。

【請求項8】

前記要求信号は、1クロック周期内のビットタイム0において、アップリンクコマンド信号線を介して送出されることを特徴とする請求項7に記載の方法。30

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、バストランザクション方法に関する。より詳細には、本発明は、コンピュータシステム内の制御チップセット間ににおけるトランザクション方法に関する。

【0002】

【従来の技術】

図1は、従来のコンピュータシステムの種々の構成要素を接続しているPCIバスを示すブロック図である。図1に示されるように、中央処理装置10は、ホストブリッジ12を介して、PCIバス14に結合されている。グラフィックアダプタ16a、拡張バスブリッジ16b、LANアダプタ16c、およびSCSIホストバスアダプタ16dのような、幾つかのPCI互換周辺機器のマスターントローラについてもまた、PCIバス14に結合させることができる。これらのマスターントローラの各々は、PCIバス14の使用を求める要求(REQ)信号を送出することができる。ホストブリッジ12は、PCIバス14が有効である場合にコントローラに対して許可(GNT)信号を送出するアビトレータとして機能する。40

【0003】

(制御チップセットのマスターントローラまたは北側ブリッジのような)PCI互換装50

置間ににおけるデータ伝送は、少数のインターフェース制御信号により制御される。サイクルフレーム (F R A M E) は、データアクセス動作の開始とその継続時間とを示すイニシエータ (これは、マスター・コントローラまたは北側・ブリッジであってもよい) から発行される。F R A M E 信号がアウト状態 (out) になるとすぐに、P C I バスを介してのデータトランザクションが開始される。F R A M E 信号に関するロー側電位は、データ伝送が進行中であることを示す。データトランザクションの開始後に、アドレスバス A D は、アドレスサイクル中に有効なアドレスを送出する。その間に、コマンド / バイトイネーブル (C B E [3 : 0]) 信号線は、(P C I 仕様 (PCI specification) にしたがって) 有効なバスコマンドを送出し、これにより、ターゲット装置は、イニシエータにより要求されたデータトランザクションモードを知る。一般に、コマンド / バイトイネーブル信号線のうち 4 ビットは、最大 16 個の異なるコマンドまでを符号化することが可能であり、かつ、各々のコマンドは、P C I 仕様において詳細に定義されている。有効アドレスがアウト状態となった後に、データがアドレスバス A D を介して伝送されるデータサイクルが開始される。その間に、バイトイネーブル信号が送信され、これにより、データを伝送することができる。F R A M E 信号の伝送が停止すると、最終組のデータが伝送され、かつ、現在のトランザクションにおいてはそれ以上のデータは伝送されない。イニシエータレディ (initiator ready : I R D Y) 信号およびターゲットレディ (target ready : T R D Y) 信号もまた、データトランザクションにおけるイニシエート (initiating) 装置およびターゲット装置の準備ができている状態を表示するために、システムにより用いられる。データ読み出し動作において、I R D Y 信号は、イニシエータが、要求されたデータを受信する準備ができていることを示す。データ書き込み動作において、T R D Y 信号は、ターゲット装置が、要求されたデータを受信する準備ができていることを示す。停止 (S T O P) 信号は、イニシエータからのデータトランザクションの終了を要求するために、ターゲット装置により用いられる。

【 0 0 0 4 】

図 2 は、読み出し動作中のP C I バスインターフェースにおける種々の信号を示すタイミング図である。P C I バスを介してデータが伝送される周期は、バストランザクションサイクル 20 として既知である。バストランザクションサイクル 20 は、アドレスサイクル 22 と、例えば、2 4 a, 2 4 b, 2 4 c のような幾つかのデータサイクルとを有する。各々のデータサイクル 2 4 a, 2 4 b, 2 4 c については、さらに、待機 (wait) サイクル 2 6 a, 2 6 b, 2 6 c と、データ転送サイクル 2 8 a, 2 8 b, 2 8 c とに分割することができる。以下に、P C I 仕様にしたがう制御信号を示すために、読み出し動作中のP C I バスインターフェースについて、簡単に説明する。

【 0 0 0 5 】

サイクル T 1 の間には、データトランザクションの開始を示すF R A M E 信号が、イニシエータにより送信され、その一方で、開始アドレスが、該トランザクションに関するターゲット装置を突き止めるために、アドレスバス A D 回線上に置かれる。その間に、読み出しコマンドが、C B E 回線を介して伝送される。読み出しコマンドの配信 (delivery) 後に、バイトイネーブル信号が C B E 回線上に置かれる。バイトイネーブル信号は、(2 4 a, 2 4 b, 2 4 c を含む) データサイクルの始めから終わりまで送信される。サイクル T 2 の間には、イニシエータが、データ送信のためにイニシエータの準備ができている状態を示すイニシエータレディ信号 I R D Y を提示する。しかしながら、ターゲット装置の準備がまだできていない。これにより、ターゲット装置はデータを準備する状態を保持し、その一方で、イニシエータは、データサイクル 2 4 a の待機サイクル 2 6 a において不働 (idle) となる。サイクル T 3 の間には、ターゲット装置が、伝送のために必要なデータを全て準備しており、これにより、ターゲットレディ T R D Y 信号を送出する。したがって、データサイクル 2 8 a においては、I D R Y および T R D Y の両方がアウト状態となり、かつこれにより、イニシエータは、ターゲット装置からデータを読み出し始めることができる。サイクル T 4 の間には、ターゲット装置が、もはや、ターゲットレディ T R D Y 信号を発行せず、最初の組のデータ送信の終了を信号で通信する。その間に、1

10

20

30

40

50

組のデータがターゲット装置内部で準備される。再び、イニシエータが、データサイクル 24b 内の待機サイクル 26b に入る。サイクル T5 の間には、第2組のデータの準備ができていることを示すターゲットレディ TRDY 信号が発行される。第2組のデータは、IRDY 信号および TRDY 信号の両方が発行される場合のサイクル 28b において、イニシエータにより準備ができている。サイクル T6 におけるように、イニシエータが、ターゲット装置から全てのデータを読み出すのに十分な時間を有していなければ、IRDY 信号は終了する。TRDY はいまだにアウト状態なので、待機サイクル 26c は、イニシエータにより活性化される。サイクル T7 におけるように、再びイニシエータの準備ができると、IRDY 信号が再発行される。イニシエータは、IRDY 信号および TRDY 信号の両方が発行される場合のデータ伝送サイクル 28c の間において、ターゲット装置からデータを読み出し、これにより、単一の読み出し動作を完了する。

【0006】

従来の PCI 仕様にしたがって適切なデータトランザクションを実行するためには、複雑な制御信号と、待機状態と、アービトレーション段階とを用いる必要がある。通常は、45~50個までの信号ピンが、PCI 仕様にしたがって要求される。概して、制御チップ間の内部トランザクションのために、複雑な手順は不要である。したがって、制御チップ間の内部トランザクションの高速化を図るために、従来の PCI 仕様を固守する簡略化されたトランザクション方法が必要とされる。

【0007】

しかしながら、PC の制御チップ間のトランザクションは、概して、PCI 仕様により与えられる全ての複雑な機能を用いない。制御チップ間の動作は、通常は低下する。装置の統合が進むにつれて、制御チップについては単一のチップに統合することができ、かつ、さらに多くの機能がもたらされる。例えば、CPU、北側ブリッジ (north bridge)、南側ブリッジ (south bridge) が統合されて单一チップの形に形成される。したがって、チップパッケージのピンが非常に重要なソースとなる。制御チップ間のトランザクション速度を増加させるために、制御チップ間で用いるために簡略化された特有の仕様が必要とされる。

【0008】

【発明が解決しようとする課題】

本発明は、制御チップと、制御チップセット内の制御チップ間におけるデータトランザクション方法と、制御チップセット内の制御チップ間におけるバスアービトレーション方法とを提供する。したがって、制御チップセットの性能は向上し、かつ、制御チップ間における信号線の形式および数が減少する。

【0009】

本発明は、制御チップセットの、および、該制御チップセット内の制御チップ間におけるデータトランザクション方法を提供する。データまたはコマンドについては、いかなる待機サイクル、停止または再試行も伴わずに、連続的に伝送することができる。

【0010】

本発明は、制御チップセット、および、該制御チップセット内の制御チップ間におけるデータトランザクション方法を提供し、この場合には、待機状態とデータトランザクションサイクルと停止 / 再試行プロトコルとのための信号線は必要とされない。

【0011】

本発明は、アービトレーション時間を減少させることができる制御チップ間におけるバスアービトレーション方法を提供する。

【0012】

本発明は、バス許可 (bus grant) 信号線が必要とされない、制御チップ間におけるバスアービトレーション方法を提供する。

【0013】

【課題を解決するための手段】

本発明によれば、制御チップセットの制御チップのデータバッファは一定の大きさおよび

10

20

30

40

50

数量を有する。さらに、読み出し／書き込みコマンドにしたがって、読み出し／書き込み確認応答コマンドが示され、これにより、制御チップは、制御チップ内のバッファの状態を、互いに検出することができる。制御チップはコマンドの存在を示す(*assert*)ときには、これに対応するデータを予め準備する必要がある。これにより、待機状態とデータトランザクションサイクルと停止／再試行プロトコルとをもたらすための信号線を削除することができる。したがって、コマンドまたはデータを、待機、停止または再試行なしで、連続的に伝送することができ、これにより、性能が向上する。

【0014】

本発明のバストランザクション方法によれば、制御チップは、通常は、バスを用いる権限(*authority*)を制御するが、他のチップは、バスを用いるためのより高い優先順位を有する。待機サイクルなしのバス仕様を伴って、バスを用いる権限をアービトレイトすることを、迅速にかつ誤りなしに行うことができる。したがって、いかなるGNT信号線も必要とされず、かつ、アービトレイション時間が減少する。第2制御チップにより要求されたトランザクションは常に許可されているので、全体的な性能が向上する。

10

【0015】

前述の一般的な説明および以下の詳細な説明は、例示的なものであり、かつ、特許請求される本発明に関するさらなる説明をもたらすために意図されていることを理解すべきである。

【0016】

【発明の実施の形態】

20

添付の図面は、本発明のさらなる理解をもたらすために備えられており、かつ、本明細書に組み込まれ、かつ、本明細書の一部を構成している。

【0017】

本発明は、制御チップセット間における、または、制御チップセットのチップ間におけるトランザクション方法およびアービトレイション方法を提供し、該方法は、制御チップ間におけるデータトランザクションの効率性を促進することができる。すなわち、前記方法は、制御チップ間におけるバストランザクション処理を簡略化する。パーソナルコンピュータ(PC)のようなコンピュータシステム内において北側ブリッジと南側ブリッジとかなる制御チップセットが、本発明による好ましい実施形態を説明するための例として用いられる。従来のPCI仕様により定義されるように、45のコマンド信号線が、南側ブリッジと北側ブリッジとの間で通信するために必要とされる。しかしながら、本発明の好ましい実施形態においては、15のコマンド信号線のみが、PCI仕様により定義された元の45のコマンド信号線を置き換えるために必要とされる。新たに定義された本発明の15のコマンドは、VLINKコマンドと称される。

30

【0018】

図3および表1を参照すると、図3は、本発明の好ましい実施形態による制御チップセットのブロック図を概略的に示し、この図においては、制御チップセットの北側ブリッジと南側ブリッジとの間における制御信号線が、詳細に示されている。表1は、図3に示される各々の制御信号線の意味を記載している。例えば、制御チップセットは、北側ブリッジ30と南側ブリッジ32とを具備する。北側ブリッジ30と南側ブリッジ32との間の通信信号線は、PCI仕様による45の信号線から、本発明による15の信号線へ減少する。したがって、北側ブリッジ30および南側ブリッジ32のさらなる30(=45-15)ピンを、他の目的のために用いることができ、これにより、チップセットの機能が促進される。

40

【0019】

図3および表1に示されるように、元のPCI仕様により定義されるデータおよびアドレスバス(ADバス)は、予約されているが、8つの二方向信号線まで減少され、その一方で、CBE, FRAME,IRDY,TRDY,STOP,DEVSSEL,REQ、およびGNT信号線は、二方向バイトイネーブル(BE)信号線と、(両方とも南側ブリッジにより駆動される)アップリンクコマンド信号線UPCMDおよびアップリンクストロー

50

ブ信号線 U P S T B と、（両方とも北側ブリッジにより駆動される）ダウンリンクコマンド信号線 D N C M D およびダウンリンクストローブ信号線 D N S T B と、までに簡略化される。北側ブリッジ 3 0 および南側ブリッジ 3 2 の各々は、独立したコマンド信号線を駆動させ、これらの信号線は、両方とも、バスコマンドの存在を示すことができる。さらに、1つの制御チップにより、バスコマンドの存在が示されかつバスの権限が得られれば、該制御チップは、アドレスを A D バス上で送信しかつこれに対応するデータ長を送信することができるか、または、データを A D バス上で送信しかつ該データのためのバイトイネーブル信号を B E 信号線上で送信することができる。

【表 1】

信号	開始ブリッジ	注
C L K		6 6 M H z クロック信号
D N S T B	北側ブリッジ	ダウンストローブ
U P S T B	南側ブリッジ	アップストローブ
D N C M D	北側ブリッジ	ダウンコマンド
U P C M D	南側ブリッジ	アップコマンド
B E	北側ブリッジ／南側ブリッジ	バイトイネーブル
A D [7 : 0]	北側ブリッジ／南側ブリッジ	アドレス／データバス
V R E F		基準電圧
C O M P		インピーダンス比較

10

20

30

【0020】

図 4 は、本発明による、バスクロック信号 (C L K) と、ストローブ信号 (S T B) と、データ転送用データ回線のビットタイムとの間におけるタイミングの関係を示す。図 4 に示されるように、1つのクロック周期は、2つのストローブクロック周期を具備する。すなわち、アップリンクストローブ信号およびダウンリンクストローブ信号がアクティブ状態である場合の周波数は、バスクロック信号の周波数の2倍である。ストローブ信号の立ち上がりエッジと立ち下がりエッジとにより定義された4つのビットタイム 0 ~ 3 が存在する。したがって、4ビットデータが、各々のデータ回線上において4つのビットタイム 0 ~ 3 を用いることにより得られ、かつ、バスコマンドが符号化される。したがって、各々のクロック周期中に8つのデータ回線を用いることにより 3 2 ビットデータが得られ、これは、従来の P C I 仕様において 3 2 個のデータ回線を用いてデータが伝送されることに等しい。さらに、B E 信号線がデータ長を表しているかのように、1 ~ 1 6 (4 ビット) データ長情報が1クロック周期の範囲内で得られる。

【0021】

種々の形式のデータトランザクションが、アップリンクコマンド U P C M D とダウンリンクコマンド D N C M D とを用いて定義される。南側ブリッジにより駆動されるアップリンクコマンド U P C M D は、読み出し確認応答コマンド (N B (北側ブリッジ) から S B (南側ブリッジ) へ) C 2 P R A 、書き込み確認応答コマンド (N B から S B へ) C 2 P W A 、読み出しコマンド P 2 C R (S B から N B へ) 、書き込みコマンド P 2 C W (S B から N B へ) 、などを具備する。アップリンクコマンドとビットタイム符号化との関係は表 2 に記載されている。要求信号 R E Q は、他のバスコマンドとは重複していないビットタイム 0 においてその存在が示されている。したがって、R E Q 信号については、いつでも、バスコマンドの存在が示される同じクロック周期においてさえも、送信することができる。北側ブリッジにより駆動されるダウンリンクコマンド D N C M D は、入力 / 出力読み出しコマンド (N B から S B へ) C 2 P I O R 、メモリ読み出しコマンド (N B から S B

40

50

へ) C 2 P M R、入力／出力書き込みコマンド(N B から S B へ) C 2 P I O W、メモリ書き込みコマンド(N B から S B へ) C 2 P M W、読み出し確認応答コマンド(S B から N B へ) P 2 C R A、書き込み確認応答コマンド(S B から N B へ) P 2 C W A、などを具備する。ダウンリンクコマンドとビットタイム符号化との関係は表 3 に記載されている。本発明においては、いかなる許可信号 G N T も定義されない。

【0022】

北側ブリッジにより示されるコマンドおよび南側ブリッジにより示されるコマンドは、互いに対応している。南側ブリッジが、多数の P 2 C R および／または P 2 C W の存在を順次的に示すと、北側ブリッジは、南側ブリッジにより存在を示された P 2 C R および／または P 2 C W コマンドに応答して、これに対応する P 2 C R A および／または P 2 C W A コマンドの存在を順次的に示す必要がある。同様に、北側ブリッジが多数の C 2 P I O R, C 2 P M R, C 2 P I O W, C 2 P M W コマンドの存在を順次的に示すと、南側ブリッジは、北側ブリッジにより存在を示されたコマンドに応答して、これに対応する C 2 C R A および／または C 2 C W A の存在を順次的に示す必要がある。さらに、好ましい実施形態において説明するように、制御チップにより存在を示された各々のコマンドに対応するデータを、予め準備する必要がある。例えば、南側ブリッジが P 2 C W コマンドの存在を示すときには、メモリに書き込むべきデータの準備ができている必要があり、かつ、北側ブリッジが P 2 C R A コマンドの存在を示すときには、メモリから南側ブリッジへ読み出しデータを転送するためのデータの準備ができている必要がある。したがって、伝送されたデータについては、遮断(interrupting)や待機を回避することができる。

【表 2】

(アップリンクコマンド U P C M D)

ビットタイム0 R E Q	ビットタイム1 P M S T R	ビットタイム2 M I O	ビットタイム3 W R	説明
—	0	—	0	C 2 P R A
—	0	—	1	C 2 P W A
—	0	0	0	P 2 C R
—	0	0	1	P 2 C W
—	1	1	0	N O P
0	—	—	—	R E Q

【表 3】

10

20

30

(ダウンリンクコマンドDN CMD)

ビットタイム0	ビットタイム1 P M S T R	ビットタイム2 M I O	ビットタイム3 W R	説明
—	0	0	0	C 2 P I O R
—	0	0	1	C 2 P I O W
—	0	1	0	C 2 P M R
—	0	1	1	C 2 P M W
—	1	0	0	P 2 C R A
—	1	0	1	P 2 C W A
—	1	1	1	N O P

10

【0023】

図5は、本発明による書き込みトランザクションのための好ましい実施形態による制御チップセットのブロック図を概略的に示している。制御チップセットは、例えば、第1制御チップと、第2制御チップとを具備する。パーソナルコンピュータの一般的な利用において、第1制御チップおよび第2制御チップは、北側ブリッジ500および南側ブリッジ600であってもよい。第1制御チップ（北側ブリッジ500）および第2制御チップ（南側ブリッジ600）は、特別に設計されたバスにより結合されており、該バスの制御信号は、本発明のV L I N Kである。北側ブリッジ500は、データ送受信機510と、ターゲットコントローラ（例えば、メモリコントローラ）520と、書き込みデータキュー525と、書き込みトランザクションキュー530とを具備する。南側ブリッジ600は、データ送受信機610と、書き込みバッファサイズレジスタ535と、書き込みバッファカウントレジスタ540と、書き込みトランザクション生成器545と、書き込みトランザクション記録回路550と、書き込み比較器555とを具備する。

20

【0024】

本発明のV L I N K仕様を満たすデータ送受信機510は、直接的にV L I N Kバスに結合する。V L I N Kバスを介して、データ送受信機510は、多数の書き込みトランザクションを完了するために、データを受信しつつ伝送することができる。ある書き込みトランザクションは、南側ブリッジ600がP 2 C Wコマンドと該P 2 C Wコマンドに対応するデータとを送信し、かつ次に、北側ブリッジ500が該P 2 C Wコマンドに応答するためにP 2 C W Aコマンドの存在を示すものとして定義されている。書き込みトランザクションキュー530は、一時的に、多数のデータ長と、全ての書き込みトランザクションの書き込みアドレスとを、順次的に記憶する。書き込みトランザクションキュー530の深度(depth)は、北側ブリッジ500が処理できる書き込みトランザクションの最大総数を決定する。書き込みデータキュー525は、ターゲットコントローラ520へ送信するための、南側ブリッジ600からのデータを記憶する。書き込みデータキュー525の深度は、北側ブリッジ500が処理できる書き込みデータの最大数を決定する。ターゲットコントローラ520は、データを、書き込みアドレスおよびデータ長にしたがってデータを受信するターゲット（例えば、外部メモリ）へ送信する。前記書き込みアドレスおよびデータ長は、最初に書き込みトランザクションキュー530に記憶され、かつ、書き込みデータキュー525に記憶されたデータは、該書き込みアドレスおよびデータ長に対応している。第1データ送受信機510は、書き込み確認応答信号（P 2 C W Aコマンド）を送信して、対応するトランザクションが終了したことを南側ブリッジ600に知らせる。次に、書き込みデータキュー525に記憶された対応データは解放され、かつ、解放された空間は、他のデータを記憶することができる。

30

40

50

【 0 0 2 5 】

前記南側ブリッジ 600 の書き込みバッファカウントレジスタ 540 および書き込みバッファサイズレジスタ 535 は、北側ブリッジ 500 の書き込みトランザクションキューリミット 30 に記憶することができる書き込みトランザクションの最大数と、北側ブリッジ 500 の書き込みデータキューリミット 525 に記憶することができるデータの最大数とを、それぞれ記憶する。例えば、書き込みトランザクションキューリミット 530 において受容可能な書き込みトランザクションの最大数は 4 であり、かつ、書き込みデータキューリミット 525 において受容可能なデータの最大数は 16 である。書き込みトランザクションの最大数およびデータの最大数（すなわち、書き込みバッファカウントおよび書き込みバッファサイズ）という 2 つのパラメータについては、ブート (booting) 中に BIOS (basic input output system) 構成により設定することができるか、または、チップセットの設計中に確定することができる。

10

【 0 0 2 6 】

前記データ送受信機 610 は、全ての書き込みトランザクションを完了すべく、V L I N K バスを介してデータを受信しあつ伝送するために、V L I N K バスと結合されている。データ送受信機 610 が P2CWA コマンドを受信すると、書き込みが成功しあつバッファが解放されたことを示す信号が、現在対応している書き込みトランザクションのデータ長を記憶する空間を解放するために、書き込みトランザクション記録回路 550 へ送信される。次の書き込みトランザクションの新たなデータ長、書き込みアドレス、およびデータが書き込みトランザクション生成器 545 により生成されると、新たなデータ長が、書き込みトランザクション記録回路 550 へ送信される。

20

〔 0 0 2 7 〕

前記書き込みトランザクション記録回路 550 は、書き込みデータキュー 525 において用いられるデータ数と、書き込みトランザクションキュー 530 において用いられる書き込みトランザクション数とを計算することが可能である。その理由は、書き込みトランザクション記録回路 550 が、全ての書き込みトランザクションのデータ長を順次的に記憶し、かつ、北側ブリッジ 500 により存在を示される P2CWA が、南側ブリッジ 600 により存在を示される P2CWC モードの順序にしたがって応答されるためである。これにより、南側ブリッジ 600 は、北側ブリッジ 500 内のキューにおけるバッファの状態を認識することができる。

30

【 0 0 2 8 】

前記書き込みトランザクション記録回路 550 は、書き込みデータキューリード 525 において用いられるデータ数と、書き込みトランザクションキューリード 530 において用いられる書き込みトランザクション数とを、書き込み比較器 555 へ送信することができる。次に、書き込み比較器 555 は、受信されたデータを、書き込みバッファサイズレジスタ 535 に記憶された書き込みデータキューリード 525 のデータの最大数と、かつ、書き込みバッファカウントレジスタ 540 に記憶された書き込みトランザクションキューリード 530 の書き込みトランザクションの最大数と、それぞれ比較する。書き込み比較器 555 により受信されたデータが最大データ数および最大書き込みトランザクション数よりも少なければ、書き込み比較器 555 は、データ送受信機 610 に、他の書き込みトランザクションを送信する能力を承認する。

40

【 0 0 2 9 】

図6は、本発明による読み出しトランザクションのための好ましい実施形態による制御チップセットのブロック図を概略的に示している。制御チップセットは、例えば、第1制御チップと、第2制御チップとを具備する。パーソナルコンピュータの一般的な利用において、第1制御チップおよび第2制御チップは、北側ブリッジ500および南側ブリッジ600であってもよい。第1制御チップ(北側ブリッジ)500および第2制御チップ(南側ブリッジ)600は、特別に設計されたバスにより結合されており、該バスの制御信号は、本発明のVLINKである。北側ブリッジ500は、データ送受信機510と、ターゲットコントローラ(例えば、メモリコントローラ)520と、読み出しデータキュ-6

50

25と、読み出しトランザクションキュー630とを具備する。南側ブリッジ600は、データ送受信機610と、読み出しバッファサイズレジスタ635と、読み出しバッファカウントレジスタ640と、読み出しトランザクション生成器645と、読み出しトランザクション記録回路650と、読み出し比較器655とを具備する。

【0030】

本発明のV L I N K仕様を満たすデータ送受信機510は、直接的にV L I N Kバスに結合する。V L I N Kバスを介して、データ送受信機510は、多数の読み出しトランザクションを完了するために、データを受信しつつ伝送することができる。ある読み出しトランザクションは、南側ブリッジ600がP 2 C Rコマンドを送信し、かつ次に、北側ブリッジ500が、該P 2 C Rコマンドに応答するために、P 2 C R Aコマンドと、これに対応するデータとを送信するものとして定義されている。読み出しトランザクションキュー630は、一時的に、多数のデータ長と、全ての読み出しトランザクションの読み出しあдресとを、順次的に記憶する。読み出しトランザクションキュー630の深度は、北側ブリッジ500が処理できる読み出しトランザクションの最大数を決定する。読み出しはー625は、ターゲットコントローラからの多数の読み出しはー（該データは、南側ブリッジ600へ送信される）を一時的に記憶する。読み出しはー625の深度は、北側ブリッジ500が処理できる読み出しはーの最大数を決定する。ターゲットコントローラ520は、データを、ターゲット（例えば、外部メモリ）から読み出し、かつ次に、読み出しあдресおよびデータ長にしたがって、読み出しはー625に記憶する。前記読み出しあdressおよびデータ長は、最初に読み出しトランザクションキュー630に記憶され、かつ、読み出しはー625に記憶されたデータは、該読み出しあdressおよびデータ長に対応している。第1データ送受信機510は、読み出し確認応答信号（P 2 C R Aコマンド）と、読み出しはー625に記憶された読み出しはーとを送信する。次に、読み出しはー625に記憶された対応データは解放され、かつ、解放された空間は、他のデータを記憶することができる。

【0031】

前記南側ブリッジ600の読み出しバッファカウントレジスタ640および読み出しバッファサイズレジスタ635は、北側ブリッジ500の読み出しトランザクションキュー630に記憶することができる読み出しトランザクションの最大数と、北側ブリッジ500の読み出しはー625に記憶することができるデータの最大数とを、それぞれ記憶する。例えば、読み出しトランザクションキュー630および読み出しバッファカウントレジスタ640に記憶することができる読み出しトランザクションの最大数は4である、かつ、読み出しはー625に記憶することができるデータの最大数は16である。読み出しバッファカウントおよび読み出しバッファサイズ、という2つのパラメータについては、ブート中にB I O S (basic input output system)構成により設定することができるか、または、チップセットの設計中に確定することができる。

【0032】

前記データ送受信機610は、全ての読み出しトランザクションを完了すべく、V L I N Kバスを介してデータを受信しつつ伝送するために、V L I N Kバスと結合されている。データ送受信機610がP 2 C R Aコマンドを受信すると、読み出しが成功しつつバッファが解放されたことを示す信号が、現在対応している読み出しトランザクションのデータ長を記憶する空間を解放するために、読み出しトランザクション記録回路650へ送信される。次の読み出しトランザクションの新たなデータ長、読み出しあdress、およびデータが読み出しトランザクション生成器645により生成されると、新たなデータ長が、読み出しトランザクション記録回路650へ送信される。

【0033】

前記読み出しトランザクション記録回路650は、読み出しはー625において用いられるデータ数と、読み出しトランザクションキュー630において用いられる読み出しトランザクション数とを計算することができる。その理由は、読み出しトランザクション記録回路650が、全ての読み出しトランザクションのデータ長を順次的に記憶

10

20

30

40

50

し、かつ、北側ブリッジ 500 により存在を示される P2CRA が、南側ブリッジ 600 により存在を示される P2CR コマンドの順序にしたがって応答されるためである。これにより、南側ブリッジ 600 は、北側ブリッジ 500 内のキューにおけるバッファの状態を認識することができる。

【0034】

前記読み出しトランザクション記録回路 650 は、読み出しデータキュー 625 において用いられるデータ数と、読み出しトランザクションキュー 630 において用いられる読み出しトランザクション数とを、読み出し比較器 655 へ送信することができる。次に、読み出し比較器 655 は、受信されたデータを、読み出しバッファサイズレジスタ 635 に記憶された読み出しデータキュー 625 のデータの最大数と、かつ、読み出しバッファカウントレジスタ 640 に記憶された読み出しトランザクションキュー 630 の読み出しトランザクションの最大数と、それぞれ比較する。読み出し比較器 655 により受信されたデータが最大データ数および最大読み出しトランザクション数よりも少なければ、読み出し比較器 655 は、データ送受信機 610 に、他の読み出しトランザクションを開始する能力を通知する。

【0035】

前記北側ブリッジおよび南側ブリッジは、それぞれ、第1制御チップセットおよび第2制御チップセットであり、かつ、これらのコマンドは、データを読み出すかまたは書き込むべく北側ブリッジを制御するために、南側ブリッジにより送信される。しかしながら、当業者には明白なように、北側ブリッジおよび南側ブリッジの両方が対応する構造を有することができ、かつこれにより、これらのコマンドは、南側ブリッジまたは北側ブリッジにより送信されることに制約されるものではない。すなわち、南側ブリッジおよび北側ブリッジが、それぞれ、第1制御チップセットおよび第2制御チップセットであってもよい。

【0036】

上述の説明は、北側ブリッジおよび南側ブリッジが VLINK バスを用いるための権限を得る方法について述べてはいない。以下のパラグラフは、本発明による、チップセット間におけるアービトレーション方法について述べている。本発明によれば、第1制御チップは、通常は、バスを用いるための権限を制御するが、第2制御チップは、バスを用いるための、より高い優先順位を有する。第2制御チップが、バスを用いるための要求信号の存在を示す場合に、第1制御チップは、直ちにバスの権限を第2制御チップに対して解放する必要があるか、または、該第1制御チップが現在のバスコマンドサイクルを終了した後に、直ちにバスの権限を第2制御チップに対して解放する必要がある。VLINK バスのような待機サイクルを伴わないバス仕様とともに、バスを用いる権限をアービトレートすることを、迅速に、かつ、誤りなしに行うことができる。

【0037】

本発明は、制御チップセット内におけるバスアービトレーションの方法に向けられている。制御チップセットは、(北側ブリッジのような)第1制御チップと、(南側ブリッジのような)第2制御チップとを具備することができる。データは、第1制御チップと第2制御チップとの間で、待機サイクルを伴わない(VLINK バスのような)バスを介して伝送される。このバスは、さらに、図3~図6に示されるような共通の二方向バスを具備する。

【0038】

前記第2制御チップは、一定のクロック数と、コマンドが二方向バスを用いるクロック数とを有する全てのバスコマンドを知る必要がある。第2制御チップが、第1制御チップに対して(読み出しコマンドのような)第1コマンドの存在を示すときには、第2制御チップは、確認応答コマンドのクロック数と、第1制御チップにより存在を示される、第1コマンドに対応するデータのクロック数とを記憶する必要があり、この場合には、確認応答コマンドのクロック数および第1コマンドにより応答されるデータのクロック数は、第1コマンドに含まれる情報により決定される。例えば、南側ブリッジが北側ブリッジへ P2CR コマンドの存在を示せば、データ長が南側ブリッジにより検出され、かつ、V

10

20

30

40

50

I N K バスは、待機サイクルを必要とせず、したがって、南側ブリッジは、P 2 C R A コマンドのクロック数および北側ブリッジにより送信されるデータのクロック数を知ることができる。

【 0 0 3 9 】

前記第2制御チップがバスを用いる必要があるときには、該第2制御チップは、直接的にバス要求信号の存在を示す。第1制御チップがバス要求信号を検出する際に、かつ、第1制御チップが二方向バスを現在用いていなければ、第1制御チップは、バスの権限を第2制御チップへ解放し、かつ、二方向バスを駆動しない。しかし、第1制御チップが二方向バスを現在用いていれば、第1制御チップは、現在のバスコマンドおよびトランザクションを終了した後に、バスの権限を第2制御チップへ直ちに解放する。

10

【 0 0 4 0 】

これに対し、第2制御チップがバス要求信号の存在を示せば、該第2制御チップは、二方向バスが第1制御チップにより現在用いられているかどうかを検出する。第1制御チップが二方向バスを現在用いていることを第2制御チップが検出しなければ、該第2制御チップは、所定のサイクルだけ待機し、かつ、二方向バスを連続的に検出する。次に、第2制御チップは、所定の待機サイクルの後に、二方向バスを駆動する。所定の待機サイクルの目的は、二方向バスを介して伝送された信号を遅延させることができることである。第1制御チップによりコマンドの存在が示されている間に該第1制御チップがバスを用いていないことを第2制御チップが検出することを回避されするために、さらに、第1制御チップおよび第2制御チップが二方向バスを同時に駆動することを回避するために、バスの権限を転送するための1クロック周期のターンアラウンドサイクルが存在する必要がある。

20

【 0 0 4 1 】

第1制御チップがバスを現在用いていることを第2制御チップが検出すると、南側ブリッジは、何のバスコマンドが第1制御チップにより現在実行されているのかと、バスコマンドを完了するために必要とされるクロック数とを検出することができる。次に、第2制御チップは、第1制御チップが現在のバスコマンドを完了した後にターンアラウンドサイクルだけ待機することにより、バスを駆動する。G N T コマンドを有する従来のバスアービトレーション方法においては、第1制御チップは、第2制御チップへG N T コマンドを駆動して、第2制御チップがバスを駆動し始めることができることを承認し、かつ次に、第2制御チップは、第1制御チップにより送信されたG N T コマンドを該第2制御チップが検出した後のターンアラウンドサイクル後に、バスを駆動する。図7 (A) を参照すると、周期T 1において、第2制御チップは、要求信号D R E Q の存在を示す。周期T 2において、第2制御チップは、信号R E Q S T B の存在を示す。第1制御チップは、周期T 4において、要求信号を受信し、かつ次に、バスを用いることができることを第2制御チップに承認するために、直ちにG N T コマンドの存在を示す。第1制御チップは、周期T 5において、バスの駆動を停止する。周期T 6において、第2制御チップは、G N T 信号を受信し、かつ次に、バスを駆動し始める。これにより、バスの権限をアービトレーントするための時間は、従来の方法にしたがってG N T コマンドを用いることにより浪費される。

30

【 0 0 4 2 】

以下は、本発明の方法によるタイミングを説明するための幾つかの例である。図7 (B) および図8～図11は、バスの権限に対する許可と、バスの権限に関する要求とに関係するタイミング図を概略的に示している。以下の例において、南側ブリッジは、バスの使用のために要求信号の存在を示す。信号D R E Q は、南側ブリッジがバスを用いることを要求する内部信号を表す。信号D R E Q のハイレベルは、南側ブリッジがバスを内部的に用いることを要求していることを表す。信号R E Q S T B もまた内部信号であり、この信号においては、南側ブリッジが、R E Q S T B がハイレベルである場合に、アップリンクコマンド信号線U P C M D を用いて、ビットタイム0において、R E Q 信号の存在を示す。信号H O S T O E または信号H U B O E のハイレベルは、北側ブリッジまたは南側ブリッジが、バスを駆動させるためのバスの権限を得ることをそれぞれ表す。

40

【 0 0 4 3 】

50

図7(B)を参照すると、周期T1において、信号DREQは、南側ブリッジがバスを用いる必要があることを意味するハイレベルに上昇する。周期T2において、要求ストローブ信号REQSTBは、ハイレベルに上昇し、かつ、南側ブリッジは、UPCMDを用いて、ビットタイム0において、真の要求信号REQの存在を示す。要求ストローブ信号REQSTBは、伝送の遅延に起因して、周期T4において受け入れられる。したがって、北側ブリッジがコマンドサイクルを開始すれば、該北側ブリッジは、周期T3において、ダウンリンクコマンドDNCMDの存在を示すことができる。また、南側ブリッジは、周期T5まで、コマンドサイクルを検出する。北側ブリッジがダウンリンクコマンドの存在を示さなければ、南側ブリッジは、周期T5において、BE/ADバスを用いる権限を有し、かつ、アップリンクコマンドの存在を示し、かつ、BE/ADバスを駆動する。この例においては、南側ブリッジは、周期T2において真のREQコマンドの存在を示し、かつ、ターンアラウンドサイクルを具備する所定のサイクル(3つのクロック数)だけ待機した後に、周期T5においてBE/ADバスを駆動する。

【0044】

図8を参照すると、周期T1において、信号DREQは、南側ブリッジがバスを用いる必要があることを意味するハイレベルに上昇する。周期T2において、信号REQSTBはハイレベルに上昇し、かつ次に、南側ブリッジは、アップリンクコマンド信号線UPCMDを介して、ビットタイム0において、真の要求信号REQの存在を示す。しかしながら、北側ブリッジは、周期T3において、P2CRAコマンドのようなダウンリンクコマンドの存在を示す。トランザクションに対応するデータ長が8ダブルワード(8DW)であると仮定する。8DWデータは、周期T3～T10の間に転送される。南側ブリッジは、トランザクションのクロック数を知り、かつ、北側ブリッジがトランザクションの完了後にバスの権限を解放することを確認し、かつこれにより、南側ブリッジは、周期T11におけるターンアラウンドサイクル後の周期T12において、BE/ADバスを駆動することができる。

【0045】

図9を参照すると、周期T1において、DREQは、南側ブリッジがバスを用いる必要があることを表すハイレベルとなる。周期T2において、要求ストローブ信号REQSTBは、ハイレベルに変化し、かつ、南側ブリッジは、アップリンクコマンド信号線UPCMDを介して、ビットタイム0において、真の要求信号REQの存在を示す。しかしながら、北側ブリッジは、例えばC2PRコマンドのようなダウンリンクコマンドの存在を示す。C2PRコマンドのクロック数は、1クロック周期として固定され、周期T3において実行される。南側ブリッジは、一定の実行周期を有する全てのコマンドのクロック数を知り、かつ、北側ブリッジがバスの権限を解放することを確認する。これにより、南側ブリッジは、ターンアラウンドサイクル後の周期T5において、二方向BE, ADバスを駆動することができる。

【0046】

図10を参照すると、REQSTBがハイレベルであり、かつ、南側ブリッジがバスを用いることを許可されたと仮定する。南側ブリッジは、アップリンクコマンドUPCMDの存在を示し、かつ、二方向バスを駆動し始める。好ましい実施形態においては、2つの連続的なP2CRコマンドの存在が示され、かつ、周期T5, T6の間にデータが転送される。信号REQSTBは、周期T6において、ローレベルに変化する。すなわち、南側ブリッジがなおもバスを用いかつP2CRコマンドの存在を示すが、要求信号は、周期T6のビットタイム0において取り消されている。したがって、北側ブリッジは、南側ブリッジが、周期T8前にバスの使用要求を停止したことを検出し、かつ、周期T8においてBE/AD信号線を駆動する。

【0047】

図11を参照すると、周期T1において、北側ブリッジは、読み出しコマンドC2PRの存在を示す。南側ブリッジにより準備されたデータの用意ができたときに、南側ブリッジは、信号REQSTBをハイレベルとなるように駆動する。

10

20

30

40

50

所定の 3 クロック数だけ待機した後に、南側ブリッジは、A D バスを駆動して、周期 T 7 において、北側ブリッジが要求するデータを送信し、かつ同時に、U P C M D 信号線上で C 2 P R A コマンドの存在を示す。さらに、周期 T 7 のビットタイム 0 において存在を示された要求信号 R E Q は取り消され、かつ、北側ブリッジは、周期 T 9 において、バスを用いる権限を得る。

【 0 0 4 8 】

本発明の範囲から逸脱することなく、本発明の構成に対し、種々の変更がなされ得ることが、当業者には明白である。前述のことと鑑みて、本発明の修正および変更が、冒頭の特許請求の範囲およびそれらに均等なものの範囲内に収まれば、本発明は、前記修正および変更を包含するように意図されている。

10

【 図面の簡単な説明 】

【 図 1 】従来のコンピュータシステムの種々の構成要素を接続している P C I バスシステムを示すブロック図である。

【 図 2 】読み出し動作中の P C I バスインターフェースにおける種々の信号を示すタイミング図である。

【 図 3 】本発明の実施形態による、制御チップセットモジュール内部の制御チップ間ににおけるデータトランザクションにおいて用いられる制御信号を示すブロック図である。

【 図 4 】本発明による、コマンド符号化のための 4 つのビットタイムを有するクロック周期を示す図である。

【 図 5 】本発明による書き込みトランザクションのための好ましい実施形態による制御チップセットを概略的に示すブロック図である。

20

【 図 6 】本発明による読み出しトランザクションのための好ましい実施形態による制御チップセットを概略的に示すブロック図である。

【 図 7 】(A) は、従来のバスアービトトレーショント方法を示すタイミング図であり、(B) は、本発明によるバスアービトトレーショント方法の例を概略的に示す図である。

【 図 8 】本発明によるバスアービトトレーショント方法の例を概略的に示す図である。

【 図 9 】図 8 と同様の図である。

【 図 1 0 】図 8 と同様の図である。

【 図 1 1 】図 8 と同様の図である。

【 符号の説明 】

30

2 4 中央処理装置

3 0 北側ブリッジ

3 2 南側ブリッジ

3 6 メモリ

5 0 0 北側ブリッジ

5 1 0 データ送受信機

5 2 0 ターゲットコントローラ

5 2 5 書き込みデータキュー

5 3 0 書き込みトランザクションキュー

5 3 5 書き込みバッファサイズレジスタ

5 4 0 書き込みバッファカウントレジスタ

5 4 5 書き込みトランザクション生成器

5 5 0 書き込みトランザクション記録回路

5 5 5 書き込み比較器

6 0 0 南側ブリッジ

6 1 0 データ送受信機

6 2 5 読み出しデータキュー

6 3 0 読み出しトランザクションキュー

6 3 5 読み出しバッファサイズレジスタ

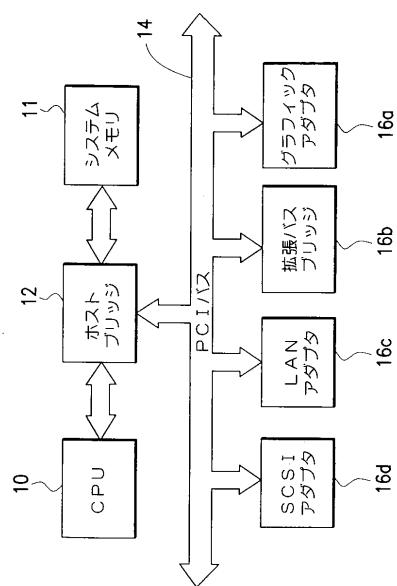
6 4 0 読み出しバッファカウントレジスタ

40

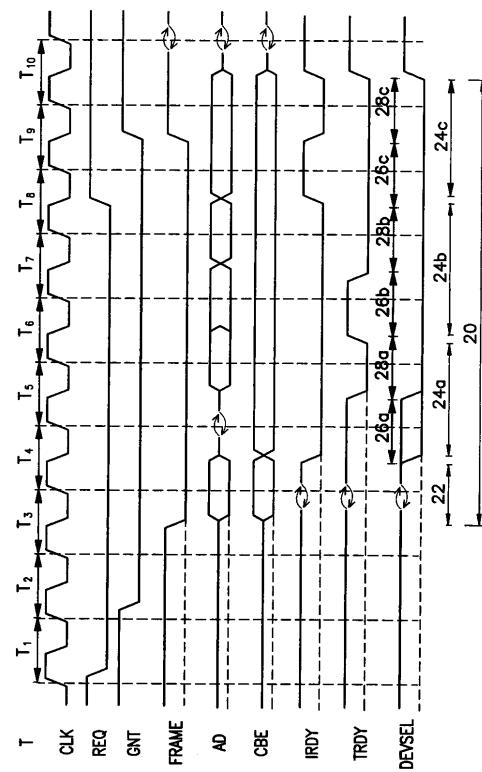
50

- 6 4 5 読み出しトランザクション生成器
 6 5 0 読み出しトランザクション記録回路
 6 5 5 読み出し比較器

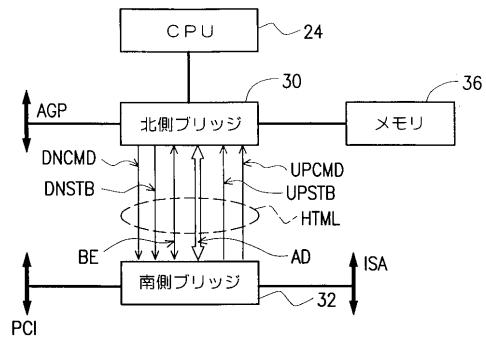
【図 1】



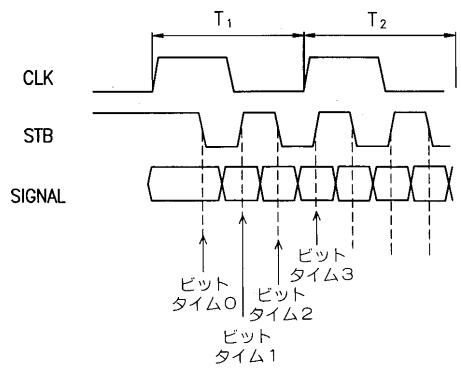
【図 2】



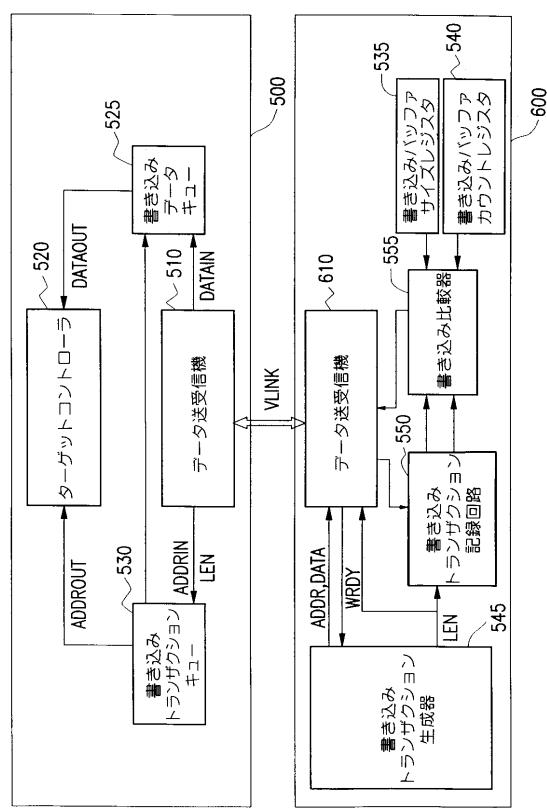
【図3】



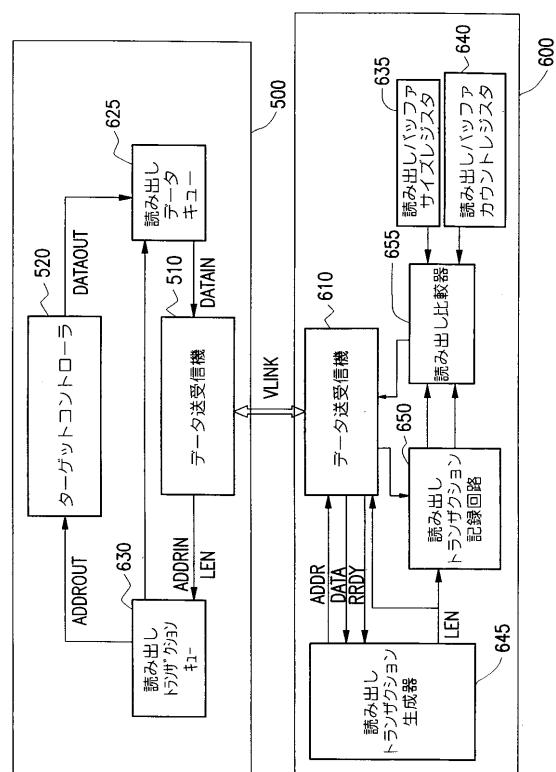
【図4】



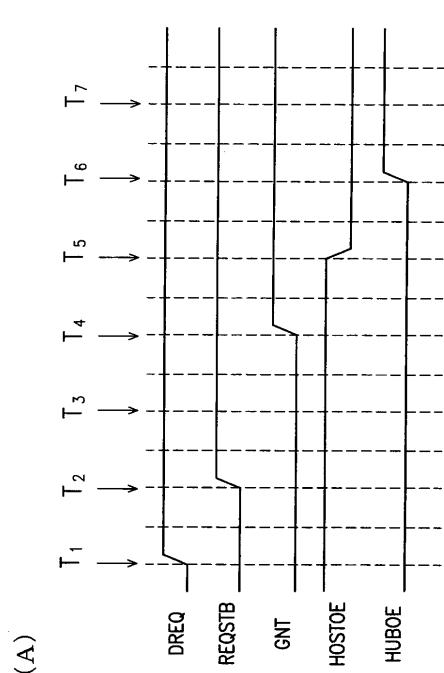
【図5】

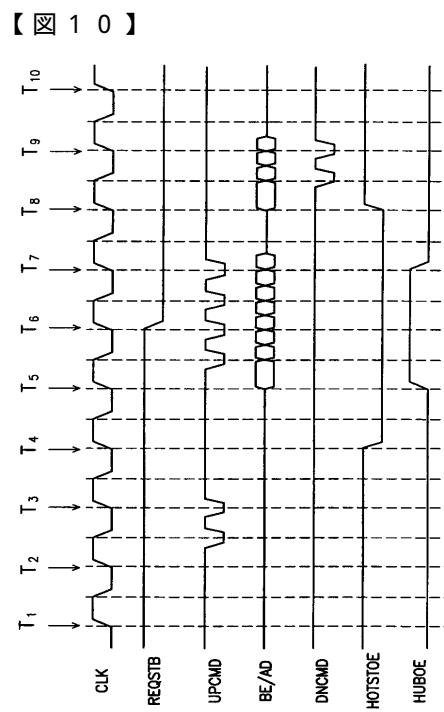
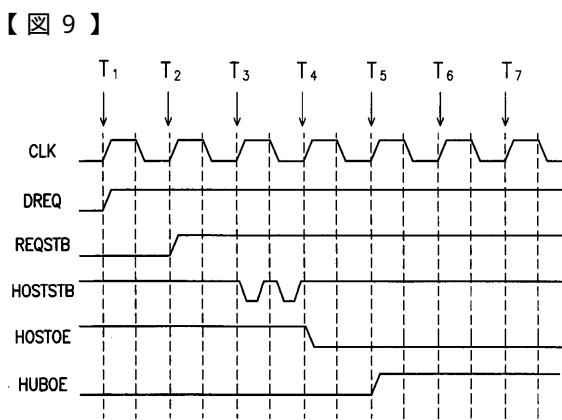
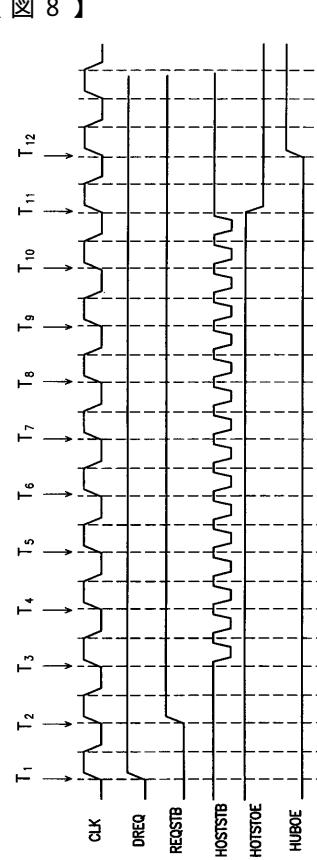
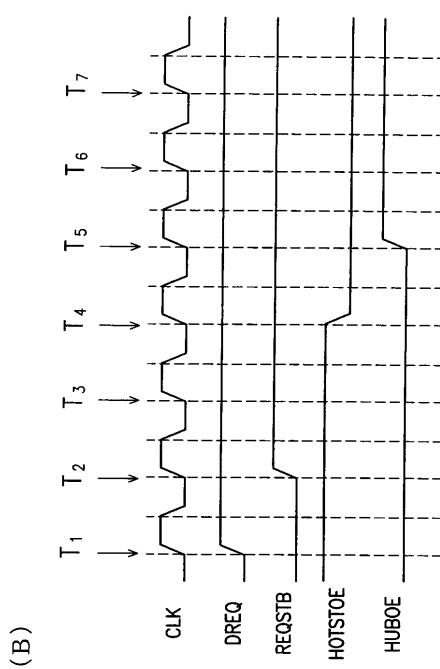


【図6】

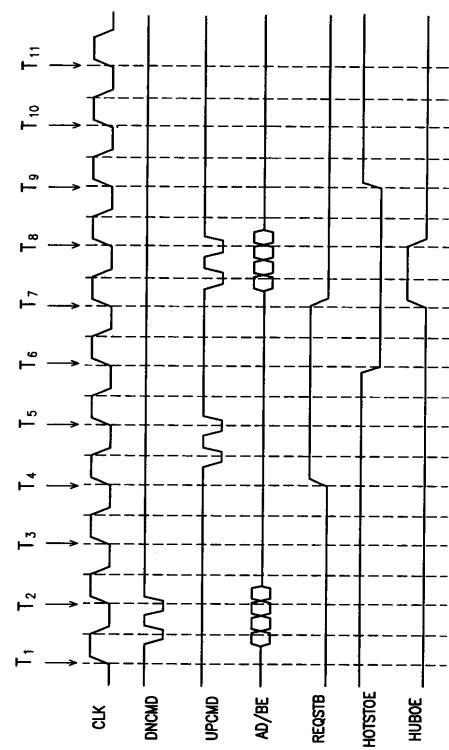


【図7】





【図 1 1】



フロントページの続き

(72)発明者 蔡 兆爵
台湾台北市南京東路五段251巷50弄5-3號
(72)発明者 彭 盛昌
台湾台北市忠孝東路五段672巷27弄10號4樓
(72)発明者 蔡 奇哲
台湾高雄縣仁武鎮竹後村水管路15巷144弄39號

合議体

審判長 江口 能弘
審判官 中野 裕二
審判官 安久 司郎

(56)参考文献 特開平3-142649(JP, A)
特開平10-198629(JP, A)
国際公開第99/22300(WO, A1)

(58)調査した分野(Int.Cl., DB名)

G06F13/36
G06F13/362
G06F13/42