



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년06월17일

(11) 등록번호 10-1631454

(24) 등록일자 2016년06월13일

(51) 국제특허분류(Int. Cl.)

G02F 1/1368 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2009-0099623

(22) 출원일자 2009년10월20일

심사청구일자 2014년10월20일

(65) 공개번호 10-2010-0048886

(43) 공개일자 2010년05월11일

(30) 우선권주장

JP-P-2008-281647 2008년10월31일 일본(JP)

(56) 선행기술조사문헌

JP2006165532 A*

JP2007150158 A*

JP2006165531 A*

JP2007318061 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오따이 에네루기 켄큐쇼

일본국 가나가와Ken 아쓰기시 하세 398

(72) 발명자

코야마 준

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가
이샤 한도오따이 에네루기 켄큐쇼 나이

아키모토 켄고

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가
이샤 한도오따이 에네루기 켄큐쇼 나이

츠부쿠 마사시

일본국 가나가와Ken 아쓰기시 하세 398 가부시키가
이샤 한도오따이 에네루기 켄큐쇼 나이

(74) 대리인

이화의, 김홍두

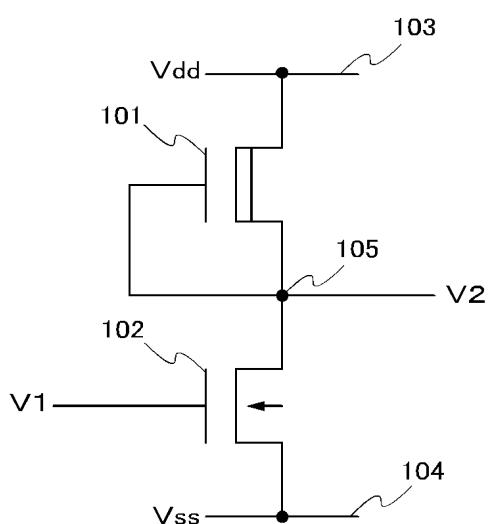
전체 청구항 수 : 총 10 항

심사관 : 차건숙

(54) 발명의 명칭 논리회로

(57) 요 약

인핸스먼트형의 트랜지스터를 사용한 논리회로에 산화물 반도체를 사용한 트랜지스터를 적용하는 것을
과제로 한다. 디플리션형인 트랜지스터(101)와, 인핸스먼트형인 트랜지스터(102)를 갖고, 트랜지스터 101 및 트
랜지스터 102는, 게이트 전극과, 게이트 절연층과, 제1 산화물 반도체층과, 제2 산화물 반도체층과, 소스
전극과, 드레인 전극을 갖고, 트랜지스터 102는, 제1 산화물 반도체층에 있어서의 소스 전극 및 드레인 전극의
사이의 영역 위에 설치된 환원 방지층을 갖는 구성으로 한다.

대 표 도 - 도1

명세서

청구범위

청구항 1

게이트, 소스 및 드레인을 포함하는 디플리션형 트랜지스터와,

게이트, 소스 및 드레인을 포함하는 인핸스먼트형 트랜지스터와,

상기 인핸스먼트형 트랜지스터의 상기 게이트에 전기적으로 접속된 제 1 단자와,

상기 인핸스먼트형 트랜지스터와 상기 디플리션형 트랜지스터가 접속되는 개소에 전기적으로 접속되는 제 2 단자를 포함하고,

고 전원전압이 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 한쪽에 인가되고, 상기 디플리션형 트랜지스터의 상기 게이트가 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 다른 쪽에 전기적으로 접속되고,

상기 인핸스먼트형 트랜지스터의 상기 소스 및 상기 드레인의 한쪽이 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 상기 다른 쪽에 전기적으로 접속되고, 저 전원전압이 상기 인핸스먼트형 트랜지스터의 상기 소스 및 상기 드레인의 다른 쪽에 인가되고,

상기 디플리션형 트랜지스터 및 상기 인핸스먼트형 트랜지스터 각각은,

게이트 전극과,

상기 게이트 전극 위에 설치된 게이트 절연층과,

상기 게이트 절연층 위에 설치된 제1 산화물 반도체층과,

상기 제1 산화물 반도체층의 일부에 접하고, 제2 산화물 반도체층인 소스 영역 및 드레인 영역과,

상기 소스 영역과 접하는 소스 전극과,

상기 드레인 영역과 접하는 드레인 전극을 포함하고,

상기 인핸스먼트형 트랜지스터는 상기 제 1 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극 위에 환원 방지층을 포함하고,

상기 디플리션형 트랜지스터는 상기 제 1 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극 위에 상기 환원 방지층을 포함하지 않는 논리회로.

청구항 2

게이트, 소스 및 드레인을 포함하고, 상기 게이트에 제1 클록 신호가 입력되고, 상기 소스 및 상기 드레인의 한쪽에 입력 신호가 입력되는 제1 트랜지스터와,

입력 단자와 출력 단자를 포함하고, 상기 입력 단자가 상기 제1 트랜지스터의 상기 소스 및 상기 드레인의 다른 쪽에 전기적으로 접속된 제1 인버터와,

입력 단자와 출력 단자를 포함하고, 상기 입력 단자가 상기 제1 인버터의 상기 출력 단자에 전기적으로 접속된 제2 인버터와,

입력 단자가 상기 제1 인버터의 상기 출력 단자에 전기적으로 접속되고, 출력 단자가 출력 신호를 출력하는 제3 인버터와,

게이트, 소스 및 드레인을 포함하고, 상기 게이트에 제2 클록 신호가 입력되고, 상기 소스 및 상기 드레인의 한쪽이 상기 제1 트랜지스터의 상기 소스 및 상기 드레인의 상기 다른 쪽에 전기적으로 접속되고, 상기 소스 및 상기 드레인의 다른 쪽이 상기 제2 인버터의 상기 출력 단자에 전기적으로 접속되는 제2 트랜지스터를 포함하고,

상기 제1 인버터 및 상기 제2 인버터 각각은,

게이트, 소스 및 드레인을 포함하는 디플리션형 트랜지스터와,

게이트, 소스 및 드레인을 포함하는 인핸스먼트형 트랜지스터와,

상기 인핸스먼트형 트랜지스터의 상기 게이트에 전기적으로 접속된 제 1 단자와,

상기 인핸스먼트형 트랜지스터와 상기 디플리션형 트랜지스터가 접속되는 개소에 전기적으로 접속되는 제 2 단자를 포함하고,

고 전원전압이 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 한쪽에 인가되고, 상기 디플리션형 트랜지스터의 상기 게이트가 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 다른 쪽에 전기적으로 접속되고,

상기 인핸스먼트형 트랜지스터의 상기 소스 및 상기 드레인의 한쪽이 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 상기 다른 쪽에 전기적으로 접속되고, 저 전원전압이 상기 인핸스먼트형 트랜지스터의 상기 소스 및 상기 드레인의 다른 쪽에 인가되고,

상기 디플리션형 트랜지스터 및 상기 인핸스먼트형 트랜지스터 각각은,

게이트 전극과,

상기 게이트 전극 위에 설치된 게이트 절연층과,

상기 게이트 절연층 위에 설치된 제1 산화물 반도체층과,

상기 제1 산화물 반도체층의 일부에 접하고, 제2 산화물 반도체층인 소스 영역 및 드레인 영역과,

상기 소스 영역과 접하는 소스 전극과,

상기 드레인 영역과 접하는 드레인 전극을 포함하고,

상기 인핸스먼트형 트랜지스터는 상기 제 1 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극 위에 환원 방지층을 포함하고,

상기 디플리션형 트랜지스터는 상기 제 1 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극 위에 상기 환원 방지층을 포함하지 않는 논리회로.

청구항 3

제 1항 또는 제 2항에 있어서,

상기 인핸스먼트형 트랜지스터는, 상기 게이트 절연층과 접하는 면의 반대측에 있는 상기 제 1 산화물 반도체층의 표면 위의 상기 소스 전극과 상기 드레인 전극 사이에 산소 결핍 제어영역을 포함하는 논리회로.

청구항 4

제 1항 또는 제 2항에 있어서,

상기 제1 산화물 반도체층 및 상기 제2 산화물 반도체층 각각은, 인듐, 갈륨 및 아연을 함유하는 논리회로.

청구항 5

게이트, 소스 및 드레인을 포함하는 디플리션형 트랜지스터와,

게이트, 소스 및 드레인을 포함하는 인핸스먼트형 트랜지스터와,

상기 인핸스먼트형 트랜지스터의 상기 게이트에 전기적으로 접속된 제 1 단자와,

상기 인핸스먼트형 트랜지스터와 상기 디플리션형 트랜지스터가 접속되는 개소에 전기적으로 접속되는 제 2 단자를 포함하고,

고 전원전압이 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 한쪽에 인가되고, 상기 디플리션형 트랜지스터의 상기 게이트가 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 다른 쪽에 전기적으로 접속되고,

상기 인핸스먼트형 트랜지스터의 상기 소스 및 상기 드레인의 한쪽이 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 상기 다른 쪽에 전기적으로 접속되고, 저 전원전압이 상기 인핸스먼트형 트랜지스터의 상기 소스 및 상기 드레인의 다른 쪽에 인가되고,

상기 디플리션형 트랜지스터 및 상기 인핸스먼트형 트랜지스터 각각은,

게이트 전극과,

상기 게이트 전극 위에 설치된 게이트 절연층과,

상기 게이트 절연층 위에 설치된 산화물 반도체층과,

상기 산화물 반도체층의 일부에 접하는 소스 전극 및 드레인 전극을 포함하고,

상기 인핸스먼트형 트랜지스터는 상기 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극 위에 환원 방지층을 포함하고,

상기 디플리션형 트랜지스터는 상기 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극 위에 환원 방지층을 포함하지 않는 논리회로.

청구항 6

게이트, 소스 및 드레인을 포함하고, 상기 게이트에 제1 클록 신호가 입력되고, 상기 소스 및 상기 드레인의 한쪽에 입력 신호가 입력되는 제1 트랜지스터와,

입력 단자와 출력 단자를 포함하고, 상기 입력 단자가 상기 제1 트랜지스터의 상기 소스 및 상기 드레인의 다른 쪽에 전기적으로 접속된 제1 인버터와,

입력 단자와 출력 단자를 포함하고, 상기 입력 단자가 상기 제1 인버터의 상기 출력 단자에 전기적으로 접속된 제2 인버터와,

입력 단자가 상기 제1 인버터의 상기 출력 단자에 전기적으로 접속되고, 출력 단자가 출력 신호를 출력하는 제3 인버터와,

게이트, 소스 및 드레인을 포함하고, 상기 게이트에 제2 클록 신호가 입력되고, 상기 소스 및 상기 드레인의 한쪽이 상기 제1 트랜지스터의 상기 소스 및 상기 드레인의 상기 다른 쪽에 전기적으로 접속되고, 상기 소스 및 상기 드레인의 다른 쪽이 상기 제2 인버터의 상기 출력 단자에 전기적으로 접속되는 제2 트랜지스터를 포함하고,

상기 제1 인버터 및 상기 제2 인버터 각각은,

게이트, 소스 및 드레인을 포함하는 디플리션형 트랜지스터와,

게이트, 소스 및 드레인을 포함하는 인핸스먼트형 트랜지스터와,

상기 인핸스먼트형 트랜지스터의 상기 게이트에 전기적으로 접속된 제1 단자와,

상기 인핸스먼트형 트랜지스터와 상기 디플리션형 트랜지스터가 접속되는 개소에 전기적으로 접속되는 제2 단자를 포함하고,

고 전원전압이 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 한쪽에 인가되고, 상기 디플리션형 트랜지스터의 상기 게이트가 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 다른 쪽에 전기적으로 접속되고,

상기 인핸스먼트형 트랜지스터의 상기 소스 및 상기 드레인의 한쪽이 상기 디플리션형 트랜지스터의 상기 소스 및 상기 드레인의 상기 다른 쪽에 전기적으로 접속되고, 저 전원전압이 상기 인핸스먼트형 트랜지스터의 상기 소스 및 상기 드레인의 다른 쪽에 인가되고,

상기 디플리션형 트랜지스터 및 상기 인핸스먼트형 트랜지스터 각각은,

게이트 전극과,

상기 게이트 전극 위에 설치된 게이트 절연층과,

상기 게이트 절연층 위에 설치된 산화물 반도체층과,

상기 산화물 반도체층의 일부에 접하는 소스 전극 및 드레인 전극을 포함하고,

상기 인핸스먼트형 트랜지스터는 상기 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극 위에 환원 방지층을 포함하고,

상기 디플리션형 트랜지스터는 상기 산화물 반도체층, 상기 소스 전극 및 상기 드레인 전극 위에 상기 환원 방지층을 포함하지 않는 논리회로.

청구항 7

제 5항 또는 제 6항에 있어서,

상기 인핸스먼트형 트랜지스터는, 상기 게이트 절연층과 접하는 면의 반대측에 있는 상기 산화물 반도체층의 표면 위의 상기 소스 전극과 상기 드레인 전극 사이에 산소 결핍 제어영역을 포함하는 논리회로.

청구항 8

제 5항 또는 제 6항에 있어서,

상기 산화물 반도체층은, 인듐, 갈륨 및 아연을 함유하는 논리회로.

청구항 9

제 1항, 제 2항, 제 5항 또는 제 6항 중 어느 한 항에 있어서,

상기 디플리션형 트랜지스터 및 상기 인핸스먼트형 트랜지스터는 서로 같은 도전형인 논리회로.

청구항 10

제 1항, 제 2항, 제 5항 또는 제 6항 중 어느 한 항에 있어서,

상기 인핸스먼트형 트랜지스터의 상기 소스 전극 및 상기 드레인 전극의 한쪽이, 상기 게이트 절연층에 설치된 개구부를 거쳐 상기 디플리션형 트랜지스터의 상기 게이트 전극에 접하는 논리회로.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 산화물 반도체를 사용한 박막 트랜지스터를 구비한 회로에 관한 것이다. 구체적으로는 논리회로에 관한 것이다.

배경기술

[0002] 액정표시장치로 대표되는 것과 같이, 유리 기판 등의 평판에 형성되는 박막 트랜지스터(TFT: Thin Film Transistor라고도 한다)는, 주로 아모퍼스 실리콘, 또는 다결정 실리콘 등의 반도체 재료를 사용해서 제조된다. 아모퍼스 실리콘을 사용한 TFT는, 전계효과 이동도가 낮지만 유리 기판의 대면적화에 대응할 수 있고, 한편, 다결정 실리콘을 사용한 TFT는, 전계효과 이동도가 높지만 레이저 어닐 등의 결정화 공정도 필요하여, 유리 기판의 대면적화에는 반드시 적응하지는 않는다고 하는 특성을 갖고 있다.

[0003] 이에 대하여, 반도체 재료로서 산화물 반도체를 사용해서 TFT를 제조하고, 이 TFT를 전자 디바이스나 광 디바이스에 응용하는 기술이 주목받고 있다. 예를 들면, 반도체 재료로서 산화 아연, In-Ga-Zn-O계 산화물 반도체를 사용해서 TFT를 제조하여, 화상표시장치의 스위칭소자 등에 사용하는 기술이 특허문헌 1 및 특허문헌 2에 개시되어 있다.

[0004] 산화물 반도체에 채널 형성 영역(채널 영역이라고도 한다)을 설치한 TFT는, 아모퍼스 실리콘을 사용한 TFT보다도 높은 전계효과 이동도가 얻어지고 있다. 산화물 반도체막은 스퍼터링법 등에 의해 300°C 이하의 온도에서 막형성이 가능해서, 다결정 실리콘을 사용한 TFT보다도 제조공정이 간단하다.

[0005] 이러한 산화물 반도체를 사용해서 유리 기판, 플라스틱 기판 등에 TFT를 형성하여, 액정 디스플레이, 일렉트로루미네센스 디스플레이(EL 디스플레이라고도 한다) 또는 전자 페이퍼 등의 표시장치에의 응용이 기대되고 있다.

[0006] [선행기술 문헌]

[0007] [특허문헌]

[0008] [특허문헌 1] 일본국 특개 2007-123861호 공보

[0009] [특허문헌 2] 일본국 특개 2007-96055호 공보

발명의 내용

해결 하고자하는 과제

[0010] 그렇지만, 종래의 산화물 반도체를 사용한 TFT는, 노멀리 온인 디폴리션형이 되기 쉽다고 하는 경향이 있고, 또한 경시적으로 임계전압이 시프트해 버린다고 하는 문제가 있었다. 이 때문에, 원하는 임계전압을 갖는 트랜지스터, 예를 들면, 노멀리 오프인 인핸스먼트형의 트랜지스터를 사용해서 구성되는 논리회로에 종래의 산화물 반도체를 사용한 TFT를 적용하는 것은 곤란하였다.

[0011]

상기 문제를 감안하여, 산화물 반도체를 사용한 박막 트랜지스터에 있어서 원하는 임계전압을 얻는 것을 과제의 한가지로 하고, 구체적으로는 이 박막 트랜지스터를 원하는 임계전압을 갖는 트랜지스터를 사용해서 구성되는 논리회로에 적용하는 것을 과제의 한가지로 한다.

과제 해결수단

[0012]

본 명세서에서 개시하는 발명의 일 형태는, 백 채널 위에 환원을 방지하기 위한 층을 가진, 임계전압이 제어된 인핸스먼트형 트랜지스터를 구비한 논리회로이다.

[0013]

구체적인 구성의 한가지는, 소스 및 드레인의 한쪽에 고 전원전압이 주어지고, 게이트와 소스 및 드레인의 다른 쪽이 전기적으로 접속된 디플리션형 트랜지스터와, 게이트에 제1 신호가 입력되고, 소스 및 드레인의 한쪽이 디플리션형 트랜지스터의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽에 저 전원전압이 주어지고, 디플리션형 트랜지스터와의 접속 개소의 전압이 제2 신호로서 출력되는 인핸스먼트형 트랜지스터를 갖고, 디플리션형 트랜지스터 및 인핸스먼트형 트랜지스터는, 게이트 전극과, 게이트 전극 위에 설치된 게이트 절연층과, 게이트 절연층 위에 설치된 제1 산화물 반도체층과, 제1 산화물 반도체층의 일부에 접하고, 소스 영역 및 드레인 영역이 되는 한 쌍의 제2 산화물 반도체층과, 소스 영역인 제2 산화물 반도체층에 접하는 소스 전극과, 드레인 영역인 제2 산화물 반도체층에 접하는 드레인 전극을 갖고, 인핸스먼트형 트랜지스터는, 제1 산화물 반도체층에 있어서의 소스 전극 및 드레인 전극 사이의 영역 위에 환원 방지층을 갖는 구성이다.

[0014]

또한 다른 구체적인 구성은, 게이트에 제1 클록 신호가 입력되고, 소스 및 드레인의 한쪽에 입력 신호가 입력되는 제1 트랜지스터와, 입력 단자가 제1 트랜지스터의 소스 및 드레인의 다른 쪽에 전기적으로 접속된 제1 인버터 회로와, 입력 단자가 제1 인버터 회로의 출력 단자에 전기적으로 접속되고, 출력 단자로부터 출력 신호를 출력하는 제3 인버터 회로와, 게이트에 제2 클록 신호가 입력되고, 소스 및 드레인의 한쪽이 제1 트랜지스터의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 제2 인버터 회로의 출력 단자에 전기적으로 접속되는 제2 트랜지스터를 갖고, 제1 인버터 회로 및 제2 인버터 회로는, 소스 및 드레인의 한쪽에 고 전원전압이 주어지고, 게이트와 소스 및 드레인의 다른 쪽이 전기적으로 접속된 디플리션형 트랜지스터와, 게이트에 제1 신호가 입력되고, 소스 및 드레인의 다른 쪽이 디플리션형 트랜지스터의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽에 저 전원전압이 주어지고, 디플리션형 트랜지스터와의 접속 개소의 전압이 제2 신호로서 출력되는 인핸스먼트형 트랜지스터를 갖고, 디플리션형 트랜지스터 및 인핸스먼트형 트랜지스터는, 게이트 전극과, 게이트 전극 위에 설치된 게이트 절연층과, 게이트 절연층 위에 설치된 제1 산화물 반도체층과, 제1 산화물 반도체층의 일부에 접하고, 소스 영역 및 드레인 영역이 되는 한 쌍의 제2 산화물 반도체층과, 소스 영역인 제2 산화물 반도체층에 접하는 소스 전극과, 드레인 영역인 제2 산화물 반도체층에 접하는 드레인 전극을 갖고, 인핸스먼트형 트랜지스터는, 제1 산화물 반도체층에 있어서의 소스 전극 및 드레인 전극의 사이의 영역 위에 환원 방지층을 갖는 구성이다.

[0015]

인핸스먼트형 트랜지스터는, 제1 산화물 반도체층에 있어서의 게이트 절연층과 반대측의 면에 소스 전극 및 드레인 전극 사이에 설치된 산소 결핍(oxygen vacancy) 제어영역을 갖는 구성으로 할 수도 있다.

[0016]

또한, 제1 산화물 반도체층 및 제2 산화물 반도체층은, 인듐, 갈륨 및 아연을 갖는 구성으로 할 수도 있다.

[0017]

또한, 다른 구체적인 구성은, 소스 및 드레인의 한쪽에 고 전원전압이 주어지고, 게이트와 소스 및 드레인의 다른 쪽이 전기적으로 접속된 디플리션형 트랜지스터와, 게이트에 제1 신호가 입력되고, 소스 및 드레인의 한쪽이 디플리션형 트랜지스터의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽에 저 전원전압이 주어지고, 디플리션형 트랜지스터와의 접속 개소의 전압이 제2 신호로서 출력되는 인핸스먼트형 트랜지스터를 갖고, 디플리션형 트랜지스터 및 인핸스먼트형 트랜지스터는, 게이트 전극과, 게이트 전극 위에 설치된 게이트 절연층과, 게이트 절연층 위에 설치된 산화물 반도체층과, 산화물 반도체층의 일부에 접하는 소스 전극 및 드레인 전극을 갖고, 인핸스먼트형 트랜지스터는, 산화물 반도체층에 있어서의 소스 전극 및 드레인 전극 사이의 영역 위에 환원 방지층을 갖는 구성이다.

[0018]

또한, 다른 구체적인 구성은, 게이트에 제1 클록 신호가 입력되고, 소스 및 드레인의 한쪽에 입력 신호

가 입력되는 제1 트랜지스터와, 입력 단자가 제1 트랜지스터의 소스 및 드레인의 다른 쪽에 전기적으로 접속된 제1 인버터 회로와, 입력 단자가 제1 인버터 회로의 출력 단자에 전기적으로 접속된 제2 인버터 회로와, 입력 단자가 제1 인버터 회로의 출력 단자에 전기적으로 접속되고, 출력 단자로부터 출력 신호를 출력하는 제3 인버터 회로와, 게이트에 제2 클록 신호가 입력되고, 소스 및 드레인의 한쪽이 제1 트랜지스터의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 제2 인버터 회로의 출력 단자에 전기적으로 접속되는 제2 트랜지스터를 갖고, 제1 인버터 회로 및 제2 인버터 회로는, 소스 및 드레인의 한쪽에 고 전원전압이 주어지고, 게이트와 소스 및 드레인의 다른 쪽이 전기적으로 접속된 디플리션형 트랜지스터와, 게이트에 제1 신호가 입력되고, 소스 및 드레인의 한쪽이 디플리션형 트랜지스터의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽에 저 전원전압이 주어지고, 디플리션형 트랜지스터와의 접속 개소의 전압이 제2 신호로서 출력되는 인핸스먼트형 트랜지스터를 갖고, 디플리션형 트랜지스터 및 인핸스먼트형 트랜지스터는, 게이트 전극과, 게이트 전극 위에 설치된 게이트 절연층과, 게이트 절연층 위에 설치된 산화물 반도체층과, 산화물 반도체층의 일부에 접하는 소스 전극 및 드레인 전극을 갖고, 인핸스먼트형 트랜지스터는, 산화물 반도체층에 있어서의 소스 전극 및 드레인 전극의 사이의 영역 위에 환원 방지층을 갖는 구성이다.

[0019] 인핸스먼트형 트랜지스터는, 제1 산화물 반도체층에 있어서의 게이트 절연층과 반대측의 면에 소스 전극 및 드레인 전극의 사이에 설치된 산소 결핍 제어영역을 갖는 구성으로 할 수도 있다.

또는 산화물 반도체층은, 인듐, 갈륨 및 아연을 갖는 구성으로 할 수도 있다.

또한, 디플리션형 트랜지스터 및 인핸스먼트형 트랜지스터는, 서로 같은 도전형으로 할 수도 있다.

[0022] 또한, 디플리션형 트랜지스터의 소스 전극 또는 드레인 전극은, 게이트 절연층에 설치된 개구부를 거쳐 인핸스먼트형 트랜지스터의 게이트 전극에 접하는 구성으로 할 수도 있다.

[0023] 본 명세서 중에서 사용하는 산화물 반도체는, $InMO_3(ZnO)_{m(0 < m < 1)}$ 로 표기되는 것이다. 이때, M은, 갈륨(Ga), 철(Fe), 니켈(Ni), 망간(Mn) 및 코발트(Co)에서 선택된 한가지의 금속 원소 또는 복수의 금속 원소를 표시한다. 예를 들면, M으로서, Ga의 경우가 있는 것 이외에, Ga와 Ni 또는 Ga와 Fe 등, Ga 이외의 상기 금속 원소가 포함되는 경우가 있다. 또한, 상기 산화물 반도체에 있어서, M으로서 포함되는 금속 원소 이외에, 불순물 원소로서 Fe, Ni 기타의 천이금속 원소, 또는 이 천이금속의 산화물이 포함되어 있는 일이 있다. 이때, 본 명세서에 있어서, 인듐, 갈륨 및 아연을 갖는 산화물 반도체막을 In-Ga-Zn-O계 비단결정 막이라고도 한다.

[0024] In-Ga-Zn-O계 비단결정 막의 결정구조는, 스퍼터링법으로 성막한 후, 열처리를 $200^{\circ}\text{C} \sim 500^{\circ}\text{C}$, 대표적으로는 $300^{\circ}\text{C} \sim 400^{\circ}\text{C}$ 에서 10분~100분 행하고 있기 때문에, 아모퍼스 구조가 XRD(X선회析)의 분석으로는 관찰된다. 또한, TFT의 전기 특성도 게이트 전압 $\pm 20\text{V}$ 에 있어서, 온 오프비가 10^9 이상, 이동도가 10 이상의 것을 제조할 수 있다.

[0025] 이때, 본 서 (명세서, 특허청구범위 또는 도면 등)에 있어서, 논리회로란 입력된 신호를 기초로 논리연산을 행하여, 연산 결과에 따른 신호를 출력하는 회로로서, 예를 들면, 조합 논리회로(예를 들면, NOT 회로나 NAND 회로)나 순서 논리회로 (예를 들면, 플립플롭회로나 시프트 레지스터 등도 논리회로에 포함된다.

효과

[0026] 경시적인 임계전압의 시프트가 억제된 산화물 반도체를 사용한 인핸스먼트형 박막 트랜지스터를 제공할 수 있으므로, 인핸스먼트형 트랜지스터를 갖는 논리회로에 있어서도 산화물 반도체를 사용한 트랜지스터를 적용할 수 있다.

발명의 실시를 위한 구체적인 내용

[0027] 각 실시형태에 대해서, 도면을 사용해서 이하에서 설명한다. 단, 본 명세서에 개시하는 발명은 이하의 설명에 한정되지 않고, 취지 및 그 범위에서 일탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있다는 것은 당업자라면 용이하게 이해된다. 따라서, 본 명세서에 개시하는 발명은 이하에 나타낸 실시형태의 기재 내용에 한정해서 해석되는 것은 아닌 것으로 한다.

[0028] (실시형태 1)

[0029] 본 실시형태에서는, 논리회로의 한가지 예에 관해 설명한다.

[0030] 우선, 본 실시형태에 있어서의 논리회로의 회로 구성에 대해서 도 1을 사용하여 설명한다. 도 1은 본 실시형태에 있어서의 논리회로의 회로 구성을 나타낸 회로도이다.

[0031] 도 1에 나타낸 논리회로는, 트랜지스터 101과, 트랜지스터 102를 갖는 조합 논리회로이다.

[0032] 이때, 본 서류(명세서, 특허청구범위 또는 도면 등)에 있어서, 트랜지스터는, 게이트, 소스 및 드레인의 적어도 3개의 단자를 갖는다.

[0033] 게이트란, 게이트 전극 및 게이트 배선의 일부 또는 전부를 말한다. 게이트 배선이란, 적어도 한개의 트랜지스터의 게이트 전극과, 다른 전극이나 다른 배선을 전기적으로 접속시키기 위한 배선을 말하고, 예를 들면, 표시장치에 있어서의 주사선도 게이트 배선에 포함된다.

[0034] 소스란, 소스 영역, 소스 전극 및 소스 배선의 일부 또는 전부를 말한다. 소스 영역이란, 반도체층 중에서, 저항율이 일정값 이하인 영역을 말한다. 소스 전극이란, 소스 영역에 접속되는 부분의 도전층을 말한다. 소스 배선이란, 적어도 한개의 트랜지스터의 소스 전극과, 다른 전극이나 다른 배선을 전기적으로 접속시키기 위한 배선을 말하고, 예를 들면, 표시장치에 있어서의 신호선이 소스 전극에 전기적으로 접속되는 경우에는 소스 배선에 신호선도 포함된다.

[0035] 드레인이란, 드레인 영역, 드레인 전극 및 드레인 배선의 일부 또는 전부를 말한다. 드레인 영역이란, 반도체층 중에서, 저항율이 일정값 이하인 영역을 말한다. 드레인 전극이란, 드레인 영역에 접속되는 부분의 도전층을 말한다. 드레인 배선이란, 적어도 한개의 트랜지스터의 드레인 전극과, 다른 전극이나 다른 배선을 전기적으로 접속시키기 위한 배선을 말하고, 예를 들면, 표시장치에 있어서의 신호선이 드레인 전극에 전기적으로 접속되는 경우에는 드레인 배선에 신호선도 포함된다.

[0036] 또한, 본 서류(명세서, 특허청구범위 또는 도면 등)에 있어서, 트랜지스터의 소스와 드레인은, 트랜지스터의 구조나 동작조건 등에 의해 변하기 때문에, 어느 것이 소스 또는 드레인인지를 한정하는 것이 곤란하다. 따라서, 본 서류(명세서, 특허청구범위 또는 도면 등)에 있어서는, 소스 및 드레인으로부터 임의로 선택한 한쪽의 단자를 소스 및 드레인의 한쪽으로 표기하고, 다른 쪽의 단자를 소스 및 드레인의 다른 쪽으로 표기한다.

[0037] 트랜지스터 101은, 디플리션형의 트랜지스터(디플리션형 트랜지스터라고도 한다)로서, 소스 및 드레인의 한쪽이 전원선 103에 전기적으로 접속되고, 전원선 103을 통해 소스 및 드레인의 한쪽에 고 전원전압(Vdd라고도 한다)이 주어진다. 또한, 게이트와, 소스 및 드레인의 다른 쪽이 전기적으로 접속(다이오드 접속이라고도 한다)되어 있다. 이때, 디플리션형 트랜지스터란, 예를 들면, N채널형 트랜지스터의 경우에 있어서 임계전압이 음의 값인 트랜지스터를 말한다.

[0038] 이때, 일반적으로 전압이란, 2점 사이에 있어서의 전위의 차이(전위차라고도 한다)를 말하고, 전위란, 어떤 한 점에 있어서의 정전기장 내부에 있는 단위 전하가 갖는 정전 에너지(전기적인 위치에너지)를 말한다. 그러나, 전자회로에서는, 한 점 뿐이라도, 예를 들면, 상기한 점의 전위와 기준이 되는 전위(기준전위라고도 한다)의 전위차를 값으로서 사용하는 일이 있고, 또한, 전압과 전위의 값은, 모두 볼트(V)로 표시되기 때문에, 본원의 서류(명세서 및 특허청구범위)에서는, 특별히 지정하는 경우를 제외하고, 한 점뿐이라도 전압을 값으로서 사용하는 경우가 있다.

[0039] 트랜지스터 102는, 인핸스먼트형의 트랜지스터(인핸스먼트형 트랜지스터라고도 한다)로서, 소스 및 드레인의 한쪽이 트랜지스터 101의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 전원선 104에 전기적으로 접속되고, 전원선 104를 통해 소스 및 드레인의 다른 쪽에 저 전원전압(Vss라고도 한다)이 주어진다. 저 전원전압은, 예를 들면, 접지전위(VGND라고도 한다) 또는 소정의 전압이다. 이때, 인핸스먼트형 트랜지스터는, 예를 들면, N채널형 트랜지스터의 경우에 있어서 임계전압이 양의 값인 트랜지스터를 말한다.

[0040] 고 전원전압은, 저 전원전압보다 상대적으로 값이 높은 전압이고, 저 전원전압은, 고 전원전압보다 상대적으로 값이 낮은 전압이다. 각각의 값은 회로의 사양 등에 의해 적절히 설정되기 때문에 특별하게 한정되지 않는다. 예를 들면, $V_{dd} > V_{ss}$ 라도 반드시 $|V_{dd}| > |V_{ss}|$ 이라고는 할 수 없다. 또한 $V_{dd} > V_{ss}$ 라도 반드시 $V_{GND} \geq$

V_{SS}라고도 할 수 없다.

[0041] 또한, 트랜지스터 101 및 트랜지스터 102는 서로 같은 도전형의 트랜지스터를 적용할 수 있다. 본 실시 형태에서는, 일례로서 트랜지스터 101 및 트랜지스터 102가 N채널형 트랜지스터인 것으로 하여 설명한다.

[0042] 다음에, 도 1에 나타낸 논리회로의 동작에 관해 설명한다. 본 실시형태에 있어서의 논리회로에서는, 제1 신호가 트랜지스터 102의 게이트에 입력되고, 트랜지스터 101과 트랜지스터 102의 접속 개소(노드라고도 한다)(105)의 전압이 제2 신호로서 출력된다. 구체적인 동작에 대해서 이하에서 설명한다.

[0043] 본 실시형태에 있어서의 논리회로의 동작은, 제1 신호가 로우 상태인지 하이 상태인지에 따라 2종류로 나눌 수 있다. 로우 상태는 하이 상태보다 상대적으로 전압이 낮은 상태이며, 하이 상태는 로우 상태보다 상대적으로 전압이 높은 상태를 표시한다. 각각의 경우에 대해서 도 2를 사용하여 설명한다. 도 2는 본 실시형태에 있어서의 논리회로의 동작을 도시한 도면이다. 이때, 본 실시형태에서는, 일례로서 로우 상태일 때가 0의 데이터이고, 하이 상태일 때가 1의 데이터인 것으로 하여 설명하지만, 이것에 한정되지 않고, 로우 상태일 때가 1의 데이터로 하고, 하이 상태일 때가 0의 데이터로 할 수도 있다. 이때, 로우 상태일 때의 전압을 로우 전압(VL이라고도 한다), 하이 상태일 때의 전압을 하이 전압(VH라고도 한다)이라고 한다. 로우 전압 및 하이 전압의 값은 일정한 값에 한정되는 것이 아니고, 로우 전압은 일정값 이하이면 되고, 또한 하이 전압은 일정값 이상이면 된다.

[0044] 도 2a는 제1 신호의 전압(V1이라고도 한다)이 하이 상태인 경우, 즉 V1=VH인 경우에 있어서의 동작을 나타내고 있다. 도 2a에 도시된 것과 같이, V1=VH인 경우, 트랜지스터 102가 온 상태가 된다. 트랜지스터 102가 온 상태일 때 트랜지스터 102의 저항값(R102이라고도 한다)이 트랜지스터 101의 저항값(R101이라고도 한다)보다 낮아지는, 즉 R102<R101이 되기 때문에, 노드(105)의 전압(V105이라고도 한다)이 VL이 되고, 제2 신호의 전압(V2라고도 한다)은 VL이 된다.

[0045] 또한, 도 2b는 V1=VL인 경우에 있어서의 동작을 나타내고 있다. 도 2b에 도시된 것과 같이, V1=VL인 경우 트랜지스터 102가 오프 상태가 된다. 트랜지스터 102가 오프 상태일 때, R102>R101이 되기 때문에, V105=VH가 되고, V2=VH가 된다. 이때, 제2 신호의 전압인 VH의 값은, Vdd-Vth101이 된다(Vth101은 트랜지스터 101의 임계전압을 나타낸다). 이상이 도 1에 나타낸 논리회로의 동작이다.

[0046] 더구나, 도 1에 나타낸 조합 논리회로를 사용해서 순서 논리회로를 구성할 수 있다. 조합회로를 사용한 논리회로의 회로 구성에 대해서 도 3을 사용하여 설명한다. 도 3은 본 실시형태에 있어서의 논리회로의 회로 구성을 나타낸 회로도이다.

[0047] 도 3에 나타낸 논리회로는, 트랜지스터 111과, 인버터 1121과, 인버터 1122와, 인버터 1123과, 트랜지스터 113을 갖는다.

[0048] 트랜지스터 111은, 게이트에 제1 클록 신호(CL1이라고도 한다)가 입력되고, 소스 및 드레인의 한쪽에 신호가 입력된다. 소스 및 드레인의 한쪽에 입력되는 신호를 입력 신호라고 한다.

[0049] 인버터 1121은, 입력 단자가 트랜지스터 111의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다.

[0050] 인버터 1122는, 입력 단자가 인버터 1121의 출력 단자에 전기적으로 접속된다.

[0051] 인버터 1123은, 입력 단자가 인버터 1121의 출력 단자에 전기적으로 접속되고, 출력 단자로부터 제2 신호가 출력된다.

[0052] 인버터 1121 내지 인버터 1123에는, 각각 도 1에 나타낸 논리회로를 적용할 수 있다.

[0053] 트랜지스터 113은, 게이트에 제2 클록 신호(CL2이라고도 한다)가 입력되고, 소스 및 드레인의 한쪽이 트랜지스터 111의 소스 및 드레인의 다른 쪽에 전기적으로 접속되어, 소스 및 드레인의 다른 쪽이 인버터 1122의 출력 단자에 전기적으로 접속된다.

[0054] 제1 클록 신호 및 제2 클록 신호는 하이 상태와 로우 상태의 2가지 상태를 갖고, 하이 상태일 때의 전압은 하이 전압이 되고, 로우 상태일 때의 전압은, 로우 전압이 된다.

[0055] 또한, 제1 클록 신호 및 제2 클록 신호는, 위상이 서로 반대의 관계로서, 예를 들면, 소정의 기간에 있어서, 제1 클록 신호가 하이 상태일 때에는, 제2 클록 신호는 로우 상태이고, 제1 클록 신호가 로우 상태일 때에는, 제2 클록의 신호는 하이 상태이다.

- [0056] 이때, 본 실시형태에서는, 트랜지스터 111의 게이트에 제1 클록 신호가 입력되고, 트랜지스터 113의 게이트에 제2 클록 신호가 입력되는 경우에 관해 설명하지만, 이것에 한정되지 않고, 트랜지스터 111의 게이트에 제2 클록 신호가 입력되고, 트랜지스터 113의 게이트에 제1 클록 신호가 입력되는 구성으로 할 수도 있다.
- [0057] 다음에, 도 3에 나타낸 논리회로의 동작에 대해 도 4, 도 5 및 도 6을 사용하여 설명한다. 도 4 및 도 5는 도 3에 나타낸 논리회로의 동작을 나타낸 도면이고, 도 6은 도 3에 나타낸 논리회로의 동작을 나타낸 타이밍 차트도이다.
- [0058] 도 3에 나타낸 논리회로의 동작은, 주로 4개의 기간으로 나뉜다. 각각의 기간에 대해 이하에서 설명한다.
- [0059] 우선, 제1 기간에서는, 도 6에 도시된 것과 같이 제1 클록 신호가 하이 상태, 즉 $CL1=VH$ 가 되고, 제2 클록 신호가 로우 상태, 즉 $CL2=VL$ 이 되는 것에 의해, 도 4a에 도시된 것과 같이 트랜지스터 111이 온 상태가 되어, 트랜지스터 113이 오프 상태가 된다. 더구나, 입력 신호의 전압(Vin 이라고도 한다)은 하이 전압이 되는데, 즉 $Vin=VH$ 가 된다.
- [0060] 이때, 트랜지스터 111이 온 상태이기 때문에, 노드 114의 전압($V114$ 이라고도 한다)은 VH 가 된다. 더구나, 노드 114의 전압이 인버터 1121의 입력 단자에 주어지기 때문에, 인버터 1121로부터 VL 의 신호가 출력되어, 노드 115의 전압($V115$ 이라고도 한다)은 VL 이 된다. 더구나, 노드 115의 전압이 인버터 1122의 입력 단자에 주어지기 때문에, 인버터 1122로부터 VH 의 신호가 출력되지만, 트랜지스터 113이 오프 상태 때문에, 노드 114에는 인버터 1122의 출력 신호의 전압은 주어지지 않는다. 또한, 노드 115의 전압은 인버터 1123의 입력 단자에도 주어지기 때문에, 도 4a에 도시된 것과 같이 인버터 1123으로부터 VH 의 신호가 출력된다. 이상이 제1 기간에 있어서의 동작이다.
- [0061] 다음에, 제2 기간에서는, 도 6에 도시된 것과 같이, $CL1=VL$ 이 되고, $CL2=VH$ 가 되는 것에 의해, 도 4b에 도시된 것과 같이 트랜지스터 111이 오프 상태가 되고, 트랜지스터 113이 온 상태가 된다. 더구나, $Vin=VL$ 이 된다.
- [0062] 이때 트랜지스터 111이 오프 상태이기 때문에, $Vin=VL$ 이어도 $V114=VH$ 인 채로 유지된다. 더구나, 노드 114의 전압이 인버터 1121의 입력 단자에 주어지기 때문에, 인버터 1121로부터 VL 의 신호가 출력되어, $V115=VL$ 로 유지된다. 더구나, 노드 115의 전압이 인버터 1122의 입력 단자에 주어져, 인버터 1122로부터 VH 의 신호가 출력되고, 더구나, 트랜지스터 113이 온 상태이기 때문에, 노드 114에 인버터 1122의 신호의 전압이 주어진다. 또한, 노드 115의 전압은 인버터 1123의 입력 단자에도 주어지기 때문에, 도 4b에 도시된 것과 같이 인버터 1123으로부터 VH 의 신호가 출력된다. 이상이 제2 기간에 있어서의 동작이다.
- [0063] 다음에, 제3 기간에서는 도 6에 도시된 것과 같이 $CL1=VH$ 가 되고, $CL2=VL$ 이 되는 것에 의해, 도 5a에 도시된 것과 같이 트랜지스터 111이 온 상태가 되고, 트랜지스터 113이 오프 상태가 된다. 더구나, $Vin=VL$ 인 채이다.
- [0064] 이때 트랜지스터 111이 온 상태이기 때문에, $V114=VL$ 이 된다. 더구나, 노드 114의 전압이 인버터 1121의 입력 단자에 주어지기 때문에, 인버터 1121로부터 VH 의 신호가 출력되어, $V115=VH$ 가 된다. 더구나, 노드 115의 전압이 인버터 1122의 입력 단자에 주어지기 때문에, 인버터 1122로부터 VL 의 신호가 출력되지만, 트랜지스터 113이 오프 상태이기 때문에, 노드 114에는 인버터 1122의 출력 신호의 전압은 주어지지 않는다. 또한, 노드 115의 전압은 인버터 1123의 입력 단자에도 주어지기 때문에, 도 5a에 도시된 것과 같이 인버터 1123로부터 VL 의 신호가 출력된다. 이상이 제3 기간에 있어서의 동작이다.
- [0065] 다음에, 제4 기간에서는, 도 6에 도시된 것과 같이 $CL1=VL$ 이 되고, $CL2=VH$ 가 되는 것에 의해, 도 5b에 도시된 것과 같이 트랜지스터 111이 오프 상태가 되고, 트랜지스터 113이 온 상태가 된다. 더구나, $Vin=VL$ 인 채이다.
- [0066] 이때 트랜지스터 111이 오프 상태이기 때문에, $V114=VL$ 인 채로 유지된다. 더구나, $V114=VL$ 이기 때문에, 인버터 1121로부터 VH 의 신호가 출력되어, $V115=VH$ 에 유지된다. 더구나, $V115=VH$ 이기 때문에, 인버터 1122로부터 VL 의 신호가 출력되어, 더구나, 트랜지스터 113이 온 상태 때문에, 노드 114에 인버터 1122의 신호의 전압이 주어진다. 또한, 노드 115의 전압은 인버터 1123의 입력 단자에도 주어지기 때문에, 도 5b에 도시된 것과 같이 인버터 1123로부터 VL 의 신호가 출력된다. 이상이 제4 기간에 있어서의 동작이다.
- [0067] 상기 동작에 의해 도 3에 나타낸 논리회로는, 입력된 신호의 상태에 근거한 출력 신호를 생성할 수 있

다.

[0068] 이때, 도 3에 나타낸 논리회로에 있어서, 인버터 회로 1123에 부트스트랩법을 사용한 조합 논리회로를 적용할 수도 있다. 부트스트랩법을 사용한 논리회로에 대해서도 7을 사용하여 설명한다. 도 7은 본 실시형태에 있어서의 부트스트랩법을 사용한 논리회로의 회로 구성을 나타낸 회로도이다.

[0069] 도 7에 나타낸 논리회로는, 도 1에 나타낸 논리회로의 회로 구성에 덧붙여, 트랜지스터 106과, 용량소자 108과, 용량소자 109를 갖고, 더구나, 트랜지스터 101 대신에 트랜지스터 107을 갖는다. 도 7에 나타낸 논리회로에 있어서, 도 1에 나타낸 논리회로와 같은 부분은, 도 1에 나타낸 논리회로의 설명을 적당하게 원용한다.

[0070] 트랜지스터 106은, 게이트, 및 소스 및 드레인의 한쪽이 전원선 103에 전기적으로 접속되고, 게이트, 및 소스 및 드레인의 한쪽에 고 전원전압이 주어지고, 소스 및 드레인의 다른 쪽이 트랜지스터 107의 게이트에 전기적으로 접속된다.

[0071] 트랜지스터 107은, 게이트가 트랜지스터 106의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 전원선 103에 전기적으로 접속되고, 소스 및 드레인의 한쪽에 고 전원전압이 주어진다.

[0072] 용량소자 108은, 제1단자 및 제2단자를 갖고, 제1단자가 트랜지스터 106의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 제2단자가 트랜지스터 107의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다.

[0073] 용량소자 109는, 제1단자 및 제2단자를 갖고, 제1단자가 트랜지스터 107의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 제2단자가 전원선 104에 전기적으로 접속되고, 제2단자에 저 전원전압이 주어진다.

[0074] 다음에, 도 7에 나타낸 논리회로의 동작에 관해 설명한다.

[0075] 도 7에 나타낸 논리회로에서는, 도 1에 나타낸 논리회로와 마찬가지로 제1 신호가 트랜지스터 102의 게이트에 입력되고, 트랜지스터 107과 트랜지스터 102의 노드 1111의 전압이 제2 신호로서 출력된다.

[0076] 더구나, 도 7에 나타낸 논리회로의 동작은, 제1 신호의 전압이 로우 상태인지 하이 상태인지에 따라 2 종류로 나눌 수 있다. 각각의 경우에 대해서도 8을 사용하여 설명한다. 도 8은 본 실시형태에 있어서의 논리회로의 동작을 도시한 도면이다. 이때, 본 실시형태에서는, 일례로서 로우 상태일 때가 0의 데이터이며, 하이 상태일 때가 1의 데이터인 것으로 하여 설명하지만, 이것에 한정되지 않고 로우 상태일 때가 1의 데이터로 하고, 하이 상태일 때가 0의 데이터로 할 수도 있다.

[0077] 도 8a는, V1=VH인 경우에 있어서의 동작을 나타내고 있다. 도 8a에 도시된 것과 같이 V1=VH인 경우, 트랜지스터 102가 온 상태가 된다. 트랜지스터 102가 온 상태일 때, 트랜지스터 102의 저항값이 트랜지스터 107의 저항값(R107이라고도 한다)보다 낮아지는데, 즉 R102<R107이 되고, 노드 1111의 전압(V1111이라고도 한다)이 VL이기 때문에, V2=VL이 된다. 더구나, 이때 트랜지스터 106의 소스 및 드레인의 다른 쪽과 트랜지스터 107의 게이트의 노드 110의 전압이, 고 전원전압으로부터 트랜지스터 106의 임계전압(Vth106이라고도 한다)을 뺀 값, 즉 Vdd-Vth106이 될 때, 트랜지스터 106이 오프 상태가 되고, 노드 110은 부유 상태(플로팅 상태라고도 한다)가 된다.

[0078] 도 8b는, V1=VL인 경우에 있어서의 동작을 나타내고 있다. 도 8b에 도시된 것과 같이 V1=VL인 경우 트랜지스터 102가 오프 상태가 된다. 트랜지스터 102가 오프 상태일 때, R102>R107이 되어, 용량소자 109에 의해 노드 1111의 전압이 상승하고, 더구나, 용량소자 108에 의한 용량결합에 의해 노드 110의 전압도 상승하기 때문에, V2=V110=V1111=VH가 된다. 이때 VH의 값은, 도 1에 나타낸 논리회로의 제2 신호의 전압인 VH보다 큰 값이 되고, VH=Vdd+Vth106이 된다. 이상이 도 7에 나타낸 논리회로의 동작이다.

[0079] 상기한 것과 같이, 도 7에 나타낸 논리회로를 인버터 회로 1123에 사용함으로써 제2 신호의 전압을 증폭시킬 수 있다.

[0080] 다음에, 도 1에 나타낸 논리회로의 구조에 대해서도 9를 사용하여 설명한다. 도 9는 도 1에 나타낸 논리회로의 구조를 나타낸 도면으로, 도 9a는 평면도이며, 도 9b 및 도 9c는 도 9a에 나타낸 논리회로의 Z1-Z2에 있어서의 단면도이다.

[0081] 도 9a 및 도 9b에 도시된 것과 같이, 본 실시형태에 있어서의 논리회로는, 트랜지스터 201 및 트랜지스터 202를 갖고, 구체적으로는, 기판(210)과, 기판(210) 위에 게이트 전극 2111 및 게이트 전극 2112와, 게이트 전극 2111 및 게이트 전극 2112를 덮도록 설치된 게이트 절연층(212)과, 게이트 전극 2111 상의 게이트 절연층(212) 위에 설치된 산화물 반도체층 2131과, 게이트 전극 2112 상의 게이트 절연층(212) 위에 설치된 산화물 반

도체층 2132와, 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b와, 환원 방지층(218)을 갖는다.

[0082] 트랜지스터 201은, 도 1에 있어서의 트랜지스터 101에 해당하고, 기판(210) 위에 게이트 전극 2111이 설치되고, 게이트 전극 2111 위에 게이트 절연층(212)이 설치되고, 게이트 절연층(212) 위에 산화물 반도체층 2131이 설치되고, 산화물 반도체층 2131 위에 한 쌍의 산화물 반도체층인 산화물 반도체층 2141a 및 산화물 반도체층 2141b이 설치되고, 산화물 반도체층 2141a 및 산화물 반도체층 2141b에 접하도록 한 쌍의 전극인 전극 215 및 전극 216이 설치된다.

[0083] 이때, A의 위에 B가 형성되어 있다, 또는, A 위에 B가 형성되어 있다라고 명시적으로 기재하는 경우에는, A 위에 B가 직접 접해서 형성되어 있는 것에 한정되지 않는다. 직접 접해 있지 않은 경우, 즉, A와 B 사이에 다른 대상물이 개재하는 경우도 포함하는 것으로 한다. 여기에서, A, B는, 대상물(예를 들면, 장치, 소자, 회로, 배선, 전극, 단자, 막, 또는 층 등)인 것으로 한다.

[0084] 따라서, 예를 들면, 층 A의 위 또는 층 A위에 층 B가 형성되어 있다고 명시적으로 기재되어 있는 경우에는, 층 A 위에 직접 접해서 층 B가 형성되어 있을 경우와, 층 A 위에 직접 접해서 다른 층(예를 들면, 층 C나 층 D 등)이 형성되어 있고, 그 위에 직접 접해서 층 B가 형성되어 있을 경우를 포함하는 것으로 한다. 이때, 다른 층(예를 들면, 층 C이나 층 D 등)은, 단층이어도 되고, 복층이어도 된다.

[0085] 또한, 트랜지스터 202는, 도 1에 있어서의 트랜지스터 102에 해당하고, 기판(210) 위에 게이트 전극 2112가 설치되고, 게이트 전극 2112 위에 게이트 절연층(212)이 설치되고, 게이트 절연층(212) 위에 산화물 반도체층 2132가 설치되고, 산화물 반도체층 2132 위에 한 쌍의 산화물 반도체층인 산화물 반도체층 2142a 및 산화물 반도체층 2142b가 설치되고, 산화물 반도체층 2142a 및 산화물 반도체층 2142b에 접하도록 한 쌍의 전극인 전극 216 및 전극 217이 설치되고, 산화물 반도체층 2132 위에 환원 방지층(218)이 설치된다.

[0086] 기판(210)으로서는, 바륨 보로실리케이트 유리, 알루미노보로실리케이트 유리, 또는 알루미노실리케이트 유리 등, 퓨전법이나 플로트법으로 제조되는 무알칼리 유리 기판, 세라믹 기판 이외에, 본 제조공정의 처리온도를 견딜 수 있는 내열성을 갖는 플라스틱 기판 등을 사용할 수 있다. 플라스틱 기판으로서는, 예를 들면 FRP(Fiberglass-Reinforced Plastics) 판, PVF(폴리비닐 폴루오라이드) 필름, 폴리에스테르 필름 또는 아크릴수지 필름을 사용할 수 있다. 또한, 알루미늄 호일을 PVF 필름이나 폴리에스테르 필름으로 끼운 구조의 시이트를 기판으로서 사용할 수도 있다.

[0087] 게이트 전극 2111 및 게이트 전극 2112로서는, 예를 들면, 몰리브덴, 티타늄, 크롬, 탄탈, 텉스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐 등의 금속재료 또는 이것들을 주성분으로 하는 합금재료를 사용하여, 단층으로 또는 적층해서 형성할 수 있다. 또한 형성된 게이트 전극 2111 및 게이트 전극 2112의 단부는 테이퍼 형상인 것이 바람직하다.

[0088] 예를 들면, 게이트 전극 2111 및 게이트 전극 2112 각각의 2층의 적층구조로서는, 알루미늄층 위에 몰리브덴층이 적층된 2층의 적층구조, 또는 구리층 위에 몰리브덴층을 적층한 2층 구조, 또는 구리층 위에 질화티타늄층 또는 질화 탄탈을 적층한 2층 구조, 질화 티타늄층과 몰리브덴층을 적층한 2층 구조로 하는 것이 바람직하다. 적층 구조로서는, 텉스텐층 또는 질화 텉스텐층과, 알루미늄과 실리콘의 합금 또는 알루미늄과 티타늄의 합금의 층과, 질화 티타늄층 또는 티타늄층을 적층한 적층으로 하는 것이 바람직하다.

[0089] 게이트 절연층(212)은, 실리콘, 알루미늄, 이트륨, 탄탈, 또는 하프늄의 산화물, 질화물, 산화질화물, 또는 질화산화물의 1종 또는 그것들의 화합물을 적어도 2종 이상 포함하는 화합물을 사용할 수도 있다. 또한, 게이트 절연층(212)에, 염소, 불소 등의 할로겐 원소를 포함시켜도 된다.

[0090] 산화물 반도체층 2131 및 산화물 반도체층 2132는, 제1 산화물 반도체층이다. 산화물 반도체층 2131 및 산화물 반도체층 2132로서는, 예를 들면, In-Ga-Zn-O계 비단결정 막 등을 사용할 수 있다.

[0091] 산화물 반도체층 2141a 및 산화물 반도체층 2141b 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b는, 제2 산화물 반도체층이며, 소스 영역 및 드레인 영역으로서 기능한다. 산화물 반도체층 2141a 및 산화물 반도체층 2141b 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b는, 예를 들면, 산화물 반도체층 2131 및 산화물 반도체층 2132의 성막조건과는 다른 성막 조건에서 형성된 In-Ga-Zn-O계 비단결정 막에 의해 형성된다. 예를 들면, 스퍼터링법에서의 아르곤 가스 유량을 40sccm로 한 조건으로 얻어지는 산화물 반도체막으로 형성한 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b는, N형의 도전형을 갖고, 활성화 에너지(ΔE)가 0.01eV 이상 0.1eV 이하이다. 이때, 본 실시형태에서는, 산화물 반도체층

2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b는, In-Ga-Zn-O계 비단 결정 막이며, 적어도 아모페스 성분을 포함하고 있는 것으로 한다. 또한, 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b 내부에 결정립(나노 크리스탈)을 포함하는 경우가 있다. 이 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b 내부의 결정립(나노 크리스탈)은 직경 1nm~10nm, 대표적으로는 2nm~4nm 정도이다.

[0092] 이때, 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b는, 반드시 설치할 필요는 없고, 도 9c에 도시된 것과 같이 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b가 없는 구성으로 할 수도 있지만, 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b를 설치함으로써, 예를 들면, 상부의 전극과 제1 산화물 반도체층 사이를 양호한 접합으로 할 수 있어, 쇼트키 접합에 비해 열에 대하여도 안정된 동작을 행할 수 있다. 또한, 높은 드레인 전압에서도 양호한 이동도를 유지할 수도 있다.

[0093] 전극 215 내지 전극 217은, 소스 전극 또는 드레인 전극으로서 기능한다. 전극 215 내지 전극 217로서는, 알루미늄, 구리, 크롬, 실리콘, 티타늄, 네오디뮴, 스칸듐, 몰리브덴 등의 원소 또는 헬록 방지 원소가 첨가된 알루미늄 합금의 단층 또는 적층으로 형성하는 것이 바람직하다. 또한, 200°C~600°C의 열처리를 행하는 경우에는, 이 열처리에 견디는 내열성을 도전막을 갖게 하는 것이 바람직하다. 예를 들면, 전극 215 내지 전극 217로서, 티타늄 막, 알루미늄 막, 티타늄 막의 적층을 사용하면 저저항이고, 또한 알루미늄 막에 헬록이 발생하기 어렵다. 전극 215 내지 전극 217은, 스퍼터링법이나 진공증착법으로 형성할 수 있다. 또한, 전극 215 내지 전극 217은, 은, 금, 구리 등의 도전성 나노 페이스트를 사용해서 스크린 인쇄법, 잉크젯법 등을 사용해서 토출하고 소성해서 형성해도 된다.

[0094] 환원 방지층(218)은, 적어도 산화물 반도체층 2132에 있어서의 전극 216 및 전극 217 사이의 영역(백 채널 영역이라고도 한다) 위에 설치되고, 산화물 반도체층 2132에의 수분 등의 불순물의 침입의 방지나 백 채널 영역의 환원을 방지하는 기능을 갖는다. 환원 방지층(218)으로서는, 예를 들면, 비환원성의 막을 사용할 수 있고, 예를 들면, 산화 실리콘 또는 산화 알루미늄 등의 산화막을 사용할 수 있다. 이때, 환원 방지층(218)은, 기능의 한가지에 환원 방지 기능을 포함하고 있으면 되고, 또 다른 기능을 부가시킬 수도 있다.

[0095] 이때, 본 실시형태에 나타낸 논리회로는, 트랜지스터 202로서 백 채널 영역에 소정의 처리를 행하여 인핸스먼트형이 되도록 임계전압을 시프트시킨 박막 트랜지스터를 적용할 수도 있다. 소정의 처리로서는 예를 들면, 산소 결핍(산소 결핍 결함이라고도 한다)의 밀도를 제어하는 처리(산소 결핍 제어처리라고도 한다)가 있으며, 산소 결핍 제어처리로서는, 예를 들면, 산소 플라즈마 처리, 산소 기류 중에서의 어닐 처리, 및 산소 이온 조사 처리 등이 있다. 예를 들면, 산소 플라즈마 처리는, 산소 가스의 글로우 방전 플라즈마에서 생성된 라디칼로 산화물 반도체층의 표면을 처리하는 것인데, 플라즈마를 생성하는 가스로서는 산소 뿐만 아니라, 산소 가스와 희가스의 혼합 가스이어도 된다. 이 박막 트랜지스터를 적용함으로써 산화물 반도체를 사용한 트랜지스터를 사용한 경우에 있어서도, 보다 용이하게 다른 임계전압의 복수의 트랜지스터를 사용한 논리회로를 구성할 수 있다. 산소 결핍 제어처리에 의해 트랜지스터 201과 트랜지스터 202에서 산소 결핍 밀도를 다르게 해서 디플리션형 트랜지스터 및 인핸스먼트형 트랜지스터의 양쪽을 갖는 논리회로를 구성할 수 있다.

[0096] 또한, 본 실시형태의 논리회로는, 한개의 트랜지스터의 소스 전극 및 드레인 전극의 한쪽과, 다른 트랜지스터의 게이트 전극이 직접 접하는 구조로 할 수도 있다. 이 구조의 논리회로에 대해서 도 10을 사용하여 설명한다. 도 10은, 본 실시형태에 있어서의 논리회로의 구조를 나타낸 도면으로, 도 10a는 논리회로의 평면도이며, 도 10b는 도 10a의 논리회로의 Z1-Z2에 있어서의 단면도이다. 이때, 도 10에 나타낸 논리회로 중에서, 도 9에 나타낸 논리회로와 동일한 부분에 관해서는 도 9의 논리회로의 설명을 적당하게 원용한다.

[0097] 도 10에 나타낸 논리회로는, 도 9에 나타낸 논리회로와 마찬가지로 트랜지스터 201 및 트랜지스터 202를 갖고, 더구나, 도 10에 나타낸 논리회로는, 트랜지스터 201에 있어서, 게이트 전극 2111이 게이트 절연층(212)에 설치된 개구부를 거쳐 전극 216에 직접 접한다.

[0098] 상기한 것과 같이, 게이트 절연층(212)에 설치된 개구부를 거쳐 게이트 전극 2112 및 전극 216을 접속 시킨 트랜지스터를 사용한 논리회로는, 양호한 콘택을 얻을 수 있어, 접촉저항을 저감할 수 있다. 따라서, 개구의 수의 저감, 개구의 수의 저감에 따른 점유 면적의 축소를 도모할 수 있다.

[0099] 이상과 같이, 산화물 반도체를 사용한 박막 트랜지스터를 사용해서 다른 임계전압을 갖는 트랜지스터를 사용한 논리회로를 제공할 수 있다. 또한, 산화물 반도체를 사용한 박막 트랜지스터를 사용함으로써 논리회로를

고속 동작시킬 수 있다. 또한, 동일 도전형의 트랜지스터를 사용해서 논리회로를 구성할 수 있으므로, 다른 도전형의 트랜지스터를 사용한 논리회로에 비해, 공정을 간단하게 할 수 있다.

[0100] (실시형태 2)

[0101] 본 실시형태에서는, 상기 실시형태 1의 도 3에 나타낸 논리회로를 단위 순서 논리회로로서 사용한 시프트 레지스터에 관해 설명한다. 이때, 본 실시형태에서는, 일례로서 도 3에 나타낸 논리회로를 단위 순서 논리회로로서 설명한다.

[0102] 본 실시형태에 있어서의 시프트 레지스터는, 상기 실시형태 1의 도 3에 나타낸 논리회로를 단위 순서 논리회로로서 복수개 갖고, 복수의 단위 순서 논리회로가 서로 직렬접속으로 전기적으로 접속된 구조이다. 구체적인 구성에 대해서 도 11을 사용하여 설명한다. 도 11은 본 실시형태에 있어서의 시프트 레지스터의 구성을 나타낸 회로도이다.

[0103] 도 11에 나타낸 시프트 레지스터는, 논리회로 3011과, 논리회로 3012와, 논리회로 3013과, NAND 회로 3140과, NAND 회로 3141과, NAND 회로 3142와, NAND 회로 3143을 갖는다. 이때, 도 11에 있어서 3개(3단이라고 한다)의 단위 순서 논리회로를 나타내지만, 이것에 한정되지 않고, 2단 이상이면 된다.

[0104] 논리회로 3011은, 트랜지스터 3111과, 인버터 3121A와, 인버터 3122A와, 인버터 3123A와, 트랜지스터 3131을 갖는다. 논리회로 3011은, 도 3에 나타낸 논리회로와 회로 구성이 동일하고, 구체적으로는, 트랜지스터 3111은 트랜지스터 111에 해당하고, 인버터 3121A는 인버터 1121에 해당하고, 인버터 3122A는 인버터 1122에 해당하고, 인버터 3123A는 인버터 1123에 해당하고, 트랜지스터 3131은 트랜지스터 113에 해당한다. 따라서, 각 회로의 설명에 대해서는 도 3에 나타낸 논리회로의 설명을 적당하게 원용한다. 또한, 논리회로 3011에서는, 트랜지스터 3111의 게이트에 제1 클록 신호가 입력되고, 트랜지스터 3131의 게이트에 제2 클록 신호가 입력된다.

[0105] 논리회로 3012는, 트랜지스터 3112와, 인버터 3121B와, 인버터 3122B와, 인버터 3123B와, 트랜지스터 3132를 갖는다. 논리회로 3012는, 도 3에 나타낸 논리회로와 구성이 동일하고, 구체적으로는, 트랜지스터 3112는 트랜지스터 111에 해당하고, 인버터 3121B는 인버터 1121에 해당하고, 인버터 3122B는 인버터 1122에 해당하고, 인버터 3123B는 인버터 1123에 해당하고, 트랜지스터 3132는 트랜지스터 113에 해당한다. 따라서, 각 회로의 설명에 대해서는, 도 3에 나타낸 논리회로의 설명을 적당하게 원용한다. 또한, 논리회로 3012에서는, 트랜지스터 3112의 게이트에 제2 클록 신호가 입력되고, 트랜지스터 3132의 게이트에 제1 클록 신호가 입력된다.

[0106] 논리회로 3013은, 트랜지스터 3113과, 인버터 3121C와, 인버터 3122C와, 인버터 3123C와, 트랜지스터 3133을 갖는다. 논리회로 3013은, 도 3에 나타낸 논리회로와 구성이 동일하고, 구체적으로는, 트랜지스터 3113은 트랜지스터 111에 해당하고, 인버터 3121C는 인버터 1121에 해당하고, 인버터 3122C는 인버터 1122에 해당하고, 인버터 3123C는 인버터 1123에 해당하고, 트랜지스터 3133은 트랜지스터 113에 해당한다. 따라서, 각 회로의 설명에 대해서는, 도 3에 나타낸 논리회로의 설명을 적당하게 원용한다. 또한, 논리회로 3013에서는, 트랜지스터 3113의 게이트에 제1 클록 신호가 입력되고, 트랜지스터 3133의 게이트에 제2 클록 신호가 입력된다.

[0107] 또한, 논리회로 3011은, 인버터 3123A의 출력 단자가 논리회로 3012에 있어서의 트랜지스터 3112의 소스 및 드레인의 한쪽에 전기적으로 접속되고, 논리회로 3012는, 인버터 3123B의 출력 단자가 논리회로 3013에 있어서의 트랜지스터 3113의 소스 및 드레인의 한쪽에 전기적으로 접속된다.

[0108] 더구나, 논리회로 3011은, 트랜지스터 3111의 소스 및 드레인의 한쪽이 NAND 회로 3140의 제1 입력 단자에 전기적으로 접속되고, 인버터 3123A의 출력 단자가 NAND 회로 3140의 제2 입력 단자, 및 NAND 회로 3141의 제1 입력 단자에 전기적으로 접속된다. 또한, 논리회로 3012는, 트랜지스터 3112의 소스 및 드레인의 한쪽이 NAND 회로 3140의 제2 입력 단자 및 NAND 회로 3141의 제1 입력 단자에 전기적으로 접속되고, 인버터 3123B의 출력 단자가 NAND 회로 3141의 제2 입력 단자, 및 NAND 회로 3142의 제1 입력 단자에 전기적으로 접속된다. 또한, 논리회로 3013은, 트랜지스터 3113의 소스 및 드레인의 한쪽이 NAND 회로 3141의 제2 입력 단자 및 NAND 회로 3142의 제1 입력 단자에 전기적으로 접속되고, 인버터 3123C의 출력 단자가 NAND 회로 3142의 제2 입력 단자, 및 NAND 회로 3143의 제1 입력 단자에 전기적으로 접속된다.

[0109] NAND 회로 3140 내지 NAND 회로 3143은, 모두 논리회로를 구성하는 트랜지스터와 동일 도전형의 트랜지스터를 사용해서 구성할 수 있다. 동일 도전형의 트랜지스터를 사용해서 구성함으로써, 논리회로와 동일공정으로 형성할 수 있어, 제조가 용이해진다. 동일 도전형의 트랜지스터를 사용한 NAND 회로의 회로 구성에 대해서

도 12를 사용하여 설명한다. 도 12는 본 실시형태에 있어서의 NAND 회로의 회로 구성을 나타낸 회로도이다.

[0110] 도 12에 나타낸 NAND 회로는, 트랜지스터 321과, 트랜지스터 322와, 트랜지스터 323을 갖는다.

[0111] 트랜지스터 321은, 디플리션형 트랜지스터이며, 소스 및 드레인의 한쪽이 전원선 325에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽에 고 전원전압이 주어지고, 게이트와 소스 및 드레인의 다른 쪽이 전기적으로 접속된다.

[0112] 트랜지스터 322는, 인핸스먼트형 트랜지스터이며, 소스 및 드레인의 한쪽이 트랜지스터 321의 소스 및 드레인의 다른 쪽에 전기적으로 접속된다.

[0113] 트랜지스터 323은, 인핸스먼트형의 트랜지스터이며, 소스 및 드레인의 한쪽이 트랜지스터 322의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽이 전원선 324에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽에 저 전원전압이 주어진다.

[0114] 본 실시형태에 있어서의 논리회로에서는, 제1 입력 신호가 트랜지스터 323의 게이트에 입력되고, 제2 입력 신호가 트랜지스터 322의 게이트에 입력되고, 트랜지스터 322와 트랜지스터 321의 노드(326)의 전압(V326이라고도 한다)이 출력 신호로서 출력된다.

[0115] 다음에, 도 12에 나타낸 NAND 회로의 동작에 관해 설명한다.

[0116] 도 12에 나타낸 NAND 회로의 동작은, 제1 입력 신호의 전압(Vin1이라고도 한다) 및 제2 입력 신호의 전압(Vin2)의 적어도 한 개 또는 전부가 로우 전압인지, 제1 입력 신호의 전압 및 제2 입력 신호의 전압이 하이 전압인지에 따라 2종류로 나눌 수 있다. 각각의 경우에 대해서 도 13을 사용하여 설명한다. 도 13은 본 실시형태에 있어서의 NAND 회로의 동작을 도시한 도면이다. 이때, 본 실시형태에서는, 일례로서 로우 상태일 때가 0의 데이터이며, 하이 상태일 때가 1의 데이터인 것으로 해서 설명하지만, 이것에 한정되지 않고 로우 상태일 때가 1의 데이터로 하고, 하이 상태일 때가 0의 데이터로 할 수도 있다.

[0117] 도 13a는, Vin1=VH 또한 Vin2=VL, Vin1=VL 또한 Vin2=VH, 및 Vin1=VL 또한 Vin2=VL인 경우에 있어서의 동작을 나타내고 있다. 이때 트랜지스터 322 및 트랜지스터 323의 한쪽 또는 양쪽이 오프 상태가 되어, 트랜지스터 322 및 트랜지스터 323의 저항값(R322+R323이라고도 한다)이 트랜지스터 321의 저항값(R321이라고도 한다)보다 높아지는데, 즉 R322+R323>R321이 되기 때문에, V326=VH가 되고, 출력 신호의 전압(Vout라고도 한다)은 VH가 된다.

[0118] 또한, 도 13b는, Vin1=VH 또한 Vin2=VH인 경우에 있어서의 동작을 나타내고 있다. 이때 트랜지스터 321 및 트랜지스터 322가 온 상태가 되어, R322+R323<R321이 되기 때문에, V326=VL이 되고, Vout=VL이 된다. 이상이 도 12에 나타낸 NAND 회로의 동작이다.

[0119] 상기한 것과 같이 NAND 회로를 동일 도전형의 트랜지스터에 의해 구성함으로써, 다른 논리회로와 동일 공정으로 제조할 수 있다. 또한, 도 12의 구성에 한정되지 않고, 같은 기능을 갖는 것이라면 다른 회로 구성이라도 적용할 수 있다.

[0120] 다음에, 도 11에 나타낸 시프트 레지스터의 동작에 대해서 도 14를 사용하여 설명한다. 도 14는 도 11에 나타낸 시프트 레지스터의 동작을 나타낸 타이밍 차트도이다.

[0121] 도 11에 나타낸 시프트 레지스터는, 논리회로 3011 내지 논리회로 3013에 있어서, 각각 도 4 내지 도 6에 나타낸 논리회로의 동작이 순차 행해진다. 각 논리회로의 동작에 관해서는 상기 도 4 내지 도 6에 나타낸 논리회로의 동작의 설명을 적당하게 원용한다.

[0122] 더구나, 본 실시형태에 있어서의 시프트 레지스터의 동작은, 도 14에 도시된 것과 같이 10개의 간으로 나뉜다. 제1 기간에 있어서 논리회로 3011의 입력 신호의 전압 Vin이 VH가 되고, 제2 기간부터 제3 기간에 걸쳐서 논리회로 3011과 논리회로 3012의 노드 3171의 전압(V3171이라고도 한다)이 VH로부터 VL로 변화한다. 더구나, 제3 기간 및 제4 기간에 있어서 NAND 회로 3140의 출력 신호의 전압은 VH가 된다.

[0123] 논리회로 3012는, 제4 기간부터 제5 기간에 걸쳐서 입력 신호(논리회로 3011의 출력 신호)가 VL로부터 VH로 변화하고, 제5 기간부터 제6 기간에 걸쳐서 논리회로 3012와 논리회로 3013의 노드 3172의 전압(V3172이라고도 한다)이 VH로부터 VL로 변화한다. 제6 기간 및 제7 기간에 있어서 NAND 회로 3141의 출력 신호의 전압이 VH가 된다.

- [0124] 논리회로 3013은, 제7 기간부터 제8 기간에 걸쳐서 입력 신호(논리회로 3012의 출력 신호)가 VL로부터 VH에 변화하고, 제8 기간부터 제9 기간에 걸쳐서 논리회로 3013과 다음 단의 논리회로의 노드 3173의 전압(V3173이라고도 한다)이 VH로부터 VL로 변화한다. 제9 기간 및 제10의 기간에 있어서 NAND 회로 3142의 출력 신호의 전압이 VH가 된다.
- [0125] 논리회로 3013의 출력 단자에 다른 논리회로가 접속되어 있었을 경우, 상기한 것과 같이, 어떤 기간에 있어서 입력 신호가 VL로부터 VH로 변화하고, 다른 어떤 기간에 있어서 출력 신호가 VH로 변화한다. 더구나, 논리회로의 출력 신호가 VL인 기간에 있어서 NAND 회로 3143의 출력 신호의 전압이 VH가 된다.
- [0126] 상기한 것과 같이 산화물 반도체를 사용한 TFT를 구비하는 논리회로를 사용해서 시프트 레지스터를 구성할 수 있다. 또한, 산화물 반도체를 사용한 TFT는 종래의 아모퍼스 실리콘을 사용한 TFT보다 이동도가 높기 때문에, 시프트 레지스터에 산화물 반도체를 사용한 TFT를 적용함으로써 시프트 레지스터를 고속 구동시킬 수 있다.
- [0127] 이때, 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.
- [0128] (실시형태 3)
- [0129] 본 실시형태에서는, 상기 실시형태와는 다른 구성의 트랜지스터를 사용한 논리회로에 관해 설명한다.
- [0130] 본 명세서에 개시하는 발명의 일 형태인 논리회로는, 도 9에 도시된 구조의 트랜지스터에 한정되지 않고, 다른 구조의 트랜지스터를 사용해서 구성할 수도 있다. 다른 구조의 트랜지스터를 적용한 논리회로에 대해서도 15를 사용하여 설명한다. 도 15는 본 실시형태의 있어서의 논리회로의 구조를 나타낸 도면으로, 도 15a는 평면도이며, 도 15b는 도 15a에 나타낸 논리회로의 Z1-Z2 사이의 단면도이다. 이때, 도 15에 나타낸 논리회로에 있어서, 도 9에 나타낸 논리회로와 같은 부분에 관해서는 도 9에 나타낸 논리회로의 설명을 적절히 원용한다.
- [0131] 도 15에 나타낸 논리회로는, 도 9에 나타낸 논리회로와 마찬가지로 트랜지스터 201 및 트랜지스터 202를 갖는다.
- [0132] 더구나, 도 15에 나타낸 논리회로에 있어서, 트랜지스터 201은, 기판(210) 위에 게이트 전극 2111이 설치되고, 게이트 전극 2111 위에 게이트 절연층(212)이 설치되고, 게이트 절연층(212) 위에 한 쌍의 전극인 전극 215 및 전극 216이 설치되고, 전극 215 및 전극 216 위에 산화물 반도체층 2141a 및 산화물 반도체층 2141b가 설치되고, 게이트 절연층(212), 산화물 반도체층 2142a 및 산화물 반도체층 2142b가 설치되고, 게이트 절연층(212), 산화물 반도체층 2142a 및 산화물 반도체층 2142b가 설치되고, 전극 215 및 전극 216 위에 산화물 반도체층 2132가 설치되고, 전극 215 및 전극 216 사이의 영역 위에 환원 방지층(218)이 설치된다. 이때, 산화물 반도체층 2141a 및 2141b은, 도 9a 및 도 9b에 나타낸 논리회로에 있어서의 산화물 반도체층 2141a 및 산화물 반도체층 2141b에 해당하고, 산화물 반도체층 2142a 및 2142b는 도 9a 및 도 9b에 나타낸 논리회로에 있어서의 산화물 반도체층 2142a 및 2142b에 해당한다.
- [0133] 또한, 트랜지스터 202는, 기판(210) 위에 게이트 전극 2112가 설치되고, 게이트 전극 2112 위에 게이트 절연층(212)이 설치되고, 게이트 절연층(212) 위에 한 쌍의 전극인 전극 216 및 전극 217이 설치되고, 전극 216 및 전극 217 위에 산화물 반도체층 2142a 및 산화물 반도체층 2142b가 설치되고, 게이트 절연층(212), 산화물 반도체층 2142a 및 산화물 반도체층 2142b가 설치되고, 전극 216 및 전극 217 위에 산화물 반도체층 2132가 설치되고, 산화물 반도체층 2132에 있어서의 전극 216 및 전극 217 사이의 영역 위에 환원 방지층(218)이 설치된다. 이때, 산화물 반도체층 2141a 및 2141b은, 도 9a 및 도 9b에 나타낸 논리회로에 있어서의 산화물 반도체층 2141a 및 산화물 반도체층 2141b에 해당하고, 산화물 반도체층 2142a 및 2142b는 도 9a 및 도 9b에 나타낸 논리회로에 있어서의 산화물 반도체층 2142a 및 2142b에 해당한다.
- [0134] 도 15에 나타낸 논리회로는, 전극 215 내지 전극 217 위, 산화물 반도체층 2141a, 산화물 반도체층 2141b, 산화물 반도체층 2142a, 및 산화물 반도체층 2142b 위에 산화물 반도체층 2131 및 산화물 반도체층 2132가 설치된 구조(보텀 콘택팅이라고도 한다)의 트랜지스터를 사용해서 구성된다. 보텀 콘택팅 트랜지스터를 사용해서 본 명세서에 개시하는 발명의 일 형태인 논리회로를 구성하는 것으로 함으로써, 산화물 반도체층과 전극의 접촉 면적을 늘릴 수 있어, 필링(peeling) 등을 방지할 수 있다.
- [0135] 또한, 도 15에 나타낸 논리회로는, 도 9에 나타낸 논리회로와 마찬가지로 트랜지스터 202로서 백 채널 영역에 소정의 처리를 행하여 인핸스먼트형이 되도록 임계전압을 시프트시킨 박막 트랜지스터를 적용할 수도 있다. 소정의 처리로서는 상기 실시형태 1에 나타낸 처리를 적용할 수 있다.
- [0136] 이때, 도 15에 나타낸 논리회로에서는, 도 9a 및 도 9b에 나타낸 논리회로와 마찬가지로, 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b를 설치한 구성으로 하고 있지만, 이것에 한정되지 않고, 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층

2142a 및 산화물 반도체층 2142b를 설치하지 않는 구성으로 할 수도 있다.

[0137] 또한, 도 15에 나타낸 논리회로에서는, 도 10에 나타낸 논리회로와 마찬가지로, 트랜지스터 202의 게이트 전극 2112와 전극 216이 게이트 절연층(212)에 설치된 개구부를 거쳐 접하는 구조로 할 수도 있다.

[0138] 이때, 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.

[0139] (실시형태 4)

[0140] 본 실시형태에서는, 상기 실시형태와는 다른 구조의 트랜지스터를 사용한 논리회로에 관해 설명한다.

[0141] 도 9 및 도 15에 나타낸 구조의 트랜지스터에 한정되지 않고, 다른 구조의 트랜지스터를 사용해서 논리회로를 구성할 수 있다. 도 9 및 도 15에 나타낸 논리회로와는 다른 또 다른 구조의 트랜지스터를 적용한 논리회로에 대해 도 16을 사용하여 설명한다. 도 16은 본 실시형태에 있어서의 논리회로의 구조를 나타낸 도면으로, 도 16a는 평면도이며, 도 16b는 도 16a에 나타낸 Z1-Z2 사이의 단면도이다. 이때, 도 16에 나타낸 논리회로에 있어서, 도 9에 나타낸 논리회로와 같은 부분에 관해서는 도 9에 나타낸 논리회로의 설명을 적절히 원용한다.

[0142] 도 16에 나타낸 논리회로는, 도 9에 나타낸 논리회로와 마찬가지로 트랜지스터 201 및 트랜지스터 202를 갖는다.

[0143] 더구나, 도 16에 나타낸 논리회로에 있어서, 트랜지스터 201은, 기판(210) 위에 게이트 전극 2111이 설치되고, 게이트 전극 2111 위에 게이트 절연층(212)이 설치되고, 게이트 절연층(212) 위에 산화물 반도체층 2131이 설치되고, 산화물 반도체층 2131의 일부 위에 베퍼층 2191이 설치되고, 산화물 반도체층 2131 위 및 베퍼층 2191 위에 산화물 반도체층 2141a 및 산화물 반도체층 2141b가 설치되고, 산화물 반도체층 2141a 및 산화물 반도체층 2141b 위에 한 쌍의 전극인 전극 215 및 전극 216이 설치된다.

[0144] 또한, 트랜지스터 202는, 기판(210) 위에 게이트 전극 2112가 설치되고, 게이트 전극 2112 위에 게이트 절연층(212)이 설치되고, 게이트 절연층(212) 위에 산화물 반도체층 2132가 설치되고, 산화물 반도체층 2132에 있어서의 전극 216 및 전극 217 사이의 영역 위에 베퍼층 2192가 설치되고, 산화물 반도체층 2132 위 및 베퍼층 2192 위에 산화물 반도체층 2142a 및 산화물 반도체층 2142b가 설치되고, 산화물 반도체층 2142a 및 산화물 반도체층 2142b 위에 한 쌍의 전극인 전극 216 및 전극 217이 설치된다.

[0145] 베퍼층 2191 및 베퍼층 2192로서는, 무기재료(산화 규소, 질화 규소, 산화 질화 규소, 질화산화 규소 등)를 사용할 수 있다. 감광성 또는 비감광성의 유기재료(유기수지 재료)(폴리이미드, 아크릴, 폴리아미드, 폴리이미드아미드, 레지스트, 벤조시클로부텐 등), 또는 복수종으로 이루어진 막, 또는 이를 막의 적층 등을 사용할 수 있다. 또한, 실록산을 사용해도 된다. 제조법으로서는, 플라즈마 CVD법이나 열 CVD법 등의 기상성장법이나 스펀터링법을 사용할 수 있다. 또한, 습식법인, 스판코트법 등의 도포법, 액적토출법이나, 인쇄법(스크린 인쇄나 오프셋 인쇄 등 패턴이 형성되는 방법)을 사용할 수도 있다. 베퍼층 2191 및 베퍼층 2192로서는 성막후에 에칭에 의해 형상을 가공해서 형성해도 되고, 액적토출법 등에 의해 선택적으로 형성해도 된다.

[0146] 도 16에 나타낸 논리회로는, 베퍼층을 설치한 구조(채널 스텝형이라고도 한다)의 트랜지스터를 사용해서 구성된다. 예를 들면, 베퍼층을 비활원성의 막(예를 들면, 산화 실리콘 또는 산화 알루미늄 등)에 의해 형성함으로써, 베퍼층을 환원 방지층으로서 기능시킬 수 있기 때문에, 종래의 채널 스텝형 트랜지스터와 같은 구조의 트랜지스터를 사용해서 본 명세서에 개시하는 발명의 일 형태인 논리회로를 구성할 수 있다.

[0147] 도 16에 나타낸 논리회로에 있어서, 트랜지스터 202로서 백 채널 영역에 소정의 처리를 행하여 인핸스먼트형이 되도록 임계전압을 시프트시킨 박막 트랜지스터를 적용할 수도 있다. 소정의 처리로서는 상기 실시형태 1에 나타낸 처리를 적용할 수 있다.

[0148] 이때, 도 16에 나타낸 논리회로에서는, 도 9a 및 도 9b에 나타낸 논리회로와 마찬가지로, 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b를 설치한 구성으로 하고 있지만, 이것에 한정되지 않고, 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b를 설치하지 않는 구성으로 할 수도 있다.

[0149] 또한, 도 16에 나타낸 논리회로에서는, 도 10에 나타낸 논리회로와 마찬가지로, 트랜지스터 202의 게이트 전극 2112와 전극 216이 게이트 절연층(212)에 설치된 개구부를 거쳐 접하는 구조로 할 수도 있다.

[0150] 이때, 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.

[0151] (실시형태 5)

[0152] 본 실시형태에서는, 논리회로의 제조방법에 관해 설명한다. 이때, 본 실시형태에서는, 일례로서, 도 9a 및 도 9b에 나타낸 논리회로의 제조방법에 관해 설명한다.

[0153] 본 실시형태의 논리회로의 제조방법에 대해 도 17 및 도 18을 사용하여 설명한다. 도 17 및 도 18은 본 실시형태에 있어서의 논리회로의 제조방법을 나타낸 단면도이다.

[0154] 우선, 도 17a에 도시된 것과 같이 기판(210) 위에 제1 도전막을 형성하고, 제1 포토마스크를 사용해서 선택적으로 제1 도전막의 에칭을 행하여, 게이트 전극 2111 및 게이트 전극 2112를 형성하고, 게이트 전극 2111 및 게이트 전극 2112 위에 게이트 절연층(212)을 형성한다. 제1 도전막은, 예를 들면, 스퍼터링법에 의해 형성할 수 있고, 게이트 절연층(212)은, 플라즈마 CVD법 또는 스퍼터링법을 사용해서 형성할 수 있다. 또한, 이때 게이트 전극 2111 및 게이트 전극 2112는 테이퍼 형상으로 형성되는 것이 바람직하다.

[0155] 다음에, 게이트 절연층(212) 위에 제1 산화물 반도체막을 성막하고, 더구나, 그 위에 제2 산화물 반도체막을 성막한다. 제1 산화물 반도체막은, 예를 들면, 스퍼터링법에 의해 성막할 수 있다. 이때, 제1 산화물 반도체막을 성막하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터를 행하여, 게이트 절연층(212)의 표면 및 개구부의 저면에 부착되고 있는 먼지를 제거하는 것이 바람직하다. 역스퍼터란, 타겟측에 전압을 인가하지 않고, 아르곤 분위기 하에서 기판측에 RF 전원을 사용해서 전압을 인가하여 기판 위에 플라즈마를 형성해서 표면을 개질하는 방법이다. 이때, 아르곤 분위기 대신에 질소, 헬륨 등을 사용해도 된다. 또한, 아르곤 분위기에 산소, 수소, N₂O 등을 첨가한 분위기에서 행해도 된다. 또한, 아르곤 분위기에 Cl₂, CF₄ 등을 첨가한 분위기에서 행해도 된다.

[0156] 다음에, 제2 포토마스크를 사용해서 제1 산화물 반도체막 및 제2 산화물 반도체막의 에칭을 행하고, 제2 도전막을 더 형성한다. 제2 도전막은, 예를 들면, 스퍼터링법에 의해 형성할 수 있다. 더구나, 제3 포토마스크를 사용해서 선택적으로 제2 도전막의 에칭을 행하여, 도 17b에 도시된 것과 같이, 전극 215, 전극 216, 및 전극 217을 형성한다. 이때, 제2 도전막을 성막하기 전에, 아르곤 가스를 도입해서 플라즈마를 발생시키는 역스퍼터를 행하여, 게이트 절연층(212)의 표면, 에칭된 산화물 반도체층에 부착되어 있는 먼지를 제거하는 것이 바람직하다.

[0157] 이때, 제2 도전막의 에칭시에, 제1 산화물 반도체층 및 제2 산화물 반도체층의 일부를 에칭하여, 도 15b에 도시된 것과 같이 게이트 절연층(212) 위에 산화물 반도체층 2131 및 산화물 반도체층 2132를 형성하고, 산화물 반도체층 2131 위에 산화물 반도체층 2141a 및 산화물 반도체층 2141b를 형성하고, 산화물 반도체층 2132 위에 산화물 반도체층 2142a 및 산화물 반도체층 2142b를 형성한다. 이 에칭으로 게이트 전극 2111 및 게이트 전극 2112와 중첩하는 부분의 산화물 반도체층 2131, 산화물 반도체층 2132의 두께는 얇아진다.

[0158] 이때의 에칭방법으로서 웨트 에칭 또는 드라이에칭을 사용한다. 예를 들면, 제2 도전막으로서 알루미늄 막, 또는 알루미늄 합금막을 사용하는 경우에는, 인산과 초산과 질산을 섞은 용액을 사용한 웨트 에칭을 행할 수 있다. 이 에칭공정에 있어서, 산화물 반도체층 2131 및 산화물 반도체층 2132도 일부 에칭된다. 또한 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 산화물 반도체층 2142a 및 산화물 반도체층 2142b, 및 전극 215 내지 전극 217의 에칭을 한번에 행하기 때문에, 또한 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 산화물 반도체층 2142a 및 산화물 반도체층 2142b, 및 전극 215 내지 전극 217의 단부는 일치하여, 연속적인 구조로 되고 있다. 또한 웨트 에칭을 사용한 경우, 에칭이 등방적으로 행해져, 전극 215 내지 전극 217의 단부는 레지스트 마스크보다 후퇴한다.

[0159] 더구나, 본 실시형태에 있어서의 논리회로의 제조방법에서는, 일례로서 인핸스먼트형 트랜지스터로서 기능시키는 트랜지스터의 산화물 반도체층(본 실시형태에서는 산화물 반도체층 2132)에 산소 결핍 제어처리를 행한다. 도 18a에 도시된 것과 같이, 산소 결핍 제어처리를 행하여, 산화물 반도체층 2132에 있어서의 게이트 절연층(212)과의 접촉면과는 반대측의 면에서, 전극 216 및 전극 217 사이에 산소 결핍 밀도가 낮은 산소 결핍 제어영역(250)을 형성한다. 본 실시형태에서는 산소 결핍 제어처리의 일례로서 산소 플라즈마처리를 행한다. 처리 조건에 관해서는 형성되는 트랜지스터의 임계전압이 양의 값이 되도록 적절히 설정된다.

[0160] 이때, 도 18a에 있어서, 산소 플라즈마처리는 적어도 산화물 반도체층 2132에 행하면 되고, 산화물 반

도체층 2131에 대하여는 행하지 않아도 된다. 예를 들면, 산화물 반도체층 2132에만 산소 플라즈마 처리를 행하고 싶을 경우에는, 산화물 반도체층 2131 위에 마스크를 형성하고, 산소 플라즈마 처리를 행하면 된다. 또한, 산화물 반도체층 2131에 산소 플라즈마 처리를 한 경우, 임계전압은 양의 값으로 시프트해 버리지만, 상부에 환원 방지층을 설치하지 않으면 경시적인 임계전압의 시프트에 의해 임계전압은 시프트하기 때문에, 결과적으로 디폴리션형 트랜지스터 및 인핸스먼트형 트랜지스터의 양쪽을 제조할 수 있다. 또한, 산화물 반도체층 2131에도 산소 플라즈마 처리를 할 경우에는 별도 마스크를 설치할 필요가 없어지기 때문에, 공정을 간략화할 수 있다.

[0161] 다음에, 대기분위기 하 또는 질소 분위기 하에서 가열처리를 행한다. 가열처리는, 200°C~600°C, 대표적으로는 300°C~500°C에서 행하는 것이 바람직하다. 이 열처리에 의해 산화물 반도체막의 원자 레벨의 재배열이 행해진다. 이 열처리에 의해 캐리어의 이동을 저해하는 왜곡이 해방되기 때문에, 여기에서의 열처리(광 어닐도 포함한다)는 중요하다. 이때, 열처리를 행하는 타이밍은, 산화물 반도체막의 성막후이면 특별하게 한정되지 않으며, 반도체막의 성막후이면 언제 행해도 된다.

[0162] 다음에, 도 18b에 도시된 것과 같이, 나중에 인핸스먼트형 트랜지스터로서 기능시키는 트랜지스터의 산화물 반도체층(도 18b에서는 산화물 반도체층 2132)에 있어서의 산소 결핍 제어영역(250)을 포함하는 전극 216 및 전극 217 사이의 영역 위에 환원 방지층(218)을 형성한다. 인핸스먼트형 트랜지스터로서 기능시키는 트랜지스터의 산화물 반도체층에만 환원 방지층(218)을 형성함으로써, 환원 방지층(218)을 설치하지 않은 반도체층에 대응하는 트랜지스터는 디폴리션형 트랜지스터가 되기 때문에, 임계전압이 다른 트랜지스터를 동일 기판 위에 형성할 수 있다. 환원 방지층(218)은 예를 들면, 스퍼터링법에 의해 형성할 수 있다.

[0163] 이때, 전술한 공정순서는 일례로서 특별하게 한정되지 않는다. 예를 들면, 포토마스크수가 1매 증가하지만, 제2 도전막을 에칭하는 포토마스크와, 산화물 반도체층 및 산화물 반도체막의 일부를 에칭하는 포토마스크를 각각 사용해서 에칭을 행해도 된다.

[0164] 또한, 도 18a에 있어서의 산소 플라즈마 처리를 하지 않고 도 18b에 있어서 스퍼터링법에 의해 환원 방지층(218)을 형성함으로써 산소 플라즈마 처리의 대신으로 할 수도 있다. 스퍼터링법에 의해 환원 방지층(218)을 형성하는 경우, 가스로서 산소를 사용하기 때문에 산소 플라즈마 처리와 동일한 효과를 얻을 수 있기 때문이다.

[0165] 상기 방법에 의해, 도 9a 및 도 9b에 나타낸 논리회로를 제조할 수 있다. 또한, 본 실시형태에 있어서의 제조방법을 사용함으로써, 동일 기판 위에 임계전압이 다른 트랜지스터를 사용한 논리회로를 제조할 수 있다.

[0166] 이때, 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.

[0167] (실시형태 6)

[0168] 본 실시형태에서는, 상기 실시형태에 나타낸 논리회로를 적용가능한 디바이스의 일례로서 표시장치에 관해 설명한다.

[0169] 상기 실시형태에 나타낸 각 논리회로는, 예를 들면, 액정표시장치나 일렉트로루미네센스 표시장치 등, 다양한 표시장치에 적용가능하다. 본 실시형태에 있어서의 표시장치의 구성에 대해 도 19를 사용하여 설명한다. 도 19는 본 실시형태에 있어서의 표시장치의 구성을 나타낸 블록도이다.

[0170] 도 19에 도시된 것과 같이 본 실시형태에 있어서의 표시장치는, 화소부(701)와, 주사선 구동회로(702)와, 신호선 구동회로(703)를 갖는다.

[0171] 화소부(701)는, 복수의 화소(704)를 갖는 도트 매트릭스 구조로서, 구체적으로는, 복수의 화소(704)는, 행렬 방향으로 복수 배치되어 있다. 각각의 화소(704)는 주사선을 거쳐 주사선 구동회로(702)에 전기적으로 접속되고, 신호선을 거쳐 신호선 구동회로(703)에 전기적으로 접속된다. 이때, 도 19에 있어서, 주사선 및 신호선에 관해서는 간략화를 위해 생략한다.

[0172] 주사선 구동회로(702)는, 데이터 신호를 입력하는 화소(704)를 선택하는 회로로서, 주사선을 거쳐 선택 신호를 화소(704)에 출력한다.

[0173] 신호선 구동회로(703)는, 화소(704)에 기록하는 데이터를 신호로서 출력하는 회로로서, 신호선을 거쳐 주사선 구동회로(702)에 의해 선택된 화소(704)에 화소 데이터를 신호로서 출력한다.

- [0174] 화소(704)는, 적어도 표시 소자와 스위칭 소자로 구성된다. 표시 소자로서는, 예를 들면, 액정소자나 EL 소자 등의 발광소자를 적용할 수 있고, 스위칭 소자로서는 예를 들면, 트랜지스터 등을 적용할 수 있다.
- [0175] 다음에, 주사선 구동회로(702) 및 신호선 구동회로(703)의 구성예에 대해서 도 20을 사용하여 설명한다. 도 20은 구동회로의 구성을 나타낸 블록도로서, 도 20a는 주사선 구동회로의 구성을 나타낸 블록도이며, 도 20b는 신호선 구동회로의 구성을 나타낸 블록도이다.
- [0176] 우선, 주사선 구동회로(702)는, 도 20a에 도시된 것과 같이, 시프트 레지스터(900), 레벨 시프터(901), 버퍼(902)를 갖는다.
- [0177] 시프트 레지스터(900)에는 게이트 스타트 펄스(GSP), 게이트 클록 신호(GCK) 등의 신호가 입력되어, 각 순서 논리회로에 있어서 순차 선택신호가 출력된다. 또한, 시프트 레지스터(900)에 상기 실시형태 2에 나타낸 시프트 레지스터를 적용할 수 있다.
- [0178] 또한, 신호선 구동회로(703)는, 도 20b에 도시된 것과 같이, 시프트 레지스터(903), 제1 래치회로(904), 제2 래치회로(905), 레벨 시프터(906), 버퍼(907)를 갖는다.
- [0179] 시프트 레지스터(903)에는, 스타트 펄스(SSP) 등의 신호가 입력되어, 각 순서 논리회로에 있어서 순차 선택신호가 출력된다.
- [0180] 제1 래치회로(904)에는 데이터 신호가 입력된다. 제1 래치회로는, 예를 들면, 상기 실시형태에서 나타낸 논리회로의 어느 하나 또는 복수를 사용해서 구성할 수 있다.
- [0181] 버퍼(907)는, 신호를 증폭시키는 기능을 갖고, OP 앰프 등을 갖는다. 버퍼(907)는, 예를 들면, 상기 실시형태에 나타낸 논리회로의 어느 하나 또는 복수를 사용해서 구성할 수 있다.
- [0182] 제2 래치회로(905)에는 래치(LAT)신호를 일시 유지할 수 있고, 유지된 래치신호를 일제히 도 19에 있어서의 화소부(701)에 출력시킨다. 이것을 선 순차 구동이라고 부른다. 그 때문에, 선 순차 구동이 아니고, 점 순차 구동을 행하는 화소이면, 제2 래치회로(905)는 불필요할 수 있다. 또한, 제2 래치회로(905)는, 예를 들면, 상기 실시형태에 나타낸 논리회로의 어느 하나 또는 복수를 사용해서 구성할 수 있다.
- [0183] 다음에, 도 19에 나타낸 표시장치의 동작에 관해 설명한다.
- [0184] 우선, 주사선 구동회로(702)에서 주사선이 선택되고, 선택된 주사선에 접속된 화소(704)는, 주사선 구동회로(702)로부터 입력되는 신호에 의해, 신호선을 거쳐 신호선 구동회로(703)로부터 데이터 신호가 출력된다. 이에 따라, 화소(704)는, 데이터의 기록이 행해져 표시 상태가 된다. 주사선 구동회로(702)에 의해 주사선이 선택되고, 모든 화소(704)에 있어서 데이터 기록이 행해진다. 이상이 본 실시형태에 있어서의 표시장치의 동작이다.
- [0185] 도 19에 나타낸 표시장치의 각 회로는, 모두 동일기관 위에 설치할 수도 있고, 또한, 동일한 도전형의 트랜지스터에 의해 구성할 수 있다. 동일기관 위에 설치함으로써 소형화할 수 있고, 동일한 도전형의 트랜지스터로 구성함으로써 공정을 간략화할 수 있다.
- [0186] 이때, 본 실시형태는, 다른 실시형태와 적절히 조합할 수 있다.
- [0187] (실시형태 7)
- [0188] 본 실시형태에서는, 상기 실시형태 6에 나타낸 표시장치의 일례로서 액정표시장치에 관해 설명한다.
- [0189] 본 실시형태에 있어서의 표시장치의 화소의 회로 구성예에 대해 도 21을 사용하여 설명한다. 도 21은 본 실시형태에 있어서의 표시장치의 화소의 회로 구성을 나타낸 회로도이다.
- [0190] 도 21에 도시된 것과 같이, 화소는 트랜지스터(821)와, 액정소자(822)와, 유지용량 소자(823)를 갖는다.
- [0191] 트랜지스터(821)는, 선택 스위치로서 기능하고, 게이트가 주사선(804)에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 신호선(805)에 전기적으로 접속된다.
- [0192] 액정소자(822)는, 제1단자 및 제2단자를 갖고, 제1단자가 트랜지스터(821)의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 제2단자에 접지 전위 또는 일정한 값의 전압이 주어진다. 액정소자(822)는, 제1단자의

일부 또는 전부가 되는 제1 전극과, 제2단자의 일부 또는 전부가 되는 제2 전극과, 제1 전극과 제2 전극 사이에 전압이 인가됨으로써 투과율이 변화하는 액정분자를 갖는 층(액정층이라고 한다)에 의해 구성된다.

[0193] 유지용량 소자(823)는, 제1단자 및 제2단자를 갖고, 제1단자가 트랜지스터(821)의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 제2단자에 접지전위 또는 일정한 값의 전압이 주어진다. 유지용량 소자(823)는, 제1단자의 일부 또는 전부가 되는 제1 전극과, 제2단자의 일부 또는 전부가 되는 제2 전극과, 유전체층에 의해 구성된다. 이때, 유지용량 소자(823)는 반드시 설치할 필요는 없지만, 유지용량 소자(823)를 설치함으로써, 트랜지스터(821)의 리크 전류에 의한 영향을 억제할 수 있다.

[0194] 이때, 본 실시형태에 있어서의 표시장치에는, TN(Twisted Nematic) 모드, IPS(In-Plane-Switching) 모드, FFS(Fringe Field Switching) 모드, MVA(Multi-domain Vertical Alignment) 모드, PVA(Patterned Vertical Alignment) 모드, ASM(Axially Symmetric aligned Micro-cell) 모드, OCB(Optical Compensated Birefringence) 모드, FLC(Ferroelectric Liquid Crystal) 모드, AFLC(AntiFerroelectric Liquid Crystal) 모드 등을 사용할 수 있다.

[0195] 또한, 배향막을 사용하지 않는 블루상을 표시하는 액정을 사용해도 된다. 블루상은 액정상의 한가지로서, 콜레스테릭 액정을 승온해 가면, 콜레스테릭상으로부터 등방상에 전이하기 직전에 발현되는 상이다. 블루상은 좁은 온도범위에서밖에 발현되지 않기 때문에, 온도범위를 개선하기 위해서 5중량% 이상의 카이럴제를 혼합시킨 액정 조성물을 사용해서 액정층에 사용한다. 블루상을 표시하는 액정과 카이럴제를 포함하는 액정 조성물은, 응답 속도가 $10\text{ }\mu\text{s} \sim 100\text{ }\mu\text{s}$ 로 빠르고, 광학적 등방성이기 때문에 배향처리가 불필요하고, 시야각 의존성이 작다.

[0196] 다음에, 도 21에 나타낸 화소의 동작에 관해 설명한다.

[0197] 우선, 데이터가 기록될 화소가 선택되고, 선택된 화소는, 주사선(804)으로부터 입력되는 신호에 의해 트랜지스터(821)가 온 상태가 된다.

[0198] 이때, 신호선(805)으로부터의 데이터 신호가 트랜지스터(821)를 거쳐 입력되어, 액정소자(822)의 제1단자의 전압은 데이터 신호의 전압이 되고, 액정소자(822)는 제1단자와 제2단자 사이에 인가되는 전압에 따른 투과율로 설정된다. 데이터 기록후, 주사선(804)으로부터 입력되는 신호에 의해 트랜지스터(821)가 오프 상태가 되고, 액정소자(822)는 표시 기간의 사이에 설정된 투과율을 유지하여, 표시 상태가 된다. 상기 동작을 주사선(804)마다 순차 행하여, 모든 화소에 있어서 상기 동작이 행해진다. 이상이 화소의 동작이다.

[0199] 액정표시장치의 동영상 표시에 있어서, 액정 분자 자체의 응답이 느리기 때문, 잔상이 생기거나, 또는 동영상의 불러가 생긴다고 하는 문제가 있다. 액정표시장치의 동영상 특성을 개선하기 위해서, 전체 면 흑 표시를 1 프레임 걸려 행하는, 소위, 흑 삽입으로 불리는 구동기술이 있다.

[0200] 또한, 통상의 수직 주기를 1.5배 또는 2배 이상으로 함으로써 응답 속도를 개선하는 동시에 각 프레임 내의 분할된 복수 필드마다 기록하는 계조를 선택하는, 소위, 배속 구동으로 불리는 구동기술도 있다.

[0201] 또한, 액정표시장치의 동영상 특성을 개선하기 위해서, 백라이트로서 복수의 LED(발광 다이오드) 광원 또는 복수의 EL 광원 등을 사용해서 면광원을 구성하고, 면광원을 구성하고 있는 각 광원을 독립하여 1 프레임 기간 내에서 간헐 절등 구동하는 구동기술도 있다. 면광원으로서, 3종류 이상의 LED를 사용해도 되고, 백색 발광의 LED를 사용해도 된다. 독립하여 복수의 LED를 제어할 수 있기 때문에, 액정층의 광학변조의 전환 타이밍에 맞춰서 LED의 발광 타이밍을 동기시킬 수도 있다. 이 구동기술은, LED를 부분적으로 소등할 수 있으므로, 특히 1화면을 차지하는 흑 표시 영역의 비율이 많은 영상표시의 경우에는, 소비 전력의 저감 효과를 도모할 수 있다.

[0202] 이들 구동기술을 조합함으로써, 액정표시장치의 동영상 특성 등의 표시 특성을 종래보다도 개선할 수 있다.

[0203] 다음에, 상기 화소를 포함하는 본 실시형태에 있어서의 표시장치의 구조에 대해 도 22를 사용하여 설명한다. 도 22는 본 실시형태에 있어서의 표시장치의 화소의 구조를 나타낸 도면으로, 도 22a는 평면도이고, 도 22b는 단면도이다. 이때, 도 22a에 있어서의 A1-A2, B1-B2의 접선은, 도 22b에 있어서의 단면 A1-A2, 단면 B1-B2에 해당한다.

[0204] 도 22a 및 도 22b에 도시된 것과 같이, 본 실시형태에 있어서의 표시장치는, A1-A2의 단면에 있어서, 기판(2000) 위에 게이트 전극 2001과, 게이트 전극 2001 위에 설치된 게이트 절연층(2002)과, 게이트 절연층(2002) 위에 설치된 산화물 반도체층 2003과, 산화물 반도체층 2003 위에 설치된 한 쌍의 산화물 반도체층

2004a 및 산화물 반도체층 2004b와, 산화물 반도체층 2004a 및 산화물 반도체층 2004b에 접하도록 설치된 전극 2005a 및 전극 2005b와, 전극 2005a, 전극 2005b, 및 산화물 반도체층 2003 위에 설치된 보호 절연층(2007)과, 보호 절연층(2007)에 설치된 개구부을 거쳐 전극 2005b에 접하는 전극 2020을 갖는다.

[0205] 또한, B1-B2의 단면에 있어서, 기판(2000) 위에 전극 2008과, 전극 2008 위에 게이트 절연층 2002와, 게이트 절연층 2002 위에 설치된 보호 절연층(2007)과, 보호 절연층(2007) 위에 설치된 전극 2020을 갖는다.

[0206] 전극 2022 및 전극 2029와, 전극 2023, 전극 2024, 및 전극 2028은 FPC에 접속하기 위한 전극 또는 배선이 된다.

[0207] 기판(2000)으로서는, 상기 실시형태 1에 나타낸 기판(210)에 적용가능한 기판을 사용해서 형성할 수 있다.

[0208] 게이트 전극 2001, 전극 2008, 전극 2022 및 전극 2023으로서는, 상기 실시형태 1에 있어서의 게이트 전극 2111 및 게이트 전극 2112에 적용가능한 재료 및 제조방법을 사용해서 형성할 수 있다.

[0209] 게이트 절연층(2002)으로서는, 상기 실시형태 1에 있어서의 게이트 절연층(212)에 적용가능한 재료 및 제조방법을 적용해서 형성할 수 있다. 본 실시형태에서는 게이트 절연층(2002)으로서 50nm의 산화 실리콘 막을 형성한다.

[0210] 산화물 반도체층 2003으로서는, 예를 들면, 상기 실시형태에 있어서의 산화물 반도체층 2131 및 산화물 반도체층 2132에 적용가능한 재료 및 제조방법을 적용해서 형성할 수 있다. 여기에서는, 직경 8인치의 In, Ga 및 Zn을 포함하는 산화물 반도체 타겟($In_2O_3:Ga_2O_3:ZnO=1:1:1$)을 사용하고, 기판과 타겟 사이의 거리를 170mm, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 아르곤 또는 산소 분위기 하에서 In-Ga-Zn-O계 비단결정 막을 성막함으로써 산화물 반도체층 2003을 형성한다. 이때, 펄스 직류(DC) 전원을 사용하면, 먼지를 경감할 수 있고, 막두께 분포도 균일하게 되기 때문에 바람직하다. In-Ga-Zn-O계 비단결정 막의 막두께는, 5nm~200nm인 것이 바람직하다. 본 실시형태에서는, In-Ga-Zn-O계 비단결정 막의 막두께를 100nm로 한다. 또한 산화물 반도체막의 성막전에, 역스퍼터를 행할 수도 있다.

[0211] 산화물 반도체층 2004a 및 산화물 반도체층 2004b는, 예를 들면, 상기 실시형태에 있어서의 산화물 반도체층 2141a 및 산화물 반도체층 2141b, 및 산화물 반도체층 2142a 및 산화물 반도체층 2142b에 적용가능한 재료 및 제조방법을 적용해서 형성할 수 있다. 여기에서는, $In_2O_3:Ga_2O_3:ZnO=1:1:1$ 로 한 타겟을 사용하고, 성막 조건은, 압력을 0.4Pa로 하고, 전력을 500W로 하고, 성막 온도를 실온으로 하고, 아르곤 가스 유량 40sccm을 도입해서 In-Ga-Zn-O계 비단결정 막을 스퍼터로 성막함으로써 산화물 반도체층 2004a 및 산화물 반도체층 2004b를 형성한다. 이때, $In_2O_3:Ga_2O_3:ZnO=1:1:1$ 로 한 타겟을 의도적으로 사용하고 있는 것에 관계없이, 성막 직후에 크기 1nm~10nm의 결정립을 포함하는 In-Ga-Zn-O계 비단결정 막이 형성되는 일이 있다. 이때, 타겟의 성분비, 성막 압력(0.1Pa~2.0Pa), 전력(250W~3000W: 8인치 φ), 온도(실온~100°C), 반응성 스퍼터의 성막 조건 등을 적절히 조절함으로써 결정립의 유무와, 결정립의 밀도와, 직경 사이즈는, 1nm~10nm의 범위에서 조절될 수 있다고 할 수 있다. In-Ga-Zn-O계 비단결정 막의 막두께는, 5nm~20nm인 것이 바람직하다. 물론, 막 중에 결정립이 포함되는 경우, 포함되는 결정립의 사이즈가 막두께를 넘는 크기가 안된다. 본 실시형태에서는 산화물 반도체층 2004a 및 산화물 반도체층 2004b의 막두께를 5nm로 한다.

[0212] 이때, 산화물 반도체층 2003이 되는 In-Ga-Zn-O계 비단결정 막은, 산화물 반도체층 2004a 및 산화물 반도체층 2004b가 되는 In-Ga-Zn-O계 비단결정 막의 성막 조건과 다르게 한다. 예를 들면, 산화물 반도체층 2004a 및 산화물 반도체층 2004b가 되는 In-Ga-Zn-O계 비단결정 막의 성막 조건에 있어서의 산소 가스 유량과 아르곤 가스 유량의 비보다도 산화물 반도체층 2003이 되는 In-Ga-Zn-O계 비단결정 막의 성막 조건에 있어서의 산소 가스 유량이 차지하는 비율이 많은 조건으로 한다. 구체적으로는, 산화물 반도체층 2004a 및 산화물 반도체층 2004b가 되는 In-Ga-Zn-O계 비단결정 막의 성막 조건은, 희가스(아르곤 또는 헬륨 등) 분위기 하(또는 산소 가스 10% 이하, 아르곤 가스 90% 이상)로 하고, 산화물 반도체층 2003이 되는 In-Ga-Zn-O계 비단결정 막의 성막 조건은, 산소분위기 하(또는 산소 가스 유량과 아르곤 가스 유량의 비 1:1 이상)로 한다.

[0213] 산화물 반도체층 2004a 및 산화물 반도체층 2004b가 되는 In-Ga-Zn-O계 비단결정 막의 성막은, 먼저 역스퍼터를 행한 챔버와 동일 챔버를 사용해도 되고, 먼저 역스퍼터를 행한 챔버와 다른 챔버에서 성막해도 된다.

[0214] 스퍼터링법에는 스퍼터용 전원에 고주파전원을 사용하는 RF 스퍼터링법과, DC 스퍼터링법이 있어, 더구나, 펄스식으로 바이어스를 주는 펄스 DC 스퍼터링법도 있다. RF 스퍼터링법은 주로 절연막을 성막하는 경우에

사용되고, DC 스퍼터링법은 주로 금속막을 성막하는 경우에 사용된다.

[0215] 또한, 재료가 다른 타겟을 복수 설치할 수 있는 다원 스퍼터 장치도 있다. 다원 스퍼터 장치는, 동일 챔버에서 다른 재료막을 적층 성막하는 것도, 동일 챔버에서 복수 종류의 재료를 동시에 방전시켜서 성막하는 것도 가능하다.

[0216] 또한, 챔버 내부에 자석기구를 구비한 마그네트론 스퍼터링법을 사용하는 스퍼터 장치나, 글로우 방전을 사용하지 않고 마이크로파를 사용해서 발생시킨 플라즈마를 사용하는 ECR 스퍼터링법을 사용하는 스퍼터 장치가 있다.

[0217] 또한, 스퍼터링법을 사용하는 성막방법으로서, 성막중에 타겟 물질과 스퍼터 가스 성분을 화학반응시켜 그들의 화합물 박막을 형성하는 리액티브 스퍼터링법이나, 성막중에 기관에도 전압을 거는 바이어스 스퍼터링법도 있다.

[0218] 전극 2005a, 전극 2005b 및 전극 2024는, 예를 들면, 상기 실시형태에 있어서의 전극 215, 전극 216 및 전극 217에 적용가능한 재료 및 제조방법을 적용해서 형성할 수 있다. 전극 2005a, 전극 2005b 및 전극 2024로서 티타늄 막의 단층 구조로 한다.

[0219] 또한, 산화물 반도체층 2003의 채널 영역에, 산소 플라즈마처리를 행해도 된다. 산소 플라즈마 처리를 행함으로써 TFT를 노멀리 오프로 할 수 있다. 또한, 플라즈마 처리를 행함으로써, 산화물 반도체층 2003의 에칭에 의한 대미지를 회복할 수 있다. 산소 플라즈마 처리는 O₂, N₂O, 바람직하게는 산소를 포함하는 N₂, He, Ar 분위기 하에서 행하는 것이 바람직하다. 또한, 상기 분위기에 Cl₂, CF₄을 첨가한 분위기 하에서 행해도 된다.

[0220] 보호 절연층(2007)은 스퍼터링법 등을 사용해서 얻어지는 질화 실리콘 막, 산화 실리콘 막, 산화질화 실리콘 막, 산화 알루미늄 막, 산화 탄탈 막 등을 사용할 수 있다. 이때, 보호 절연층(2007)으로서 비활원성의 막(산화 실리콘 막 등)을 사용함으로써 상기 산소 플라즈마 처리를 행한 TFT의 채널 영역이 보호되어, 경시적인 임계전압의 시프트를 억제할 수 있다.

[0221] 전극 2020, 전극 2029 및 전극 2028은, 산화 인듐(In₂O₃)이나 산화 인듐 산화 주석 합금(In₂O₃-SnO₂, ITO로 약기한다) 등을 사용해서 스퍼터링법이나 진공증착법 등에 의해 형성된다. 이러한 재료의 에칭 처리는 염산계의 용액에 의해 행한다. 그러나, 특히 ITO의 에칭은 잔류물이 발생하기 쉬우므로, 에칭 가공성을 개선하기 위해서 산화 인듐 산화 아연 합금(In₂O₃-ZnO)을 사용해도 된다.

[0222] 또한, 도 23a, 도 23b는, 이 단계에서의 게이트 배선 단자부의 평면도 및 단면도를 각각 도시하고 있다. 도 23a는 도 23b 중의 C1-C2선에 따른 단면도에 해당한다. 도 23a에 있어서, 보호 절연막(2054) 위에 형성되는 투명도전막(2055)은, 입력 단자로서 기능하는 접속용의 단자전극이다. 또한, 도 2a3a에 있어서, 단자부에서는, 게이트 배선과 같은 재료로 형성되는 제1 단자(2051)와, 소스 배선과 같은 재료로 형성되는 접속 전극(2053)이 게이트 절연층(2052)을 개재하여 겹쳐 직접 접해서 도통시키고 있다. 또한, 접속 전극(2053)과 투명도전막(2055)이 보호 절연막(2054)에 설치된 콘택홀을 거쳐 직접 접해서 도통시키고 있다.

[0223] 또한, 도 23c 및 도 23d는, 소스 배선 단자부의 평면도 및 단면도를 각각 도시하고 있다. 또한, 도 23c는 도 23d 중의 D1-D2선에 따른 단면도에 해당한다. 도 23c에 있어서, 보호 절연막(2054) 위에 형성되는 투명도전막(2055)은, 입력 단자로서 기능하는 접속용의 단자전극이다. 또한, 도 23c에 있어서, 단자부에서는, 게이트 배선과 같은 재료로 형성되는 전극(2056)이, 소스 배선과 전기적으로 접속되는 제2 단자(2050)의 아래쪽에 게이트 절연층(2052)을 개재하여 중첩된다. 전극(2056)은 제2 단자(2050)와는 전기적으로 접속하고 있지 않고, 전극(2056)을 제2 단자(2050)와 다른 전위, 예를 들면, 플로팅, GND, OV 등으로 설정하면, 노이즈 대책을 위한 용량 또는 정전기 대책을 위한 용량을 형성할 수 있다. 또한, 제2 단자(2050)는, 보호 절연막(2054)을 개재하여 투명도전막(2055)과 전기적으로 접속하고 있다.

[0224] 게이트 배선, 소스 배선 및 용량배선은 화소 밀도에 따라 복수개 설치되는 것이다. 또한, 단자부에 있어서는, 게이트 배선과 동 전위의 제1 단자, 소스 배선과 동 전위의 제2 단자, 용량배선과 동 전위의 제3 단자 등이 복수 나란하게 늘어서 배치된다. 각각의 단자의 수는, 각각 임의의 수로 설치하면 되는 것으로 하고, 실시자가 적절히 결정하면 된다.

[0225] 이렇게 해서 보텀 게이트형의 N채널형 TFT인 TFT를 갖는 화소 TFT부, 유지용량 소자를 완성시킬 수 있다. 그리고, 이들을 개개의 화소에 대응해서 매트릭스 모양으로 배치해서 화소부를 구성함으로써 액티브 매트릭

스형의 표시장치를 제조하기 위한 한쪽의 기판으로 할 수 있다. 본 명세서에서는 편의상 이러한 기판을 액티브 매트릭스 기판으로 부른다.

[0226] 액티브 매트릭스형의 액정표시장치를 제조하는 경우에는, 액티브 매트릭스 기판과, 대향전극이 설치된 대향기판 사이에 액정층을 설치하고, 액티브 매트릭스 기판과 대향기판을 고정한다. 이때, 대향기판에 설치된 대향전극과 전기적으로 접속하는 공통 전극을 액티브 매트릭스 기판 위에 설치하고, 공통 전극과 전기적으로 접속하는 제4 단자를 단자부에 설치한다. 이 제4 단자는, 공통 전극을 고정 전위, 예를 들면, GND, OV 등으로 설정하기 위한 단자이다.

[0227] 본 실시형태에서 얻어지는 N채널형의 트랜지스터는, In-Ga-Zn-O계 비단결정 막을 채널 형성 영역에 사용하고 있어, 양호한 동특성을 갖기 때문에, 이를 구동기술을 조합할 수 있다.

[0228] 또한, 발광 표시장치를 제조하는 경우, 유기 발광소자의 한쪽의 전극(캐소드라고도 부른다)은, 저 전원 전압, 예를 들면, GND, OV 등으로 설정하기 위해서, 단자부에, 캐소드를 저 전원전압, 예를 들면, GND, OV 등으로 설정하기 위한 제4 단자가 설치된다. 또한, 발광 표시장치를 제조하는 경우에는, 소스 배선 및 게이트 배선에 덧붙여 전원공급선을 설치한다. 따라서, 단자부에는, 전원공급선과 전기적으로 접속하는 제5 단자를 설치한다.

[0229] 게이트선 구동회로 또는 소스선 구동회로에서 산화물 반도체를 사용한 TFT로 형성함으로써, 제조 비용을 저감한다. 그리고 구동회로에 사용하는 TFT의 게이트 전극과 소스 배선, 또는 드레인 배선을 직접 접속시킴으로써 콘택홀의 수를 적게 하여, 구동회로의 점유 면적을 축소화할 수 있는 표시장치를 제공할 수 있다.

[0230] 따라서, 본 실시형태에 의해, 전기 특성이 높고 신뢰성이 좋은 표시장치를 저비용으로 제공할 수 있다.

[0231] 이때, 본 실시형태는 다른 실시형태와 적절히 조합할 수 있다.

[0232] (실시형태 8)

[0233] 본 실시형태에서는, 상기 실시형태 6에 나타낸 표시장치의 일례로서 발광 표시장치에 관해 설명한다. 또한, 본 실시형태에서는, 일례로서 일렉트로루미네센스를 발광소자로서 이용한 발광 표시장치에 관해 설명한다.

[0234] 일렉트로루미네센스를 이용하는 발광소자는, 발광 재료가 유기 화합물인지, 무기 화합물인지에 따라 구별되고, 일반적으로, 전자는 유기 EL 소자, 후자는 무기 EL 소자로 부르고 있다.

[0235] 유기 EL 소자는, 발광소자에 전압을 인가함으로써, 한 쌍의 전극으로부터 전자 및 정공이 각각 발광성의 유기 화합물을 포함하는 층에 주입되어, 전류가 흐른다. 그리고, 그들 캐리어(전자 및 정공)가 재결합함으로써, 발광성의 유기 화합물이 여기상태를 형성하고, 그 여기상태가 기저상태로 되돌아올 때에 발광한다. 이러한 메커니즘으로부터, 이러한 발광소자는, 전류 여기형의 발광소자로 불린다.

[0236] 무기 EL 소자는, 그것의 소자 구성에 따라, 분산형 무기 EL 소자와 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는, 발광 재료의 입자를 바인더 중에 분산시킨 발광층을 갖는 것으로, 발광 메커니즘은 도너 준위와 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광이다. 박막형 무기 EL 소자는, 발광층을 유전체층으로 사이에 끼우고, 더구나, 그것을 전극으로 끼운 구조로서, 발광 메커니즘은 금속 이온의 내각 전자천이를 이용하는 국재형 발광이다. 이때, 여기에서는, 발광소자로서 유기 EL 소자를 사용하여 설명한다.

[0237] 본 실시형태에 있어서의 표시장치의 화소의 회로 구성에 대해서 도 24를 사용하여 설명한다. 도 24는 본 실시형태에 있어서의 표시장치의 화소의 회로 구성을 나타낸 회로도이다.

[0238] 도 24에 도시된 것과 같이, 실시형태에 있어서의 표시장치의 화소는, 트랜지스터851과, 유지용량 소자(852)와, 트랜지스터 853과, 발광소자(854)를 갖는다.

[0239] 트랜지스터 851은, 게이트가 주사선 855에 전기적으로 접속되고, 소스 및 드레인의 한쪽이 신호선 856에 전기적으로 접속되고, 소스 및 드레인의 다른 쪽에 유지용량 소자(852)를 거쳐 고 전원전압이 주어진다.

[0240] 트랜지스터 853은, 게이트가 트랜지스터 851의 소스 및 드레인의 다른 쪽에 전기적으로 접속되고, 소스 및 드레인의 한쪽에 고 전원전압이 주어진다.

[0241] 발광소자 854는, 제1단자 및 제2단자를 포함하고, 제1단자가 트랜지스터 853의 소스 및 드레인의 다른

쪽에 전기적으로 접속되고, 제2단자에 저 전원전압이 주어진다.

[0242] 다음에, 도 24에 나타낸 화소의 동작에 관해 설명한다.

[0243] 다음에, 본 실시형태의 표시장치에 있어서의 화소의 표시 동작에 관해 설명한다.

[0244] 우선, 데이터 기록을 행하는 화소가 선택된다. 선택된 화소는, 주사선 855로부터 입력되는 주사 신호에 의해 트랜지스터 851이 온 상태가 되고, 소정의 값의 전압인 비디오 신호(데이터 신호라고도 한다)가 신호선 856으로부터 트랜지스터 853의 게이트에 입력된다.

[0245] 트랜지스터 853은 게이트에 입력되는 데이터 신호에 따른 전압에 의해 온 상태 또는 오프 상태가 된다. 트랜지스터 853이 온 상태일 때, 발광소자 854의 제1단자 및 제2단자의 사이에 인가되는 전압은, 트랜지스터 853의 게이트 전압 및 고 전원전압에 따른 값이 된다. 이때, 발광소자(854)에 제1단자 및 제2단자 사이에 인가된 전압에 따라 전류가 흘러, 발광소자(854)는 흐르는 전류의 양에 따른 휘도로 발광한다. 또한, 용량소자(852)에 의해 트랜지스터 853의 게이트 전압은 일정시간 유지되기 때문에, 발광소자(854)는 일정시간 발광 상태를 유지한다.

[0246] 또한, 신호선 856으로부터 화소에 입력되는 데이터 신호가 디지털 형식인 경우, 화소는 트랜지스터 851의 온과 오프의 전환에 의해, 발광 또는 비발광의 상태가 된다. 따라서, 면적제조법 또는 시간제조법을 사용해서 계조의 표시를 행할 수 있다. 면적제조법은, 1 화소를 복수의 부화소로 분할하고, 각 부화소를 도 24에 나타낸 회로 구성으로 해서 독립하여 데이터 신호에 근거하여 구동시킴으로써 계조표시를 행하는 구동법이다. 또한, 시간제조법은, 화소가 발광하는 기간을 제어함으로써, 계조표시를 행하는 구동법이다.

[0247] 발광소자는, 액정소자 등과 비교해서 응답 속도가 높으므로, 액정소자보다도 시간제조법에 적합하다. 구체적으로 시간제조법으로 표시를 행하는 경우, 1 프레임 기간을 복수의 서브프레임 기간으로 분할한다. 그리고, 비디오 신호에 따라, 각 서브프레임 기간에 있어서 화소의 발광소자를 발광 또는 비발광의 상태로 한다. 복수의 서브프레임 기간으로 분할함으로써, 1 프레임 기간 동안에 화소가 실제로 발광하는 기간의 토클의 길이를, 비디오 신호에 의해 제어할 수 있어, 계조를 표시할 수 있다.

[0248] 또한, 발광 표시장치에 있어서도, 구동회로 중에서, N채널형 TFT로 구성할 수 있는 구동회로의 일부를 화소부의 TFT와 동일 기판 위에 형성할 수 있다. 또한, 신호선 구동회로 및 주사선 구동회로를 N채널형 TFT만으로 제조하는 것도 가능하다.

[0249] 다음에, 발광소자의 구성에 대해서, 도 25를 사용하여 설명한다. 여기에서는, 구동용 TFT가 N채널형인 경우를 예로 들어, 화소의 단면 구조에 관해 설명한다. 도 25a, 도 25b 및 도 25c의 표시장치에 사용되는 구동용 TFT인 TFT 7001, 7011, 7021은, 상기 실시형태에 나타낸 TFT와 동일하게 제조할 수 있고, 산화물 반도체층을 반도체층으로서 포함하는 신뢰성이 높은 TFT이다.

[0250] 발광소자는 발광을 추출하기 위해서 적어도 양극 또는 음극의 한쪽이 투명하면 된다. 그리고, 기판 위에 TFT 및 발광소자를 형성하고, 기판과는 반대측의 면으로부터 발광을 추출하는 상면 출사와, 기판측의 면으로부터 발광을 추출하는 하면 출사와, 기판측 및 기판과는 반대측의 면으로부터 발광을 추출하는 양면 출사 구조의 발광소자가 있으며, 본 발명의 화소 구성은 어떤 출사 구조의 발광소자에도 적용할 수 있다.

[0251] 상면 출사 구조의 발광소자에 대해서 도 25a를 사용하여 설명한다.

[0252] 도 25a에, 구동용 TFT인 TFT(7001)가 N채널형이고, 발광소자(7002)에서 발생하는 빛이 양극(7005)측으로 빠질 경우의, 화소의 단면도를 나타낸다. 도 25a에서는, 발광소자(7002)의 음극(7003)과 구동용 TFT인 TFT(7001)가 전기적으로 접속되고 있고, 음극(7003) 위에 발광층(7004), 양극(7005)이 순차적으로 적층되어 있다. 음극(7003)은 일함수가 작고, 더구나 빛을 반사하는 도전막이면 다양한 재료를 사용할 수 있다. 예를 들면, Ca, Al, CaF, MgAg, AlLi 등이 바람직하다. 그리고, 발광층(7004)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느쪽이라도 된다. 복수의 층으로 구성되어 있는 경우, 음극(7003) 위에 전자주입층, 전자수송층, 발광층, 홀 수송층, 홀 주입층의 순서로 적층한다. 이때, 이를 층을 모두 설치할 필요는 없다. 양극(7005)은 빛을 투과하는 투광성을 갖는 도전성 재료를 사용해서 형성하고, 예를 들면, 산화 텉스텐을 포함하는 인듐 산화물, 산화 텉스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO로 표시한다), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 도전막을 사용해도 된다.

[0253] 음극(7003) 및 양극(7005)으로 발광층(7004)을 끼우고 있는 영역이 발광소자(7002)에 해당한다. 도 25a

에 나타낸 화소의 경우, 발광소자(7002)로부터 발생하는 빛은, 화살표로 나타낸 것과 같이 양극(7005)측으로 출사된다.

[0254] 다음에, 하면 출사 구조의 발광소자에 대해 도 25b를 사용하여 설명한다. 구동용 TFT(7011) N채널형이고, 발광소자(7012)로부터 발생하는 빛이 음극(7017)측으로 출사되는 경우의, 화소의 단면도를 나타낸다. 도 25에서는, 구동용 TFT(7011)와 전기적으로 접속된 투광성을 갖는 도전막(7013) 위에, 발광소자(7012)의 음극(7017)이 성막되어 있고, 음극(7017) 위에 발광층(7014), 양극(7015)이 순서대로 적층되어 있다. 이때, 양극(7015)이 투광성을 가질 경우, 양극 위를 덮도록, 빛을 반사 또는 차폐하기 위한 차폐막(7016)이 성막되어 있어도 된다. 음극(7017)은, 도 25a의 경우와 마찬가지로, 일함수가 작은 도전성 재료이면 다양한 재료를 사용할 수 있다. 단, 그것의 막두께는, 빛을 투과하는 정도(바람직하게는, 5nm~30nm 정도)로 한다. 예를 들면, 20nm의 막두께를 갖는 알루미늄 막을, 음극(7017)으로서 사용할 수 있다. 그리고, 발광층(7014)은, 도 25a와 마찬가지로, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느쪽이라도 된다. 양극(7015)은 빛을 투과할 필요는 없지만, 도 25a와 마찬가지로, 투광성을 갖는 도전성 재료를 사용해서 형성할 수 있다. 그리고, 차폐막(7016)은, 예를 들면, 빛을 반사하는 금속 등을 사용할 수 있지만, 금속막에 한정되지 않는다. 예를 들면, 검은 안료를 첨가한 수지 등을 사용할 수도 있다.

[0255] 음극(7017) 및 양극(7015)으로, 발광층(7014)을 사이에 끼우고 있는 영역이 발광소자(7012)에 해당한다. 도 25b에 나타낸 화소의 경우, 발광소자(7012)로부터 발생하는 빛은, 화살표로 나타낸 것과 같이 음극(7017)측으로 출사된다.

[0256] 다음에, 양면 출사 구조의 발광소자에 대해서, 도 25c를 사용하여 설명한다. 도 25c에서는, 구동용 TFT(7021)과 전기적으로 접속된 투광성을 갖는 도전막(7023) 위에, 발광소자(7022)의 음극(7027)이 성막되어 있고, 음극(7027) 위에 발광층(7024), 양극(7025)이 순서대로 적층되어 있다. 음극(7027)은, 도 25a의 경우와 마찬가지로, 일함수가 작은 도전성 재료이면 다양한 재료를 사용할 수 있다. 단, 그것의 막두께는, 빛을 투과하는 정도로 한다. 예를 들면, 20nm의 막두께를 갖는 Al을, 음극(7027)으로서 사용할 수 있다. 그리고, 발광층(7024)은, 도 25a와 마찬가지로, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느쪽이라도 된다. 양극(7025)은, 도 25a와 마찬가지로, 빛을 투과하는 투광성을 갖는 도전성 재료를 사용해서 형성할 수 있다.

[0257] 음극(7027)과, 발광층(7024)과, 양극(7025)이 중첩하고 있는 부분이 발광소자(7022)에 해당한다. 도 25c에 나타낸 화소의 경우, 발광소자(7022)로부터 발생하는 빛은, 화살표로 나타낸 것과 같이 양극(7025)측과 음극(7027)측의 양쪽으로 출사된다.

[0258] 이때, 여기에서는, 발광소자로서 유기 EL 소자에 대해서 서술했지만, 발광소자로서 무기 EL 소자를 설치하는 것도 가능하다.

[0259] 이때, 본 실시형태에서는, 발광소자의 구동을 제어하는 TFT(구동용 TFT라고도 한다)와 발광소자가 전기적으로 접속되어 있는 예를 나타내었지만, 구동용 TFT와 발광소자 사이에 전류제어용 TFT가 접속되어 있는 구성이어도 된다.

[0260] 다음에, 본 실시형태에 있어서의 표시장치(발광 패널이라고도 한다)의 외관 및 단면에 대해서, 도 26을 사용하여 설명한다. 도 26a는, 제1 기판 위에 형성된 TFT 및 발광소자를, 제2 기판과의 사이에 셀재에 의해 밀봉한 본 실시형태의 표시장치의 평면도이며, 도 26b는, 도 26a의 H-I에 있어서의 단면도에 해당한다.

[0261] 제1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)를 둘러싸도록 하여, 셀재(4505)가 설치되어 있다. 또한, 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b) 위에 제2 기판(4506)이 설치되어 있다. 따라서, 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)는, 제1 기판(4501)과 셀재(4505)와 제2 기판(4506)에 의해, 충전재(4507)와 함께 밀봉되어 있다. 이와 같이 노출되지 않도록 기밀성이 높고, 탈가스가 적은 보호 필름(첨합 필름, 자외선 경화수지 필름 등)이나 커버재로 패키징(봉입)하는 것이 바람직하다.

[0262] 또한, 제1 기판(4501) 위에 설치된 화소부(4502), 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)는 TFT를 복수 갖고 있고, 도 26b에서는 화소부(4502)에 포함되는 TFT 4510과, 신호선 구동회로 4503a에 포함되는 TFT 4509를 예시하고 있다.

[0263] TFT 4509, 4510은, 산화물 반도체층을 반도체층으로서 포함하는 신뢰성이 높은 실시형태 4에 나타낸 TFT를 적용할 수 있다. 또한, 실시형태 5에 나타낸 TFT를 적용해도 된다. 본 실시형태에 있어서, TFT 4509,

4510은 N채널형 TFT이다.

[0264] 또한, 4511은 발광소자에 해당하고, 발광소자(4511)가 갖는 화소전극인 제1 전극(4517)은, TFT 4510의 소스 전극 또는 드레인 전극과 전기적으로 접속되어 있다. 이때, 발광소자 4511의 구성은, 제1 전극(4517), 전계발광층(4512), 제2 전극(4513)의 적층구조이지만, 본 실시형태에 나타낸 구성에 한정되지 않는다. 발광소자(4511)에서 추출하는 빛의 방향 등에 맞추어, 발광소자(4511)의 구성은 적절히 바꿀 수 있다.

[0265] 격벽(4520)은, 유기수지막, 무기 절연막 또는 유기 폴리실록산을 사용해서 형성한다. 특히 감광성의 재료를 사용하고, 제1 전극(4517) 위에 개구부를 형성하고, 그 개구부의 측벽이 연속된 곡률을 갖고 형성되는 경사면이 되도록 형성하는 것이 바람직하다.

[0266] 전계발광층(4512)은, 단수의 층으로 구성되어 있어도, 복수의 층이 적층되도록 구성되어 있어도 어느쪽이라도 된다.

[0267] 발광소자(4511)에 산소, 수소, 수분, 이산화탄소 등이 침입하지 않도록, 제2 전극(4513) 및 격벽(4520) 위에 보호층을 형성해도 된다. 보호층으로서는, 질화 규소막, 질화산화 규소막, DLC막 등을 형성할 수 있다.

[0268] 또한, 신호선 구동회로(4503a, 4503b), 주사선 구동회로(4504a, 4504b), 또는 화소부(4502)에 주어지는 각종 신호 및 전위는, FP(C4518a, 4518b)에서 공급되고 있다.

[0269] 본 실시형태에서는, 접속 단자 전극(4515)이, 발광소자(4511)가 갖는 제1 전극(4517)과 같은 도전막으로 형성되고, 단자 전극(4516)은, TFT 4509, 4510이 갖는 소스 전극 및 드레인 전극과 같은 도전막으로 형성되어 있다.

[0270] 접속 단자 전극(4515)은, FPC 4518a가 갖는 단자와, 이방성 도전막(4519)을 개재하여 전기적으로 접속되어 있다.

[0271] 발광소자(4511)로부터의 빛의 추출 방향에 위치하는 기판에는, 제2 기판은 투광성이 아니면 안된다. 그 경우에는, 유리판, 플라스틱판, 폴리에스테르 필름 또는 아크릴 필름과 같은 투광성을 갖는 재료를 사용한다.

[0272] 또한, 충전재(4507)로서는 질소나 아르곤 등의 불활성인 기체 이외에, 자외선 경화 수지 또는 열경화 수지를 사용할 수 있고, PVC(폴리비닐클로라이드), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, PVB(폴리비닐 부티랄) 또는 EVA(에틸렌비닐아세테이트)를 사용할 수 있다. 본 실시형태는 충전재로서 질소를 사용했다.

[0273] 또한, 필요하면, 발광소자의 출사면에 편광판, 또는 원편광판(타원편광판을 포함한다), 위상차판($\lambda/4$ 판, $\lambda/2$ 판), 컬러필터 등의 광학 필름을 적절히 형성해도 된다. 또한, 편광판 또는 원편광판에 반사방지막을 형성해도 된다. 예를 들면, 표면의 요철에 의해 반사광을 확산하여, 비침 포함을 저감할 수 있는 안티글레어 처리를 실시할 수 있다.

[0274] 신호선 구동회로(4503a, 4503b), 및 주사선 구동회로(4504a, 4504b)는, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막에 의해 형성된 구동회로로 실장되어 있어도 된다. 또한, 신호선 구동회로만, 또는 일부, 또는 주사선 구동회로만, 또는 일부만을 별도 형성해서 설치해도 되고, 본 실시형태는 도 26의 구성에 한정되지 않는다.

[0275] 이상의 공정에 의해, 신뢰성이 높은 발광 표시장치(표시 패널)를 제조할 수 있다.

[0276] 본 실시형태는, 다른 실시형태에 기재된 구성과 적절히 조합할 수 있다.

[0277] (실시형태 9)

[0278] 본 실시형태에서는, 상기 실시형태 6에 나타낸 표시장치의 일례로서 전자 페이퍼에 관해 설명한다.

[0279] 상기 실시형태에 나타낸 논리회로는 전자 페이퍼에 사용할 수도 있다. 전자 페이퍼는, 전기영동 표시장치(전기영동 디스플레이라고도 한다)로도 불리고 있으며, 종이와 같은 읽기 쉬움, 다른 표시장치에 비교하여 저소비 전력, 얇고 가벼운 형상으로 하는 것이 가능하다고 하는 이점을 갖고 있다.

[0280] 전기영동 디스플레이는, 다양한 형태가 생각될 수 있지만, 플러스의 전하를 갖는 제1 입자와, 마이너스의 전하를 갖는 제2 입자를 포함하는 마이크로캡슐이 용매 또는 용질에 복수 분산된 것으로, 마이크로캡슐에 전계를 인가함으로써, 마이크로캡슐 중의 입자를 서로 반대 방향으로 이동시켜 한쪽에 집합한 입자의 색만을 표시

하는 것이다. 이때, 제1 입자 또는 제2 입자는 염료를 포함하고, 전계가 없는 경우에 있어서 이동하지 않는 것이다. 또한, 제1 입자의 색과 제2 입자의 색은 다른 것(무색을 포함한다)으로 한다.

[0281] 이와 같이, 전기영동 디스플레이에는, 유전상수가 높은 물질이 높은 전계영역으로 이동하는, 소위 유전 영동적 효과를 이용한 디스플레이이다. 전기영동 디스플레이에는, 액정표시장치에는 필요한 편광판, 대향기판도 전기영동 표시장치에는 필요없어, 두께나 무게가 반감된다.

[0282] 상기 마이크로캡슐을 용매 중에 분산시킨 것이 전자 잉크로 불리는 것으로, 이 전자 잉크는 유리, 플라스틱, 천, 종이 등의 표면에 인쇄할 수 있다. 또한, 컬러필터나 색소를 갖는 입자를 사용함으로써 컬러 표시도 가능하다.

[0283] 또한, 액티브 매트릭스 기판 위에 적절히, 2개 전극의 사이에 끼우도록 상기 마이크로캡슐을 복수 배치하면 액티브 매트릭스형의 표시장치가 완성되어, 마이크로캡슐에 전계를 인가하면 표시를 행할 수 있다. 예를 들면, 실시형태 4 또는 실시형태 5의 TFT에 의해 얻어지는 액티브 매트릭스 기판을 사용할 수 있다.

[0284] 이때, 마이크로캡슐 중의 제1 입자 및 제2 입자는, 도전체 재료, 절연체 재료, 반도체 재료, 자성 재료, 액정 재료, 강유전성 재료, 일렉트로루미네센스 재료, 일렉트로크로믹스 재료, 자기영동 재료에서 선택된 1종의 재료, 또는 이들의 복합 재료를 사용하면 된다.

[0285] 다음에, 본 실시형태에 있어서의 전자 페이퍼의 구조예에 대해서 도 27을 사용하여 설명한다. 도 27은 본 실시형태에 있어서의 전자 페이퍼의 구조를 나타낸 단면도이다.

[0286] 도 27에 나타낸 전자 페이퍼는, 기판 580 위에 TFT(581)과, TFT(581) 위에 적층해서 설치된 절연층 583, 절연층 584 및 절연층 585와, 절연층 583 내지 절연층 585에 설치된 개구부을 거쳐 TFT(581)의 소스 전극 또는 드레인 전극에 접하는 전극 587과, 전극 587과 기판 596에 설치된 전극 588 사이에 흑색 영역(590a) 및 백색 영역(590b)과, 주변에 액체로 채워져 있는 캐비티(594)를 포함하는 구형 입자(589)와, 구형 입자(589)의 주변에 설치된 충전제(595)를 갖는다.

[0287] TFT(581)로서는, 실시형태 4에 나타낸 TFT와 동일하게 제조할 수 있고, 산화물 반도체층을 반도체층으로서 포함하는 신뢰성이 높은 TFT이다. 또한, 실시형태 5에 나타낸 TFT도 본 실시의 TFT(581)로서 적용할 수도 있다.

[0288] 구형 입자(589)를 사용한 방식은 트위스트 볼 표기방식이라고 하며, 트위스트 볼 표기방식이란, 백과 흑으로 나뉘어 칠해진 구형 입자를 표시 소자에 사용하는 전극인 제1 전극 및 제2 전극의 사이에 배치하고, 제1 전극 및 제2 전극에 전위차를 생기게 해서 구형 입자의 방향을 제어함으로써, 표시를 행하는 방법이다.

[0289] 또한, 구형 소자 대신에 전기영동소자를 사용하는 것도 가능하다. 투명한 액체와, 양으로 대전한 흰 미립자와 음으로 대전한 검은 미립자를 봉입한 직경 $10\mu\text{m} \sim 200\mu\text{m}$ 정도의 마이크로캡슐을 사용한다. 제1 전극과 제2 전극 사이에 설치되는 마이크로캡슐은, 제1 전극과 제2 전극에 의해, 전기장이 주어지면, 흰 미립자와, 검은 미립자가 반대의 방향으로 이동하여, 백 또는 흑을 표시할 수 있다. 이 원리를 응용한 표시 소자가 전기영동 표시소자이다. 전기영동 표시 소자는, 액정표시 소자와 비교해서 반사율이 높기 때문에, 보조 라이트는 불필요하고, 또한 소비 전력이 작아, 어둑어둑한 개소에서도 표시부를 인식하는 것이 가능하다. 또한, 표시부에 전원이 공급되지 않는 경우에도, 한번 표시한 상을 유지하는 것이 가능하기 때문에, 전파발신원으로부터 표시 기능 부착 반도체장치(간단히 표시장치, 또는 표시장치를 구비한 반도체장치라고도 한다)를 멀리했을 경우에도, 표시된 상을 보존해 두는 것이 가능해진다.

[0290] 명세서에 개시하는 발명의 일 실시형태인 논리회로는, 예를 들면, 본 실시형태에 있어서의 전자 페이퍼의 구동회로로서 사용할 수 있다. 또한 표시부의 트랜지스터도 산화물 반도체층을 사용한 박막 트랜지스터를 적용할 수 있으므로, 예를 들면, 동일 기판에 구동회로 및 표시부를 설치할 수도 있다.

[0291] 또는, 상기 전자 페이퍼는, 정보를 표시하는 것이면 모든 분야의 전자기기에 사용하는 것이 가능하다. 예를 들면, 전자 페이퍼를 사용하여, 전자서적(전자 북), 포스터, 전자 등의 탈것의 차내 광고, 크레딧 카드 등의 각종 카드에 있어서의 표시 등에 적용 할 수 있다. 전자기기의 일례를 도 28에 나타낸다. 도 28은, 전자서적(2700)의 일례를 나타내고 있다.

[0292] 도 28에 도시된 것과 같이, 전자서적(2700)은, 샤시 2701 및 샤시 2703의 2개의 샤시로 구성되어 있다. 샤시 2701 및 샤시 2703은, 축부(2711)에 의해 일체로 되어 있으며, 이 축부(2711)를 축으로 하여 개폐 동작을

행할 수 있다. 이러한 구성에 의해, 종이의 서적과 같은 동작을 행하는 것이 가능해진다.

[0293] 샤시 2701에는 표시부 2705가 삽입되고, 샤시 2703에는 표시부 2707이 삽입되어 있다. 표시부 2705 및 표시부 2707은, 계속 화면을 표시하는 구성으로 해도 되고, 다른 화면을 표시하는 구성으로 해도 된다. 다른 화면을 표시하는 구성으로 함으로써, 예를 들면, 우측의 표시부(도 28에서는 표시부 2705)에 문장을 표시하고, 좌측의 표시부(도 28에서는 표시부 2707)에 화상을 표시할 수 있다.

[0294] 또한, 도 28에서는, 샤시 2701에 조작부 등을 구비한 예를 나타내고 있다. 예를 들면, 샤시 2701에 있어서, 전원(2721), 조작 키(2723), 스피커(2725) 등을 구비하고 있다. 조작 키(2723)에 의해, 페이지를 보낼 수 있다. 이때, 샤시의 표시부와 동일 면에 키보드나 포인팅 디바이스 등을 구비하는 구성으로 해도 된다. 또한, 샤시의 이면이나 측면에, 외부접속용 단자(이어폰 단자, USB 단자, 또는 AC 어댑터 및 USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록매체 삽입부 등을 구비하는 구성으로 해도 된다. 더구나, 전자서적(2700)은, 전자사전으로서의 기능을 갖게 한 구성으로 해도 된다.

[0295] 또한, 전자서적(2700)은, 무선으로 정보를 송수신할 수 있는 구성으로 해도 된다. 무선에 의해, 전자서적 서버로부터, 원하는 서적 데이터 등을 구입하고, 다운로드하는 구성으로 하는 것도 가능하다.

[0296] (실시형태 10)

[0297] 본 실시형태에서는, 상기 실시형태 6에 있어서의 표시장치의 한가지 예로서 시스템 온 패널형의 표시장치에 관해 설명한다.

[0298] 본 명세서에 개시하는 발명인 논리회로는, 동일 기판 위에 표시부와 구동회로가 설치된 시스템 온 패널형의 표시장치에 적용할 수도 있다. 이하에서 구체적인 구성에 관해 설명한다.

[0299] 본 실시형태에 있어서의 표시장치는 표시 소자를 포함한다. 표시 소자로서는 액정소자(액정표시 소자라고도 한다), 발광소자(발광 표시 소자라고도 한다)를 사용할 수 있다. 발광소자는, 전류 또는 전압에 의해 휘도가 제어되는 소자를 그 범주에 포함하고 있고, 구체적으로는 무기 EL(Electro Luminescence), 유기 EL 등이 포함된다. 또한, 전자 잉크 등, 전기적 작용에 의해 콘트라스트가 변화하는 표시 매체도 적용할 수 있다.

[0300] 또한, 본 실시형태에 있어서의 표시장치는, 표시 소자가 봉지된 상태에 있는 패널과, 상기 패널에 콘트롤러를 포함하는 IC 등을 실장한 상태에 있는 모듈을 포함한다. 더구나, 이 표시장치를 제조하는 과정에 있어서의, 표시 소자가 완성되기 전의 일 형태에 해당하는 소자 기판에 관한 것으로서, 이 소자기판은, 전류를 표시 소자에 공급하기 위한 수단을 복수의 각 화소에 구비한다. 소자기판은, 구체적으로는, 표시 소자의 화소전극만이 형성된 상태이어도 되고, 화소전극이 되는 도전막을 성막한 후로서, 에칭해서 화소전극을 형성하기 전의 상태이어도 되고, 모든 형태가 잘 맞는다.

[0301] 이때, 본 명세서 중에 있어서의 표시장치란, 화상표시 디바이스, 표시 디바이스, 또는 광원(조명장치를 포함한다)을 가리킨다. 또한 커넥터, 예를 들면, FPC(Flexible printed circuit) 또는 TAB(Tape Automated Bonding) 테이프 또는 TCP(Tape Carrier Package)가 부착된 모듈, TAB 테이프나 TCP의 앞에 프린트 배선판이 설치된 모듈, 또는 표시 소자에 COG(Chip On Glass) 방식에 의해 IC(집적회로)가 직접 설치된 모듈도 모두 표시장치에 포함하는 것으로 한다.

[0302] 다음에, 본 실시형태에 있어서의 표시장치의 일 형태에 해당하는 액정표시 패널의 외관 및 단면에 대해, 도 29를 사용하여 설명한다.

[0303] 도 29a 및 도 29b는, 제1 기판(4001) 위에 형성된 실시형태 4에 나타낸 In-Ga-Zn-O계 비단결정 막을 반도체층으로서 포함하는 TFT 4010, 4011, 및 액정소자(4013)를, 제2 기판(4006)과의 사이에 씰재(4005)에 의해 밀봉한 본 실시형태에 있어서의 표시장치의 평면도이며, 도 29c는, 도 29a 및 도 29b의 M-N에 있어서의 단면도에 해당한다.

[0304] 본 실시형태에 있어서의 표시장치는, 제1 기판(4001) 위에 설치된 화소부(4002)와, 주사선 구동회로(4004)를 둘러싸도록 하여, 씰재(4005)가 설치되어 있다. 또한, 화소부(4002)와, 주사선 구동회로(4004) 위에 제2 기판(4006)이 설치되어 있다. 따라서, 화소부(4002)와, 주사선 구동회로(4004)는, 제1 기판(4001)과 씰재(4005)와 제2 기판(4006)에 의해, 액정층(4008)과 함께 봉지되어 있다. 또한, 제1 기판(4001) 상의 씰재(4005)에 의해 둘러싸인 영역과는 다른 영역에, 별도 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막으로

형성된 신호선 구동회로(4003)가 설치되어 있다.

[0305] 이때, 별도 형성한 구동회로의 접속 방법은, 특별하게 한정되는 것은 아니고, COG 방법, 와이어본딩 방법, 또는 TAB 방법 등을 사용할 수 있다. 도 29a는, COG 방법에 의해 신호선 구동회로(4003)를 설치하는 예이며, 도 29b는, TAB 방법에 의해 신호선 구동회로(4003)를 설치하는 예이다.

[0306] 또한, 제1 기판(4001) 위에 설치된 화소부(4002)와, 주사선 구동회로(4004)는, TFT를 복수 갖고 있고, 도 29c에서는, 화소부 4002에 포함되는 TFT 4010과, 주사선 구동회로(4004)에 포함되는 TFT 4011을 예시하고 있다. TFT 4010, 4011 위에는 절연층 4020, 4021이 설치되어 있다.

[0307] TFT 4010, 4011은, 산화물 반도체막을 반도체층으로서 포함하는 신뢰성이 높은 실시형태 4에 나타낸 TFT를 적용할 수 있다. 또한, 실시형태 5에 나타낸 TFT를 적용해도 된다. 본 실시형태에 있어서, TFT 4010, 4011은 N 채널형 TFT이다.

[0308] 또한, 액정소자(4013)가 갖는 화소전극(4030)은, TFT 4010과 전기적으로 접속되어 있다. 그리고, 액정소자(4013)의 대향전극(4031)은 제2 기판(4006) 위에 형성되어 있다. 화소전극(4030)과 대향전극(4031)과 액정층(4008)이 중첩되어 있는 부분이, 액정소자(4013)에 해당한다. 또한, 화소전극(4030), 대향전극(4031)은 각각 배향막으로서 기능하는 절연층 4032, 4033이 설치되고, 절연층 4032, 4033을 개재하여 액정층(4008)을 사이에 끼워 지지하고 있다.

[0309] 이때, 제1 기판(4001), 제2 기판(4006)으로서는, 상기 실시형태에 있어서의 기판(210)에 적용가능한 재료 및 제조방법을 적용할 수 있다.

[0310] 또한, 스페이서(4035)는, 절연막을 선택적으로 예칭함으로써 얻어지는 기둥형의 격벽으로, 화소전극(4030)과 대향전극(4031) 사이의 거리(셀 갭)를 제어하기 위해 설치되어 있다. 이때, 구형의 스페이서를 사용하고 있어도 된다. 또한, 대향전극(4031)은, TFT 4010과 동일 기판 위에 설치되는 공통 전위선과 전기적으로 접속된다. 공통 접속부를 사용하여, 한 쌍의 기판 사이에 배치되는 도전성 입자를 거쳐 대향전극(4031)과 공통 전위선을 전기적으로 접속할 수 있다. 이때, 도전성 입자는 셀재(4005)에 함유시킨다.

[0311] 이때, 본 실시형태는 투파형 액정표시장치의 예이지만, 본 발명은 반사형 액정표시장치에서도 반투파형 액정표시장치에서도 적용할 수 있다.

[0312] 또한, 본 실시형태의 액정표시장치에서는, 기판의 외측(시인측)에 편광판을 설치하고, 내측에 착색층, 표시 소자에 사용하는 전극이라고 하는 순서로 설치하는 예를 나타내지만, 편광판은 기판의 내측에 형성해도 된다. 또한, 편광판과 착색층의 적층 구조도 본 실시형태에 한정되지 않고, 편광판 및 착색층의 재료나 제조 공정 조건에 의해 적절히 설치하면 된다. 또한, 블랙 매트릭스로서 기능하는 차광막을 형성해도 된다.

[0313] 또한, 본 실시형태에서는, TFT의 표면 요철을 저감하기 위해, 및 TFT의 신뢰성을 향상시키기 위해, TFT를 보호층이나 평탄화 절연막으로서 기능하는 절연층(절연층 4020, 절연층 4021)으로 덮는 구성으로 되어 있다. 이때, 보호층은, 대기중에 부유하는 유기물이나 금속물, 수증기 등의 오염 불순물의 침입을 막기 위한 것으로, 치밀한 막이 바람직하다. 보호층은, 스파터링법을 사용하여, 산화 규소막, 질화 규소막, 산화질화 규소막, 질화산화 규소막, 산화 알루미늄 막, 질화 알루미늄 막, 산화질화 알루미늄 막, 또는 질화산화 알루미늄 막의 단층, 또는 적층으로 형성하면 된다. 본 실시형태에서는 보호층을 스파터링법으로 형성하는 예를 나타내지만, 특별하게 한정되지 않고 다양한 방법으로 형성하면 된다. 또한, 비활원막을 사용함으로써 보호층을 환원 방지층으로서 기능시킬 수도 있다.

[0314] 여기에서는, 보호층으로서 적층구조의 절연층 4020을 형성한다. 여기에서는, 절연층 4020의 1째층으로서, 스파터링법을 사용해서 산화 규소막을 형성한다. 보호층으로서 산화 규소막을 사용하면, 소스 전극 및 드레인 전극으로서 사용하는 알루미늄 막의 힐록 방지에 효과가 있다.

[0315] 또한, 보호층의 2째층로서 절연층을 형성한다. 여기에서는, 절연층 4020의 2째층으로서, 스파터링법을 사용해서 질화 규소막을 형성한다. 보호층으로서 질화 규소막을 사용하면, 나트륨 등의 가동 이온이 반도체 영역 중에 침입하여, TFT의 전기 특성을 변화시키는 것을 억제할 수 있다.

[0316] 또한, 보호층을 형성한 후에, 반도체층의 어닐($250^{\circ}\text{C} \sim 400^{\circ}\text{C}$)을 행해도 된다.

[0317] 또한, 평탄화 절연막으로서 절연층 4021을 형성한다. 절연층(4021)으로서는, 폴리이미드, 아크릴, 폴리이미드 아미드, 벤조시클로부텐, 폴리아미드, 에폭시 등의 내열성을 갖는 유기재료를 사용할 수 있다. 또한, 상

기 유기재료 이외에, 저유전율 재료(low-k 재료), 실록산계 수지, PSG(인글라스), BPSG(인 봉소 클래스) 등을 사용할 수 있다. 또한, 이를 재료로 형성되는 절연막을 복수 적층시킴으로써, 절연층 4021을 형성해도 된다.

[0318] 이때, 실록산계 수지란, 실록산계 재료를 출발 재료로서 형성된 Si-O-Si 결합을 포함하는 수지에 해당한다. 실록산계 수지는 치환기로서는 유기기(예를 들면, 알킬기나 아릴기)나 플루오르기를 사용해도 된다. 또한, 유기기는 플루오르기를 갖고 있어도 된다.

[0319] 절연층 4021의 형성법은, 특별하게 한정되지 않고, 그 재료에 따라, 스퍼터링법, SOG법, 스피드코트, 딥, 스프레이 도포, 액적토출법(잉크젯법, 스크린 인쇄, 오프셋 인쇄 등), 닉터 나이프, 롤 코터, 커튼 코터, 나이프 코터 등을 사용할 수 있다. 절연층 4021을 재료액을 사용해서 형성할 경우, 베이크하는 공정과 동시에, 반도체층의 어닐($300^{\circ}\text{C} \sim 400^{\circ}\text{C}$)을 행해도 된다. 절연층 4021의 소성공정과 반도체층의 어닐을 겸함으로써 효율적으로 표시장치를 제조하는 것이 가능해진다.

[0320] 화소전극(4030), 대향전극(4031)은, 산화 텅스텐을 포함하는 인듐 산화물, 산화 텅스텐을 포함하는 인듐 아연 산화물, 산화 티탄을 포함하는 인듐 산화물, 산화 티탄을 포함하는 인듐 주석 산화물, 인듐 주석 산화물(이하, ITO로 표시한다), 인듐 아연 산화물, 산화 규소를 첨가한 인듐 주석 산화물 등의 투광성을 갖는 도전성 재료를 사용할 수 있다.

[0321] 또한, 화소전극(4030), 대향전극(4031)으로서, 도전성 고분자(도전성 폴리머라고도 한다)를 포함하는 도전성 조성물을 사용해서 형성할 수 있다. 도전성 조성물을 사용해서 형성한 전극은, 시트 저항이 $10000\Omega/\square$ 이하, 과장 550nm 에 있어서의 투광율이 70% 이상인 것이 바람직하다. 또한, 도전성 조성물에 포함되는 도전성 고분자의 저항율이 $0.1\Omega \cdot \text{cm}$ 이하인 것이 바람직하다.

[0322] 도전성 고분자로서는, 소위 π 전자 공역계 도전성 고분자를 사용할 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 또는 이것들의 2종 이상의 혼성 중합체 등을 들 수 있다.

[0323] 또한, 별도 형성된 신호선 구동회로(4003)와, 주사선 구동회로(4004) 또는 화소부(4002)에 주어지는 각종 신호 및 전위는, FPC(4018)로부터 공급되고 있다. 본 실시형태에서는, 접속 단자 전극(4015)이, 액정 소자(4013)가 갖는 화소전극(4030)과 같은 도전막으로 형성되고, 단자 전극(4016)은, TFT 4010, 4011의 소스 전극 및 드레인 전극과 같은 도전막으로 형성되어 있다.

[0324] 접속 단자 전극(4015)은, FPC(4018)가 갖는 단자와, 이방성 도전막(4019)을 개재하여 전기적으로 접속되어 있다.

[0325] 또한, 도 29에 있어서는, 신호선 구동회로(4003)를 별도 형성하고, 제1 기판(4001)에 설치하고 있는 예를 나타내고 있지만, 본 실시형태는 이 구성에 한정되지 않는다. 주사선 구동회로를 별도 형성해서 설치해도 되고, 신호선 구동회로의 일부 또는 주사선 구동회로의 일부만을 별도 형성해서 설치해도 된다.

[0326] 상기한 것과 같이 시스템 온 패널형의 표시장치를 작성할 수 있다. 또한, 본 실시형태에 있어서의 표시장치에는 상기 실시형태에 있어서의 논리회로를 예를 들면, 구동회로에 사용할 수 있고, 표시부의 TFT와 동일 공정에 의해 논리회로를 제조할 수도 있다.

[0327] 이때, 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합할 수 있다.

[0328] (실시형태 11)

[0329] 상기 실시형태 6 내지 실시형태 10에 나타낸 표시장치는, 다양한 전자기기(게임기도 포함한다)에 적용할 수 있다. 전자기기로서는, 예를 들면, 텔레비전 장치(텔레비전, 또는 텔레비전 수신기라고도 한다), 컴퓨터용 등의 모니터, 디지털 카메라, 디지털 비디오 카메라, 디지털 포토 프레임, 휴대전화기(휴대전화, 휴대전화장치라고도 한다), 휴대형 게임기, 휴대 정보단말, 음향재생장치, 파칭코기 등의 대형 게임기 등을 들 수 있다.

[0330] 도 30a는, 텔레비전 장치(9600)의 일례를 나타내고 있다. 텔레비전 장치(9600)는, 샤시(9601)에 표시부(9603)가 포함되어 있다. 표시부(9603)에 의해, 영상을 표시하는 것이 가능하다. 또한, 여기에서는, 스탠드(9605)에 의해 샤시(9601)를 지지한 구성을 나타내고 있다.

[0331] 텔레비전 장치(9600)의 조작은, 샤시(9601)가 구비하는 조작 스위치나, 별체의 리모트콘트롤 조작기

(9610)에 의해 행할 수 있다. 리모트콘트롤 조작기(9610)가 구비하는 조작 키(9609)에 의해, 채널이나 음량의 조작을 행할 수 있고, 표시부(9603)에 표시되는 영상을 조작할 수 있다. 또한, 리모트콘트롤 조작기(9610)에, 해당 리모트콘트롤 조작기(9610)로부터 출력하는 정보를 표시하는 표시부(9607)를 설치하는 구성으로 해도 된다.

[0332] 이때, 텔레비전 장치(9600)는, 수신기나 모뎀 등을 구비한 구성으로 한다. 수신기에 의해 일반의 텔레비전 방송의 수신을 행할 수 있고, 더구나, 모뎀을 거쳐 유선 또는 무선에 의한 통신 네트워크에 접속함으로써, 일방향(송신자에게서 수신자) 또는 양방향(송신자와 수신자간, 또는 수신자간끼리 등)의 정보통신을 행하는 것도 가능하다.

[0333] 도 30b는, 디지털 포토 프레임(9700)의 일례를 나타내고 있다. 예를 들면, 디지털 포토 프레임(9700)은, 샤시(9701)에 표시부(9703)가 포함되어 있다. 표시부(9703)는, 각종 화상을 표시하는 것이 가능하고, 예를 들면, 디지털 카메라 등으로 촬영한 화상 데이터를 표시시킴으로써, 통상의 사진 틀과 동일하게 기능시킬 수 있다.

[0334] 이때, 디지털 포토 프레임(9700)은, 조작부, 외부접속용 단자(USB 단자, USB 케이블 등의 각종 케이블과 접속 가능한 단자 등), 기록매체 삽입부 등을 구비한 구성으로 한다. 이를 구성은, 표시부와 동일 면에 삽입되어 있어도 도지만, 측면이나 이면에 구비하면 디자인성이 향상되기 때문에 바람직하다. 예를 들면, 디지털 포토 프레임의 기록매체 삽입부에, 디지털 카메라로 촬영한 화상 데이터를 기억한 메모리를 삽입해서 화상 데이터를 입력하고, 입력한 화상 데이터를 표시부(9703)에 표시시킬 수 있다.

[0335] 또한, 디지털 포토 프레임(9700)은, 무선으로 정보를 송수신할 수 있는 구성으로 해도 된다. 무선에 의해, 원하는 화상 데이터를 입력하고, 표시시키는 구성으로 할 수도 있다.

[0336] 도 31a는 휴대형 게임기로서, 샤시 9881과 샤시 9891의 2개의 샤시로 구성되어 있고, 연결부(9893)에 의해, 개폐가능하게 연결되어 있다. 샤시 9881에는 표시부 9882가 포함되고, 샤시 9891에는 표시부 9883이 포함되어 있다. 또한, 도 31a에 나타낸 휴대형 게임기는, 그 이외, 스피커부(9884), 기록매체 삽입부(9886), LED 램프(9890), 입력수단(조작 키(9885), 접속 단자(9887), 센서(9888)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액, 자기, 온도, 화학물질, 음성, 시간, 경도, 전기장, 전류, 전압, 전력, 방사선, 유량, 습도, 경도, 진동, 냄새 또는 적외선을 측정하는 기능을 포함하는 것), 마이크로폰(9889) 등을 구비하고 있다. 물론, 휴대형 게임기의 구성은 상기의 것에 한정되지 않고, 적어도 표시장치를 구비한 구성이면 되며, 기타 부속 설비가 적절히 설치된 구성으로 할 수 있다. 도 31a에 나타낸 휴대형 게임기는, 기록매체에 기록되어 있는 프로그램 또는 데이터를 관독해서 표시부에 표시하는 기능이나, 다른 휴대형 게임기와 무선통신을 행해서 정보를 공유하는 기능을 갖는다. 이때, 도 31a에 나타낸 휴대형 게임기가 갖는 기능은 이것에 한정되지 않고, 다양한 기능을 가질 수 있다.

[0337] 도 31b는 대형 게임기인 슬롯머신(9900)의 일례를 나타내고 있다. 슬롯머신(9900)은, 샤시(9901)에 표시부(9903)가 포함되어 있다. 또한, 슬롯머신(9900)은, 그 이외, 스타트 레버나 스탶프 스위치 등의 조작수단, 코인 투입구, 스피커 등을 구비하고 있다. 물론, 슬롯머신(9900)의 구성은 상기한 것에 한정되지 않고, 적어도 본 발명에 따른 표시장치를 구비한 구성이면 되고, 기타 부속 설비가 적절히 설치된 구성으로 할 수 있다.

[0338] 도 32a는, 휴대전화기(9000)의 일례를 나타내고 있다. 휴대전화기(9000)는, 샤시(9001)에 삽입된 표시부(9002) 이외에, 조작 버튼(9003), 외부접속 포트(9004), 스피커(9005), 마이크(9006) 등을 구비하고 있다.

[0339] 도 32a에 나타낸 휴대전화기(9000)는, 표시부(9002)를 손가락 등으로 접촉함으로써 정보를 입력할 수 있다. 또한, 전화를 걸거나, 문자를 보내는 것 등의 조작은, 표시부(9002)를 손가락 등으로 접촉하는 것에 의해 행할 수 있다.

[0340] 표시부(9002)의 화면은 주로 3가지 모드가 있다. 제1 모드는, 화상의 표시를 주로 하는 표시 모드이며, 제2 모드는, 문자 등의 정보의 입력을 주로 하는 입력 모드이다. 제3 모드는 표시 모드와 입력 모드의 2가지 모드가 혼합한 표시+입력 모드이다.

[0341] 예를 들면, 전화를 걸거나, 또는 메일을 작성하는 경우에는, 표시부(9002)를 문자의 입력을 주로 하는 문자입력 모드로 하고, 화면에 표시시킨 문자의 입력 조작을 행하면 된다. 이 경우, 표시부(9002)의 화면의 대부분에 키보드 또는 번호 버튼을 표시시키는 것이 바람직하다.

[0342] 또한, 휴대전화기(9000) 내부에, 자이로, 가속도 센서 등의 기울기를 검출하는 센서를 갖는 검출장치를

설치함으로써, 휴대전화기(9000)의 방향(종인지 횡인지)을 판단하여, 표시부(9002)의 화면표시를 자동으로 전환하도록 할 수 있다.

[0343] 또한, 화면 모드의 전환은, 표시부(9002)를 접촉하는 것, 또는 샤프(9001)의 조작 버튼(9003)의 조작에 의해 행해진다. 또한, 표시부(9002)에 표시되는 화상의 종류에 따라 전환하도록 할 수도 있다. 예를 들면, 표시부에 표시하는 화상신호가 동영상의 데이터이면 표시 모드, 텍스트 데이터이면 입력 모드로 전환한다.

[0344] 또한, 입력 모드에 있어서, 표시부(9002)의 광센서에서 검출되는 신호를 검지하여, 표시부(9002)의 터치 조작에 의한 입력이 일정 기간 없을 경우에는, 화면의 모드를 입력 모드로부터 표시 모드로 전환하도록 제어해도 된다.

[0345] 표시부(9002)는, 이미지 센서로서 기능시킬 수도 있다. 예를 들면, 표시부(9002)에 손바닥이나 손가락을 접촉함으로써, 장문, 지문 등을 활성화하는 것으로, 본인 인증을 행할 수 있다. 또한, 표시부에 근적외광을 발광하는 백라이트 또는 근적외광을 발광하는 센싱용 광원을 사용하면, 손가락 정맥, 손바닥 정맥 등을 활성화할 수도 있다.

[0346] 도 32b도 휴대전화기의 일례다. 도 32b의 휴대전화기는, 샤프(9411)에, 표시부(9412), 및 조작 버튼(9413)을 포함하는 표시장치(9410)와, 샤프(9401)에 주사 버튼(9402), 외부입력 단자(9403), 마이크(9404), 스피커(9405), 및 착신시에 발광하는 발광부(9406)를 포함하는 통신장치(9400)를 갖고 있고, 표시 기능을 갖는 표시장치(9410)는 전화 기능을 갖는 통신장치(9400)와 화살표의 2방향으로 탈착가능하다. 따라서, 표시장치(9410)와 통신장치(9400)의 단축끼리를 부착하는 것도, 표시장치(9410)와 통신장치(9400)의 장축끼리를 부착하는 것도 가능하다. 또한, 표시 기능만을 필요로 하는 경우, 통신장치(9400)에서 표시장치(9410)를 떼어내어, 표시장치(9410)를 단독으로 사용할 수도 있다. 통신장치(9400)와 표시장치(9410)는 무선통신 또는 유선통신에 의해 화상 또는 입력 정보를 교환할 수 있고, 각각 충전가능한 배터리를 갖는다.

[0347] 본 실시형태는, 다른 실시형태에 기재한 구성과 적절히 조합하고 실시하는 것이 가능하다.

[실시예 1]

[0349] 본 실시예에서는, 산소 결핍 처리의 일례로서 산소의 플라즈마 처리에 의해 임계전압을 시프트시킴으로써 제조되는 인핸스먼트형인 산화물 반도체를 사용한 박막 트랜지스터에 관해 설명한다.

[0350] 본 실시예에 있어서의 박막 트랜지스터의 구조에 대해서 도 33a에 나타낸다.

[0351] 도 33a에 나타낸 박막 트랜지스터는, 기판(5001) 위에 설치된 게이트 전극(5002)과, 게이트 전극(5002) 위의 게이트 절연층(5003)과, 게이트 절연층(5003) 위에 설치된 산화물 반도체층(5004)과, 소스 전극 또는 드레인 전극이 되는 전극 5005a 및 전극 5005b를 갖는다.

[0352] 본 실시예에서는, 게이트 전극(5002)으로서 텅스텐 막을 100nm 형성하고, 게이트 절연층(5003)으로서 SiON막을 100nm 형성하고, 산화물 반도체층(5004)으로서 In-Ga-Zn-O계 비단결정 막을 50nm 형성하고, 전극 5005a 및 전극 5005b로서 티타늄 막을 100nm 형성했다.

[0353] 더구나, 본 실시예의 박막 트랜지스터는, 채널부의 표면을 산소 플라즈마 처리함으로써, 임계전압을 시프트시키고 있다. 이때, 산소 플라즈마 처리는, 처리실 내부를 0.4Pa로 하고, 아르곤 가스의 유량/산소의 유량 =10sccm/15sccm으로 하고, RF 파워를 500W로 함으로써 산소를 플라즈마 상태에서 행하였다. 또한, 본 실시예에서는 이 플라즈마처리를 5분간 행하였다.

[0354] 본 실시예의 트랜지스터에 있어서의 산소 플라즈마처리 전후의 ID-VG 측정 결과에 대해 도 33b에 나타낸다.

[0355] 도 33b에 도시된 것과 같이, 산소 플라즈마 처리전의 트랜지스터는 곡선 5006에 도시된 것과 같이 임계전압이 음의 값인 노멀리 온이지만, 산소 플라즈마 처리후의 트랜지스터는, 곡선 5007에 도시된 것과 같이 임계전압이 양의 값인 노멀리 오프이다. 이것으로부터도 산화물 반도체를 사용한 박막 트랜지스터에 있어서, 산소 플라즈마 처리를 행함으로써, 트랜지스터의 임계전압이 양의 값으로 시프트하여, 인핸스먼트형이 된다는 것을 알 수 있다.

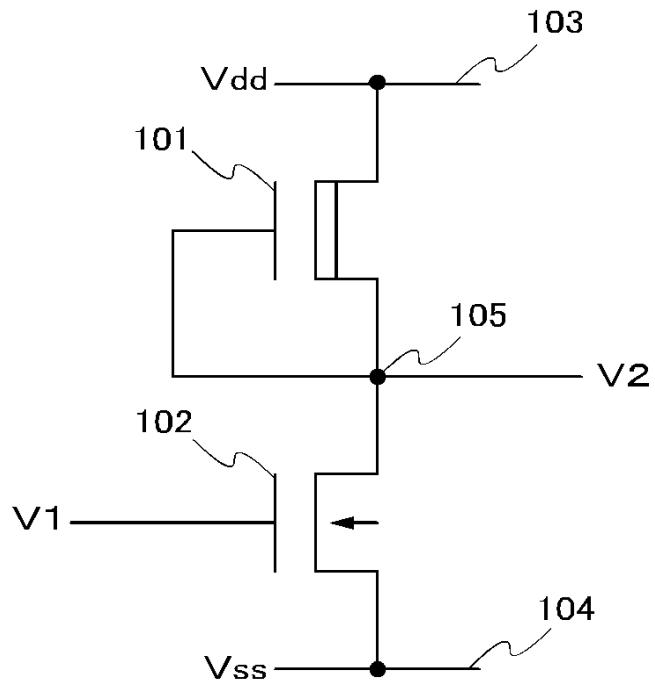
도면의 간단한 설명

- [0356] 도 1은 실시형태 1에 있어서의 논리회로의 회로 구성을 나타낸 회로도이다.
- [0357] 도 2는 실시형태 1에 있어서의 논리회로의 동작을 설명하기 위한 회로도이다.
- [0358] 도 3은 실시형태 1에 있어서의 논리회로의 회로 구성을 나타낸 회로도이다.
- [0359] 도 4는 실시형태 1에 있어서의 논리회로의 동작을 설명하기 위한 회로도이다.
- [0360] 도 5는 실시형태 1에 있어서의 논리회로의 동작을 설명하기 위한 회로도이다.
- [0361] 도 6은 실시형태 1에 있어서의 논리회로의 동작을 나타낸 타이밍 차트도이다.
- [0362] 도 7은 실시형태 1에 있어서의 논리회로의 회로 구성을 나타낸 회로도이다.
- [0363] 도 8은 실시형태 1에 있어서의 논리회로의 동작을 설명하기 위한 도면이다.
- [0364] 도 9는 실시형태 1에 있어서의 논리회로의 구조를 도시한 도면이다.
- [0365] 도 10은 실시형태 1에 있어서의 논리회로의 구조를 도시한 도면이다.
- [0366] 도 11은 실시형태 2에 있어서의 논리회로의 회로 구성을 나타낸 회로도이다.
- [0367] 도 12는 실시형태 2에 있어서의 NAND회로의 회로 구성을 나타낸 회로도이다.
- [0368] 도 13은 실시형태 2에 있어서의 NAND회로의 동작을 설명하기 위한 회로도이다.
- [0369] 도 14는 실시형태 2에 있어서의 논리회로의 동작을 나타낸 타이밍 차트도이다.
- [0370] 도 15는 실시형태 3에 있어서의 논리회로의 구조를 도시한 도면이다.
- [0371] 도 16은 실시형태 4에 있어서의 논리회로의 구조를 도시한 도면이다.
- [0372] 도 17은 실시형태 5에 있어서의 논리회로의 제조방법을 나타낸 단면도이다.
- [0373] 도 18은 실시형태 5에 있어서의 논리회로의 제조방법을 나타낸 단면도이다.
- [0374] 도 19는 실시형태 6에 있어서의 표시장치의 구성을 나타낸 블록도이다.
- [0375] 도 20은 실시형태 6에 나타낸 표시장치에 있어서의 구동회로의 구성을 나타낸 블록도이다.
- [0376] 도 21은 실시형태 7에 있어서의 표시장치의 화소의 회로 구성을 나타낸 회로도이다.
- [0377] 도 22는 실시형태 7에 있어서의 표시장치의 화소의 구조를 도시한 도면이다.
- [0378] 도 23은 실시형태 7에 있어서의 표시장치의 화소의 구조를 도시한 도면이다.
- [0379] 도 24는 실시형태 8에 있어서의 표시장치의 화소의 회로 구성을 나타낸 회로도이다.
- [0380] 도 25는 실시형태 8에 있어서의 표시장치의 화소의 구조를 나타낸 단면도이다.
- [0381] 도 26은 실시형태 8에 있어서의 표시장치의 구조를 도시한 도면이다.
- [0382] 도 27은 실시형태 9에 있어서의 전자 페이퍼의 구조를 나타낸 단면도이다.
- [0383] 도 28은 실시형태 9에 있어서의 전자 페이퍼를 적용한 전자기기를 도시한 도면이다.
- [0384] 도 29는 실시형태 10에 있어서의 표시장치의 구조를 도시한 도면이다.
- [0385] 도 30은 실시형태 11에 있어서의 전자기기를 도시한 도면이다.
- [0386] 도 31은 실시형태 11에 있어서의 전자기기를 도시한 도면이다.
- [0387] 도 32는 실시형태 11에 있어서의 전자기기를 도시한 도면이다.
- [0388] 도 33은 실시예 1에 있어서의 박막 트랜지스터를 설명하기 위한 도면이다.
- [0389] * 도면의 주요부분에 대한 부호의 설명 *
- [0390] 101: 트랜지스터
- [0391] 102: 트랜지스터

- [0392] 103: 전원선
[0393] 104: 전원선
[0394] 105: 노드

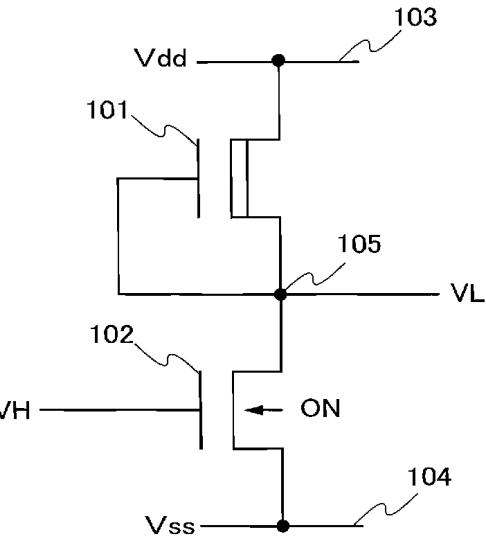
도면

도면1

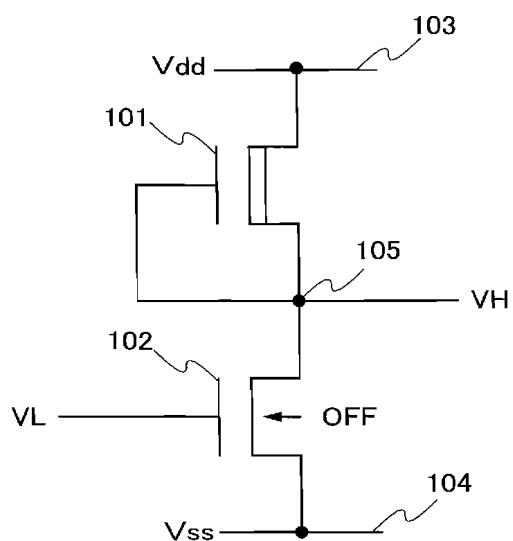


도면2

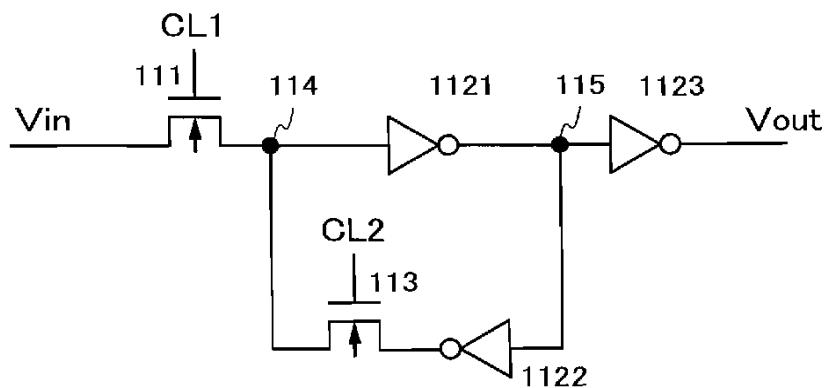
(a)



(b)

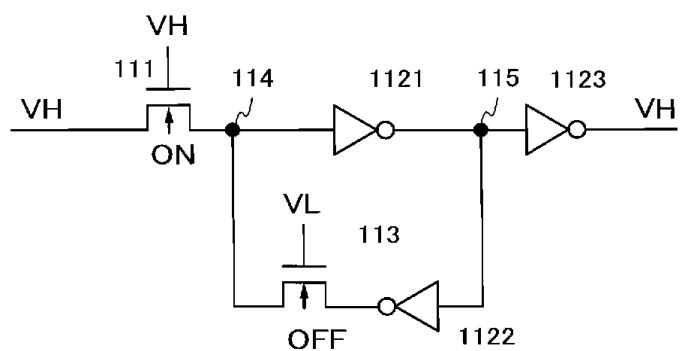


도면3

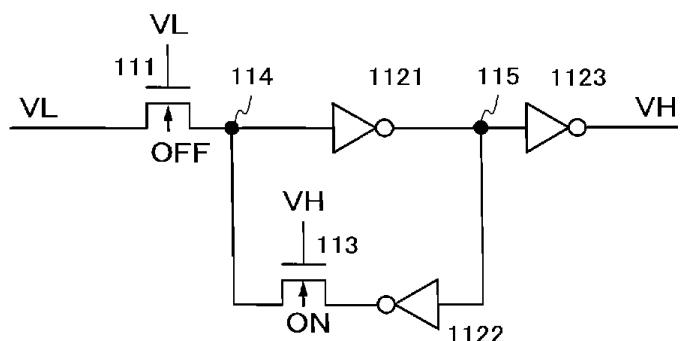


도면4

(a)

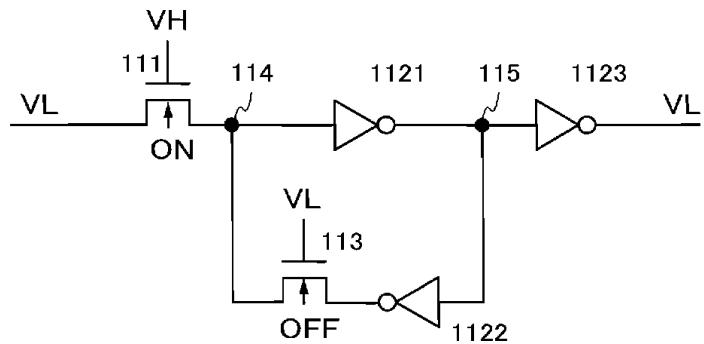


(b)

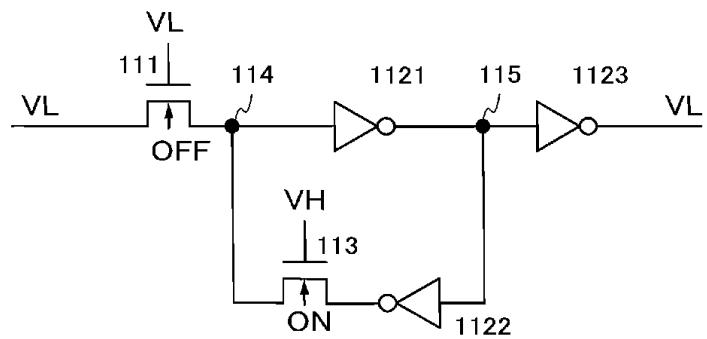


도면5

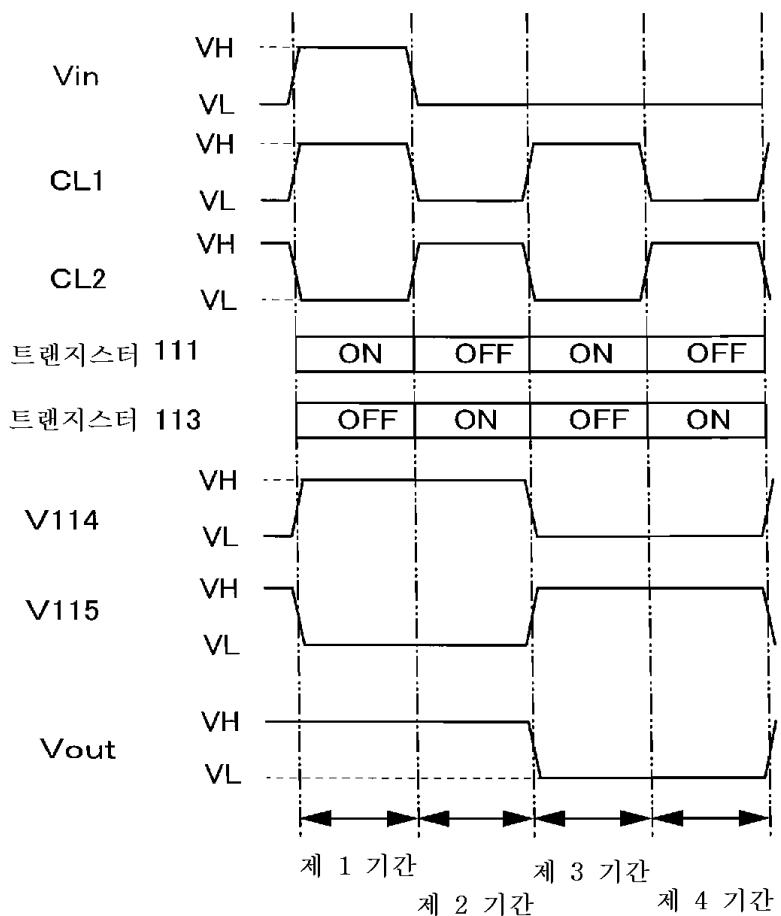
(a)



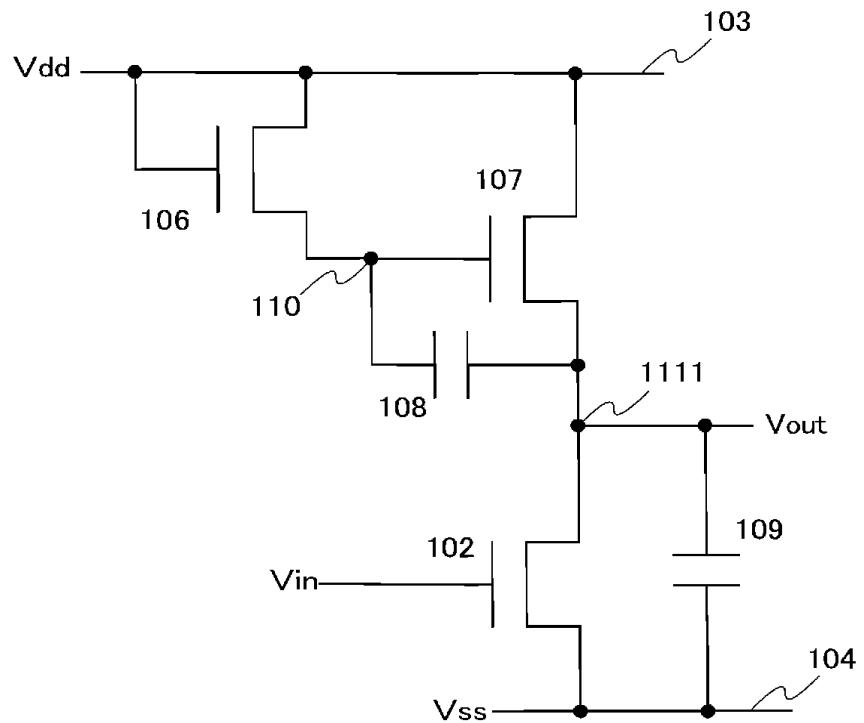
(b)



도면6

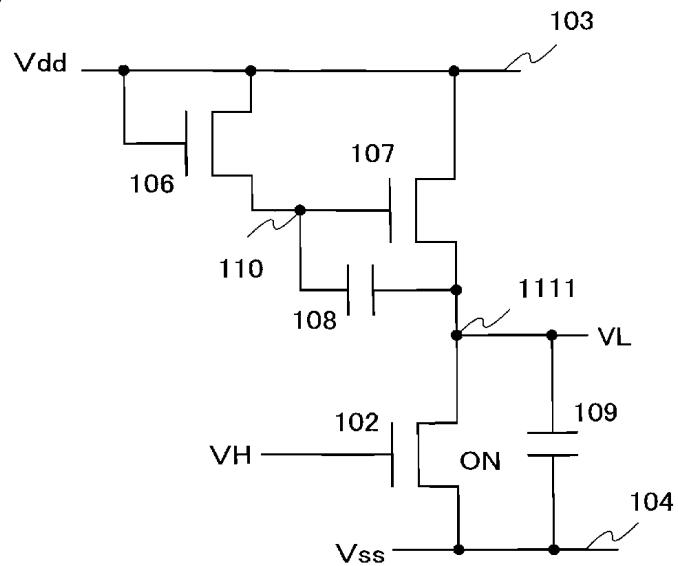


도면7

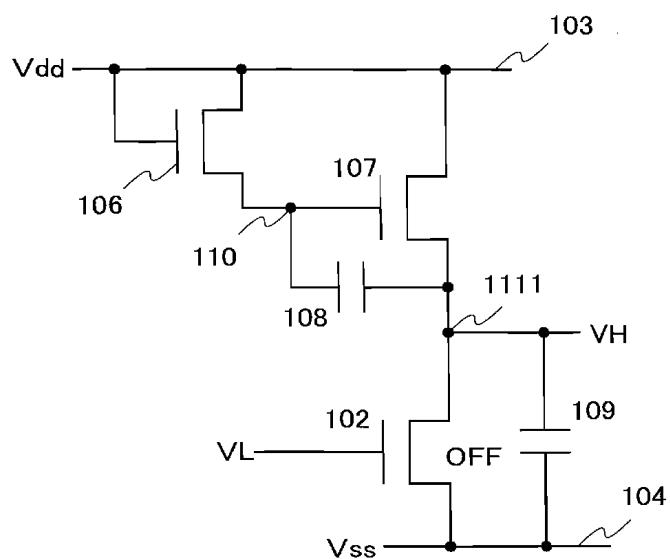


도면8

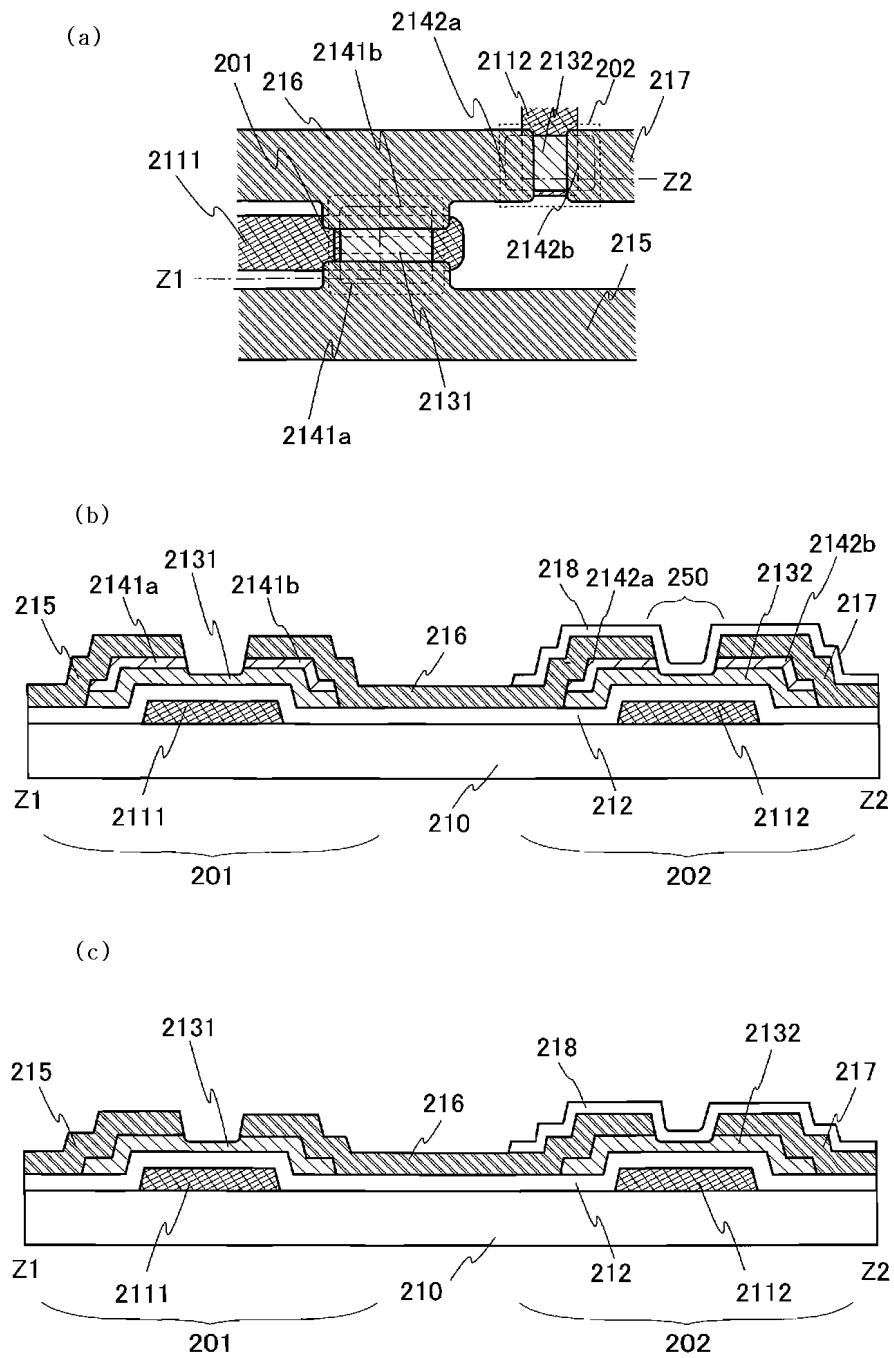
(a)



(b)

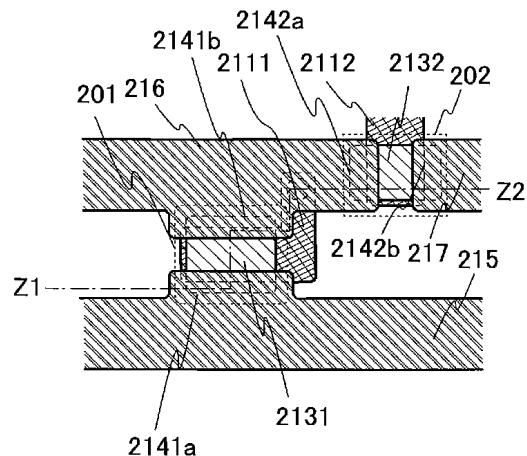


도면9

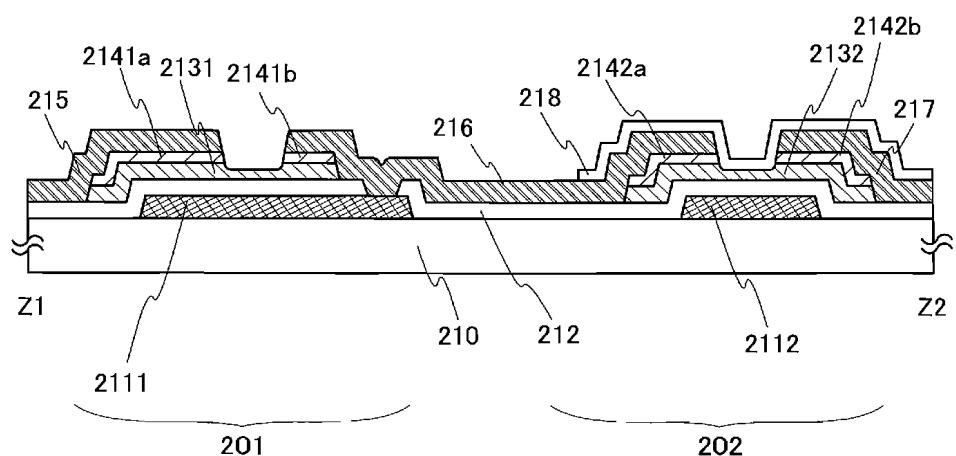


도면10

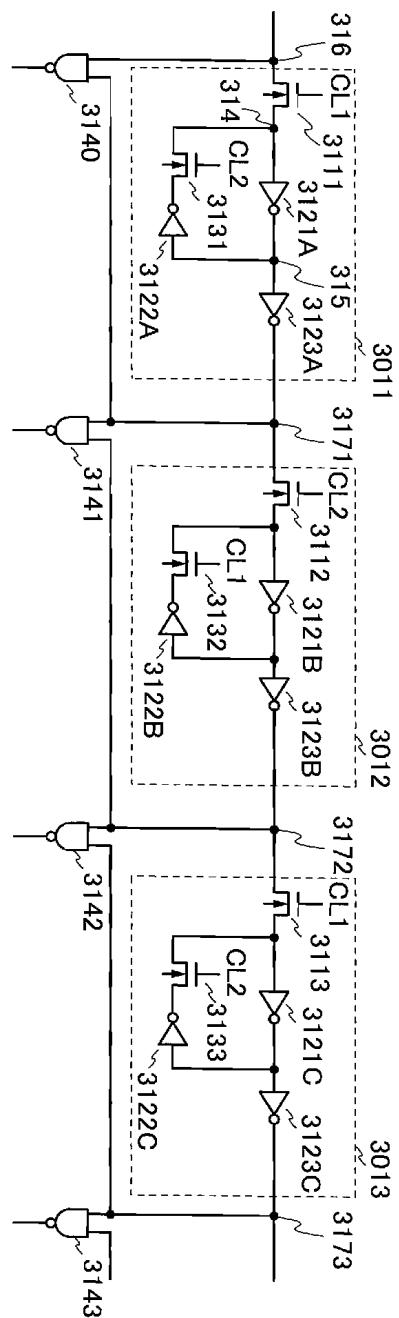
(a)



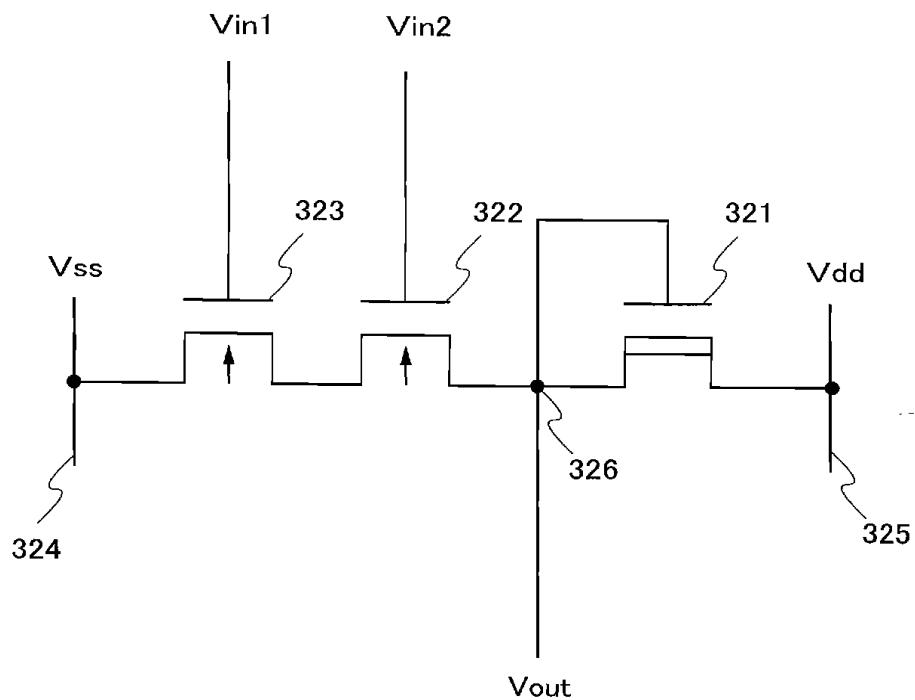
(b)



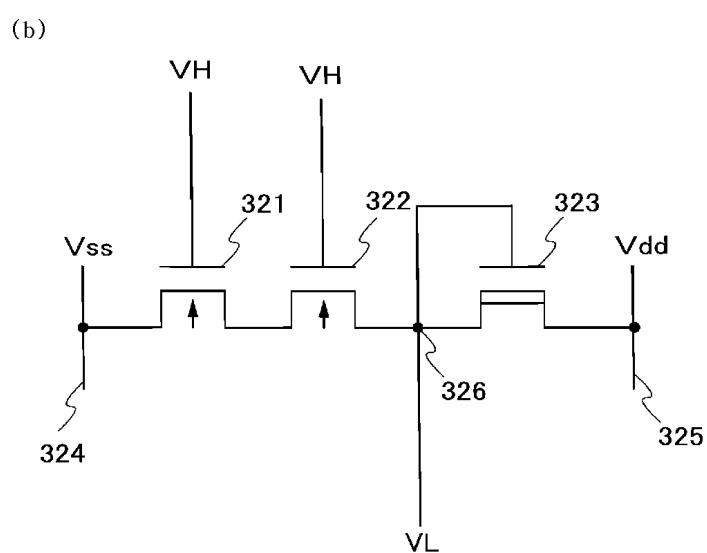
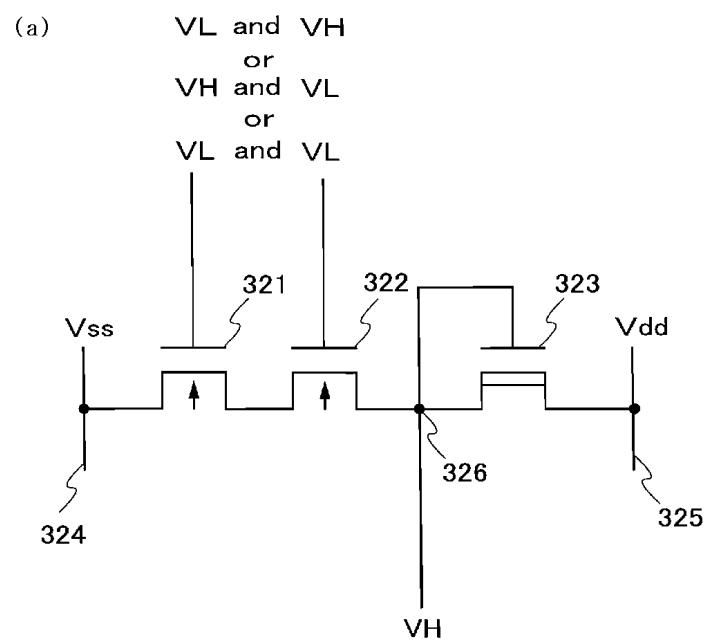
도면11



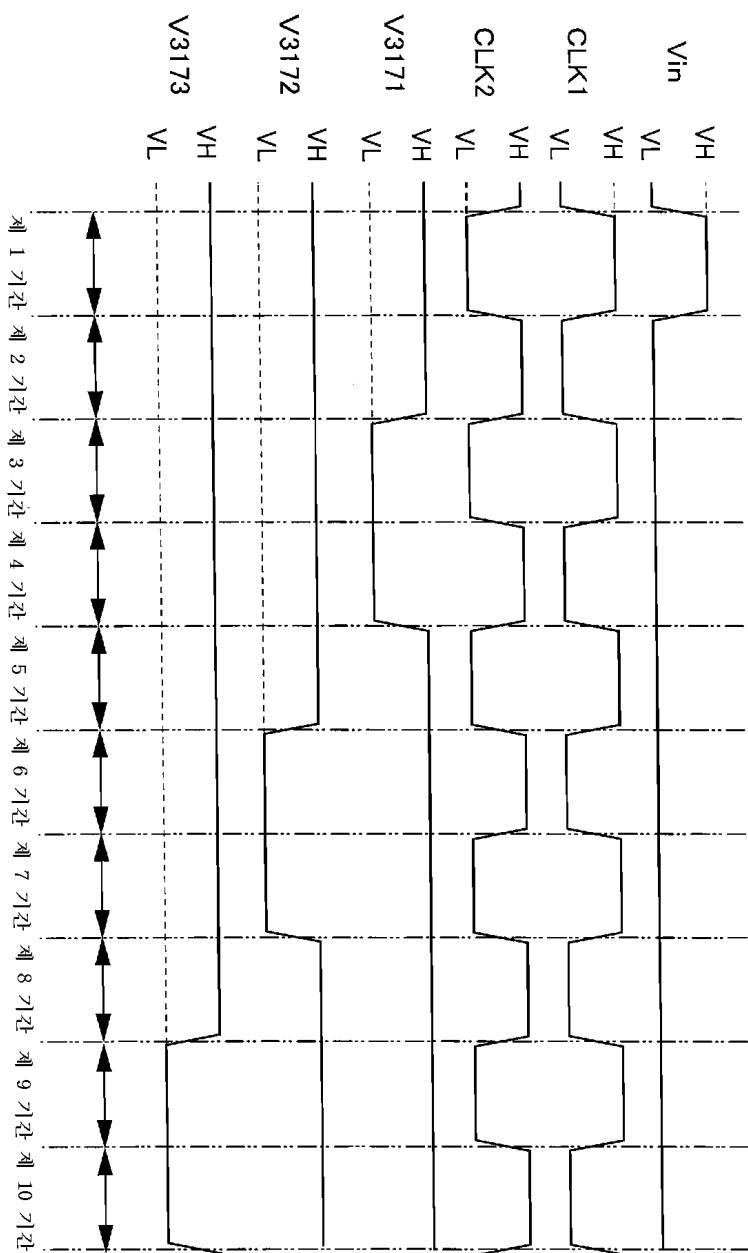
도면12



도면13

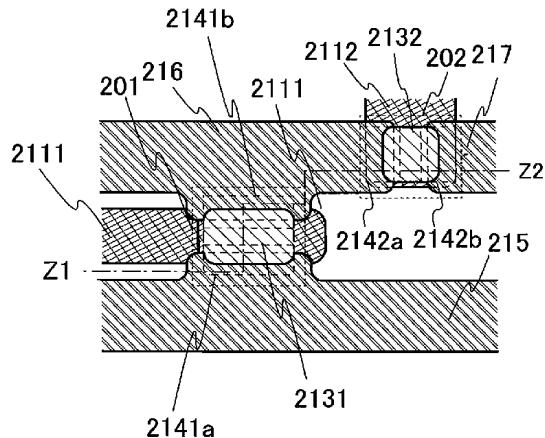


도면14

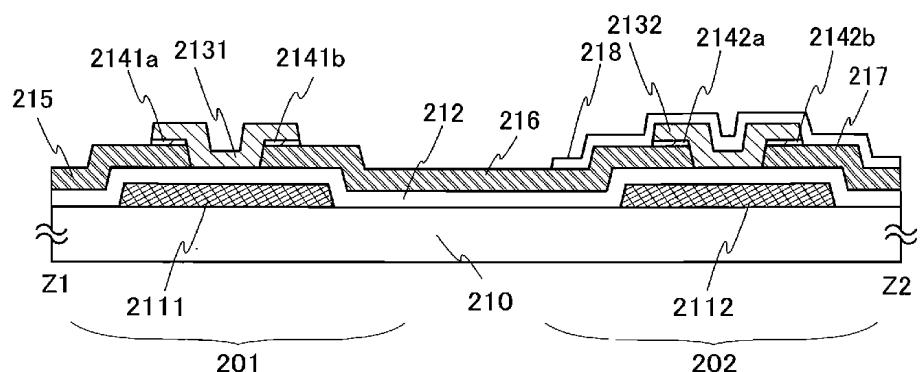


도면15

(a)

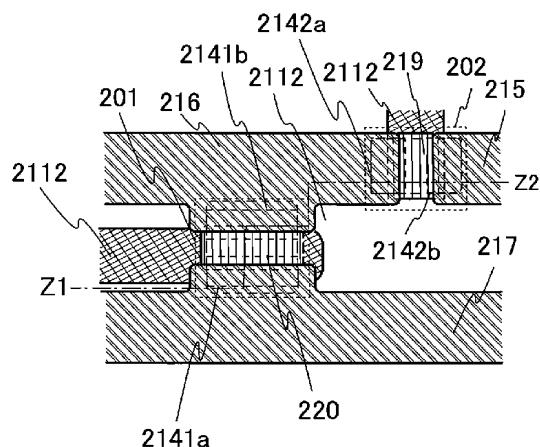


(b)

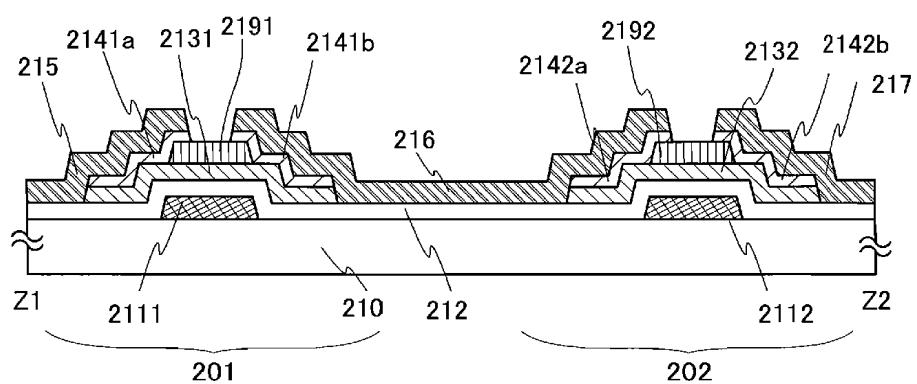


도면16

(a)

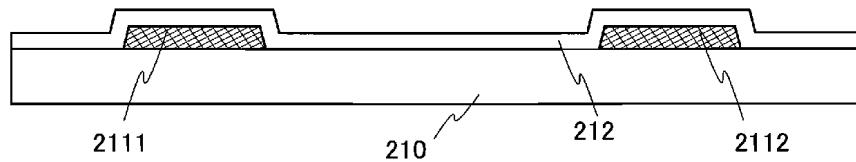


(b)

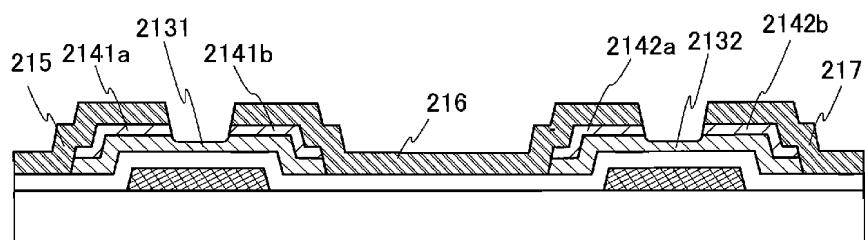


도면17

(a)

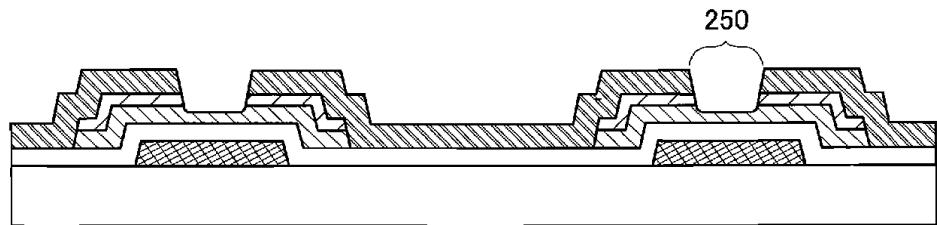


(b)

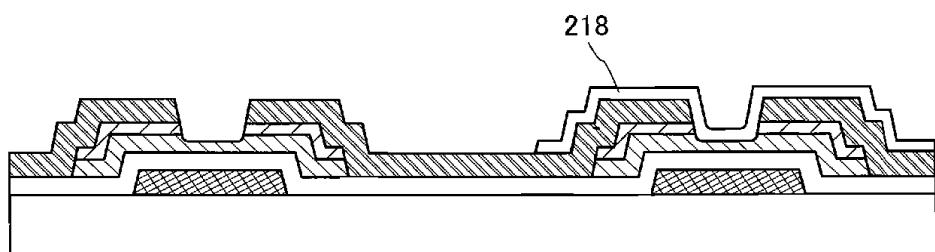


도면18

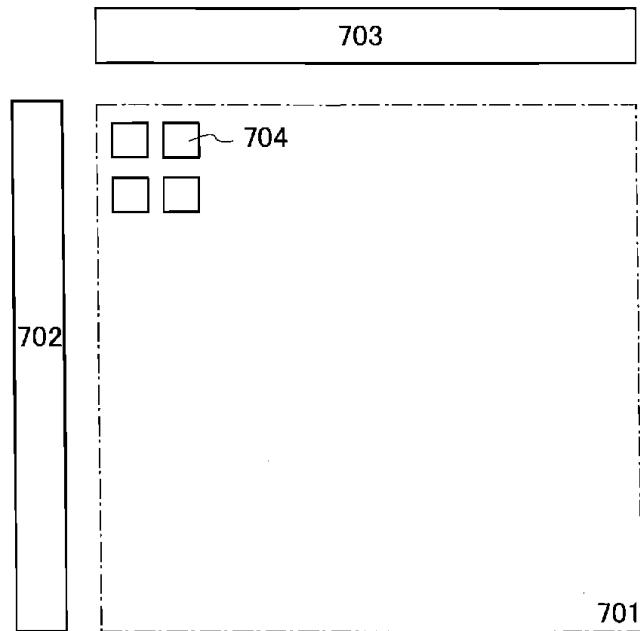
(a)



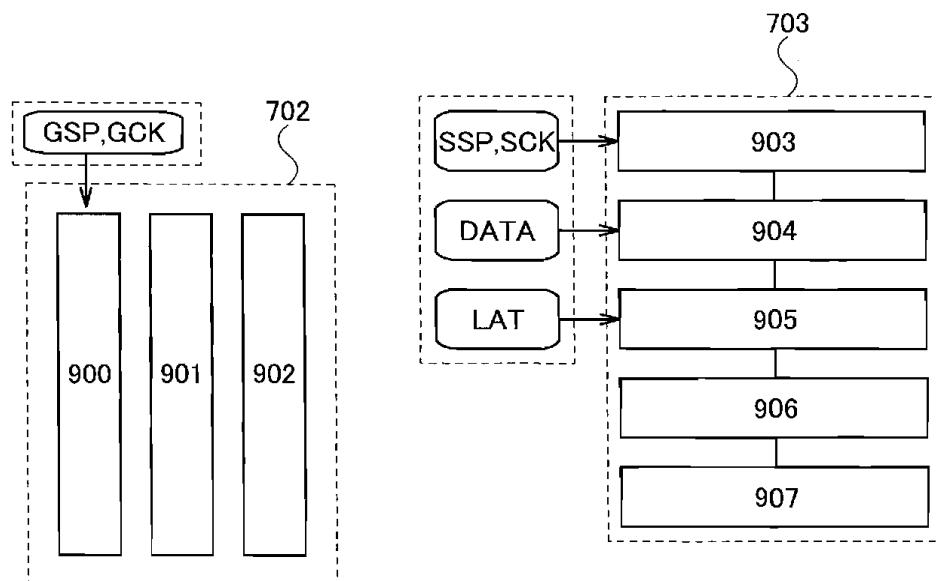
(b)



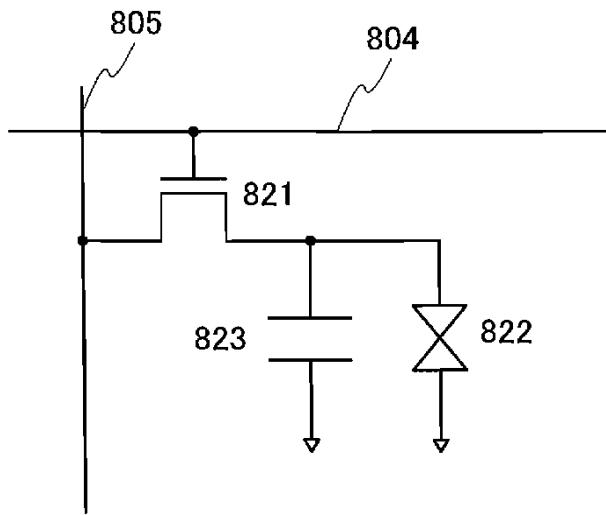
도면19



도면20

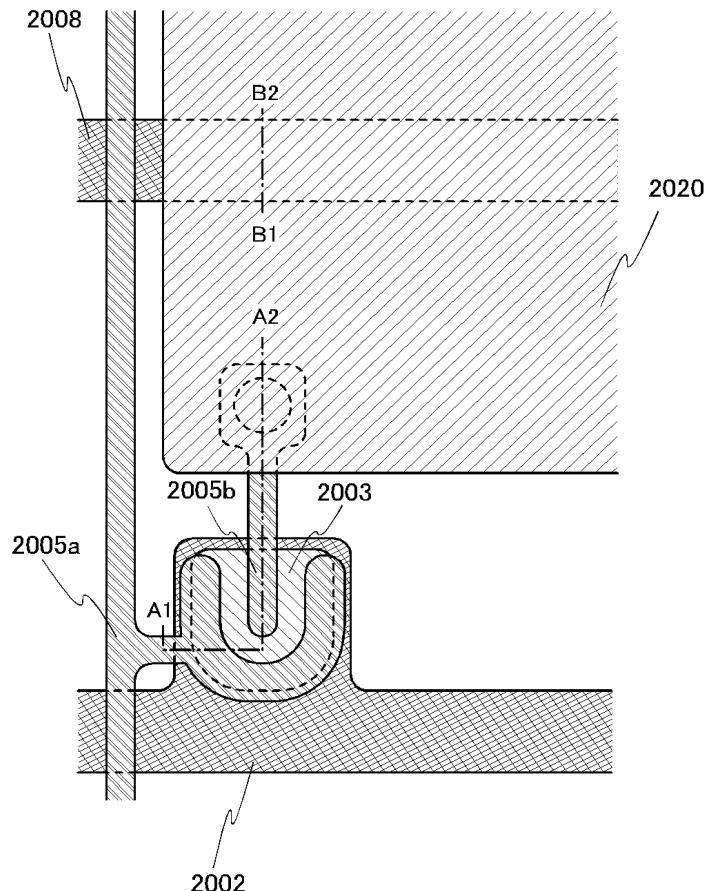


도면21

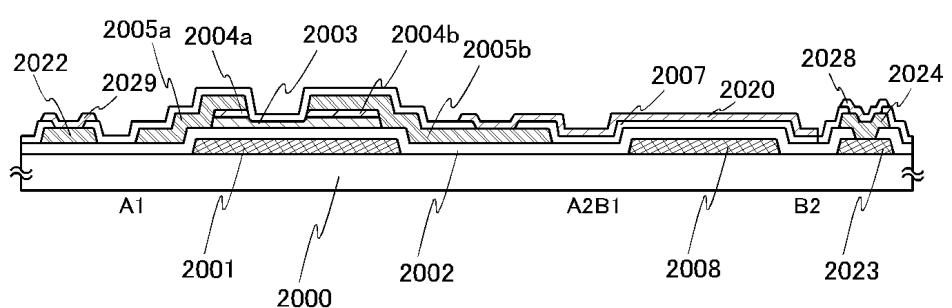


도면22

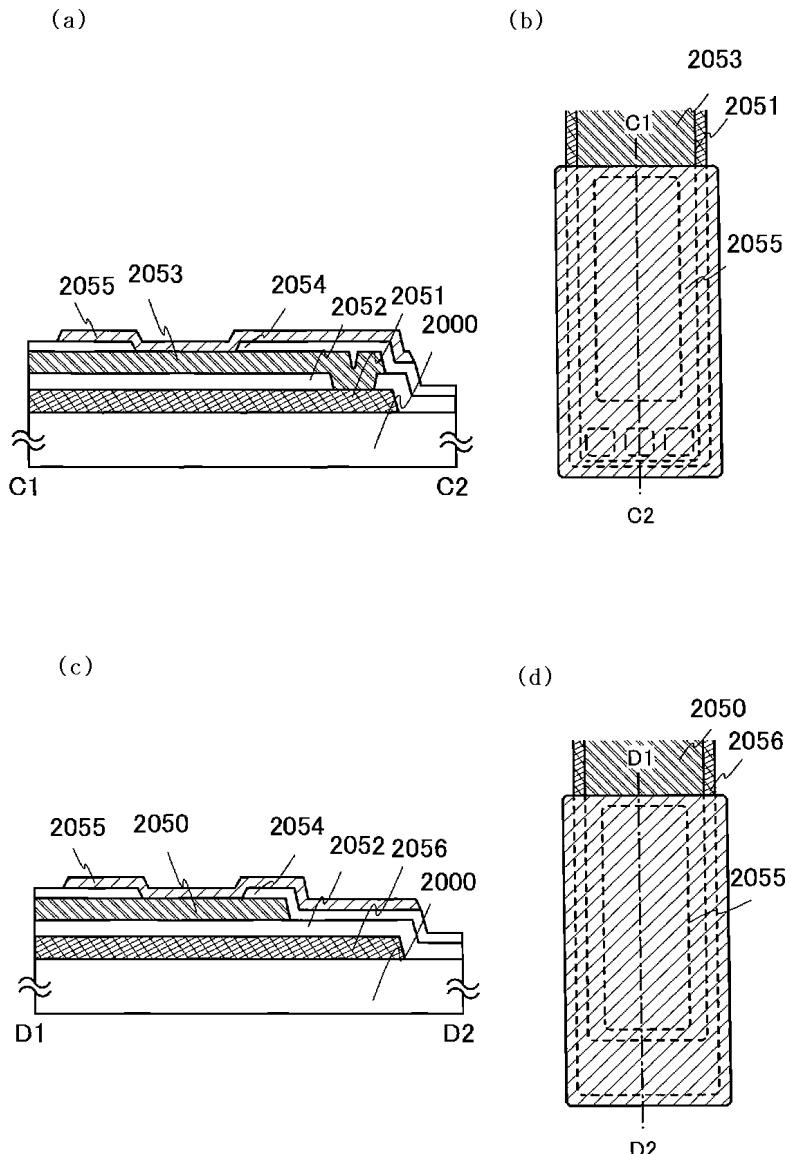
(a)



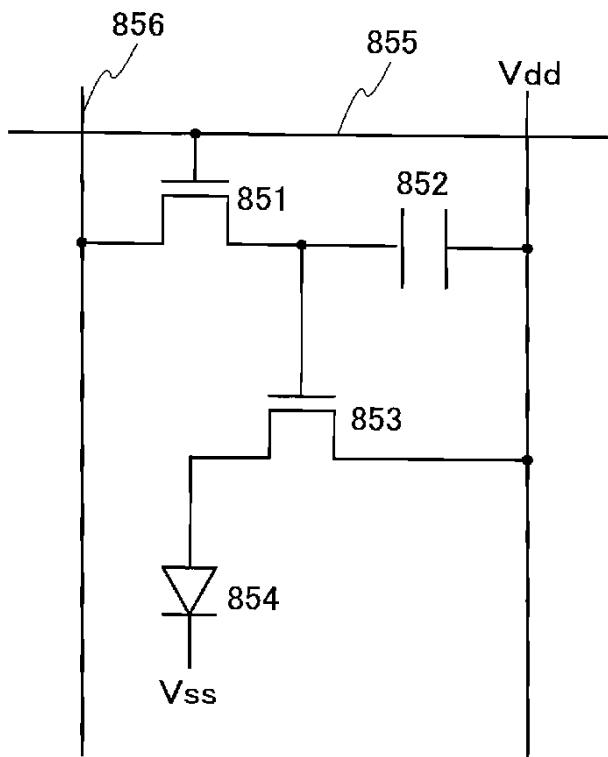
(b)



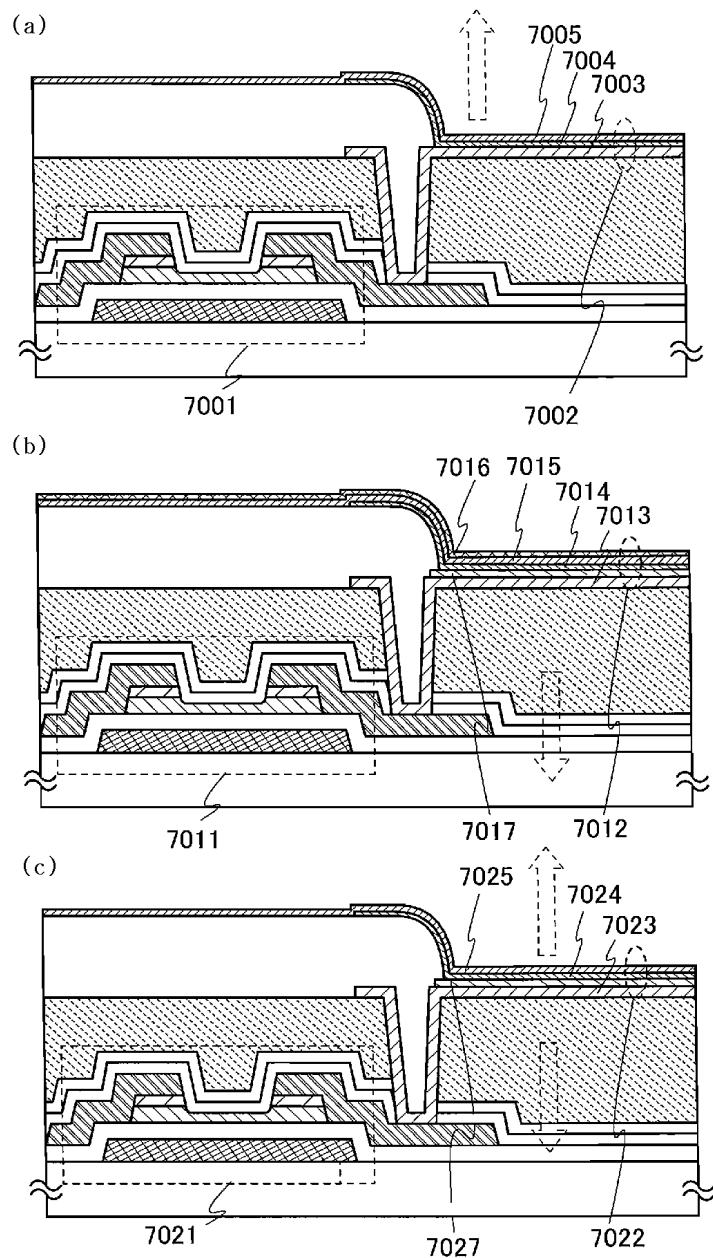
도면23



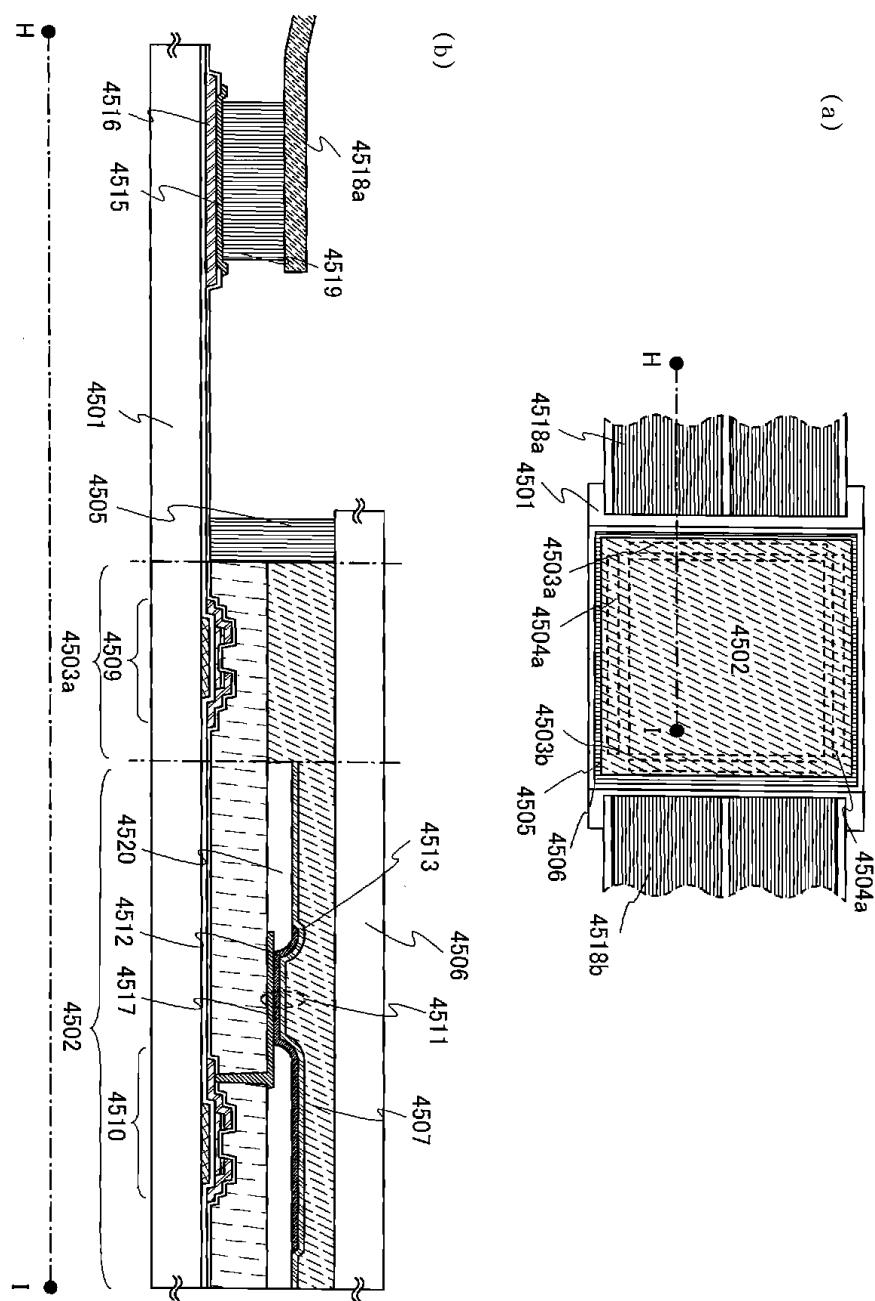
도면24



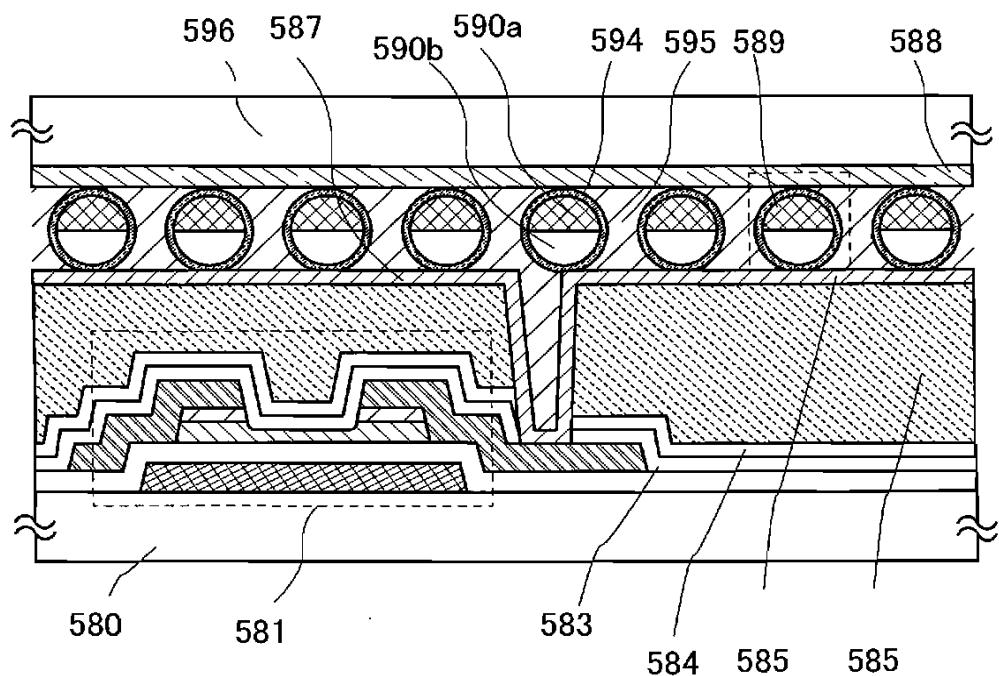
도면25



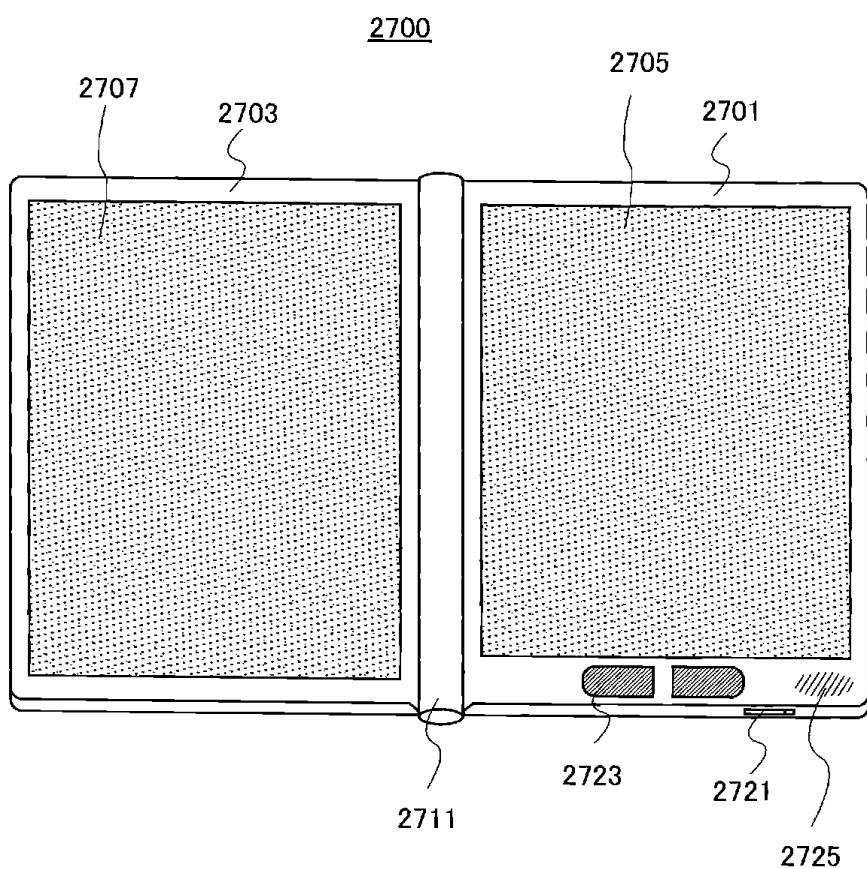
도면26



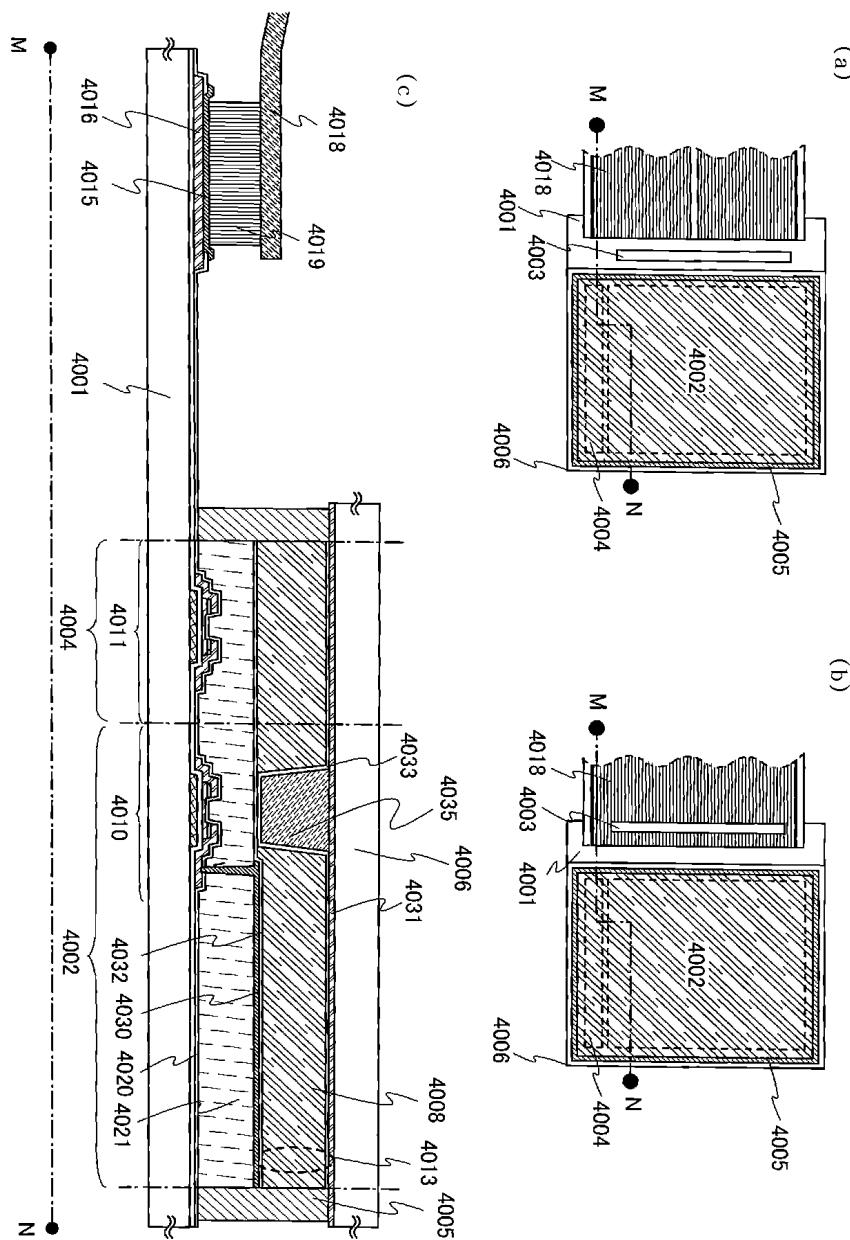
도면27



도면28

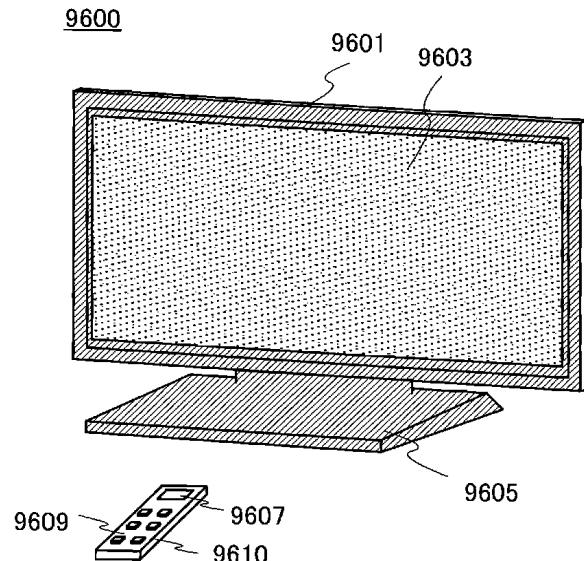


도면29

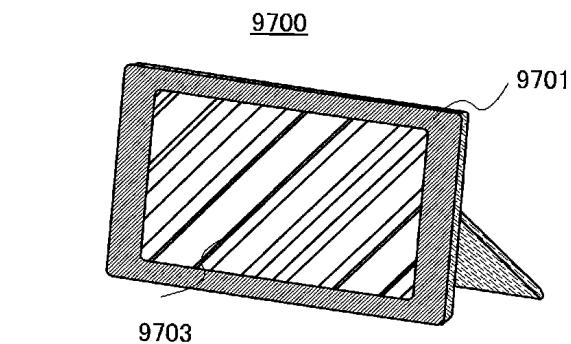


도면30

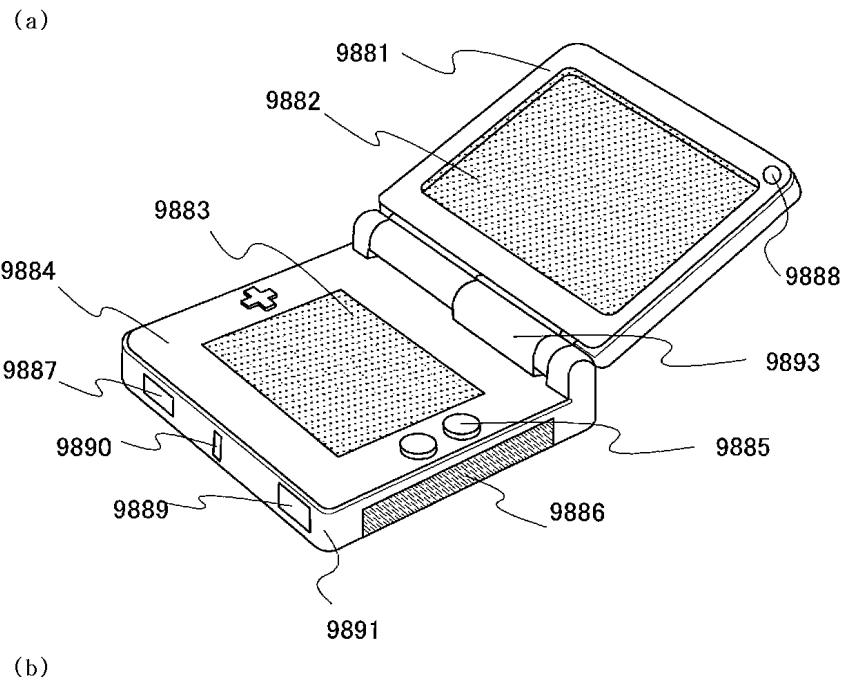
(a)



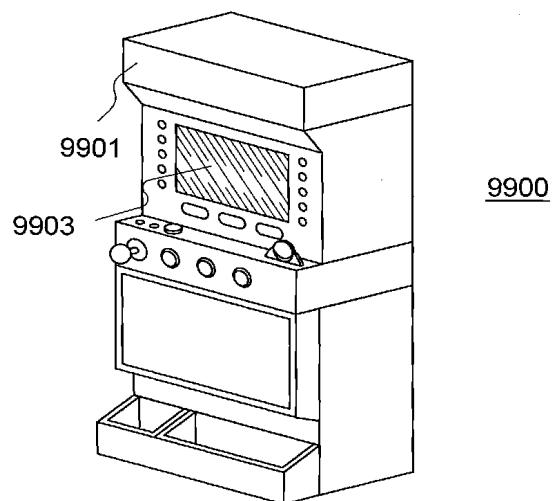
(b)



도면31

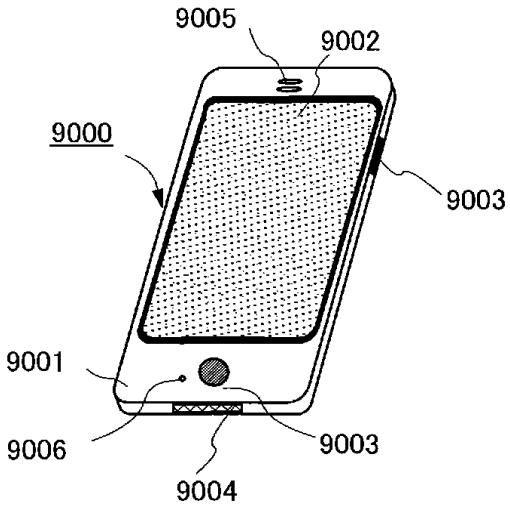


(b)

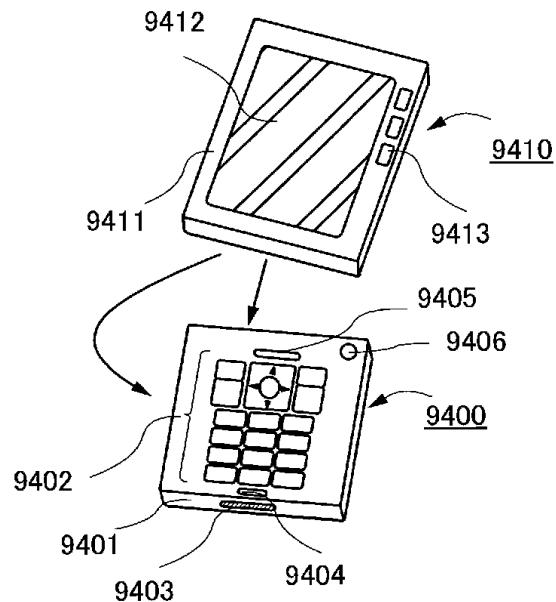


도면32

(a)

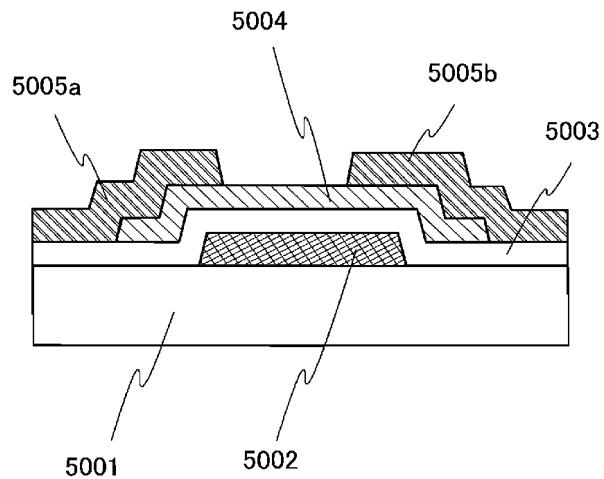


(b)



도면33

(a)



(b)

