(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年5月22日(22.05.2020)

WIPO | PCT

(10) 国際公開番号
WO 2020/100681 A1

(51) 国際特許分類:
H03K 19/0185 (2006.01)

(21) 国際出願番号： PCT/JP2019/043468

(22) 国際出願日： 2019年11月6日(06.11.2019)

(25) 国際出願の言語： 日本語

(26) 国際公開の言語： 日本語

(30) 優先権データ：
特願 2018-213670 2018年11月14日(14.11.2018) JP

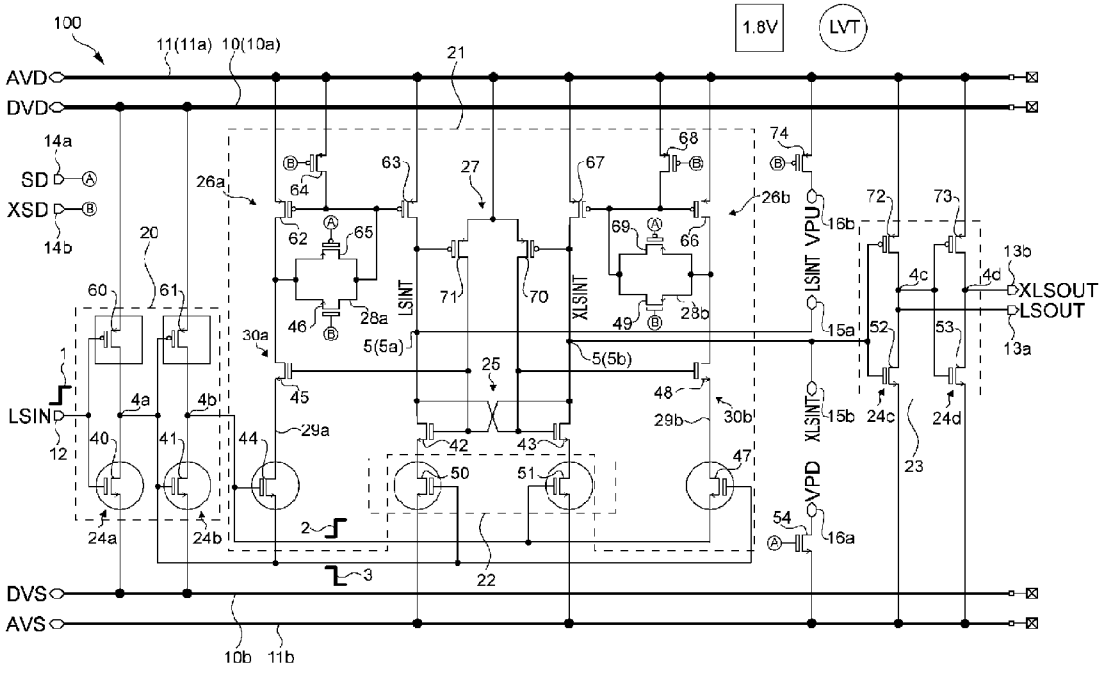
(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(**SONY SEMICONDUCTOR SOLUTIONS CORPORATION**) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 一橋 正寛 (**ICHIHASHI, Masahiro**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 田代 哲也(**TASHIRO, Tetsuya**); 〒2430021 神奈川県厚木市岡田４－１６－１ ソニーＬＳＩデザイン株式会社内 Kanagawa (JP). 佃 恭範 (**TSUKUDA, Yasunori**); 〒2430014 神奈川県厚木市旭町４丁目１４－１ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 大森 純一(**OMORI, Junichi**); 〒1070052 東京都港区赤坂７－５－４７ Ｕ＆Ｍ赤坂ビル２Ｆ Tokyo (JP).

(54) **Title:** LEVEL SHIFT CIRCUIT AND ELECTRONIC APPARATUS

(54) 発明の名称： レベルシフト回路、及び電子機器



(57) **Abstract:** A level shift circuit according to an aspect of the present technology is provided with an input portion, a supply portion, and a regulating portion. An input signal of a first power supply system is input to the input portion. The supply portion has a pair of nodes, is connected to one power supply line of a pair of power supply lines constituting a second power supply system having a voltage level higher than that of the first power supply system, and supplies, in accordance with the input signal, the potential of the one power supply line to one of the pair of nodes. The regulating

WO 2020/100681 A1

［続葉有］

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告 (条約第21条(3))

portion is connected to the other power supply line of the pair of power supply lines, and regulates current between a node of the pair of nodes to which the potential of the one power supply line is supplied and the other power supply line.

(57) 要約:本技術の一形態に係るレベルシフト回路は、入力部と、供給部と、規制部とを具備する。前記入力部には、第１の電源系の入力信号が入力される。前記供給部は、一対のノードを有し、前記第１の電源系よりも電圧レベルの高い第２の電源系となる一対の電源線のうち一方の電源線に接続され、前記入力信号に応じて前記一方の電源線の電位を前記一対のノードのどちらか一方に供給する。前記規制部は、前記一対の電源線のうち他方の電源線に接続され、前記一対のノードのうち前記一方の電源線の電位が供給されるノードと前記他方の電源線との間の電流を規制する。

明　細　書

発明の名称 ： レベルシフト回路、及び電子機器

技術分野

[0001] 本技術は、信号のレベルを変換するレベルシフト回路、及び電子機器に関する。

背景技術

[0002] 従来、異なる電源系で駆動される回路間のインタフェースとして、レベルシフト回路が用いられる。レベルシフト回路は、例えば前段の回路で生成された信号の電圧レベルを、後段の回路で用いられる電源系の電圧レベルに変換して出力する。

[0003] 特許文献１には、入力信号の電位を低電位なＬＶ電位から高電位なＨＶ電位に変換するレベルシフタについて記載されている。このレベルシフタでは、ＬＶ電源線に接続されたＬＶ系回路から入力信号が出力され、ＨＶ電源線に接続されたＨＶ系回路に供給される。ＨＶ系回路からは、入力信号の電位がＨＶに変換された出力信号が出力され、負荷回路に供給される。（特許文献１の明細書段落［００１９］［００２５］［００２６］［００２８］図２等）。

先行技術文献

特許文献

[0004] 特許文献1：特開２０１５－１９２４０２号公報

発明の概要

発明が解決しようとする課題

[0005] 近年、半導体回路の集積技術の発展に伴い、より低い電源電圧で動作する回路等が開発されている。またモバイル機器、ウェアラブル機器及びＩｏＴ（Internet of Things）機器等の小型のデバイスが広く普及しており、デバイスの低消費電力化が進められている。このため、電力消費を抑制しつつ低電圧な信号のレベル変換を可能とする技術が求められている。

[0006] 以上のような事情に鑑み、本技術の目的は、電力消費を抑制しつつ低電圧な信号のレベル変換が可能なレベルシフト回路及び電子機器を提供することにある。

課題を解決するための手段

[0007] 上記目的を達成するため、本技術の一形態に係るレベルシフト回路は、入力部と、供給部と、規制部とを具備する。

前記入力部には、第１の電源系の入力信号が入力される。

前記供給部は、一対のノードを有し、前記第１の電源系よりも電圧レベルの高い第２の電源系となる一対の電源線のうち一方の電源線に接続され、前記入力信号に応じて前記一方の電源線の電位を前記一対のノードのどちらか一方に供給する。

前記規制部は、前記一対の電源線のうち他方の電源線に接続され、前記一対のノードのうち前記一方の電源線の電位が供給されるノードと前記他方の電源線との間の電流を規制する。

[0008] このレベルシフト回路では、第１の電源系の入力信号が入力される。この入力信号に応じて、第１の電源系よりも電圧レベルの高い第２の電源系を構成する一対の電源線のうち一方の電源線の電位が、一対のノードのどちらかに供給される。そして、一方の電源線の電位が供給されるノードと他方の電源線との間の電流が規制される。これにより、例えば第１の電源系の電圧レベルが低い場合でも、第２の電源系である一方の電源線の電位を容易に供給することが可能となり、電力消費を抑制しつつ低電圧な信号のレベル変換が可能となる。

[0009] 前記一対のノードは、前記入力信号と同相となるように電位が供給される同相ノード、及び前記入力信号と逆相となるように電位が供給される逆相ノードであってもよい。この場合、前記規制部は、前記入力信号と同相となるように前記同相ノードと前記他方の電源線との間の電流を規制し、前記入力信号と逆相となるように前記逆相ノードと前記他方の電源線との間の電流を規制してもよい。

[0010] 前記供給部は、前記同相ノードにドレインが接続され前記逆相ノードにゲートが接続された第１のＭＯＳトランジスタと、前記逆相ノードにドレインが接続され前記同相ノードにゲートが接続された第２のＭＯＳトランジスタとを有してもよい。この場合、前記規制部は、前記第１のＭＯＳトランジスタのソースと前記他方の電源線との間に接続された第３のＭＯＳトランジスタと、前記第２のＭＯＳトランジスタのソースと前記他方の電源線との間に接続された第４のＭＯＳトランジスタとを有してもよい。

[0011] 前記第１及び前記第２のＭＯＳトランジスタは、前記第２の電源系の電圧レベルに応じた第１の耐圧を有する第１のタイプのＭＯＳトランジスタであってもよい。この場合、前記第３及び前記第４のＭＯＳトランジスタは、前記第１の耐圧を有し、前記第１のタイプのＭＯＳトランジスタよりも閾値電圧が低く設定された第２のタイプのＭＯＳトランジスタであってもよい。

[0012] 前記入力部は、前記入力信号の同相信号と逆相信号とを生成してもよい。この場合、前記第１から前記第４のＭＯＳトランジスタは、同極性のＭＯＳトランジスタであってもよい。また、前記第３のＭＯＳトランジスタのゲートには、前記逆相信号が印加されてもよい。また、前記第４のＭＯＳトランジスタのゲートには、前記同相信号が印加されてもよい。

[0013] 前記供給部は、前記同相ノードに電流を供給する第１のカレントミラー回路と、前記逆相ノードに電流を供給する第２のカレントミラー回路とを有してもよい。

[0014] 前記第１のカレントミラー回路は、前記一方の電源線に接続された第１の電流路と、前記第１の電流路上に配置された第１のスイッチ部とを有し、前記第１の電流路の電流を複製して前記同相ノードに供給してもよい。この場合、前記第２のカレントミラー回路は、前記一方の電源線に接続された第２の電流路と、前記第２の電流路上に配置された第２のスイッチ部とを有し、前記第２の電流路の電流を複製して前記逆相ノードに供給してもよい。

[0015] 前記入力部は、前記入力信号の同相信号と逆相信号とを生成してもよい。この場合、前記第１のスイッチ部は、前記同相信号に応じて前記第１の電流

路を導通させる第５のＭＯＳトランジスタを有してもよい。また、前記第２のスイッチ部は、前記逆相信号に応じて前記第２の電流路を導通させる第６のＭＯＳトランジスタを有してもよい。

[0016] 前記第５及び前記第６のＭＯＳトランジスタは、前記第２のタイプのＭＯＳトランジスタであってもよい。この場合、前記第５のＭＯＳトランジスタのゲートには、前記同相信号が印加されてもよい。また前記第６のＭＯＳトランジスタのゲートには、前記逆相信号が印加されてもよい。

[0017] 前記第１のスイッチ部は、前記逆相ノードの電位に応じて前記第１の電流路を遮断する第７のＭＯＳトランジスタを有してもよい。この場合、前記第２のスイッチ部は、前記同相ノードの電位に応じて前記第２の電流路を遮断する第８のＭＯＳトランジスタを有してもよい。

[0018] 前記供給部は、前記逆相ノードの電位に基づいて前記同相ノードの電位を保持し、前記同相ノードの電位に基づいて前記逆相ノードの電位を保持する電位保持回路を有してもよい。

[0019] 前記第５のＭＯＳトランジスタのソースには、前記逆相信号が印加されてもよい。この場合、前記第６のＭＯＳトランジスタのソースには、前記同相信号が印加されてもよい。

[0020] 前記入力部は、前記第２のタイプのＭＯＳトランジスタと、前記第１の電源系の電圧レベルに応じた第２の耐圧を有する第３のタイプのＭＯＳトランジスタとを有してもよい。

[0021] 前記入力部は、前記入力信号の逆相信号と同相信号とを生成する第１の信号生成回路を有してもよい。

[0022] 前記一方の電源線は、前記第２の電源系の高電位側の電源線であってもよい。この場合、前記第１の信号生成回路は、前記第１の電源系の低電位側に接続された前記第２のタイプのｎＭＯＳトランジスタと、前記第１の電源系の高電位側に接続された前記第３のタイプのｐＭＯＳトランジスタとを有してもよい。

[0023] 前記供給部は、前記入力部と前記一方の電源線とに接続される一対の電流

路を有してもよい。この場合、前記入力部は、前記第１の信号生成回路の出力に基づいて、前記一対の電流路に入力するための前記入力信号の逆相信号と同相信号とを生成する第２の信号生成回路を有してもよい。

[0024] 前記一方の電源線は、前記第２の電源系の高電位側の電源線であってもよい。この場合、記第２の信号生成回路は、前記第１の電源系の低電位側に接続された前記第２のタイプのｎＭＯＳトランジスタと、前記第１の電源系の高電位側に接続された前記第３のタイプのｎＭＯＳトランジスタとを有してもよい。

[0025] 前記一方の電源線は、前記第２の電源系の高電位側の電源線であってもよい。この場合、前記第２のタイプのＭＯＳトランジスタは、ｎＭＯＳトランジスタであってもよい。

[0026] 前記一方の電源線は、前記第２の電源系の低電位側の電源線であってもよい。この場合、前記第２のタイプのＭＯＳトランジスタは、ｐＭＯＳトランジスタであってもよい。

[0027] 第１の電源系と、前記第１の電源系よりも電圧レベルの高い第２の電源系とを有する電源部と、

前記第１の電源系の入力信号が入力される入力部と、

一対のノードを有し、前記第２の電源系となる一対の電源線のうち一方の電源線に接続され、前記入力信号に応じて前記一方の電源線の電位を前記一対のノードのどちらか一方に供給する供給部と、

前記一対の電源線のうち他方の電源線に接続され、前記一対のノードのうち前記一方の電源線の電位が供給されるノードと前記他方の電源線との間の電流を規制する規制部と

を有するレベルシフト回路と

を具備する電子機器。

図面の簡単な説明

[0028] [図1]本技術の第１の実施形態に係るレベルシフト回路の構成例を示す回路図である。

[図2]ＤＶＤ電源及びＡＶＤ電源の電源電圧の一例を示す模式図である。

[図3]出力初期値を設定する際の配線の一例を示す模式図である。

[図4]レベルシフト回路の概略的な構成例を示す模式図である。

[図5]レベルシフト回路の入出力に関する真理値表である。

[図6]レベルシフト回路の各端子の電圧の変化の一例を示すタイムチャートである。

[図7]比較例として挙げるレベルシフト回路の回路図である。

[図8]比較例として挙げるレベルシフト回路の回路図である。

[図9]第２の実施形態に係るレベルシフト回路の構成例を示す回路図である。

[図10]図９に示すＤＶＤ電源及びＡＶＤ電源の電源電圧の一例を示す模式図である。

[図11]第３の実施形態に係るレベルシフト回路の構成例を示す回路図である。

[図12]図１１に示すＤＶＤ電源及びＶＲＬ電源の電源電圧の一例を示す模式図である。

発明を実施するための形態

[0029] 以下、本技術に係る実施形態を、図面を参照しながら説明する。

[0030] ＜第１の実施形態＞

［レベルシフト回路の構成］

図１は、本技術の第１の実施形態に係るレベルシフト回路の構成例を示す回路図である。レベルシフト回路１００は、入力信号の電圧レベルを変換して出力する回路である。入力信号は、電圧値の違いを用いて２つの論理レベルを表す論理信号である。例えば入力信号の電圧値が低い場合には、論理レベルは０となり、電圧値が高い場合には論理レベルが１となる。これにより、０及び１に２値化されたデジタルデータ等が伝送される。

[0031] 入力信号の電圧レベルとは、例えば信号の電圧振幅の幅であり、０及び１を表す論理レベル（電圧値）の差に対応する。本実施形態では、レベルシフト回路１００により、電圧レベルの低い（電圧振幅の小さい）入力信号が、

電圧レベルの高い（電圧振幅の大きい）信号に変換される。これにより、例えば低電圧で動作するロジック回路等で生成された信号を、より高電圧で動作する後段の回路に入力することが可能となる。

[0032] レベルシフト回路１００は、ＰＣ（Personal Computer）やサーバ装置等の演算機器、携帯電話、スマートフォン、タブレット、音楽プレーヤー、デジタルカメラ等の携帯機器、スマートウォッチ等のウェアラブル機器等の各種の電子機器に搭載されて使用される。レベルシフト回路１００が用いられる電子機器の種類等は限定されない。

[0033] 図１に示すように、レベルシフト回路１００は、ＤＶＤ電源１０と、ＡＶＤ電源１１とに接続される。ＡＶＤ電源１１は、ＤＶＤ電源１０よりも電圧レベルの高い電源である。例えばレベルシフト回路１００が搭載された電子機器に、ＤＶＤ電源１０及びＡＶＤ電源１１を有する電源部（図示省略）が搭載される。この電源部により、ＤＶＤ電源１０及びＡＶＤ電源１１の電力等が供給される。

[0034] ＤＶＤ電源１０は、高電位側のＤＶＤライン１０ａと、低電位側のＤＶＳライン１０ｂとを有する。すなわち、ＤＶＤライン１０ａとＤＶＳライン１０ｂとの電位差が、ＤＶＤ電源１０の電源電圧となる。なおＤＶＤ電源１０は、レベルシフト回路１００の前段の回路等にも電力を供給する。

[0035] 本実施形態では、レベルシフト回路１００に対して、ＤＶＤ電源１０で駆動される回路系（ＤＶＤドメイン）で生成された入力信号が入力される。従って、入力信号の電圧レベルは、ＤＶＤ電源１０の電源電圧となる。以下ではＤＶＤ電源１０の電源電圧を、入力側電圧と記載する場合がある。本実施形態では、ＤＶＤ電源１０は、第１の電源系に相当する。またＤＶＤライン１０ａ及びＤＶＳライン１０ｂは、第１の電源系となる一対の電源線に相当する。

[0036] ＡＶＤ電源１１は、高電位側のＡＶＤライン１１ａと、低電位側のＡＶＳライン１１ｂとを有する。すなわち、ＡＶＤライン１１ａとＡＶＳライン１１ｂとの電位差が、ＡＶＤ電源１１の電源電圧となる。以下ではＡＶＤ電源

１１で駆動される回路系をＡＶＤドメインと記載する。

[0037] 本実施形態では、レベルシフト回路１００により、入力信号の電圧レベルがＡＶＤ電源１１の電源電圧に変換される。従って、レベルシフト回路１００から出力される出力信号の電圧レベルは、ＡＶＤ電源１１の電源電圧となる。以下ではＡＶＤ電源１１の電源電圧を、出力側電圧と記載する場合がある。本実施形態では、ＡＶＤ電源１１は、第２の電源系に相当する。またＡＶＤライン１１ａ及びＡＶＳライン１１ｂは、第２の電源系となる一対の電源線に相当する。

[0038] 図２は、ＤＶＤ電源１０及びＡＶＤ電源１１の電源電圧の一例を示す模式図である。本実施形態では、ＤＶＤ電源１０及びＡＶＤ電源１１の低電位側の電源線（ＤＶＳライン１０ｂ及びＡＶＳライン１１ｂ）が、互いに同電位となるように設定される。各電源の低電位側は、典型的には、ＧＮＤに接続され０Ｖに設定される。従って、高電位側のＤＶＤライン１０ａ及びＡＶＤライン１１ａの電位が、入力側電圧及び出力側電圧となる。

[0039] ＡＶＤ電源１１の電源電圧（出力側電圧）は、ＤＶＤ電源１０の電源電圧（入力側電圧）よりも高く設定される。図２に示す例では、ＤＶＤ電源１０の電源電圧、すなわちＤＶＤライン１０ａの電位は０．６Ｖに設定される。またＡＶＤ電源１１の電源電圧、すなわちＡＶＤライン１１ａの電位は２．６Ｖ～３．６Ｖ程度に設定される。もちろんこれに限定されず、レベルシフト回路１００の用途等に応じて、各電源電圧が適宜設定されてよい。

[0040] 図１に示すように、レベルシフト回路１００は、ＬＳＩＮ端子１２と、ＬＳＯＵＴ端子１３ａと、ＸＬＳＯＵＴ端子１３ｂと、ＳＤ端子１４ａと、ＸＳＤ端子１４ｂと、ＬＳＩＮＴ端子１５ａと、ＸＬＳＩＮＴ端子１５ｂと、ＶＰＤ端子１６ａと、ＶＰＵ端子１６ｂとを有する。

[0041] ＬＳＩＮ端子１２は、入力信号が入力される端子である。ＬＳＯＵＴ端子１３ａは、出力信号が出力される端子である。ＸＬＳＯＵＴ端子１３ｂは、反転出力信号が出力される端子である。ＳＤ端子１４ａ、ＸＳＤ端子１４ｂ、ＬＳＩＮＴ端子１５ａ、ＸＬＳＩＮＴ端子１５ｂ、ＶＰＤ端子１６ａ、Ｖ

ＰＵ端子１６ｂについては後述する。

[0042] レベルシフト回路１００は、入力部２０と、電位供給部２１と、電流規制部２２と、出力部２３とを有する。本実施形態では、電位供給部２１は、供給部に相当し、電流規制部２２は、規制部に相当する。

[0043] 入力部２０は、ＤＶＤ電源１０となる一対の電源線（ＤＶＤライン１０ａ及びＤＶＳライン１０ｂ）に接続される。また入力部２０には、ＬＳＩＮ端子１２が接続され、ＤＶＤ電源１０の入力信号が入力される。従って入力部２０は、ＤＶＤドメインの回路となる。

[0044] 入力部２０では、入力信号の同相信号と逆相信号とが生成される。同相信号及び逆相信号は、ともにＤＶＤ電源１０の電源電圧で振動する信号である。従って、入力信号、同相信号、及び逆相信号は、電圧レベルの等しいＤＶＤ電源の信号となる。図１には、立ち上り波形の入力信号１と、その同相信号２及び逆相信号３が模式的に図示されている。

[0045] 同相信号２とは、例えば入力信号１の振幅変化（論理レベルの変化）と同じ位相（正相）で振幅が変化する信号であり、入力信号１の論理レベルと同様の論理レベルを表す信号である。すなわち同相信号２は、入力信号１と略同様の信号であると言える。同相信号２は、正相信号と記載することもできる。

[0046] 逆相信号３は、例えば入力信号１の振幅が反転した信号である。すなわち、入力信号１のＨｉｇｈレベル及びＬｏｗレベルを表す振幅が逆になった信号が逆相信号３である。従って逆相信号３の論理レベルは、入力信号１とは逆の論理反転した論理レベルを表すことになる。逆相信号３は、反転信号と記載することもできる。

[0047] 図１に示すように、入力部２０は、逆相信号３を出力する第１のインバータ回路２４ａと、同相信号２を出力する第２のインバータ回路２４ｂとを有する。インバータ回路は、ｎチャネルＭＯＳ（Metal Oxide Semiconductor）トランジスタと、ｐチャネルＭＯＳトランジスタとで構成される。本実施形態では、第１のインバータ回路２４ａ及び第２のインバータ回路２４ｂによ

り、入力信号１の逆相信号３と同相信号２とを生成する第１の信号生成回路が構成される。

[0048] 以下では、ｎチャネルＭＯＳトランジスタをｎＭＯＳトランジスタと記載し、ｐチャネルＭＯＳトランジスタをｐＭＯＳトランジスタと記載する。本開示では、ｎＭＯＳトランジスタが有する一対の主端子のうち、高電位側に接続される主端子をドレインと記載し、低電位側となる端子をソースと記載する。またｐＭＯＳトランジスタが有する一対の主端子のうち、高電位側となる端子をソースと記載し、低電位側となる端子をドレインと記載する。なお図１には、各ＭＯＳトランジスタのバックゲートの接続例が示されている。

[0049] 第１のインバータ回路２４ａは、中間ノード４ａを介して接続された、ｎＭＯＳトランジスタ４０及びｐＭＯＳトランジスタ６０を有する。ｎＭＯＳトランジスタ４０のゲートはＬＳＩＮ端子１２に接続され、ソースはＤＶＳライン１０ｂに接続され、ドレインは中間ノード４ａに接続される。ｐＭＯＳトランジスタ６０のゲートはＬＳＩＮ端子１２に接続され、ソースはＤＶＤライン１０ａに接続され、ドレインは中間ノード４ａに接続される。

[0050] 第２のインバータ回路２４ｂは、中間ノード４ｂを介して接続された、ｎＭＯＳトランジスタ４１及びｐＭＯＳトランジスタ６１を有する。ｎＭＯＳトランジスタ４１のゲートは中間ノード４ａに接続され、ソースはＤＶＳライン１０ｂに接続され、ドレインは中間ノード４ｂに接続される。ｐＭＯＳトランジスタ６１のゲートは中間ノード４ａに接続され、ソースはＤＶＤライン１０ａに接続され、ドレインは中間ノード４ｂに接続される。

[0051] 例えば第１のインバータ回路２４ａは、ＬＳＩＮ端子１２から入力された入力信号１を論理反転して、中間ノード４ａから逆相信号３を出力する。また第２のインバータ回路２４ｂは、第１のインバータ回路２４ａ（中間ノード４ａ）から入力された逆相信号３を論理反転して、中間ノード４ｂから同相信号２を出力する。

[0052] 電位供給部２１は、ＤＶＤ電源１０よりも電圧レベルの高いＡＶＤ電源１

１となる一対の電源線（ＡＶＤライン１１ａ及びＡＶＳライン１１ｂ）のうち一方の電源線に接続される。本実施形態では、一方の電源線は、ＡＶＤ電源１１の高電位側の電源線である。すなわち、電位供給部２１は、ＡＶＤ電源１１の高電位側のＡＶＤライン１１ａに接続される。なお他方の電源線は、ＡＶＤ電源１１の低電位側の電源線（ＡＶＳライン１１ｂ）となる。

[0053] 電位供給部２１は、一対のノード５と、クロスカップル回路２５と、第１のカレントミラー回路２６ａと、第２のカレントミラー回路２６ｂと、電位保持回路２７とを有する。

[0054] 一対のノード５は、電位供給部の出力用のノードであり、後述する出力部２３に接続される。一対のノード５は、入力信号１と同相となるように電位が供給される同相ノード５ａ、及び入力信号１と逆相となるように電位が供給される逆相ノード５ｂである。

[0055] 同相ノード５ａには、入力信号１と同じ位相（正相）で、ＡＶＤライン１１ａの電位が供給される。例えば入力信号１がＨｉｇｈレベルである場合には、同相ノード５ａに高電位側のＡＶＤライン１１ａの電位が供給される。また、入力信号１がＬｏｗレベルである場合には、同相ノード５ａに低電位側のＡＶＳライン１１ｂの電位（ＧＮＤ電位）が供給される。

[0056] 逆相ノード５ｂには、入力信号１と逆の位相（逆相）で、ＡＶＤライン１１ａの電位が供給される。例えば入力信号１がＨｉｇｈレベルである場合には、逆相ノード５ｂに、低電位側のＡＶＳライン１１ｂの電位（ＧＮＤ電位）が供給される。また、入力信号１がＬｏｗレベルである場合には、逆相ノード５ｂに高電位側のＡＶＤライン１１ａの電位が供給される。

[0057] このように、電位供給部２１は、入力信号１に応じてＡＶＤライン１１ａの電位を一対のノード５のどちらか一方に供給する。一対のノード５（同相ノード５ａ及び逆相ノード５ｂ）に電位を供給する動作については、あとに詳しく説明する。

[0058] クロスカップル回路２５は、ｎＭＯＳトランジスタ４２及びｎＭＯＳトランジスタ４３を有する。ｎＭＯＳトランジスタ４２は、同相ノード５ａにド

レインが接続され逆相ノード５ｂにゲートが接続される。またｎＭＯＳトランジスタ４３は、逆相ノード５ｂにドレインが接続され同相ノード５ａにゲートが接続される。なお、ｎＭＯＳトランジスタ４２及び４３の各ソースは、後述する電流規制部２２に接続される。

[0059] このように、ｎＭＯＳトランジスタ４２及び４３は、一方のゲートが他方のドレインに互いに接続されたクロスカップル接続された回路となる。本実施形態では、ｎＭＯＳトランジスタ４２は、第１のＭＯＳトランジスタに相当し、ｎＭＯＳトランジスタ４３は、第２のＭＯＳトランジスタに相当する。

[0060] 第１のカレントミラー回路２６ａは、同相ノード５ａに電流を供給する。第１のカレントミラー回路２６ａは、ｐＭＯＳトランジスタ６２及び６３と、ｎＭＯＳトランジスタ４４及び４５とを有する。また第１のカレントミラー回路２６ａは、トランスミッションゲート２８ａと、ｐＭＯＳトランジスタ６４とを有する。

[0061] ｐＭＯＳトランジスタ６２のソースは、ＡＶＤライン１１ａに接続される。またｐＭＯＳトランジスタ６２のドレインは、トランスミッションゲート２８ａを介して自身のゲートに接続される。従って、ｐＭＯＳトランジスタ６２は、トランスミッションゲート２８ａを介してダイオード接続されることになる。

[0062] ｐＭＯＳトランジスタ６３のソースは、ＡＶＤライン１１ａに接続され、ドレインは、同相ノード５ａに接続され、ゲートは、ｐＭＯＳトランジスタ６２のゲートに接続される。これにより、ＡＶＤライン１１ａを電流源とするカレントミラー回路が構成される。ｐＭＯＳトランジスタ６２及び６３は、例えば同様の設計値（ゲート長やゲート幅等）で設計される。

[0063] ｎＭＯＳトランジスタ４４のソースは、第１のインバータ回路２４ａの中間ノード４ａに接続され、ゲートは、第２のインバータ回路２４ｂの中間ノード４ｂに接続される。ｎＭＯＳトランジスタ４５のソースは、ｎＭＯＳトランジスタ４４のドレインに接続され、ゲートは、逆相ノード５ｂに接続さ

れる。またｎＭＯＳトランジスタ４５のドレインは、ｐＭＯＳトランジスタ６２のドレインに接続される。

[0064] トランスミッションゲート２８ａは、ｐＭＯＳトランジスタ６２のドレインとゲートとの間に、互いに並列に接続されたｎＭＯＳトランジスタ４６及びｐＭＯＳトランジスタ６５を有する。ｎＭＯＳトランジスタ４６及びｐＭＯＳトランジスタ６５の各ゲートは、ＸＳＤ端子１４ｂ及びＳＤ端子１４ａにそれぞれ接続される。なお、図１において、丸印のＡは、ＳＤ端子１４ａとの接続を表し、丸印のＢは、ＸＳＤ端子１４ｂとの接続を表す。

[0065] ｐＭＯＳトランジスタ６４のソースは、ＡＶＤライン１１ａに接続され、ドレインは、ｐＭＯＳトランジスタ６２のゲートに接続され、ゲートは、ＸＳＤ端子１４ｂに接続される。トランスミッションゲート２８ａ及びｐＭＯＳトランジスタ６４は、例えばレベルシフト回路１００の出力初期値を設定する際に用いられる。通常動作時には、トランスミッションゲート２８ａはＯＮ状態であり、ｐＭＯＳトランジスタ６４はＯＦＦ状態となっている。

[0066] 図１に示すように、ｎＭＯＳトランジスタ４４、ｎＭＯＳトランジスタ４５、及びｐＭＯＳトランジスタ６２は、この順番で直列に接続される。これにより、第１のインバータ回路２４ａの中間ノード４ａとＡＶＤライン１１ａとをつなぐ第１の電流路２９ａが形成される。また、２つのｎＭＯＳトランジスタ４４及び４５は、第１の電流路２９ａを導通・遮断する第１のスイッチ部３０ａとして機能する。

[0067] このように第１のカレントミラー回路２６ａは、ＡＶＤライン１１ａに接続された第１の電流路２９ａと、第１の電流路２９ａ上に配置された第１のスイッチ部３０ａとを有する。例えば第１の電流路２９ａに電流が流れると、同様の電流がｐＭＯＳトランジスタ６３のソース－ドレイン間を流れる。すなわち、第１のカレントミラー回路２６ａは、第１の電流路２９ａの電流を複製して同相ノード５ａに供給する。また第１の電流路２９ａの導通・遮断は、ｎＭＯＳトランジスタ４４及び４５により制御される。本実施形態では、ｎＭＯＳトランジスタ４４は、第５のＭＯＳトランジスタに相当し、ｎ

ＭＯＳトランジスタ４５は、第７のＭＯＳトランジスタに相当する。

[0068] 第２のカレントミラー回路２６ｂは、逆相ノード５ｂに電流を供給する。第２のカレントミラー回路２６ｂは、ｐＭＯＳトランジスタ６６及び６７と、ｎＭＯＳトランジスタ４７及び４８とを有する。また第２のカレントミラー回路２６ｂは、トランスミッションゲート２８ｂと、ｐＭＯＳトランジスタ６８とを有する。第１及び第２のカレントミラー回路２６ａ及び２６ｂは、互いに逆相のタイミングで駆動するように構成される。

[0069] ｐＭＯＳトランジスタ６６のソースは、ＡＶＤライン１１ａに接続される。またｐＭＯＳトランジスタ６６のドレインは、トランスミッションゲート２８ｂを介して自身のゲートに接続される。従って、ｐＭＯＳトランジスタ６６は、トランスミッションゲート２８ｂを介してダイオード接続されることになる。

[0070] ｐＭＯＳトランジスタ６７のソースは、ＡＶＤライン１１ａに接続され、ドレインは、逆相ノード５ｂに接続され、ゲートは、ｐＭＯＳトランジスタ６６のゲートに接続される。これにより、ＡＶＤライン１１ａを電流源とするカレントミラー回路が構成される。ｐＭＯＳトランジスタ６６及び６７は、例えば同様の設計値（ゲート長やゲート幅等）で設計される。

[0071] ｎＭＯＳトランジスタ４７のソースは、第２のインバータ回路２４ｂの中間ノード４ｂに接続され、ゲートは、第１のインバータ回路２４ａの中間ノード４ａに接続される。ｎＭＯＳトランジスタ４８のソースは、ｎＭＯＳトランジスタ４７のドレインに接続され、ゲートは、同相ノード５ａに接続される。またｎＭＯＳトランジスタ４８のドレインは、ｐＭＯＳトランジスタ６６のドレインに接続される。

[0072] トランスミッションゲート２８ｂは、ｐＭＯＳトランジスタ６６のドレインとゲートとの間に、互いに並列に接続されたｎＭＯＳトランジスタ４９及びｐＭＯＳトランジスタ６９を有する。ｎＭＯＳトランジスタ４９及びｐＭＯＳトランジスタ６９の各ゲートは、ＸＳＤ端子１４ｂ及びＳＤ端子１４ａにそれぞれ接続される。

[0073] ｐＭＯＳトランジスタ６８のソースは、ＡＶＤライン１１ａに接続され、ドレインは、ｐＭＯＳトランジスタ６６のゲートに接続され、ゲートは、ＸＳＤ端子１４ｂに接続される。トランスミッションゲート２８ｂ及びｐＭＯＳトランジスタ６８は、例えばレベルシフト回路１００の出力初期値を設定する際に用いられる。通常動作時には、トランスミッションゲート２８ｂはＯＮ状態であり、ｐＭＯＳトランジスタ６８はＯＦＦ状態となっている。

[0074] 図１に示すように、ｎＭＯＳトランジスタ４７、ｎＭＯＳトランジスタ４８、及びｐＭＯＳトランジスタ６６は、この順番で直列に接続される。これにより、第２のインバータ回路２４ｂの中間ノード４ｂとＡＶＤライン１１ａとをつなぐ第２の電流路２９ｂが形成される。また、２つのｎＭＯＳトランジスタ４７及び４８は、第２の電流路２９ｂを導通・遮断する第２のスイッチ部３０ｂとして機能する。

[0075] このように第２のカレントミラー回路２６ｂは、ＡＶＤライン１１ａに接続された第２の電流路２９ｂと、第２の電流路２９ｂ上に配置された第２のスイッチ部３０ｂとを有する。例えば第２の電流路２９ｂに電流が流れると、同様の電流がｐＭＯＳトランジスタ６７のソース－ドレイン間を流れる。すなわち、第２のカレントミラー回路２６ｂは、第２の電流路２９ｂの電流を複製して逆相ノード５ｂに供給する。また第２の電流路２９ｂの導通・遮断は、ｎＭＯＳトランジスタ４７及び４８により制御される。本実施形態では、ｎＭＯＳトランジスタ４７は、第６のＭＯＳトランジスタに相当し、ｎＭＯＳトランジスタ４８は、第８のＭＯＳトランジスタに相当する。

[0076] 電位保持回路２７は、同相ノード５ａ及び逆相ノード５ｂの電位を保持する回路である。電位保持回路２７は、ｐＭＯＳトランジスタ７０とｐＭＯＳトランジスタ７１とを有する。

[0077] ｐＭＯＳトランジスタ７０のソースは、ＡＶＤライン１１ａに接続され、ドレインは、同相ノード５ａ（クロスカップル回路２５のｎＭＯＳトランジスタ４３のゲート）に接続される。またｐＭＯＳトランジスタ７０のゲートは、逆相ノード５ｂに接続される。ｐＭＯＳトランジスタ７１のソースは、

ＡＶＤライン１１ａに接続され、ドレインは、逆相ノード５ｂ（クロスカップル回路２５のｎＭＯＳトランジスタ４２のゲート）に接続される。またｐＭＯＳトランジスタ７１のゲートは、同相ノード５ａに接続される。

[0078] 電流規制部２２は、電位供給部２１及びＡＶＤ電源１１の低電位側のＡＶＳライン１１ｂに接続され、一対のノード５（同相ノード５ａ及び逆相ノード５ｂ）と、ＡＶＳライン１１ｂとの間を流れる電流を規制する。電流規制部２２は、ｎＭＯＳトランジスタ５０とｎＭＯＳトランジスタ５１とを有する。

[0079] ｎＭＯＳトランジスタ５０は、同相ノード５ａとＡＶＳライン１１ｂとの間の電流を規制する。ｎＭＯＳトランジスタ５０のドレインは、クロスカップル回路２５のｎＭＯＳトランジスタ４２のソースに接続され、ソースは、ＡＶＳライン１１ｂに接続される。このように、ｎＭＯＳトランジスタ５０は、ｎＭＯＳトランジスタ４２のソースとＡＶＳライン１１ｂとの間に接続される。またｎＭＯＳトランジスタ５０のゲートは、第１のインバータ回路２４ａの出力（中間ノード４ａ）に接続される。本実施形態では、ｎＭＯＳトランジスタ５０は、第３のＭＯＳトランジスタに相当する。

[0080] ｎＭＯＳトランジスタ５１は、逆相ノード５ｂとＡＶＳライン１１ｂとの間の電流を規制する。ｎＭＯＳトランジスタ５１のドレインは、クロスカップル回路２５のｎＭＯＳトランジスタ４３のソースに接続され、ソースは、ＡＶＳライン１１ｂに接続される。このように、ｎＭＯＳトランジスタ５１は、ｎＭＯＳトランジスタ４３のソースとＡＶＳライン１１ｂとの間に接続される。またｎＭＯＳトランジスタ５１のゲートは、第２のインバータ回路２４ｂの出力（中間ノード４ｂ）に接続される。本実施形態では、ｎＭＯＳトランジスタ５１は、第４のＭＯＳトランジスタに相当する。

[0081] このように、本実施形態では、一対のノード５と、ＡＶＳライン１１ｂとの間に、クロスカップル回路２５及び電流規制部２２が配置される。またクロスカップル回路２５及び電流規制部２２を構成するｎＭＯＳトランジスタ４２、４３、５０、及び５１は、全てｎチャネルのＭＯＳトランジスタであ

り、同極性のＭＯＳトランジスタとなる。

[0082] 出力部２３は、一対のノード５の電位に基づいて、ＡＶＤ電源１１の電圧レベルの出力信号を生成する。出力部２３は、第３のインバータ回路２４ｃと、第４のインバータ回路２４ｄとを有する。

[0083] 第３のインバータ回路２４ｃは、中間ノード４ｃを介して接続された、ｎＭＯＳトランジスタ５２及びｐＭＯＳトランジスタ７２を有する。ｎＭＯＳトランジスタ５２のゲートは、逆相ノード５ｂに接続され、ソースは、ＡＶＳライン１１ｂに接続され、ドレインは中間ノード４ｃに接続される。ｐＭＯＳトランジスタ７２のゲートは、逆相ノード５ｂに接続され、ソースはＡＶＤライン１１ａに接続され、ドレインは中間ノード４ｃに接続される。また中間ノード４ｃは、ＬＳＯＵＴ端子１３ａに接続される。

[0084] 第４のインバータ回路２４ｄは、中間ノード４ｄを介して接続された、ｎＭＯＳトランジスタ５３及びｐＭＯＳトランジスタ７３を有する。ｎＭＯＳトランジスタ５３のゲートは、中間ノード４ｃに接続され、ソースは、ＡＶＳライン１１ｂに接続され、ドレインは中間ノード４ｄに接続される。ｐＭＯＳトランジスタ７３のゲートは、中間ノード４ｃに接続され、ソースはＡＶＤライン１１ａに接続され、ドレインは中間ノード４ｃに接続される。また中間ノード４ｄは、ＸＬＳＯＵＴ端子１３ｂに接続される。

[0085] またレベルシフト回路１００は、ＶＰＤ端子１６ａとＡＶＳライン１１ｂとの間に接続されたｎＭＯＳトランジスタ５４と、ＶＰＵ端子１６ｂとＡＶＤライン１１ａとの間に接続されたｐＭＯＳトランジスタ７４とを有する。ｎＭＯＳトランジスタ５４及びｐＭＯＳトランジスタ７４のゲートには、ＳＤ端子１４ａ及びＸＳＤ端子１４ｂがそれぞれ接続される。

[0086] ＳＤ端子１４ａ及びＸＳＤ端子１４ｂは、レベルシフト回路１００のスタンバイ状態及びアクティブ状態を切り替えるための端子である。ＳＤ端子１４ａには、ＡＶＤ電源１１の電圧レベルの制御信号が入力され、ＸＳＤ端子１４ｂには、制御信号とは論理反転した逆相信号（反転信号）が入力される。本実施形態では、ＳＤ端子１４ａがＨｉｇｈレベル（ＸＳＤ端子１４ｂが

ＬＯＷレベル）である場合にスタンバイ状態となる。またＳＤ端子１４ａがＬｏｗレベル（ＸＳＤ端子１４ｂがＨｉｇｈレベル）である場合にアクティブ状態となる。

[0087] ＬＳＩＮＴ端子１５ａ、ＸＬＳＩＮＴ端子１５ｂ、ＶＰＤ端子１６ａ、及びＶＰＵ端子１６ｂの４端子は、スタンバイ状態の時にレベルシフト回路１００の出力初期値を設定するための端子である。ＬＳＩＮＴ端子１５ａは、同相ノード５ａに接続される。ＸＬＳＩＮＴ端子１５ｂは、逆相ノード５ｂに接続される。また上記したように、ＶＰＤ端子１６ａはｎＭＯＳトランジスタ５４を介してＡＶＳライン１１ｂに接続され、ＶＰＵ端子１６ｂはｎＭＯＳトランジスタ７４を介してＡＶＤライン１１ａに接続される。

[0088] 図３は、出力初期値を設定する際の配線の一例を示す模式図である。出力初期値とは、例えばレベルシフト回路１００がアクティブ状態に切り替えられたタイミングでの、出力端子（ＬＳＯＵＴ端子１３ａ及びＸＬＳＯＵＴ端子１３ｂ）の電圧レベルである。レベルシフト回路１００では、ＬＳＩＮＴ端子１５ａをＶＰＵ端子１６ｂ及びＶＰＤ端子１６ａの一方に接続し、ＸＬＳＩＮＴ端子１５ｂを他の一方に接続することで、出力初期値が設定される。

[0089] 図３の右側の図では、ＬＳＩＮＴ端子１５ａがＶＰＵ端子１６ｂに接続され、ＸＬＳＩＮＴ端子１５ｂがＶＰＤ端子１６ａに接続される。これにより、ＬＳＯＵＴ端子１３ａがＨｉｇｈレベルであり、ＸＬＳＯＵＴ端子１３ｂがＬｏｗレベルである出力初期値（ＬＳＯＵＴ＝Ｈ、ＸＬＳＯＵＴ＝Ｌ）が設定される。また図３の右側の図では、ＬＳＩＮＴ端子１５ａがＶＰＤ端子１６ａに接続され、ＸＬＳＩＮＴ端子１５ｂがＶＰＵ端子１６ｂに接続される。この結果、ＬＳＯＵＴ端子１３ａがＬｏｗレベルであり、ＸＬＳＯＵＴ端子１３ｂがＨｉｇｈレベルである出力初期値（ＬＳＯＵＴ＝Ｌ、ＸＬＳＯＵＴ＝Ｈ）が設定される。なお、出力初期値を設定する際の動作等については、後に詳しく説明する。

[0090] ＬＳＩＮＴ端子１５ａ及びＸＬＳＩＮＴ端子１５ｂと、ＶＰＵ端子１６ｂ

及びＶＰＤ端子１６ａとの接続の切り替えは、例えば同一の切り替え回路（図示省略）を用いて実行される。この切り替え回路に対して、例えば複数のレベルシフト回路１００が接続される。これにより、上位階層に設けられた切り替え回路の配線を変更するだけで、複数のレベルシフト回路１００の出力初期値を容易に設定することが可能となる。

[0091] ［ＭＯＳトランジスタの種類］

以下では、レベルシフト回路１００に用いられるＭＯＳトランジスタの耐圧や閾値電圧等の種類について説明する。ここで、ＭＯＳトランジスタの耐圧とは、例えばＭＯＳトランジスタが適正に動作する範囲で印加可能な最大の電圧値である。耐圧は、例えばゲート－ソース間、ゲート－ドレイン間、ゲート－バルク間、ソース－ドレイン間、ソース－バルク間、及びドレイン－バルク間に適用される電圧値として表される。

[0092] 一般に耐圧が低いＭＯＳトランジスタでは、そのゲート絶縁膜の厚さは薄くなる。例えば、ゲート絶縁膜の厚さが十分に薄いＭＯＳトランジスタでは、ソース－ドレイン間に電流を流す能力が高くなる。一方で、ゲート絶縁膜が薄い場合には、例えばオフ状態のときにソース－ドレイン間に流れるリーク電流（Ｉｏｆｆ）等が増大する。またゲート絶縁膜が薄いために素子の耐圧性能は低下する。

[0093] 例えば、集積回路等に実装されるＭＯＳトランジスタとしては、耐圧が３．３ＶのＭＯＳトランジスタ（３．３ＶＴｒ）、耐圧が２．５ＶのＭＯＳトランジスタ（２．５ＶＴｒ）、耐圧が１．８ＶのＭＯＳトランジスタ（１．８ＶＴｒ）、及び耐圧が０．７ＶのＭＯＳトランジスタ（０．７ＶＴｒ）等が挙げられる。

[0094] このうち、０．７ＶＴｒは、ゲート絶縁膜が十分に薄膜化されたＭＯＳトランジスタであり、例えばＡＶＤ電源１１のような３Ｖ程度の電源電圧下で使用する場合（図８等参照）には十分な耐圧対策等が必要となる。これに対し、１．８ＶＴｒ、２．５ＶＴｒ、及び３．３ＶＴｒ等は、ゲート絶縁膜が十分に厚い厚膜のＭＯＳトランジスタであると言える。

[0095] 本開示では、０．７ＶＴｒのように、耐圧が０．７Ｖ以下となるＭＯＳトランジスタを薄膜Ｔｒと記載する。また１．８ＶＴｒ、２．５ＶＴｒ、及び３．３ＶＴｒのように、耐圧が０．７Ｖよりも大きいＭＯＳトランジスタを厚膜Ｔｒと記載する。なお薄膜Ｔｒ及び厚膜Ｔｒを区分する耐圧値等は限定されない。例えばレベルシフト回路１００で使用される電源電圧等に応じて、薄膜Ｔｒ及び厚膜Ｔｒを分ける耐圧値等が適宜設定されてよい。

[0096] またＭＯＳトランジスタを適宜構成することで、例えば耐圧を維持したまま、閾値電圧を所望の値に設定することが可能である。このため、例えば耐圧が等しく、互いに閾値電圧が異なるｎＭＯＳトランジスタやｐＭＯＳトランジスタを実装することが可能である。

[0097] 集積回路では、例えば標準的な閾値電圧（ＳＶＴ：Standard Vth）を有するＭＯＳトランジスタや、ＳＶＴよりも低い低閾値電圧（ＬＶＴ：Low Vth）を有するＭＯＳトランジスタ等が用いられる。例えば同じ耐圧であっても、ＬＶＴのｎＭＯＳトランジスタ（またはｐＭＯＳトランジスタ）は、ＳＶＴのｎＭＯＳトランジスタ（またはｐＭＯＳトランジスタ）よりも十分に低い閾値電圧で駆動される。なおＬＶＴは閾値電圧の値に応じて、ＵＬＶＴ（Ultra Low Vth）と呼ばれることもある。ＬＶＴ又はＵＬＶＴの値は限定されず、例えばＳＶＴよりも低い任意の閾値電圧が設定されてよい。

[0098] レベルシフト回路１００に含まれる複数のＭＯＳトランジスタは、例えば上記した耐圧及び閾値電圧を基準に３種類のタイプに大別することが可能である。第１のタイプは、ＡＶＤドメイン用の耐圧を持つＭＯＳトランジスタである。第２のタイプは、ＡＶＤドメイン用の耐圧を持ち、第１のタイプよりも閾値電圧が低く設定されたＭＯＳトランジスタである。第３のタイプは、ＤＶＤドメイン用の耐圧を持つＭＯＳトランジスタである。

[0099] 図１に示す回路図において、円で囲まれたＭＯＳトランジスタが第２のタイプであり、四角で囲まれたＭＯＳトランジスタが第３のタイプである。第１のタイプのＭＯＳトランジスタは、他のすべてのＭＯＳトランジスタである。

[0100] 図１に示すように、クロスカップル回路２５を構成するｎＭＯＳトランジスタ４２及び４３は、ＡＶＤ電源１１の電圧レベルに応じた第１の耐圧を有する第１のタイプのＭＯＳトランジスタである。ここで、ＡＶＤ電源１１の電圧レベルに応じた第１の耐圧とは、典型的にはＡＶＤ電源１１の電圧レベルで適正に動作可能となるような耐圧である。本実施形態では、第１の耐圧は、例えば３．３Ｖに設定される。

[0101] また第１のタイプのＭＯＳトランジスタの閾値電圧は、例えば第１の耐圧に応じた標準的な閾値電圧（ＳＶＴ）に設定される。従って本実施形態では、第１のタイプのＭＯＳトランジスタは、耐圧が３．３Ｖであり、閾値電圧がＳＶＴであるＭＯＳトランジスタ（３．３Ｖ・ＳＶＴ・Ｔｒ）となる。なお第１の耐圧やＳＶＴの値等は限定されず、例えばＡＶＤドメインでの動作が可能となる範囲で適宜設定されてよい。

[0102] また上記したように、第２のタイプ（円で囲まれたＭＯＳトランジスタ）と、第３のタイプ（四角で囲まれたＭＯＳトランジスタ）とを除く、他のＭＯＳトランジスタは、全て第１のタイプのＭＯＳトランジスタである。従って図１に示すように、ｎＭＯＳトランジスタ４５、４６、４８、４９、５２、５３、及び５４は、第１のタイプのｎＭＯＳトランジスタである。またｐＭＯＳトランジスタ６２～７４は、第１のタイプのｐＭＯＳトランジスタである。このように、第１のタイプのＭＯＳトランジスタには、第１の耐圧を有するｎＭＯＳ及びｐＭＯＳトランジスタがともに含まれる。

[0103] 図１に示すように、電流規制部２２を構成するｎＭＯＳトランジスタ５０及び５１は、第１の耐圧を有し、第１のタイプのＭＯＳトランジスタよりも閾値電圧が低く設定された第２のタイプのＭＯＳトランジスタである。本実施形態では、第２のタイプのＭＯＳトランジスタは、上記した第１のタイプのｎＭＯＳトランジスタ（ｎＭＯＳトランジスタ４２等）よりも閾値電圧が低いＭＯＳトランジスタとなる。

[0104] 第２のタイプのＭＯＳトランジスタの閾値電圧は、例えば第１の耐圧における低閾値電圧（ＬＶＴ）である。従って、本実施形態では、第２のタイプ

のＭＯＳトランジスタは、耐圧が３．３Ｖであり、閾値電圧がＬＶＴであるＭＯＳトランジスタ（３．３Ｖ・ＬＶＴ・Ｔｒ）となる。ＬＶＴは、例えばＤＶＤ電源１０の電圧レベルの信号（同相信号２や逆相信号３等）によるゲート制御等が可能となる範囲で適宜設定される。

[0105] また図１に示すように、電位供給部２１のｎＭＯＳトランジスタ４４及び４７は、第２のタイプのＭＯＳトランジスタである。また入力部２０のｎＭＯＳトランジスタ４０及び４１は、第２のタイプのＭＯＳトランジスタである。このように、本実施形態では、第２のタイプのＭＯＳトランジスタは、ｎＭＯＳトランジスタであり、レベルシフト回路１００の６か所に配置される。

[0106] また入力部２０に含まれるｐＭＯＳトランジスタ６０及び６１は、ＤＶＤ電源１０の電圧レベルに応じた第２の耐圧を有する第３のタイプのＭＯＳトランジスタである。ここで、ＤＶＤ電源１０の電圧レベルに応じた第２の耐圧とは、典型的にはＤＶＤ電源１０の電圧レベルで適正に動作可能となるような耐圧である。本実施形態では、第２の耐圧は、例えば１．８Ｖに設定される。

[0107] また第３のタイプのＭＯＳトランジスタの閾値電圧は、例えば第２の耐圧に応じた標準的な閾値電圧（ＳＶＴ）に設定される。従って本実施形態では、第３のタイプのＭＯＳトランジスタは、耐圧が１．８Ｖであり、閾値電圧がＳＶＴであるＭＯＳトランジスタ（１．８Ｖ・ＳＶＴ・Ｔｒ）となる。なお第２の耐圧やＳＶＴの値等は限定されず、例えばＤＶＤドメインでの動作が可能となる範囲で適宜設定されてよい。

[0108] このように、入力部２０を構成する第１のインバータ回路２４及び第２のインバータ回路２４（第１の信号生成回路）は、ＤＶＤ電源１０の低電位側に接続された第２のタイプのｎＭＯＳトランジスタと、ＤＶＤ電源１０の高電位側に接続された第３のタイプのｐＭＯＳトランジスタとを有する。

[0109] ［出力初期値の設定］

図４は、レベルシフト回路１００の概略的な構成例を示す模式図である。

図４では、図１に示すレベルシフト回路１００が複数の端子を持ったブロックとして模式的に図示されている。図４に示すように、レベルシフト回路１００は、ＤＶＤ電源１０及びＡＶＤ電源１１に接続され、ＬＳＩＮ端子１２から入力される信号をレベル変換してＬＳＯＵＴ端子１３ａ及びＸＬＳＯＵＴ端子１３ｂから出力する回路であると言える。

[0110] また図４では、ＬＳＩＮＴ端子１５ａとＶＰＤ端子１６ａとが接続され、ＸＬＳＩＮＴ端子１５ｂとＶＰＵ端子１６ｂとが接続される。従って図４では、図３の右側の図と同様に、ＬＳＯＵＴ端子１３ａの出力初期値はＬｏｗレベルとなり、ＸＬＳＯＵＴ端子１３ｂの出力初期値はＨｉｇｈレベルに設定されることになる。

[0111] 以下では、出力初期値がＬＳＯＵＴ＝Ｌ、ＸＬＳＯＵＴ＝Ｈに設定されるものとする。もちろん、出力初期値が（ＬＳＯＵＴ＝Ｈ、ＸＬＳＯＵＴ＝Ｌ）に設定される場合であっても、本技術は適用可能である。

[0112] 出力初期値の設定は、上記したように、スタンバイ状態で実行される。スタンバイ状態では、ＳＤ端子１４ａがＨｉｇｈレベルに設定され、ＸＳＤ端子１４ｂがＬｏｗレベルに設定される。すなわち、ＳＤ端子１４ａはＡＶＤライン１１ａと同電位に設定され、ＸＳＤ端子１４ｂはＡＶＳライン１１ｂと同電位に設定される。

[0113] この結果、スタンバイ状態では、トランスミッションゲート２８ａがオフとなり、ｐＭＯＳトランジスタ６２のダイオード接続がカットされる。またｐＭＯＳトランジスタ６４がオンとなり、ＰＭＯＳトランジスタ６２及び６３のゲートがＡＶＤライン１１ａの電位まで吊り上げられ、第１のカレントミラー回路２６ａを流れる電流がカットされる。

[0114] 同様に、トランスミッションゲート２８ｂがオフとなり、ｐＭＯＳトランジスタ６６のダイオード接続がカットされる。また、ｐＭＯＳトランジスタ６８がオンとなり、ＰＭＯＳトランジスタ６６及び６７のゲートがＡＶＤライン１１ａの電位まで吊り上げられ、第２のカレントミラー回路２６ｂを流れる電流がカットされる。

[0115] またスタンバイ状態では、ｐＭＯＳトランジスタ７４のゲートにＸＳＤ＝Ｌが印加され、ｐＭＯＳトランジスタ７４がオンになる。このため、ＶＰＵ端子１６ｂはＡＶＤライン１１ａと同電位のＨｉｇｈレベルとなる。またｎＭＯＳトランジスタ５４のゲートにＳＤ＝Ｈが印加され、ｎＭＯＳトランジスタ５４がオンになる。このため、ＶＰＤ端子１６ａはＡＶＳライン１１ｂと同電位のＬｏｗレベルとなる。

[0116] ＬＳＩＮＴ端子１５ａは、ＶＰＤ端子１６ａに接続されているため、Ｌｏｗレベルとなる。一方でＸＬＳＩＮＴ端子１５ｂは、ＶＰＵ端子１６ｂに接続されているため、Ｈｉｇｈレベルとなる。このＸＬＳＩＮＴ端子１５ｂ（逆相ノード５ｂ）の電位が出力部２３に供給される。

[0117] 出力部２３では、第３のインバータ回路２４により、ＸＬＳＩＮＴ端子１５ｂの電位が反転されてＬＳＯＵＴ端子１３ａに出力される。また第４のインバータ回路２４により、ＬＳＯＵＴ端子１３ａの電位が反転されて、ＸＬＳＯＵＴ端子１３ｂに出力される。この結果、ＬＳＯＵＴ端子１３ａはＬｏｗレベルとなり、ＸＬＳＯＵＴ端子１３ｂはＨｉｇｈレベルとなる。これにより、（ＬＳＯＵＴ＝Ｌ、ＸＬＳＯＵＴ＝Ｈ）となる出力初期値が設定される。

[0118] 図５は、レベルシフト回路１００の入出力に関する真理値表である。図６は、レベルシフト回路１００の各端子の電圧の変化の一例を示すタイムチャートである。図５及び図６には、出力初期値が（ＬＳＯＵＴ＝Ｌ、ＸＬＳＯＵＴ＝Ｈ）である場合の真理値表及びタイムチャートが示されている。

[0119] 図６には、上から順番に、ＡＶＤライン１１ａ、ＤＶＤライン１０ａ、ＤＶＳライン１０ｂ、ＡＶＳライン１１ｂ、ＬＳＩＮ端子１２（入力信号１）、ＳＤ端子１４ａ、ＸＳＤ端子１４ｂ、ＬＳＩＮＴ端子１５ａ（同相ノード５ａ）、ＸＬＳＩＮＴ端子１５ｂ（逆相ノード５ｂ）、ＬＳＯＵＴ端子１３ａ、及びＸＬＳＯＵＴ端子１３ｂの各端子の電圧の時間変化が示されている。

[0120] 図６に示す例では、ＡＶＤライン１１ａは３．０Ｖに設定され、ＤＶＤラ

イン１０ａは０．６Ｖに設定され、ＤＶＳライン１０ｂ及びＡＶＳライン１１ｂはともに０Ｖに設定される。従って、ＤＶＤドメインに設けられたＬＳＩＮ端子１２（入力信号１）の電圧の振幅は０．６Ｖとなる。またＡＶＤドメインに設けられたＳＤ端子１４ａ、ＸＳＤ端子１４ｂ、ＬＳＩＮＴ端子１５ａ、ＸＬＳＩＮＴ端子１５ｂ、ＬＳＯＵＴ端子１３ａ、及びＸＬＳＯＵＴ端子１３ｂの電圧の振幅は３．０Ｖとなる。

[0121] 図６では、時刻Ｔ０～Ｔ２までの期間、ＳＤ端子１４ａはＨｉｇｈレベルに設定され、ＸＳＤ端子はＬｏｗレベルに設定される。すなわち時刻Ｔ２までの期間がスタンバイ状態となる。なおスタンバイ状態では、第１及び第２のカレントミラー回路２６ａ及び２６ｂがオフである。このため、入力信号１に応じて出力端子のレベルが変化することはない。

[0122] 例えば図６では、時刻Ｔ１にＬＳＩＮ端子１２（入力信号１）の電圧がＨｉｇｈレベルからＬｏｗレベルに変化する。すなわちＬＳＩＮ端子１２の論理レベルが１から０に変化する。このように入力信号１の論理レベルが変化した場合であっても、スタンバイ状態では、ＬＳＯＵＴ端子１３ａ及びＸＬＳＯＵＴ端子１３ｂの出力は変化しない。従って図５に示すように、ＸＳＤ端子１４ｂの論理レベルが０の状態（スタンバイ状態）では、ＬＳＯＵＴ端子１３ａの論理レベルが０に維持され、ＸＬＳＯＵＴ端子の論理レベルが１に維持される。

[0123] またＸＳＤ端子１４ｂの論理レベルが０から１に変化すると、レベルシフト回路１００は、スタンバイ状態からアクティブ状態に切り替えられる。なお、この切替えを行っただけでは、ＬＳＯＵＴ端子１３ａ及びＸＬＳＯＵＴ端子１３ｂの出力は変化しない。図６では、時刻Ｔ２に、ＳＤ端子１４ａがＬｏｗレベルに設定され、ＸＳＤ端子１４ｂがＨｉｇｈレベルに設定される。すなわち時刻Ｔ２以降の期間がアクティブ状態となる。

[0124] アクティブ状態（ＳＤ＝Ｌ、ＸＳＤ＝Ｈ）では、トランスミッションゲート２８ａがオンとなり、ｐＭＯＳトランジスタ６４がオフとなる。この結果、ｐＭＯＳトランジスタ６２がダイオード接続され、ＰＭＯＳトランジスタ

６２及び６３のゲートは、ｐＭＯＳトランジスタ６２のドレインと接続される。この結果、第１のカレントミラー回路２６ａが電流を供給可能な状態となる。

[0125] 同様に、トランスミッションゲート２８ｂがオンとなり、ｐＭＯＳトランジスタ６８がオフとなる。この結果、ｐＭＯＳトランジスタ６６がダイオード接続され、ＰＭＯＳトランジスタ６６及び６７のゲートは、ｐＭＯＳトランジスタ６６のドレインと接続される。この結果、第２のカレントミラー回路２６ｂが電流を供給可能な状態となる。

[0126] またアクティブ状態では、ｐＭＯＳトランジスタ７４及びｎＭＯＳトランジスタ５４がともにオフとなる。このため、ＬＳＩＮＴ端子１５ａとＡＶＳライン１１ｂとの接続がカットされ、ＸＬＳＩＮＴ端子１５ｂとＡＶＤライン１１ａとの接続がカットされる。これにより、同相ノード５ａ及び逆相ノード５ｂの電位を変化させることが可能となる。

[0127] 例えば図５に示すように、ＬＳＩＮ端子の論理レベルが１（Ｈｉｇｈレベル）である場合には、ＬＳＯＵＴ端子１３ａ（同相ノード５ａ）の論理レベルが１（Ｈｉｇｈレベル）となり、ＸＬＳＯＵＴ端子１３ｂ（逆相ノード５ｂ）の論理レベルが０（Ｌｏｗレベル）となる。また、ＬＳＩＮ端子の論理レベルが０である場合には、ＬＳＯＵＴ端子１３ａ（同相ノード５ａ）の論理レベルが０となり、ＸＬＳＯＵＴ端子１３ｂ（逆相ノード５ｂ）の論理レベルが１となる。以下では、レベルシフト回路１００のアクティブ状態での基本的な動作について説明する。

[0128] ［レベル変換動作］

レベルシフト回路１００による入力信号１のレベル変換動作について説明する。以下では、アクティブ状態となったレベルシフト回路１００に、ＬｏｗレベルからＨｉｇｈレベルに変化する立ち上り波形の入力信号１が入力した場合（例えば図６の時刻Ｔ２及びＴ４等）を例に説明を行う。なお立ち上り波形の入力信号１が入力する前は、同相ノード５ａはＬｏｗレベルであり、逆相ノード５ｂはＨｉｇｈレベルであるものとする。

[0129] 立ち上り波形の入力信号１が入力端子であるＬＳＩＮ端子１２に入力され、ＬＳＩＮ端子１２はＬｏｗレベルからＨｉｇｈレベルとなる。第１のインバータ回路２４では、ｎＭＯＳトランジスタ４０がオンとなり、ｐＭＯＳトランジスタ６０がオフとなり、中間ノード４ａはＬｏｗレベル（ＤＶＳライン１０ｂと同電位）となる。この中間ノード４ａの電圧が入力信号１とは逆相となる逆相信号３として後段に出力される。逆相信号３は、Ｈｉｇｈレベルからローレベルとなる立ち下り波形の信号である。

[0130] 中間ノード４ａがＬｏｗレベルになると、第２のインバータ回路２４では、ｎＭＯＳトランジスタ４１がオフとなり、ｐＭＯＳトランジスタ６０がオンとなる。この結果、中間ノード４ｂはＨｉｇｈレベル（ＤＶＤライン１０ａと同電位）となる。この中間ノード４ｂの電圧が入力信号１と同相となる同相信号２として後段に出力される。同相信号２は、ＬｏｗレベルからＨｉｇｈレベルとなる立ち上り波形の信号である。このように、入力部２０により、入力信号１の同相信号２と逆相信号３とが生成される。

[0131] 第１のカレントミラー回路２６ａのｎＭＯＳトランジスタ４４のゲートには、同相信号２が印加される。またｎＭＯＳトランジスタ４４のソースには、逆相信号３が印加される。この場合、ｎＭＯＳトランジスタ４４のゲートはＨｉｇｈレベルとなり、ソースはＬｏｗレベルとなる。これにより、ｎＭＯＳトランジスタ４４はオンとなる。なお、ｎＭＯＳトランジスタ４５のゲートは、逆相ノード５ｂ（Ｈｉｇｈレベル）と同電位であるため、ｎＭＯＳトランジスタ４５はオンである。

[0132] 従って、ｎＭＯＳトランジスタ４４がオンとなることで、ＡＶＤライン１１ａから、ｐＭＯＳトランジスタ６２、ｎＭＯＳトランジスタ４５、４４、及び４０を介してＤＶＳライン１０ｂまでをつなぐ第１の電流路２９ａが導通される。このように、ｎＭＯＳトランジスタ４４は、同相信号２に応じて第１の電流路２９ａを導通させる。

[0133] 第１の電流路２９ａが導通することで、第１のカレントミラー回路２６ａでは、第１の電流路２９ａを流れる電流と同様の電流が、ｐＭＯＳトランジ

スタ６３により複製される。すなわち、ｐＭＯＳトランジスタ６３のソース－ドレイン間には、ＡＶＤライン１１ａを電流源とする電流が発生する。

[0134] この電流は、ｐＭＯＳトランジスタ６３のドレインに接続された同相ノード５ａに供給される。これにより、Ｌｏｗレベルであった同相ノード５ａの電位は、ＡＶＤライン１１ａと同電位となるように上昇する。すなわち、同相ノード５ａに対して、ＡＶＤライン１１ａの電位が供給されることになる。

[0135] このように、第１のカレントミラー回路２６ａは、電圧信号として入力された同相信号２を電流に変換するＶＩ変換を行う。また第１のカレントミラー回路２６ａは、同相ノード５ａに対して電流を供給して同相ノード５ａの電位を上昇させるＩＶ変換を行う。従って、第１のカレントミラー回路２６ａは、入力信号１（同相信号２）をＶＩ変換し、さらにＩＶ変換して、同相ノード５ａに電位を供給する回路であると言える。

[0136] この場合、同相信号２は、第１のカレントミラー回路２６ａを動作させるためのスイッチを制御する信号として機能する。これにより、第１のカレントミラー回路２６ａの動作は、単純なスイッチ動作となり、同相ノード５ａへの電位の供給のオン／オフを容易に実行することが可能となる。すなわち、入力部２０は、同相ノード５ａの電位を変化させるための電力等を供給することなく、同相ノード５ａへの電位の供給を制御することが可能となる。

[0137] また第２のカレントミラー回路２６ｂのｎＭＯＳトランジスタ４７のゲートには、逆相信号３が印加される。この場合、ｎＭＯＳトランジスタ４７のゲートはＬｏｗレベルとなり、ｎＭＯＳトランジスタ４７はオフとなる。この結果、第２のカレントミラー回路２６ｂによる逆相ノード５ｂへの電流の供給は停止される。この点については、後述する。

[0138] また電流規制部２２のｎＭＯＳトランジスタ５０のゲートには、逆相信号３が印加される。この場合、ｎＭＯＳトランジスタ５０のゲートはＬｏｗレベルとなり、ｎＭＯＳトランジスタ５０はオフとなる。これにより、同相ノード５ａから、クロスカップル回路２５のｎＭＯＳトランジスタ４２を介し

てＡＶＳライン１１ｂをつなぐ低電位側の電流路が遮断される。

[0139] すなわち、入力信号１がＨｉｇｈレベルになると、同相ノード５ａの低電位側の電流路が遮断される。これにより、同相ノード５ａに接続された低電位側の電流路を通る電流がカットされる。このように、電流規制部２２は、入力信号１と同相となるように同相ノード５ａとＡＶＳライン１１ｂとの間の電流を規制する。

[0140] これにより、例えば同相ノード５ａから低電位側のＡＶＳライン１１ｂに流出する電流等の発生を回避することが可能となる。この結果、同相ノード５ａの高電位側のｐチャネル（ｐＭＯＳトランジスタ６３等）の電流と低電位側のｎチャネル（ｎＭＯＳトランジスタ４２等）の電流とが打ち消し合うといった事態が回避される。

[0141] このように、電流規制部２２は、ＡＶＤ電源１１となる一対の電源線のうちＡＶＳライン１１ｂに接続され、一対のノード５のうちＡＶＤライン１１ａの電位が供給されるノードとＡＶＳライン１１ｂとの間の電流を規制する。低電位側への電流の流出等がないため、同相ノード５ａの電位は、十分に早い速度で高電位側のＡＶＤライン１１ａの電位まで引き上げられる。これにより、出力信号が立ち上がる際の立ち上がり時間等を十分に高速化することが可能である。

[0142] なお電流規制部２２のｎＭＯＳトランジスタ５１のゲートには、同相信号２が印加される。この場合、ｎＭＯＳトランジスタ５１のゲートはＨｉｇｈレベルとなり、ｎＭＯＳトランジスタ５１はオンとなる。また同相ノード５ａの電位が引き上げられることで、ｎＭＯＳトランジスタ４３がオンとなる。これにより、逆相ノード５ｂは、ｎＭＯＳトランジスタ４３及び５１を介して、ＡＶＳライン１１ｂに接続される。

[0143] 同相ノード５ａの電位の上昇に伴い、逆相ノード５ｂにＡＶＤライン１１ａの電位を供給していたｐＭＯＳトランジスタ７１はオフとなる。この結果、逆相ノード５ｂに対する高電位側（ＡＶＤライン１１ａ）の電位の供給は、全てカットされる。これにより、逆相ノード５ｂの電位は、十分に早い速

度で低電位側のＡＶＳライン１１ｂの電位まで引き下げられる。

[0144] このように、同相ノード５ａの電位がＨｉｇｈレベルに切り替わると、ｎチャネルのクロスカップル回路２５により、逆相ノード５ｂがＬｏｗレベルに切り替わる。この時点で、ＤＶＤドメインでのＨｉｇｈレベルを、ＡＶＤドメインでのＨｉｇｈレベルに変換するレベル変換動作（レベルシフト動作）が完了する。

[0145] 例えば図６に示すように、ＬＳＩＮ端子１２（入力信号１）の電圧が０Ｖから０．６Ｖに立ち上がるタイミング（時刻Ｔ２及びＴ４）で、ＬＳＩＮＴ端子１５ａ（同相ノード５ａ）の電圧が０Ｖから３．０Ｖにシフトされる。またＸＬＳＩＮＴ端子１５ｂ（逆相ノード５ｂ）の電圧が３．０Ｖから０Ｖにシフトされる。この結果、ＬＳＯＵＴ端子１３ａの電圧は３．０Ｖとなり、ＸＬＳＯＵＴ端子１３ｂの電圧は０Ｖとなる。

[0146] 図１に戻り、レベル変換動作が完了すると、第１のカレントミラー回路２６ａのｎＭＯＳトランジスタ４５のゲートに逆相ノード５ｂの電位が印加される。この場合、ｎＭＯＳトランジスタ４５のゲートはＬｏｗレベルとなり、ｎＭＯＳトランジスタ４５はオフとなる。これにより第１の電流路２９ａが遮断される。すなわち、ｎＭＯＳトランジスタ４５は、逆相ノード５ｂの電位に応じて第１の電流路２９ａを遮断する。

[0147] このように、逆相ノード５ｂの電位（出力信号）をフィードバックすることで、レベル変換動作が終了すると不要な貫通電流が遮断される。ここで貫通電流とは、例えばＡＶＤライン１１ａとＤＶＳライン１０ｂ（ＡＶＳライン１１ｂ）との間を流れる電流である。従って第１のカレントミラー回路２６ａは、同相ノード５ａの電位を上昇させる初期段階で駆動する回路であるとも言える。

[0148] なお、ｎＭＯＳトランジスタ４５がオフになると、同相ノード５ａは、インピーダンスの高いＨｉ－Ｚノードとなる。この結果、ＡＶＤライン１１ａからの電位の供給が難しくなり、同相ノード５ａをＨｉｇｈレベルを保持することが難しくなる可能性がある。

[0149] 本実施形態では、電位保持回路２７により、同相ノード５ａの電位がＨｉｇｈレベルに保持される。電位保持回路２７は、ＩＶ変換を行うｐＭＯＳトランジスタ６３が、ｎＭＯＳトランジスタ４５の動作によりオフとなった場合に、同相ノード５ａの電位をＨｉｇｈレベルに保持する機能を備える。すなわち、電位保持回路２７は、Ｈｉｇｈレベルキーパとして機能するとも言える。

[0150] 図１に示すように、電位保持回路２７のｐＭＯＳトランジスタ７０のゲートには、逆相ノード５ｂの電位が印加される。この場合、ｐＭＯＳトランジスタ７０のゲートはＬｏｗレベルとなり、ｐＭＯＳトランジスタ７０はオンとなる。この結果、同相ノード５ａは、ｐＭＯＳトランジスタ７０を介してＡＶＤライン１１ａに接続される。これにより、同相ノード５ａの電位はＨｉｇｈレベルのまま保持される。

[0151] また上記したように、電位保持回路２７のｐＭＯＳトランジスタ７１のゲートには、同相ノード５ａの電位が印加され、同相ノード５ａの電位の上昇に伴いオフとなる。従って、同相ノード５ａの電位がＨｉｇｈレベルである場合には、逆相ノード５ｂの電位はＬｏｗレベルに保持される。

[0152] このように、電位保持回路２７は、逆相ノード５ｂの電位に基づいて同相ノード５ａの電位を保持し、同相ノード５ａの電位に基づいて逆相ノード５ｂの電位を保持する。する。すなわち、電位保持回路２７は、逆相電位（逆相クロック）を印加することで、同相ノード５ａ（あるいは逆相ノード５ｂ）電位が浮いてしまうＨｉｇｈレベルフローティングを回避するラッチ回路であるとも言える。これにより、レベルシフト回路１００の出力を安定させることが可能となり、レベル変換動作を適正に実行することが可能となる。

[0153] ［リーク電流対策］

同相ノード５ａがＨｉｇｈレベルに遷移する際（ＬＳＩＮＴ＝Ｈ）のリーク電流は、ｎＭＯＳトランジスタ５０及び４５がオフになることで十分に抑制される。すなわち、同相ノード５ａ側では、同相ノード５ａの低電位側の電流路並びに第１の電流路２９ａが遮断されることで、ＡＶＤライン１１ａ

からＡＶＳライン１１ｂに流れる不要な貫通電流（リーク電流）は発生しなくなる。

[0154] 一方で、逆相ノード５ｂ側では、逆相ノード５ｂに接続されたｐＭＯＳトランジスタ６７には、ゲートを閉じるための信号等は印加されない。すなわち、ｐＭＯＳトランジスタ６７は、自己バイアスの力でゲートが閉まることに頼っている。この場合、ｐＭＯＳトランジスタ６７は、例えばソース－ドレイン間の電流が抑制されるようにゲート電位を上昇させる。

[0155] 例えば自己バイアスレベル（Ｖｇｓ）が、ＡＶＤ－Ｖｔｈｐになると、ｐＭＯＳトランジスタ６７は、サブスレッショルド領域で動作することになる。ここでＡＶＤは、ＡＶＤライン１１ａの電位であり、Ｖｔｈｐは、ｐＭＯＳトランジスタ６７の閾値電圧である。

[0156] サブスレッショルド領域では、ｐＭＯＳトランジスタ６７の動作が遅くなる。このため、現実的な時間範囲（入力信号１のクロック周期等）では、ｐＭＯＳトランジスタ６７は完全にオフにならない可能性がある。この場合、逆相ノード５ｂの低電位側の電流路では、ＬＶＴのＭＯＳトランジスタであるｎＭＯＳトランジスタ５１等を通して、リーク電流が発生することが考えられる。

[0157] このような事態を回避するため、本実施形態では、第２の電流路２９ｂに配置されたｎＭＯＳトランジスタ４７のソースには、同相信号２が印加される。なお上記したように、ｎＭＯＳトランジスタ４７のゲートには、逆相信号３が印加される。この場合、ｎＭＯＳトランジスタ４７のゲートはＬｏｗレベルとなり、ソースはＨｉｇｈレベルとなる。

[0158] 従って、ｎＭＯＳトランジスタ４７には、負のゲート電圧Ｖｇｓ（ゲート電位－ソース電位）が印加されることになる。すなわちｎＭＯＳトランジスタ４７は、十分に深い（低い）ゲート電圧の領域でオフ状態となる。この結果、ｎＭＯＳトランジスタ４７のゲート電圧は、通常のオフレベル（例えばＶｇｓ＝０Ｖ）よりも低い電圧となり、ｎＭＯＳトランジスタ４７は完全にオフとなる。

[0159] 例えばＬＶＴのＭＯＳトランジスタでは、ゲート電圧が０Ｖである場合であってもゲートが完全に閉まらず、オフ電流が発生する場合がある。従って、例えばｎＭＯＳトランジスタ４７のソースをＡＶＳライン１１ｂ等に接続した構成では、オフ電流が発生する可能性や、そのオフ電流が第２のカレントミラー回路２６ｂにより複製されてしまう可能性が生じる。

[0160] これに対し、本実施形態では、第２のカレントミラー回路２６ｂの入力用のｎＭＯＳトランジスタ４７のソースに、逆相ノード５ｂの電位と逆バイアスとなる信号を印可することで、リーク電流が遮断されるような構成が採用されている。これにより、ｐＭＯＳトランジスタ６７に流れるオフ電流、すなわち逆相ノード５ｂを通過するリーク電流を遮断することが可能となる。

[0161] また、十分に深いゲート電圧がかかるため、例えば温度に伴い閾値電圧が変化した場合であっても、ｎＭＯＳトランジスタ４７ではオフ電流が十分に回避される。この構成により、ＡＶＤドメインでは、ほとんど温特に依存しないリーク特性が実現される。

[0162] ［動作速度］

レベルシフト回路１００は、ＤＶＤドメインとＡＶＤドメインとがｎＭＯＳトランジスタ４４及び４７の各ソースを介して接続された構成となっている。例えば立ち上り波形の入力信号１が入力される場合、レベル変換動作の速度は、第１のカレントミラー回路２６ａの入力側（ｎＭＯＳトランジスタ４４のソース）の電位を引き下げるプルダウン動作の速度に依存する。

[0163] この場合、ｎＭＯＳトランジスタ４４のソースは、ｎＭＯＳトランジスタ４０を介して、ＤＶＳライン１０ｂに接続される。ｎＭＯＳトランジスタ４０は、第２のタイプのＭＯＳトランジスタであり、ＡＶＤ電源１１用の耐圧（３．３Ｖ）を備え低閾値電圧（ＬＶＴ）の厚膜Ｔｒである。ＬＶＴの厚膜Ｔｒは、例えばソース－ドレイン間に電流を流す能力が高く閾値電圧が低いため、高速に動作する。すなわち、ｎＭＯＳトランジスタ４０をＬＶＴの厚膜Ｔｒとすることで、ｎＭＯＳトランジスタ４４のプルダウン動作を高速化することが可能である。

[0164] また、立ち上り波形の入力信号１が入力される場合、第２のカレントミラー回路２６ｂの入力側（ｎＭＯＳトランジスタ４７のソース）の電位を引き上げるプルアップ動作により、ｎＭＯＳトランジスタ４７が深いゲート電圧でオフになる。このプルアップ動作は、例えば上記したプルダウン動作に比べ、スピードを要求しない動作である。

[0165] この場合、ｎＭＯＳトランジスタ４４のソースは、ｐＭＯＳトランジスタ６１を介して、ＤＶＤライン１０ａに接続される。ｐＭＯＳトランジスタ６１は、第３のタイプのＭＯＳトランジスタであり、ＤＶＤ電源１０用の耐圧（１．８Ｖ）を備え標準的な閾値電圧（ＳＶＴ）の厚膜Ｔｒである。１．８Ｖの厚膜Ｔｒは、ＤＶＤ電源１０の電圧レベルで適正にゲート制御が可能であるとともに、例えばＬＶＴの厚膜Ｔｒ等と比べオフ電流を十分に抑制することが可能な素子である。

[0166] １．８Ｖの厚膜Ｔｒは、例えばゲートのＬ長が長く細いため多少のリーク電流が発生する可能性があるが、これはＤＶＤドメインにおけるロジックスタンバイ電流に対して十分に小さいレベルである。従って、スピードが要求されないｐＭＯＳトランジスタ６１を１．８Ｖの厚膜Ｔｒとすることで、ＤＶＤドメインのリーク電流を極力抑えることが可能である。

[0167] このように、レベルシフト回路１００の入力部２０（ＤＶＤドメイン）の低電位側には、ＬＶＴの厚膜Ｔｒ（ｎＭＯＳトランジスタ４０及び４１）が用いられる。これにより、レベル変換動作のスピードを決めるｎチャネル側がＬＶＴの厚膜Ｔｒにより高速化され、レベルシフト回路１００の動作速度を向上することが可能となる。

[0168] また入力部２０の高電位側には、１．８Ｖの厚膜Ｔｒ（ｐＭＯＳトランジスタ６０及び６１）が用いられる。これにより、カレントミラー回路の入力に逆バイアスを印加するｐチャネル側でのオフ電流が抑制される。この結果、ＤＶＤドメインのリーク抑圧と低電圧動作とを両立させることが可能となり、電力消費を抑制しつつ低電圧な信号のレベル変換を適正に実行することが可能となる。

[0169] 上記では、立ち上り波形の入力信号１が入力される場合について説明した。これに対し、ＨｉｇｈレベルからＬｏｗレベルに遷移する立ち下り波形の入力信号１が入力される場合（図６の時刻Ｔ３等）、レベルシフト回路１００の各部のレベルは、立ち上り波形の入力信号１が入力される場合とは反対に変化する。

[0170] 例えば、立ち下り波形の入力信号１が入力されると、逆相信号３はＨｉｇｈレベルとなり、同相信号２はＬｏｗレベルとなる。第２のカレントミラー回路２６ｂでは、ｎＭＯＳトランジスタ４７は、逆相信号３に応じて第２の電流路２９ｂを導通させる。この結果、逆相ノード５ｂに電流が供給される。

[0171] また電流規制部２２のｎＭＯＳトランジスタ５１のゲートには、Ｌｏｗレベルの同相信号２が印加され、ｎＭＯＳトランジスタ５１がオフとなる。すなわち、入力信号１がＬｏｗレベルになると、逆相ノード５ｂの低電位側の電流路が遮断される。このように電流規制部２２は、入力信号１と逆相となるように逆相ノード５ｂとＡＶＳライン１１ｂとの間の電流を規制する。

[0172] これにより、逆相ノード５ｂの電位が速やかに上昇し、Ｈｉｇｈレベルとなる。またクロスカップル回路を介して、同相ノード５ａの電位がＬｏｗレベルとなる。これにより、立ち下り波形の入力信号１が入力された場合のレベル変換動作が完了する。

[0173] Ｌｏｗレベルとなった同相ノード５ａの電位は、ｎＭＯＳトランジスタ４８のゲートに印加され、ｎＭＯＳトランジスタ４８はオフとなる。すなわち、ｎＭＯＳトランジスタ４８は、同相ノード５ａの電位に応じて第２の電流路２９ｂを遮断する。これにより、第２の電流路２９ｂを流れる不要な貫通電流が遮断される。また第２のカレントミラー回路２６ｂによる、逆相ノード５ｂへの電流の供給が停止する。

[0174] また同相ノード５ａの電位は、電位保持回路２７のｐＭＯＳトランジスタ７１のゲートに印加され、ｐＭＯＳトランジスタ７１はオンとなる。この結果、逆相ノード５ｂは、ｐＭＯＳトランジスタ７１を介してＡＶＤライン１

１ａに接続される。これにより、逆相ノード５ｂの電位はＨｉｇｈレベルのまま保持される。このように、電位保持回路２７は、同相ノード５ａの電位に基づいて逆相ノード５ｂの電位を保持する。

[0175] 以上、本実施形態に係るレベルシフト回路１００では、ＤＶＤ電源１０の入力信号１が入力される。この入力信号１に応じて、ＤＶＤ電源１０よりも電圧レベルの高いＡＶＤ電源１１を構成する一対の電源線のうちＡＶＤライン１１ａの電位が、一対のノード５のどちらかに供給される。そして、ＡＶＤライン１１ａの電位が供給されるノードとＡＶＳライン１１ｂとの間の電流が規制される。これにより、例えばＤＶＤ電源１０の電圧レベルが低い場合でも、ＡＶＤ電源１１であるＡＶＤライン１１ａの電位を容易に供給することが可能となり、電力消費を抑制しつつ低電圧な信号のレベル変換が可能となる。

[0176] 図７及び図８は、比較例として挙げるレベルシフト回路の回路図である。図７及び図８に示すレベルシフト回路１１０及び１２０は、ＬＳＩＮ端子から入力された入力信号１のレベルを、ＤＶＤ電源１０の電圧レベルから、ＡＶＤ電源１１の電圧レベルに変換してＬＳＯＵＴ端子及びＸＬＳＯＵＴ端子から出力する回路である。

[0177] 図７に示すように、レベルシフト回路１１０は、ＤＶＤ電源１０（ＤＶＤライン及びＤＶＳライン）に接続された入力部１１１と、ＡＶＤ電源１１（ＡＶＤライン及びＡＶＳライン）に接続されたレベル変換部１１２とを有する。入力部１１１は、中間ノード１１３ａ及び１１３ｂから、ＬＳＩＮ端子に入力された入力信号１の同相信号２及び逆相信号３を出力する。レベル変換部１１２は、一般的なクロスカップル型の回路であり、同相ノード１１４ａ及び逆相ノード１１４ｂと、ｎチャネル部１１５と、ｐチャネル部１１６とを有する。なお、レベルシフト回路１１０は全て厚膜Ｔｒで構成される。

[0178] ｎチャネル部１１５は、同相ノード１１４ａ及び逆相ノード１１４ｂの低電位側に接続されたｎＭＯＳトランジスタ１４０及び１４１を有する。ｎＭＯＳトランジスタ１４０及び１４１は、レベル変換動作時にはオンとなって

いるｎＭＯＳトランジスタを介してＡＶＳラインに接続される。ｎＭＯＳトランジスタ１４０及び１４１の各ゲートは、中間ノード１１３ｂ及び１１３ａに接続される。

[0179] ｐチャネル部１１６は、同相ノード１１４ａ及び逆相ノード１１４ｂの高電位側に接続されたｐＭＯＳトランジスタ１４２及び１４３と、ｐＭＯＳトランジスタ１４２及び１４３とＡＶＤラインとの間に接続されたｐＭＯＳトランジスタ１４４及び１４５とを有する。ｐＭＯＳトランジスタ１４２及び１４３の各ゲートは、中間ノード１１３ｂ及び１１３ａに接続される。ｐＭＯＳトランジスタ１４４及び１４５の各ゲートは、逆相ノード１１４ｂ及び同相ノード１１４ａに接続され、クロスカップル回路が構成される。

[0180] 例えば、ＬｏｗレベルからＨｉｇｈレベルに遷移する立ち上り波形の入力信号１が入力されたとする。この場合、レベル変換動作の前の初期状態は、同相ノード１１４ａがＬｏｗレベルであり、逆相ノード１１４ｂがＨｉｇｈレベルである状態である。

[0181] 例えば同相信号３（Ｈｉｇｈレベル）がゲートに印加されたｎＭＯＳトランジスタ１４１はオンとなり、Ｈｉｇｈレベルである逆相ノード１１４ｂから電流を流出させる。一方で、それまでＨｉｇｈレベルであった逆相ノード１１４ｂには、ｐチャネル部１１６（ｐＭＯＳトランジスタ１４３及び１４５）から電流が供給されている。従って、逆相ノード１１４ｂをＬｏｗレベルにするためには、ｎＭＯＳトランジスタ１４１は、十分な量の電流を流す必要が生じる。

[0182] このように、レベルシフト回路１１０は、ｎチャネル部１１５とｐチャネル部１１６との電流が互いに相反する作用を発生させ、ｐ／ｎの電流が喧嘩するタイプであると言える。従って、ｎチャネル部１１５には、ｐチャネル部１１６に打ち勝つだけの十分な能力が求められる。この場合、例えばｎＭＯＳトランジスタ１４１のサイズを、ｐＭＯＳトランジスタ１４３等に対して相対的に大きくして電流を流す能力を引き上げる必要がある。

[0183] 例えばゲート幅が２２ｎｍよりも小さい先端プロセス等では、レベルシフ

ト回路１１０の構成を適用する場合、ＤＶＤ電源１０がそれまでの０．９４Ｖから０．６３Ｖへと低電圧化しているため、ｎＭＯＳトランジスタ１４０及び１４１のサイズが極端に大きくなる可能性がある。

[0184] 図８に示すレベルシフト回路１２０は、ｎＭＯＳトランジスタを薄膜Ｔｒとすることで、ｎチャネルの能力を向上させたタイプの回路である。レベルシフト回路１２０では、ｎチャネル部１２５のｎＭＯＳトランジスタ１４６及び１４７は、ゲート絶縁膜が十分に薄く構成された薄膜Ｔｒである。薄膜Ｔｒとしては、例えば耐圧が０．７Ｖである０．７ＶＴｒ等が用いられる。これにより、ｎチャネル部１２５の能力が向上する。一方で、ＡＶＤドメインに薄膜Ｔｒを設けるため、十分な耐圧対策が必要となる。

[0185] 例えばレベルシフト回路１２０では、耐圧保護のために、ｎＭＯＳトランジスタ１４６及び１４７の高電位側（上段）に耐圧保護用のＬＶＴのｎＭＯＳトランジスタ１４８及び１４９が設けられる。上記したように、薄膜ＴｒやＬＶＴデバイスではオフ電流が流れる場合があり、リーク電流が増大する可能性がある。また静電気放電（ＥＳＤ：Electro-Static Discharge）の対策として、ＤＶＤ～ＡＶＳ間のクロスダイオードが大量に必要になる可能性がある。

[0186] 本実施形態では、同相ノード５ａ及び逆相ノード５ｂの電位を上昇させる際に、電流規制部２２のｎＭＯＳトランジスタ５０及び５１がオフとなる。これにより、同相ノード５ａ及び逆相ノード５ｂにＡＶＤライン１１ａから電流が供給される場合には、同相ノード５ａ及び逆相ノード５ｂとＡＶＳライン１１ｂとの電流路が遮断される。

[0187] この結果、高電位側のｐチャネル（ｐＭＯＳトランジスタ６３、６７、７１、及び７０）と、低電位側のｎチャネル（ｎＭＯＳトランジスタ４２、４３、５０、及び５１）とで電流が喧嘩するといった事態が回避される。別の観点では、レベルシフト回路１００には、ｐチャネルとｎチャネルとの電流が喧嘩するような電流パスそのものが存在しないとも言える。

[0188] これにより、ｐチャネルとｎチャネルとの電流を流す能力の比率（Ｐ／Ｎ

電流能力比）にかかわりなく、レベル変換動作を適正に実行することが可能となる。このため、例えばより低電圧な電源ドメインで動作するｎチャネルを、通常の出力レベルを持ったｐチャネルと組み合わせるといったことが可能となる。この結果、より低い電圧レベルの信号のレベル変換を実行することが可能となる。

[0189] 例えば、比較例として挙げたレベルシフト回路１１０（図７参照）等では、ＤＶＤ電源１０の電圧レベルが下がるにつれ、ｎチャネル部の能力がｐチャネル部に比べ低下する。この結果、ＤＶＤ電源１０の電圧レベルが一定の値（例えば０．８Ｖ程度）になると、入力信号１の周波数等に関係なくレベル変換動作そのものが破綻し、ノードの電位を立ち上げるまでに要する立ち上り遅延時間等が急激に増大する。

[0190] これに対し、本実施形態では、Ｐ／Ｎ電流能力比に係りなく、レベル変換動作が可能であることから、例えばレベルシフト回路１１０よりも十分に低いＤＶＤ電源１０の電圧レベル（例えば０．６Ｖ以下等）で動作可能である。このように、レベルシフト回路１００は、電流が喧嘩するパスをなくすことにより、ＤＶＤ電源１０の電圧レベルに関するボトルネックを解消することが可能である。また電流が喧嘩しないため、電圧が低下した場合でもレベル変換動作が急激に破綻することはなく、装置の品質を向上することが可能となる。

[0191] また、Ｐ／Ｎ電流能力比に依存しない回路構成とすることで、各ＭＯＳトランジスタの定数設計等を容易に行うことが可能となる。例えば、図１に示す第２のタイプのＭＯＳトランジスタ（ＬＶＴの厚膜Ｔｒ）が適正に動作する設計であれば、ＡＶＤドメイン側のＭＯＳトランジスタの各設計パラメータ（閾値電圧等）をＤＶＤドメイン側とは関係なく設定することが可能となる。これにより、設計効率を向上することが可能となる。

[0192] またレベルシフト回路１００は、全てのＭＯＳトランジスタが厚膜Ｔｒで構成され、薄膜Ｔｒを使用しない設計となっている。すなわち、レベルシフト回路１００は、例えば先端プロセス等に適用可能でありながら、Ｐ／Ｎ電

流能力比によらずかつ薄膜Ｔｒを使用しない構成となっている。

[0193] これにより、例えばＥＳＤ対策に必要となるＥＳＤ素子（クロスダイオード等）を削減することが可能となる。この結果、チップ面積を小さくすることが可能となり、小型の回路を構成することが可能となる。これにより、装置の小型化並びにコストの削減を実現することが可能となる。

[0194] 本実施形態では、例えば回路全体のリーク電流が抑制されるように、各厚膜Ｔｒの耐圧や閾値電圧が設定された第１～第３のタイプのＭＯＳトランジスタが用いられる。このように、Ｐ／Ｎ電流能力比に依存しないトポロジーにおいて、厚膜Ｔｒ種類の特質をうまく活用することで、薄膜Ｔｒを使わずに、低電圧動作可能であり、高速、小面積、低リーク電流なレベルシフト回路１００を実現することが可能となっている。

[0195] ＜第２の実施形態＞

本技術に係る第２の実施形態のレベルシフト回路について説明する。これ以降の説明では、上記の実施形態で説明したレベルシフト回路２００における構成及び作用と同様な部分については、その説明を省略又は簡略化する。

[0196] 図９は、第２の実施形態に係るレベルシフト回路の構成例を示す回路図である。図１０は、図９に示すＤＶＤ電源２１０及びＡＶＤ電源２１１の電源電圧の一例を示す模式図である。図９に示すように、レベルシフト回路２００は、入力部２２０と、電位供給部２２１と、電流規制部２２２と、出力部２２３とを有する。レベルシフト回路２００は、第１の実施形態で説明したレベルシフト回路１００と比べ、主に入力部２２０の構成が異なる。

[0197] 図１０に示すように、本実施形態では、ＤＶＤ電源２１０及びＡＶＤ電源２１１の低電位側の電源線（ＤＶＳライン２１０ｂ及びＡＶＳライン２１１ｂ）が、０Ｖに設定される。また、ＡＶＤ電源２１１の高電位側のＡＶＤライン２１１ａは、例えば１．０８～１．９８Ｖに設定される。この電圧範囲では、後述するように耐圧が１．８ＶのＴｒを用いてＡＶＤドメインの回路を構成することが可能である。この他、ＡＶＤライン２１１ａの電圧範囲は限定されず、例えばレベルシフト回路２００の用途等に応じて適宜設定され

てよい。ＤＶＤ電源２１０の高電位側のＤＶＤライン２１０ａは、ＡＶＤライン２１１ａよりも低い電圧（例えば０．６Ｖ）に設定される。ＤＶＤライン２１０ａの電圧範囲は限定されない。

[0198] 図９に示す電位供給部２２１、電流規制部２２２、及び出力部２２３は、例えば図１を参照して説明した電位供給部２１、電流規制部２２、出力部２３の各ＭＯＳトランジスタを３．３Ｖ耐圧の厚膜Ｔｒから１．８Ｖ耐圧の厚膜Ｔｒに入れ替えて構成される。すなわちレベルシフト回路２００では、例えば第１のタイプのＭＯＳトランジスタは、耐圧が１．８Ｖであり、閾値電圧がＳＶＴであるＭＯＳトランジスタ（１．８Ｖ・ＳＶＴ・Ｔｒ）である。また例えば、第２のタイプのＭＯＳトランジスタ（円で囲まれたＭＯＳトランジスタ）は、耐圧が１．８Ｖであり、閾値電圧がＬＶＴであるＭＯＳトランジスタ（１．８Ｖ・ＬＶＴ・Ｔｒ）である。

[0199] 入力部２２０は、第１の信号生成回路２２４及び第２の信号生成回路２２５を有する。第１の信号生成回路２２４は、第１のインバータ回路２２６ａ及び第２のインバータ回路２２６ｂを有する。第１及び第２のインバータ回路２２６ａ及び２２６ｂは、入力信号の逆相信号及び同相信号を生成する。

[0200] 第１のインバータ回路２２６ａは、中間ノード８０ａを介して接続された、ｎＭＯＳトランジスタ２３０及びｐＭＯＳトランジスタ２３２を有する。ｎＭＯＳトランジスタ２３０のゲートはＬＳＩＮ端子２１２に接続され、ソースはＤＶＳライン２１０ｂに接続され、ドレインは中間ノード８０ａに接続される。ｐＭＯＳトランジスタ２３２のゲートはＬＳＩＮ端子２１２に接続され、ソースはＤＶＤライン２１０ａに接続され、ドレインは中間ノード８０ａに接続される。

[0201] 第２のインバータ回路２２６ｂは、中間ノード８０ｂを介して接続された、ｎＭＯＳトランジスタ２３１及びｐＭＯＳトランジスタ２３３を有する。ｎＭＯＳトランジスタ２３１のゲートは中間ノード８０ａに接続され、ソースはＤＶＳライン２１０ｂに接続され、ドレインは中間ノード８０ｂに接続される。ｐＭＯＳトランジスタ２３２のゲートは中間ノード８０ａに接続さ

れ、ソースはＤＶＤライン２１０ａに接続され、ドレインは中間ノード８０ｂに接続される。

[0202] 本実施形態では、第１の信号生成回路２２４は、薄膜Ｔｒを用いて構成される。すなわち、ｎＭＯＳトランジスタ２３０及び２３１と、ｐＭＯＳトランジスタ２３２及び２３３は薄膜Ｔｒである。これにより、ＤＶＤ電源２１０の電圧レベルと等しい振幅幅を持った逆相信号及び同相信号を生成することが可能である。

[0203] 第２の信号生成回路２２５は、電位供給部２２１のｎＭＯＳトランジスタ２４４及び２４７のソースに入力される信号を生成する回路である。第２の信号生成回路２２５は、第１のドライブ回路２２７ａと、第２のドライブ回路２２７ｂとを有する。

[0204] 第１のドライブ回路２２７ａは、中間ノード８０ｃを介して接続された、ｎＭＯＳトランジスタ２３４及びｎＭＯＳトランジスタ２３６を有する。ｎＭＯＳトランジスタ２３４のゲートは中間ノード８０ｂに接続され、ソースはＤＶＳライン２１０ｂに接続され、ドレインは中間ノード８０ｃに接続される。ｎＭＯＳトランジスタ２３６のゲートは中間ノード８０ａに接続され、ソースはＤＶＤライン２１０ａに接続され、ドレインは中間ノード８０ｃに接続される。また中間ノード８０ｃは、電位供給部２２１のｎＭＯＳトランジスタ２４４のソースに接続される。

[0205] 第２のドライブ回路２２７ｂは、中間ノード８０ｄを介して接続された、ｎＭＯＳトランジスタ２３５及びｎＭＯＳトランジスタ２３７を有する。ｎＭＯＳトランジスタ２３５のゲートは中間ノード８０ａに接続され、ソースはＤＶＳライン２１０ｂに接続され、ドレインは中間ノード８０ｄに接続される。ｎＭＯＳトランジスタ２３６のゲートは中間ノード８０ｂに接続され、ソースはＤＶＤライン２１０ａに接続され、ドレインは中間ノード８０ｄに接続される。また中間ノード８０ｄは、電位供給部２２１のｎＭＯＳトランジスタ２４７のソースに接続される。

[0206] このように、第１及び第２のドライブ回路２２７ａ及び２２７ｂは、中間

ノードを介して低電位側及び高電位側に接続された一対のｎＭＯＳトランジスタで構成されたＮＮタイプの信号生成回路（ＮＮドライバ）である。このように構成することで、第１及び第２のドライブ回路２２７ａ及び２２７ｂにより、第１の信号生成回路２２４の出力に基づいて入力信号の逆相信号及び同相信号が生成される。

[0207] 本実施形態では、ｎＭＯＳトランジスタ２３４及び２３５は、ＡＶＤ電源用の耐圧を備えた、閾値電圧がＬＶＴである第２のタイプのＭＯＳトランジスタである。またｎＭＯＳトランジスタ２３６及び２３７は、ＤＶＤ電源用の耐圧を備えた、閾値電圧がＳＶＴである第３のタイプのＭＯＳトランジスタである。なお、本実施形態では、ＡＶＤ電源用の耐圧とＤＶＤ電源用の耐圧とが、ともに１．８Ｖに設定されている。このように、第２の信号生成回路２２５は、ＤＶＤ電源２１０の低電位側に接続された第２のタイプのｎＭＯＳトランジスタと、ＤＶＤ電源２１０の高電位側に接続された第３のタイプのｎＭＯＳトランジスタとを有する。

[0208] 図９に示すように、第１のインバータ回路２２６ａの中間ノード８０ａは、電位供給部２２１のｎＭＯＳトランジスタ２４７のゲート、及び電流規制部２２２のｎＭＯＳトランジスタ２５０のゲートに接続される。また第２のインバータ回路２２６ｂの中間ノード８０ｂは、電位供給部２２１のｎＭＯＳトランジスタ２４４のゲート、及び電流規制部２２２のｎＭＯＳトランジスタ２５１のゲートに接続される。従って、第１の信号生成回路２２４により生成された逆相信号及び同相信号は、ＡＶＤドメインの各ｎＭＯＳトランジスタのゲートを制御するための信号となる。

[0209] これら入力部２２０にゲートが接続された各ＭＯＳトランジスタに対するゲート入力信号は、ゲート制御する能力という観点でＤＶＤ電源２１０における最大の振幅で変化することが望ましい。本実施形態では、上記したように、第１の信号生成回路２２４は薄膜Ｔｒを用いて構成される。すなわち、各ゲート入力信号（同相信号、逆相信号）は、薄膜Ｔｒでバッファされた信号となる。これにより、各ＭＯＳトランジスタを精度よく制御することが可

能となる。なお、これらの薄膜Ｔｒは、ＡＶＤライン２１１ａには直接接続されない。すなわち薄膜Ｔｒは異電源であるＡＶＤ電源２１１には存在しないため、ＥＳＤ観点で問題にならない。

[0210] 図９に示すように、電位供給部２２１では、ＡＶＤライン２１１ａからｎＭＯＳトランジスタ２４４のソースまでの電流路と、ＡＶＤライン２１１ａからｎＭＯＳトランジスタ２４７のソースまでの電流路とが形成される。すなわち、電位供給部２２１は、入力部２２０とＡＶＤライン２１１ａとに接続される一対の電流路を有するとも言える。

[0211] 第２の信号生成回路２２５は、第１の信号生成回路２２４の出力に基づいて、一対の電流路に入力するための入力信号の逆相信号と同相信号とを生成する。例えば第１のドライブ回路２２７ａにより生成された逆相信号は、ｎＭＯＳトランジスタ２４４のソースに印加される。また第２のドライブ回路２２７ｂにより生成された同相信号は、ｎＭＯＳトランジスタ２４７のソースに印加される。これにより、各ｎＭＯＳトランジスタ２４４及び２４７には、逆バイアスが印可されリーク電流を抑制することが可能となる。

[0212] 例えば、図１に示す入力部２０では、厚膜ＴｒであるｐＭＯＳトランジスタ６０及び６１のＶｔｈｐにより、ＤＶＤ電源２１０がより低電圧となった場合の低電圧動作のスピードが制限される可能性がある。

[0213] 本実施形態では、高電位側に接続される素子を１．８Ｖ耐圧を備えた厚膜のｎＭＯＳトランジスタ２３６及び２３７とすることで、低電圧動作でのスピードアップが図られている。このように、電位供給部２２１の入力端に接続される回路を、ＰＮタイプの信号生成回路（ＰＮドライバ）からＮＮドライバに変更することで、低電圧でのレベル変換動作の高速化が可能である。

[0214] なお、電位供給部２２１の入力端に逆バイアスを与える電位はＤＶＤ電源の電圧レベルから、ｎＭＯＳトランジスタ２３６及び２４７の閾値電圧だけ低い値ＤＶＤ－Ｖｔｈｎとなり、リーク電流を抑制する効果が多少小さくなる可能性がある。従って図９に示す構成は、リーク電流の抑制と高速化とを両立するためにバランスを取った構成であるとも言える。

[0215] ＜第３の実施形態＞

図１１は、第３の実施形態に係るレベルシフト回路の構成例を示す回路図である。図１２は、図１１に示すＤＶＤ電源３１０及びＶＲＬ電源３１１の電源電圧の一例を示す模式図である。本実施形態では、レベルシフト回路３００は、負レベルシフタとして機能する。負レベルシフタとは、例えば入力信号を負の電圧レベルを持った信号にシフトする回路である。

[0216] 図１２に示すように、ＶＲＬ電源３１１は、ＤＶＤ電源３１０よりも電圧レベルの高い電源となる。本実施形態では、ＤＶＤ電源３１０は、第１の電源系に相当し、ＶＲＬ電源３１１は、第２の電源系に相当する。ＤＶＤ電源３１０及びＶＲＬ電源３１１の高電位側は共通の電源線（ＤＶＤライン３１０ａ及び３１１ａ）であり、例えば０．６３Ｖ～０．８８Ｖに設定される。また、ＶＲＬ電源３１１の低電位側のＶＲＬライン３１１ｂは、負の電位（例えば－１Ｖ）に設定される。ＤＶＤ電源３１０の低電位側のＤＶＳライン３１０ｂは、ＶＲＬライン３１１ｂよりも高い電圧（例えば０Ｖ）に設定される。

[0217] レベルシフト回路３００は、入力部３２０と、電位供給部３２１と、電流規制部３２２と、出力部３２３とを有する。図１１に示すように、電位供給部３２１、電流規制部３２２、及び出力部３２３の基本的な構成は、例えば図１を参照して説明したレベルシフト回路１００におけるｎＭＯＳトランジスタとｐＭＯＳトランジスタとを入れ替えた構成となっている。

[0218] 入力部３２０は、ＤＶＤ電源３１０に接続される。入力部３２０は、中間ノード９０ａを介して接続されたｎＭＯＳトランジスタ３４０及びｐＭＯＳトランジスタ３６０と、中間ノード９０ｂを介して接続されたｎＭＯＳトランジスタ３４１及びｐＭＯＳトランジスタ３６１とを有する。

[0219] ｎＭＯＳトランジスタ３４０及びｐＭＯＳトランジスタ３６０の各ゲートはＬＳＩＮ端子に接続される。またｎＭＯＳトランジスタ３４１及びｐＭＯＳトランジスタ３６１の各ゲートは中間ノード９０ａに接続される。なお図１１では、中間ノード９０ａ及び９０ｂと、後段の回路とをつなぐ配線が省

略されている。

[0220] 電位供給部３２１は、同相ノード９１ａ及び逆相ノード９１ｂと、ｐＭＯＳトランジスタ３６２～３６７と、ｎＭＯＳトランジスタ３４２～３４７とを有する。図１１に示すように、電位供給部３２１は、ＶＲＬ電源３１１の低電位側の電源線（ＶＲＬライン３１１ｂ）に接続される。本実施形態では、ＶＲＬライン３１１ｂは、一方の電源線に相当する。

[0221] ｐＭＯＳトランジスタ３６２のゲートは中間ノード９０ｂに接続され、ソースは中間ノード９０ａに接続され、ドレインはｐＭＯＳトランジスタ３６３のソースに接続される。ｐＭＯＳトランジスタ３６３のゲートは逆相ノード９１ｂに接続され、ドレインはｎＭＯＳトランジスタ３４２のドレインに接続される。本実施形態では、ｐＭＯＳトランジスタ３６２は、第５のＭＯＳトランジスタに相当し、ｐＭＯＳトランジスタ３６３は、第７のＭＯＳトランジスタに相当する。

[0222] ｎＭＯＳトランジスタ３４２のゲートは自身のドレインに接続され、ソースはＶＲＬライン３１１ｂに接続される。ｎＭＯＳトランジスタ３４３のゲートはｎＭＯＳトランジスタ３４２のゲートに接続され、ソースはＶＲＬライン３１１ｂに接続され、ドレインは同相ノード９１ａに接続される。本実施形態では、ｎＭＯＳトランジスタ３４２及び３４３により、ＶＲＬライン３１１ｂを電流源として同相ノード９１ａに電流が供給される。

[0223] ｐＭＯＳトランジスタ３６４のゲートは中間ノード９０ａに接続され、ソースは中間ノード９０ｂに接続され、ドレインはｐＭＯＳトランジスタ３６５のソースに接続される。ｐＭＯＳトランジスタ３６５のゲートは同相ノード９１ａに接続され、ドレインはｎＭＯＳトランジスタ３４４のドレインに接続される。本実施形態では、ｐＭＯＳトランジスタ３６４は、第６のＭＯＳトランジスタに相当し、ｐＭＯＳトランジスタ３６５は、第８のＭＯＳトランジスタに相当する。

[0224] ｎＭＯＳトランジスタ３４４のゲートは自身のドレインに接続され、ソースはＶＲＬライン３１１ｂに接続される。ｎＭＯＳトランジスタ３４５のゲ

ートはｎＭＯＳトランジスタ３４４のゲートに接続され、ソースはＶＲＬライン３１１ｂに接続され、ドレインは逆相ノード９１ｂに接続される。本実施形態では、ｎＭＯＳトランジスタ３４４及び３４５により、ＶＲＬライン３１１ｂを電流源として同相ノード９１ａに電流が供給される。

[0225] ｎＭＯＳトランジスタ３４６のゲートは逆相ノード９１ｂに接続され、ソースはＶＲＬライン３１１ｂに接続され、ドレインは同相ノード９１ａに接続される。ｎＭＯＳトランジスタ３４７のゲートは同相ノード９１ａに接続され、ソースはＶＲＬライン３１１ｂに接続され、ドレインは逆相ノード９１ｂに接続される。本実施形態では、ｎＭＯＳトランジスタ３４６及び３４７により、同相ノード９１ａ及び逆相ノード９１ｂの電位を維持する電位維持回路が構成される。

[0226] ｐＭＯＳトランジスタ３６６のゲートは逆相ノード９１ｂに接続され、ソースは同相ノード９１ａに接続される。ｐＭＯＳトランジスタ３６７のゲートは同相ノード９１ａに接続され、ソースは逆相ノード９１ｂに接続される。従って、ｐＭＯＳトランジスタ３６６及び３６７は、クロスカップル接続されたクロスカップル回路となる。本実施形態では、ｐＭＯＳトランジスタ３６６は、第１のＭＯＳトランジスタに相当し、ｐＭＯＳトランジスタ３６７は、第２のＭＯＳトランジスタに相当する。

[0227] 電流規制部３２２は、ｐＭＯＳトランジスタ３６８及び３６９を有する。ｐＭＯＳトランジスタ３６８のゲートは中間ノード９０ａに接続され、ソースはｐＭＯＳトランジスタ３６６のドレインに接続され、ドレインはＤＶＤライン３１０ａに接続される。ｐＭＯＳトランジスタ３６９のゲートは中間ノード９０ｂに接続され、ソースはｐＭＯＳトランジスタ３６７のドレインに接続され、ドレインはＤＶＤライン３１０ａに接続される。本実施形態では、ｐＭＯＳトランジスタ３６８及び３６９は、同相ノード９１ａ及び逆相ノード９１ｂの高電位側（ＤＶＤライン３１０ａ）に接続される電流路を遮断する機能を有する。本実施形態では、ｐＭＯＳトランジスタ３６８は、第３のＭＯＳトランジスタに相当し、ｐＭＯＳトランジスタ３６９は、第４の

ＭＯＳトランジスタに相当する。

[0228] 出力部３２３は、ＶＲＬ電源３１１に接続される。入力部３２０は、中間ノード９０ｃを介して接続されたｎＭＯＳトランジスタ３４８及びｐＭＯＳトランジスタ３７０と、中間ノード９０ｄを介して接続されたｎＭＯＳトランジスタ３４９及びｐＭＯＳトランジスタ３７１とを有する。

[0229] ｎＭＯＳトランジスタ３４８及びｐＭＯＳトランジスタ３７０の各ゲートは逆相ノード９１ｂに接続され、中間ノード９０ｃはＬＳＯＵＴ端子に接続される。またｎＭＯＳトランジスタ３４９及びｐＭＯＳトランジスタ３７１の各ゲートは同相ノード９１ａに接続され、中間ノード９０ｄはＸＬＳＯＵＴ端子に接続される。

[0230] レベルシフト回路３００に含まれる各ＭＯＳトランジスタは、耐圧及び閾値電圧を基準とした３種類のタイプに大別される。第１のタイプは、ＶＲＬドメイン用の耐圧（１．８Ｖ等）を持つＭＯＳトランジスタである。第２のタイプは、ＶＲＬドメイン用の耐圧を持ち、第１のタイプよりも閾値電圧が低く設定されたＭＯＳトランジスタである。第３のタイプは、ＤＶＤドメイン用の耐圧（１．８Ｖ等）を持つＭＯＳトランジスタである。

[0231] 第１のタイプのＭＯＳトランジスタは、例えば１．８Ｖの耐圧を備え閾値電圧がＳＶＴに設定されたＭＯＳトランジスタである。また第２のタイプのＭＯＳトランジスタは、例えば１．８Ｖの耐圧を備え閾値電圧がＬＶＴに設定されたＭＯＳトランジスタである。図１に示す回路図において、円で囲まれたＭＯＳトランジスタが第２のタイプであり、四角で囲まれたＭＯＳトランジスタが第３のタイプである。第１のタイプのＭＯＳトランジスタは、他のすべてのＭＯＳトランジスタである。

[0232] 図１１に示すように、入力部３２０のｐＭＯＳトランジスタ３６０及び３６１と、電位供給部３２１のｐＭＯＳトランジスタ３６２及び３６４と、電流規制部３２２のｐＭＯＳトランジスタ３６８及び３６９とが、第２のタイプのＭＯＳトランジスタである。このように、本実施形態では、第２のタイプのＭＯＳトランジスタは、ｐＭＯＳトランジスタである。

[0233] また入力部３２０のｎＭＯＳトランジスタ３４０及び３４１が、第３のタイプのＭＯＳトランジスタである。このように、本実施形態では、第３のタイプのＭＯＳトランジスタは、ｎＭＯＳトランジスタである。

[0234] レベルシフト回路３００をこのように構成することで、入力信号を負の電圧レベルに変換することが可能である。レベルシフト回路３００を用いることで、例えば負電圧に設定された電源系での信号処理等が可能となる。また、電流規制部３２２等を設けることで、入力信号の電圧レベルが十分に小さい場合であっても、負のレベル変換動作を適正に実行することが可能である。

[0235] ＜その他の実施形態＞

本技術は、以上説明した実施形態に限定されず、他の種々の実施形態を実現することができる。

[0236] 上記の実施形態では、カレントミラー回路により、第１及び第２の電流路を流れる電流が複製されて、同相ノード及び逆相ノードに供給された。例えばカレントミラー回路は、第１及び第２の電流路を流れる電流を増幅して、同相ノード及び逆相ノードに供給するように構成されてもよい。

[0237] またカレントミラー回路を用いずに、同相ノード及び逆相ノードに電流が供給されてもよい。例えば、入力信号に基づいて同相ノード及び逆相ノードに接続された所定のスイッチ素子（ＭＯＳトランジスタ等）を開閉することで、電流が供給されてもよい。この場合、電流が供給される側の電源線とは反対側の電源線と、各ノードの接続を適宜制御することで、Ｐ／Ｎ電流能力比に依存しない電流パスを構成することが可能である。

[0238] 以上説明した本技術に係る特徴部分のうち、少なくとも２つの特徴部分を組み合わせることも可能である。すなわち各実施形態で説明した種々の特徴部分は、各実施形態の区別なく、任意に組み合わされてもよい。また上記で記載した種々の効果は、あくまで例示であって限定されるものではなく、また他の効果が発揮されてもよい。

[0239] 本開示において、「同じ」「等しい」「直交」等は、「実質的に同じ」「

実質的に等しい」「実質的に直交」等を含む概念とする。例えば「完全に同じ」「完全に等しい」「完全に直交」等を基準とした所定の範囲（例えば±１０％の範囲）に含まれる状態も含まれる。

[0240] なお、本技術は以下のような構成も採ることができる。

（１）第１の電源系の入力信号が入力される入力部と、

一対のノードを有し、前記第１の電源系よりも電圧レベルの高い第２の電源系となる一対の電源線のうち一方の電源線に接続され、前記入力信号に応じて前記一方の電源線の電位を前記一対のノードのどちらか一方に供給する供給部と、

前記一対の電源線のうち他方の電源線に接続され、前記一対のノードのうち前記一方の電源線の電位が供給されるノードと前記他方の電源線との間の電流を規制する規制部と

を具備するレベルシフト回路。

（２）（１）に記載のレベルシフト回路であって、

前記一対のノードは、前記入力信号と同相となるように電位が供給される同相ノード、及び前記入力信号と逆相となるように電位が供給される逆相ノードであり、

前記規制部は、前記入力信号と同相となるように前記同相ノードと前記他方の電源線との間の電流を規制し、前記入力信号と逆相となるように前記逆相ノードと前記他方の電源線との間の電流を規制する

レベルシフト回路。

（３）（２）に記載のレベルシフト回路であって、

前記供給部は、前記同相ノードにドレインが接続され前記逆相ノードにゲートが接続された第１のＭＯＳトランジスタと、前記逆相ノードにドレインが接続され前記同相ノードにゲートが接続された第２のＭＯＳトランジスタとを有し、

前記規制部は、前記第１のＭＯＳトランジスタのソースと前記他方の電源線との間に接続された第３のＭＯＳトランジスタと、前記第２のＭＯＳトラ

ンジスタのソースと前記他方の電源線との間に接続された第４のＭＯＳトランジスタとを有する

レベルシフト回路。

（４）（３）に記載のレベルシフト回路であって、

前記第１及び前記第２のＭＯＳトランジスタは、前記第２の電源系の電圧レベルに応じた第１の耐圧を有する第１のタイプのＭＯＳトランジスタであり、

前記第３及び前記第４のＭＯＳトランジスタは、前記第１の耐圧を有し、前記第１のタイプのＭＯＳトランジスタよりも閾値電圧が低く設定された第２のタイプのＭＯＳトランジスタである

レベルシフト回路。

（５）（４）に記載のレベルシフト回路であって、

前記入力部は、前記入力信号の同相信号と逆相信号とを生成し、

前記第１から前記第４のＭＯＳトランジスタは、同極性のＭＯＳトランジスタであり、

前記第３のＭＯＳトランジスタのゲートには、前記逆相信号が印加され、

前記第４のＭＯＳトランジスタのゲートには、前記同相信号が印加される

レベルシフト回路。

（６）（４）又は（５）に記載のレベルシフト回路であって、

前記供給部は、前記同相ノードに電流を供給する第１のカレントミラー回路と、前記逆相ノードに電流を供給する第２のカレントミラー回路とを有する

レベルシフト回路。

（７）（６）に記載のレベルシフト回路であって、

前記第１のカレントミラー回路は、前記一方の電源線に接続された第１の電流路と、前記第１の電流路上に配置された第１のスイッチ部とを有し、前記第１の電流路の電流を複製して前記同相ノードに供給し、

前記第２のカレントミラー回路は、前記一方の電源線に接続された第２の

電流路と、前記第２の電流路上に配置された第２のスイッチ部とを有し、前記第２の電流路の電流を複製して前記逆相ノードに供給する

レベルシフト回路。

（８）（７）に記載のレベルシフト回路であって、

前記入力部は、前記入力信号の同相信号と逆相信号とを生成し、

前記第１のスイッチ部は、前記同相信号に応じて前記第１の電流路を導通させる第５のＭＯＳトランジスタを有し、

前記第２のスイッチ部は、前記逆相信号に応じて前記第２の電流路を導通させる第６のＭＯＳトランジスタを有する

レベルシフト回路。

（９）（８）に記載のレベルシフト回路であって、

前記第５及び前記第６のＭＯＳトランジスタは、前記第２のタイプのＭＯＳトランジスタであり、

前記第５のＭＯＳトランジスタのゲートには、前記同相信号が印加され、

前記第６のＭＯＳトランジスタのゲートには、前記逆相信号が印加される

レベルシフト回路。

（１０）（８）又は（９）に記載のレベルシフト回路であって、

前記第１のスイッチ部は、前記逆相ノードの電位に応じて前記第１の電流路を遮断する第７のＭＯＳトランジスタを有し、

前記第２のスイッチ部は、前記同相ノードの電位に応じて前記第２の電流路を遮断する第８のＭＯＳトランジスタを有する

レベルシフト回路。

（１１）（１０）に記載のレベルシフト回路であって、

前記供給部は、前記逆相ノードの電位に基づいて前記同相ノードの電位を保持し、前記同相ノードの電位に基づいて前記逆相ノードの電位を保持する電位保持回路を有する

レベルシフト回路。

（１２）（８）から（１１）のうちいずれか１つに記載のレベルシフト回路

であって、

前記第５のＭＯＳトランジスタのソースには、前記逆相信号が印加され、

前記第６のＭＯＳトランジスタのソースには、前記同相信号が印加される

レベルシフト回路。

（１３）（４）から（１２）のうちいずれか１つに記載のレベルシフト回路であって、

前記入力部は、前記第２のタイプのＭＯＳトランジスタと、前記第１の電源系の電圧レベルに応じた第２の耐圧を有する第３のタイプのＭＯＳトランジスタとを有する

レベルシフト回路。

（１４）（１３）に記載のレベルシフト回路であって、

前記入力部は、前記入力信号の逆相信号と同相信号とを生成する第１の信号生成回路を有する

レベルシフト回路。

（１５）（１４）に記載のレベルシフト回路であって、

前記一方の電源線は、前記第２の電源系の高電位側の電源線であり、

前記第１の信号生成回路は、前記第１の電源系の低電位側に接続された前記第２のタイプのｎＭＯＳトランジスタと、前記第１の電源系の高電位側に接続された前記第３のタイプのｐＭＯＳトランジスタとを有する

レベルシフト回路。

（１６）（１４）又は（１５）に記載のレベルシフト回路であって、

前記供給部は、前記入力部と前記一方の電源線とに接続される一対の電流路を有し、

前記入力部は、前記第１の信号生成回路の出力に基づいて、前記一対の電流路に入力するための前記入力信号の逆相信号と同相信号とを生成する第２の信号生成回路を有する

レベルシフト回路。

（１７）（１６）に記載のレベルシフト回路であって、

前記一方の電源線は、前記第２の電源系の高電位側の電源線であり、

前記第２の信号生成回路は、前記第１の電源系の低電位側に接続された前記第２のタイプのｎＭＯＳトランジスタと、前記第１の電源系の高電位側に接続された前記第３のタイプのｎＭＯＳトランジスタとを有する

レベルシフト回路。

（１８）（４）から（１７）のうちいずれか１つに記載のレベルシフト回路であって、

前記一方の電源線は、前記第２の電源系の高電位側の電源線であり、

前記第２のタイプのＭＯＳトランジスタは、ｎＭＯＳトランジスタである

レベルシフト回路。

（１９）（４）から（１４）及び（１６）のうちいずれか１つに記載のレベルシフト回路であって、

前記一方の電源線は、前記第２の電源系の低電位側の電源線であり、

前記第２のタイプのＭＯＳトランジスタは、ｐＭＯＳトランジスタである

レベルシフト回路。

（２０）本技術の一形態に係る電子機器は、電源部と、レベルシフト回路とを具備する。

前記電源部は、第１の電源系と、前記第１の電源系よりも電圧レベルの高い第２の電源系とを有する。

前記レベルシフト回路は、前記第１の電源系の入力信号が入力される入力部と、一対のノードを有し、前記第２の電源系となる一対の電源線のうち一方の電源線に接続され、前記入力信号に応じて前記一方の電源線の電位を前記一対のノードのどちらか一方に供給する供給部と、前記一対の電源線のうち他方の電源線に接続され、前記一対のノードのうち前記一方の電源線の電位が供給されるノードと前記他方の電源線との間の電流を規制する規制部とを有する。

符号の説明

[0241] １…入力信号

２…同相信号

３…逆相信号

５…一対のノード

５ｂ…逆相ノード

５ａ…同相ノード

１０ｂ…ＤＶＳライン

１０ａ…ＤＶＤライン

１０、２１０、３１０…ＤＶＤ電源

１１、２１１…ＡＶＤ電源

１１ｂ…ＡＶＳライン

１１ａ…ＡＶＤライン

２０、２２０、３２０…入力部

２１、２２１、３２１…電位供給部

２２、２２２、３２２…電流規制部

２６ｂ…第１のカレントミラー回路

２６ａ…第２のカレントミラー回路

２７…電位保持回路

２９ａ…第１の電流路

２９ｂ…第２の電流路

５０、５１、２５０、２５１…ｎＭＯＳトランジスタ

３６８、３６９…ｐＭＯＳトランジスタ

１００、２００、３００…レベルシフト回路

請求の範囲

[請求項1] 第１の電源系の入力信号が入力される入力部と、

一対のノードを有し、前記第１の電源系よりも電圧レベルの高い第２の電源系となる一対の電源線のうち一方の電源線に接続され、前記入力信号に応じて前記一方の電源線の電位を前記一対のノードのどちらか一方に供給する供給部と、

前記一対の電源線のうち他方の電源線に接続され、前記一対のノードのうち前記一方の電源線の電位が供給されるノードと前記他方の電源線との間の電流を規制する規制部と

を具備するレベルシフト回路。

[請求項2] 請求項１に記載のレベルシフト回路であって、

前記一対のノードは、前記入力信号と同相となるように電位が供給される同相ノード、及び前記入力信号と逆相となるように電位が供給される逆相ノードであり、

前記規制部は、前記入力信号と同相となるように前記同相ノードと前記他方の電源線との間の電流を規制し、前記入力信号と逆相となるように前記逆相ノードと前記他方の電源線との間の電流を規制する

レベルシフト回路。

[請求項3] 請求項２に記載のレベルシフト回路であって、

前記供給部は、前記同相ノードにドレインが接続され前記逆相ノードにゲートが接続された第１のＭＯＳトランジスタと、前記逆相ノードにドレインが接続され前記同相ノードにゲートが接続された第２のＭＯＳトランジスタとを有し、

前記規制部は、前記第１のＭＯＳトランジスタのソースと前記他方の電源線との間に接続された第３のＭＯＳトランジスタと、前記第２のＭＯＳトランジスタのソースと前記他方の電源線との間に接続された第４のＭＯＳトランジスタとを有する

レベルシフト回路。

[請求項4] 請求項３に記載のレベルシフト回路であって、

前記第１及び前記第２のＭＯＳトランジスタは、前記第２の電源系の電圧レベルに応じた第１の耐圧を有する第１のタイプのＭＯＳトランジスタであり、

前記第３及び前記第４のＭＯＳトランジスタは、前記第１の耐圧を有し、前記第１のタイプのＭＯＳトランジスタよりも閾値電圧が低く設定された第２のタイプのＭＯＳトランジスタである

レベルシフト回路。

[請求項5] 請求項４に記載のレベルシフト回路であって、

前記入力部は、前記入力信号の同相信号と逆相信号とを生成し、

前記第１から前記第４のＭＯＳトランジスタは、同極性のＭＯＳトランジスタであり、

前記第３のＭＯＳトランジスタのゲートには、前記逆相信号が印加され、

前記第４のＭＯＳトランジスタのゲートには、前記同相信号が印加される

レベルシフト回路。

[請求項6] 請求項４に記載のレベルシフト回路であって、

前記供給部は、前記同相ノードに電流を供給する第１のカレントミラー回路と、前記逆相ノードに電流を供給する第２のカレントミラー回路とを有する

レベルシフト回路。

[請求項7] 請求項６に記載のレベルシフト回路であって、

前記第１のカレントミラー回路は、前記一方の電源線に接続された第１の電流路と、前記第１の電流路上に配置された第１のスイッチ部とを有し、前記第１の電流路の電流を複製して前記同相ノードに供給し、

前記第２のカレントミラー回路は、前記一方の電源線に接続された

第２の電流路と、前記第２の電流路上に配置された第２のスイッチ部とを有し、前記第２の電流路の電流を複製して前記逆相ノードに供給する

レベルシフト回路。

[請求項8] 請求項７に記載のレベルシフト回路であって、

前記入力部は、前記入力信号の同相信号と逆相信号とを生成し、

前記第１のスイッチ部は、前記同相信号に応じて前記第１の電流路を導通させる第５のＭＯＳトランジスタを有し、

前記第２のスイッチ部は、前記逆相信号に応じて前記第２の電流路を導通させる第６のＭＯＳトランジスタを有する

レベルシフト回路。

[請求項9] 請求項８に記載のレベルシフト回路であって、

前記第５及び前記第６のＭＯＳトランジスタは、前記第２のタイプのＭＯＳトランジスタであり、

前記第５のＭＯＳトランジスタのゲートには、前記同相信号が印加され、

前記第６のＭＯＳトランジスタのゲートには、前記逆相信号が印加される

レベルシフト回路。

[請求項10] 請求項８に記載のレベルシフト回路であって、

前記第１のスイッチ部は、前記逆相ノードの電位に応じて前記第１の電流路を遮断する第７のＭＯＳトランジスタを有し、

前記第２のスイッチ部は、前記同相ノードの電位に応じて前記第２の電流路を遮断する第８のＭＯＳトランジスタを有する

レベルシフト回路。

[請求項11] 請求項１０に記載のレベルシフト回路であって、

前記供給部は、前記逆相ノードの電位に基づいて前記同相ノードの電位を保持し、前記同相ノードの電位に基づいて前記逆相ノードの電

位を保持する電位保持回路を有する

レベルシフト回路。

[請求項12] 請求項８に記載のレベルシフト回路であって、

前記第５のＭＯＳトランジスタのソースには、前記逆相信号が印加され、

前記第６のＭＯＳトランジスタのソースには、前記同相信号が印加される

レベルシフト回路。

[請求項13] 請求項４に記載のレベルシフト回路であって、

前記入力部は、前記第２のタイプのＭＯＳトランジスタと、前記第１の電源系の電圧レベルに応じた第２の耐圧を有する第３のタイプのＭＯＳトランジスタとを有する

レベルシフト回路。

[請求項14] 請求項１３に記載のレベルシフト回路であって、

前記入力部は、前記入力信号の逆相信号と同相信号とを生成する第１の信号生成回路を有する

レベルシフト回路。

[請求項15] 請求項１４に記載のレベルシフト回路であって、

前記一方の電源線は、前記第２の電源系の高電位側の電源線であり、

前記第１の信号生成回路は、前記第１の電源系の低電位側に接続された前記第２のタイプのｎＭＯＳトランジスタと、前記第１の電源系の高電位側に接続された前記第３のタイプのｐＭＯＳトランジスタとを有する

レベルシフト回路。

[請求項16] 請求項１４に記載のレベルシフト回路であって、

前記供給部は、前記入力部と前記一方の電源線とに接続される一対の電流路を有し、

前記入力部は、前記第１の信号生成回路の出力に基づいて、前記一対の電流路に入力するための前記入力信号の逆相信号と同相信号とを生成する第２の信号生成回路を有する

レベルシフト回路。

[請求項17] 請求項１６に記載のレベルシフト回路であって、

前記一方の電源線は、前記第２の電源系の高電位側の電源線であり、

前記第２の信号生成回路は、前記第１の電源系の低電位側に接続された前記第２のタイプのｎＭＯＳトランジスタと、前記第１の電源系の高電位側に接続された前記第３のタイプのｎＭＯＳトランジスタとを有する

レベルシフト回路。

[請求項18] 請求項４に記載のレベルシフト回路であって、

前記一方の電源線は、前記第２の電源系の高電位側の電源線であり、

前記第２のタイプのＭＯＳトランジスタは、ｎＭＯＳトランジスタである

レベルシフト回路。

[請求項19] 請求項４に記載のレベルシフト回路であって、

前記一方の電源線は、前記第２の電源系の低電位側の電源線であり、

前記第２のタイプのＭＯＳトランジスタは、ｐＭＯＳトランジスタである

レベルシフト回路。

[請求項20] 第１の電源系と、前記第１の電源系よりも電圧レベルの高い第２の電源系とを有する電源部と、

前記第１の電源系の入力信号が入力される入力部と、

一対のノードを有し、前記第２の電源系となる一対の電源線のう

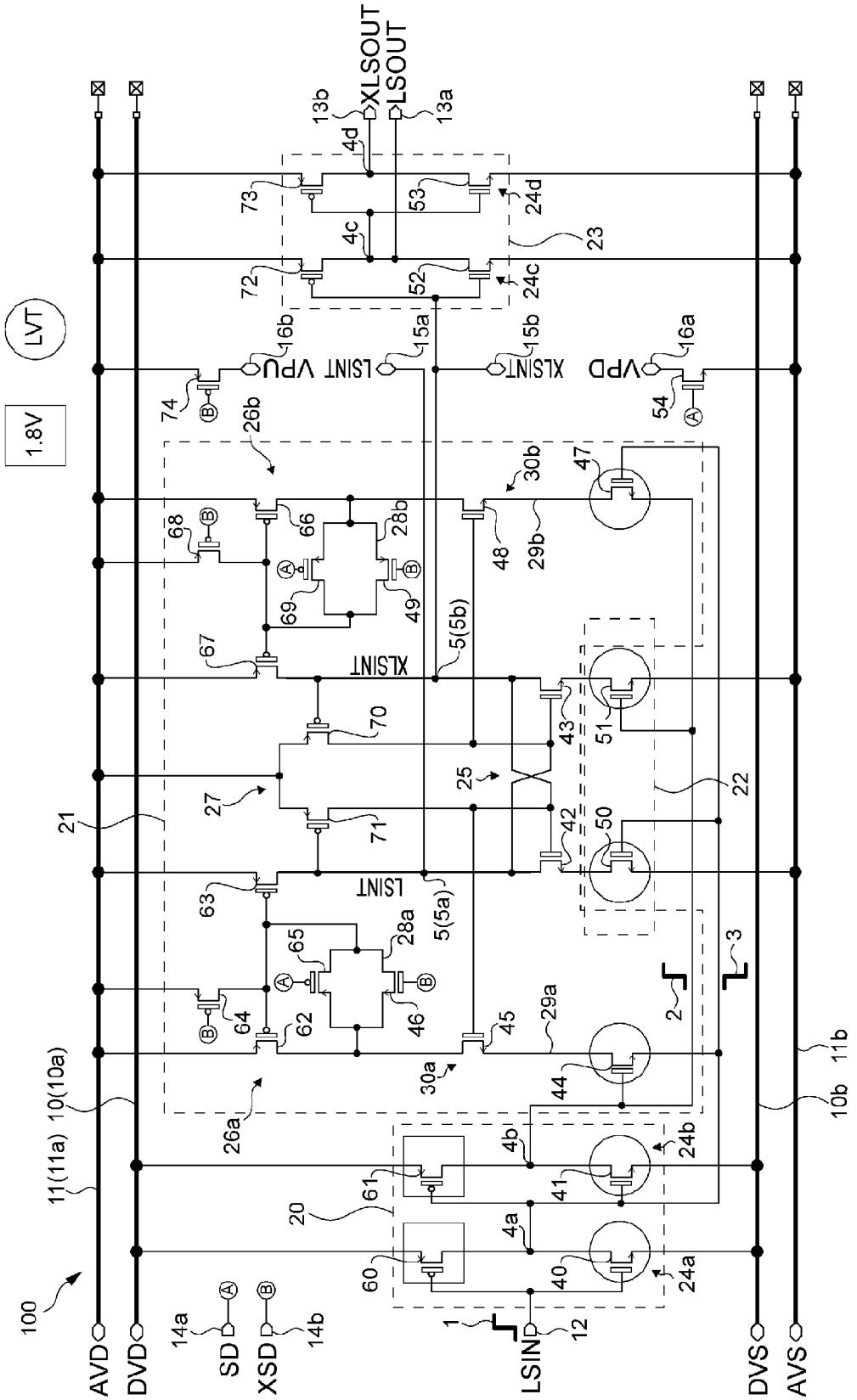
ち一方の電源線に接続され、前記入力信号に応じて前記一方の電源線の電位を前記一対のノードのどちらか一方に供給する供給部と、

前記一対の電源線のうち他方の電源線に接続され、前記一対のノードのうち前記一方の電源線の電位が供給されるノードと前記他方の電源線との間の電流を規制する規制部と

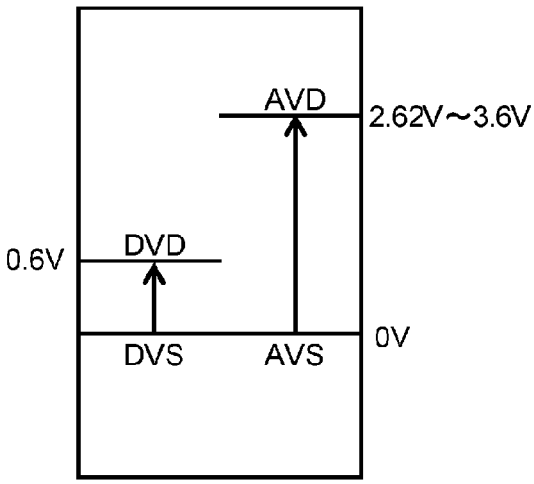
を有するレベルシフト回路と

を具備する電子機器。

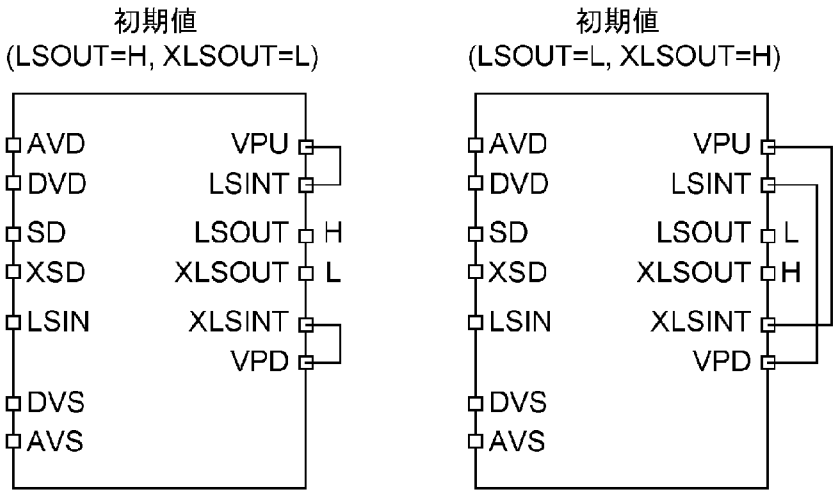
[図1]


XLSOUT
LSOUT
LVT
1.8V
VPU
XLSINT
VPD
LSINT
AVD
DVD
SD
XSD
LSIN
DVS
AVS
100

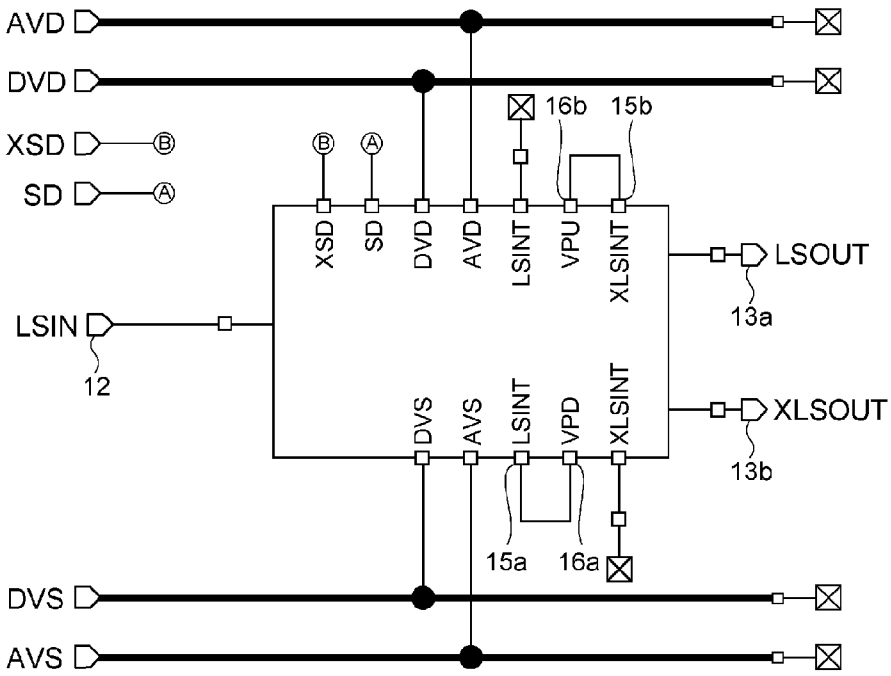
[図2]


AVD
2.62V～3.6V
0.6V
DVD
0V
DVS
AVS

[図3]


初期値
(LSOUT=H, XLSOUT=L)
AVD
DVD
SD
XSD
LSIN
DVS
AVS
VPU
LSINT
LSOUT H
XLSOUT L
XLSINT
VPD
初期値
(LSOUT=L, XLSOUT=H)
AVD
DVD
SD
XSD
LSIN
DVS
AVS
VPU
LSINT
LSOUT L
XLSOUT H
XLSINT
VPD

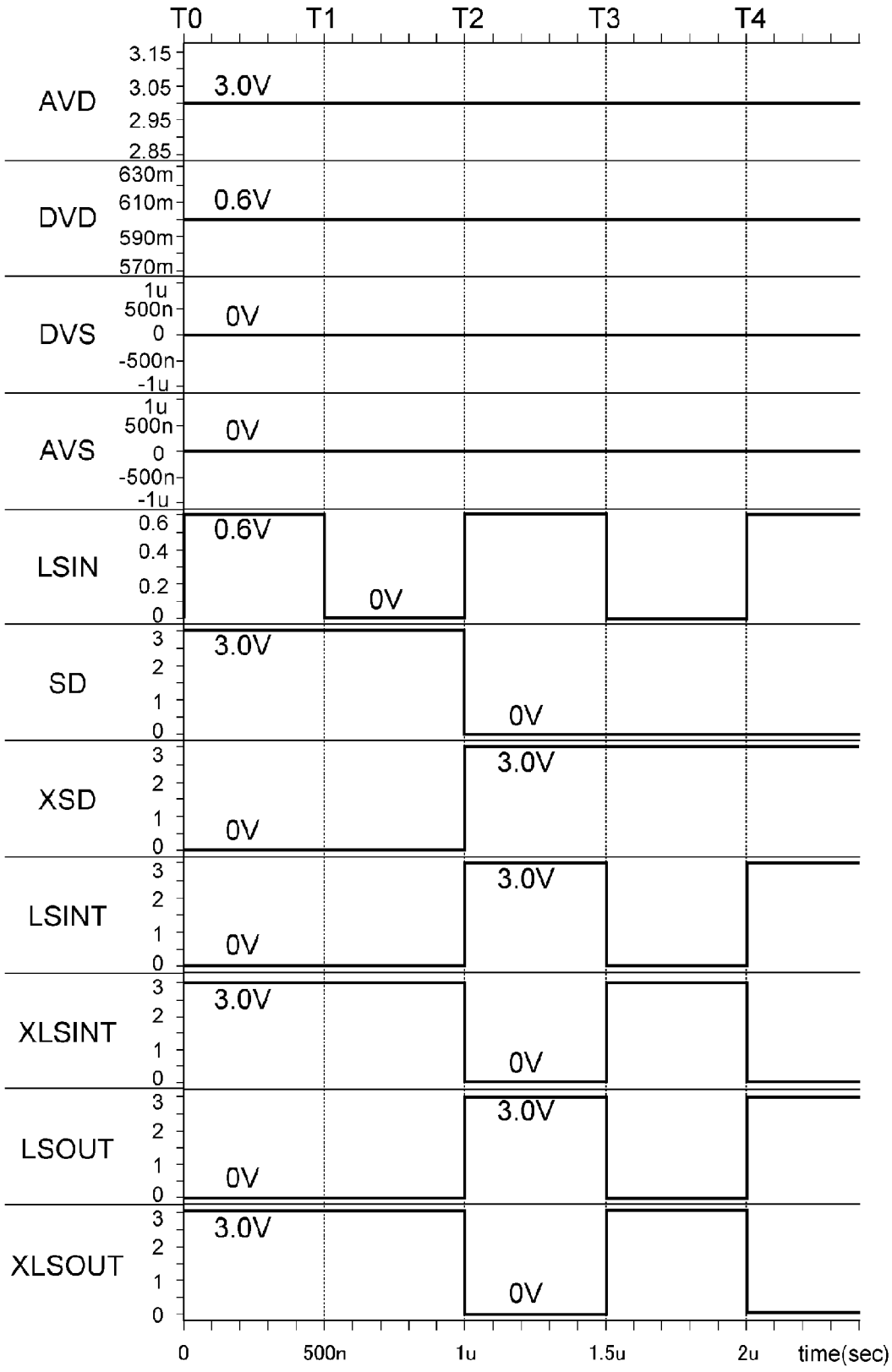
[図4]



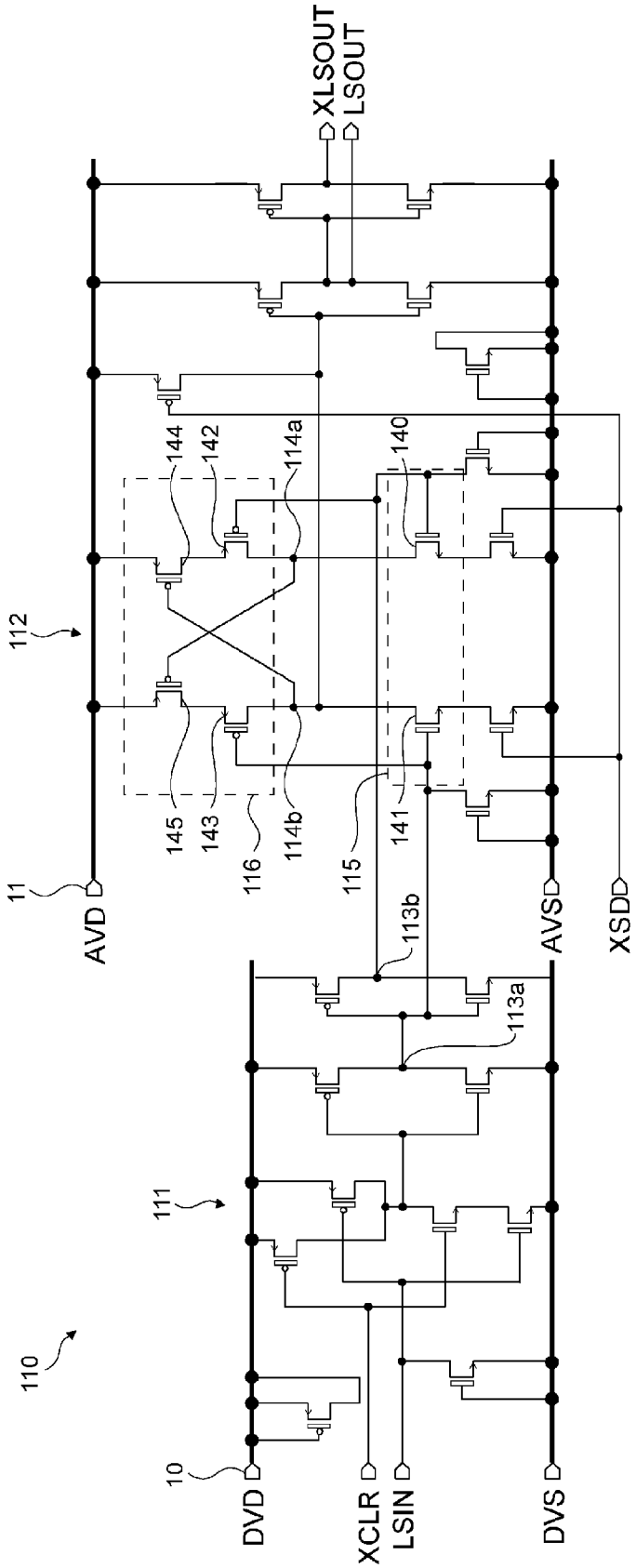
[図5]

XSD	LSIN	LSOUT	XLSOUT
0	*	0	1
1	0	0	1
1	1	1	0

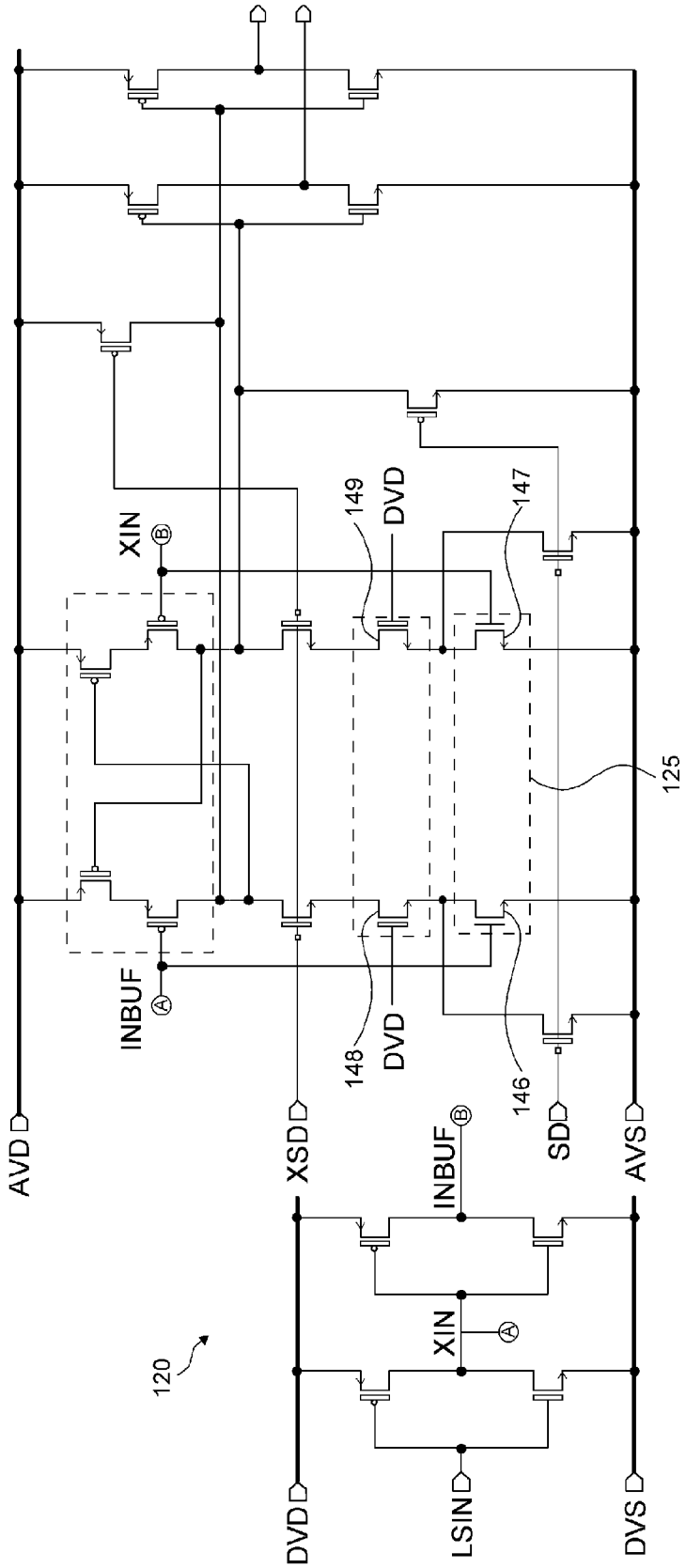
[図6]


T0
T1
T2
T3
T4
AVD
3.15
3.05
2.95
2.85
3.0V
DVD
630m
610m
590m
570m
0.6V
DVS
1u
500n
0
-500n
-1u
0V
AVS
0V
LSIN
0.6
0.4
0.2
0
0.6V
0V
SD
3
2
1
0
3.0V
0V
XSD
3.0V
0V
LSINT
3.0V
0V
XLSINT
3.0V
0V
LSOUT
3.0V
0V
XLSOUT
3.0V
0V
0
500n
1u
1.5u
2u
time(sec)

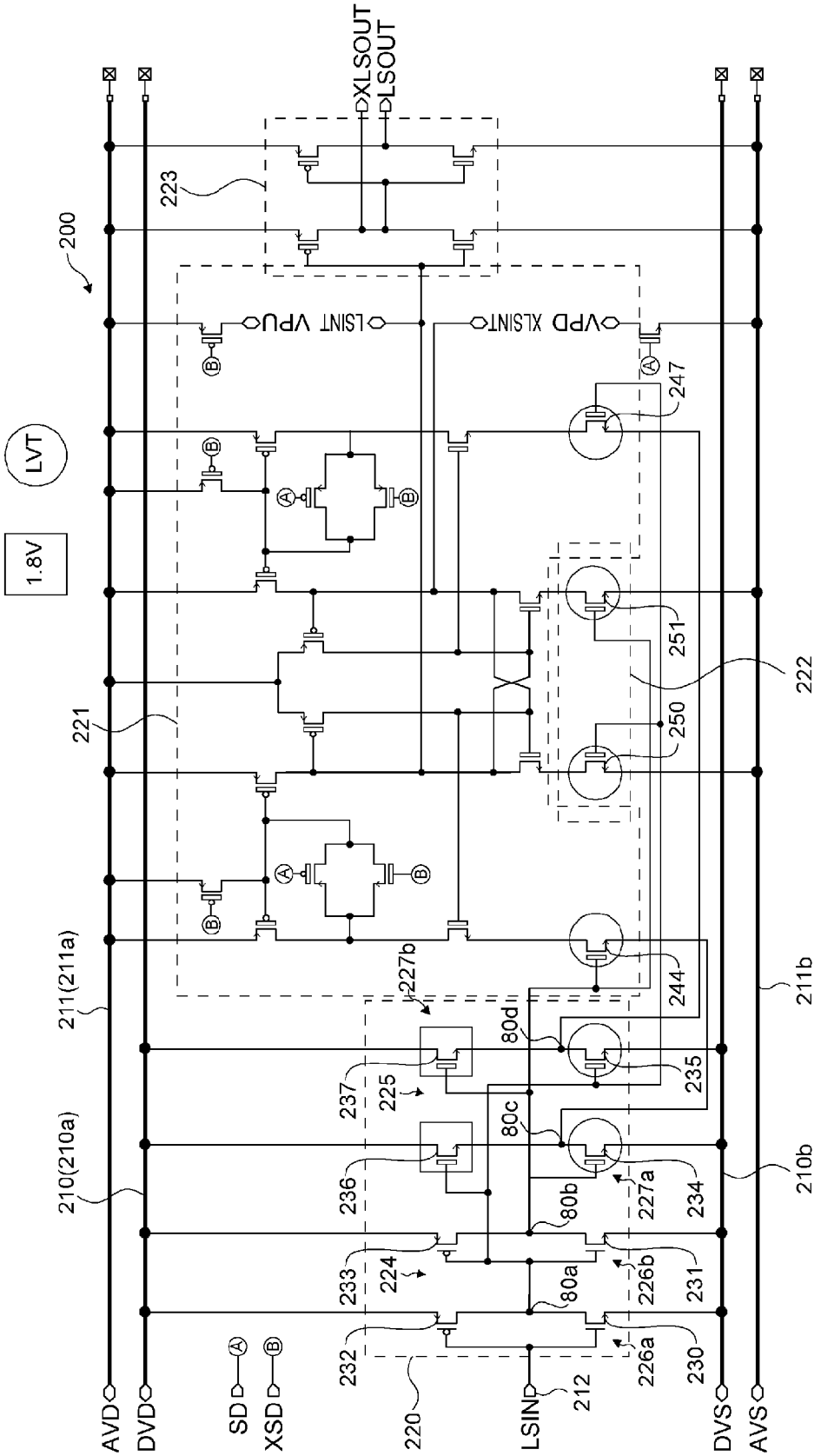
[図7]


XLSOUT
LSOUT
144
142
114a
140
112
145
143
116
114b
115
141
11
AVD
113b
AVS
XSD
113a
111
110
10
DVD
XCLR
LSIN
DVS

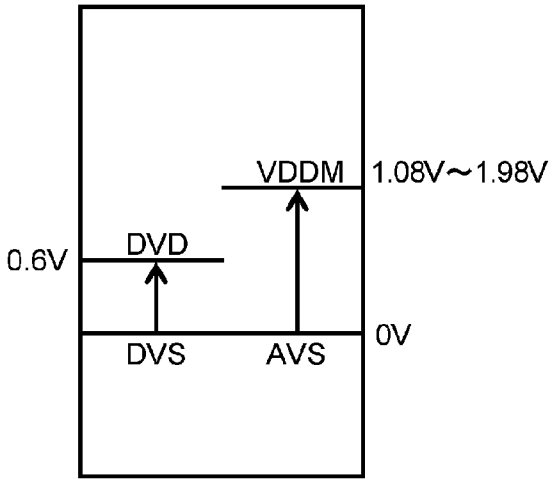
[図8]


AVD
XSD
INBUF
SD
AVS
XIN
149
DVD
147
125
INBUF
148
DVD
146
120
XIN
DVD
LSIN
DVS

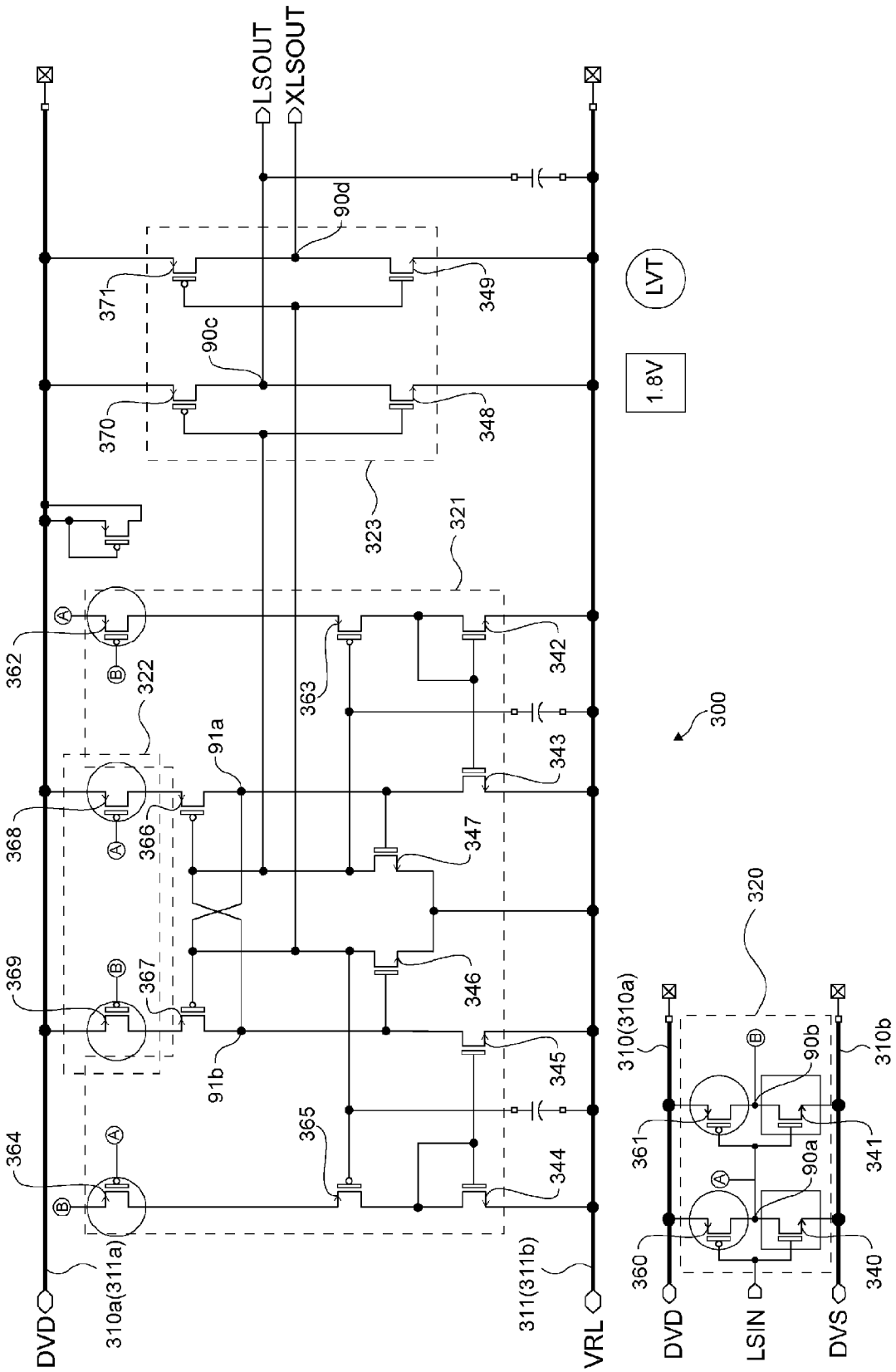
[図9]


XLSOUT
LSOUT
223
200
LSINT VPU
VPD XLSINT
247
LVT
1.8V
251
222
221
250
211(211a)
227b
244
211b
80d
235
237
225
80c
210(210a)
236
227a
234
210b
80b
233
224
226b
231
80a
232
226a
230
220
212
AVD
DVD
SD
XSD
LSIN
DVS
AVS

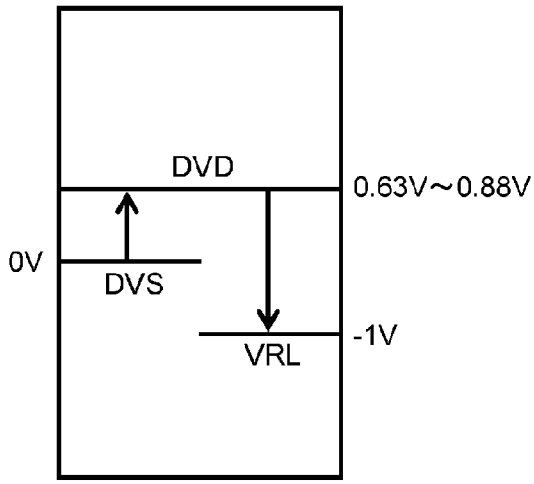
[図10]



[図11]


LSOUT
XLSOUT
90d
371
349
90c
370
348
323
321
LVT
1.8V
362
322
363
342
300
368
366
91a
343
347
369
367
346
91b
345
365
344
364
310a(311a)
311(311b)
DVD
VRL
320
310(310a)
310b
90b
361
341
90a
360
340
DVD
LSIN
DVS

[図12]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2019/043468

A. CLASSIFICATION OF SUBJECT MATTER
H03K19/0185(2006.01)i
FI: H03K19/0185 240
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H03K19/0185

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 2018-42077 A (RENESAS ELECTRONICS CORP.) 15.03.2018 (2018-03-15) paragraphs [0001]-[0005], [0015]-[0018], [0086]-[0095], [0131]-[0150], fig. 1, 8A, 8D, 8E	1-3 4-16, 18-20 17
Y A	JP 2003-152096 A (HITACHI, LTD.) 23.05.2003 (2003-05-23) paragraphs [0001]-[0012], [0052]-[0053], fig. 1-2, 12	4-16, 18-19 17
Y A	JP 2000-10533 A (HITACHI, LTD.) 14.01.2000 (2000-01-14) paragraphs [0001], [0009]-[0010], fig. 1	12, 20 17
Y A	JP 2016-29863 A (RENESAS ELECTRONICS CORP.) 03.03.2016 (2016-03-03) paragraph [0086], fig. 1	19 17

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
15 January 2020 (15.01.2020)	28 January 2020 (28.01.2020)

Name and mailing address of the ISA/	Authorized officer
Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2019/043468

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
JP 2018-42077 A	15 Mar. 2018	US 2018/0069537 A1 paragraphs [0002]-[0005], [0053]-[0057], [0124]-[0133], [0169]-[0188], fig. 1, 8A, 8D, 8E CN 107800422 A KR 10-2018-0028005 A	
JP 2003-052096 A	23 May 2003	US 2003/0042965 A1 paragraphs [0001]-[0038],[0083]-[0084], fig. 1-2, 12 KR 10-2003-0019873 A CN 1407724 A	
JP 2000-10533 A	14 Jan. 2000	US 2002/0140660 A1 paragraphs [0001], [0038]-[0046], fig. 1 KR 10-2000-0006330 A	
JP 2016-29863 A	03 Mar. 2016	(Family: none)	

国際調査報告

国際出願番号
PCT/JP2019/043468

A. 発明の属する分野の分類（国際特許分類（ＩＰＣ））

H03K 19/0185(2006.01)i
FI: H03K19/0185 240

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

H03K19/0185

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０２０年
日本国実用新案登録公報	１９９６－２０２０年
日本国登録実用新案公報	１９９４－２０２０年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献のカテゴリー*	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 2018-42077 A (ルネサスエレクトロニクス株式会社) 15.03.2018 (2018-03-15) 段落[0001]-[0005], [0015]-[0018], [0086]-[0095], [0131]-[0150], 図1, 8A, 8D, 8E	1-3
Y		4-16, 18-20
A		17
Y	JP 2003-152096 A (株式会社日立製作所) 23.05.2003 (2003-05-23) 段落[0001]-[0012], [0052]-[0053], 図1-2, 12	4-16, 18-19
A		17
Y	JP 2000-10533 A (株式会社日立製作所) 14.01.2000 (2000-01-14) 段落[0001], [0009]-[0010], 図1	12, 20
A		17
Y	JP 2016-29863 A (ルネサスエレクトロニクス株式会社) 03.03.2016 (2016-03-03) 段落[0086], 図1	19
A		17

☐ Ｃ欄の続きにも文献が列挙されている。

☑ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
"A" 特に関連のある文献ではなく、一般的技術水準を示すもの
"E" 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
"L" 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
"O" 口頭による開示、使用、展示等に言及する文献
"P" 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
"T" 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの
"X" 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
"Y" 特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
"&" 同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
15.01.2020	28.01.2020

名称及びあて先

日本国特許庁(ISA/JP)
〒100-8915
日本国
東京都千代田区霞が関三丁目４番３号

権限のある職員（特許庁審査官）

及川　尚人 5W 5888

電話番号 03-3581-1101 内線 3576

国際調査報告
パテントファミリーに関する情報

国際出願番号
PCT/JP2019/043468

引用文献	公表日	パテントファミリー文献	公表日
JP 2018-42077 A	15.03.2018	US 2018/0069537 A1 段落[0002]-[0005], [0053]-[0057], [0124]-[0133], [0169]-[0188], 図1, 8A, 8D, 8E CN 107800422 A KR 10-2018-0028005 A	
JP 2003-152096 A	23.05.2003	US 2003/0042965 A1 段落[0001]-[0038], [0083]-[0084], 図1-2, 12 KR 10-2003-0019873 A CN 1407724 A	
JP 2000-10533 A	14.01.2000	US 2002/0140660 A1 段落[0001], [0038]-[0046], 図1 KR 10-2000-0006330 A	
JP 2016-29863 A	03.03.2016	（ファミリーなし）	