



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I514579 B

(45)公告日：中華民國 104 (2015) 年 12 月 21 日

(21)申請案號：102126284

(22)申請日：中華民國 99 (2010) 年 08 月 23 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/336 (2006.01)

(30)優先權：2009/09/16 日本

2009-214485

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

JP 2007-096055A

US 2007/0087487A1

US 2009/0061721A1

審查人員：吳爾軒

申請專利範圍項數：13 項 圖式數：27 共 144 頁

(54)名稱

半導體裝置及其製造方法

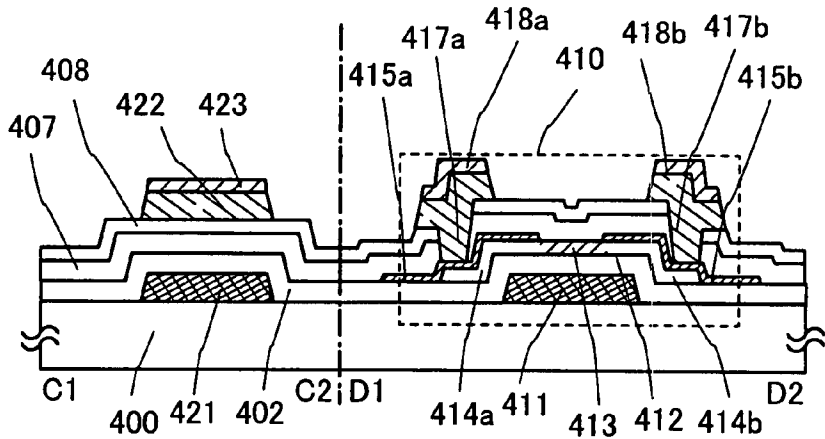
SEMICONDUCTOR DEVICE AND MANUFACTURING METHOD THEREOF

(57)摘要

目的在於提供具有較低耗電的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。目的在於提供具有高可靠度的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。在半導體裝置中，閘極電極層(閘極佈線層)與佈線層交會，佈線層電連接至源極電極層或汲極電極層，而以遮蓋薄膜電晶體的氧化物半導體層之絕緣層及閘極絕緣層介於其間。因此，可以降低由閘極電極層、閘極絕緣層、及源極或汲極電極層的堆疊層結構形成的寄生電容，以致於可以實現半導體裝置的低耗電。

It is an object to provide a semiconductor device with less power consumption as a semiconductor device including a thin film transistor using an oxide semiconductor layer. It is an object to provide a semiconductor device with high reliability as a semiconductor device including a thin film transistor using an oxide semiconductor layer. In the semiconductor device, a gate electrode layer (a gate wiring layer) intersects with a wiring layer which is electrically connected to a source electrode layer or a drain electrode layer with an insulating layer which covers the oxide semiconductor layer of the thin film transistor and a gate insulating layer interposed therebetween. Accordingly, the parasitic capacitance formed by a stacked-layer structure of the gate electrode layer, the gate insulating layer, and the source or drain electrode layer can be reduced, so that low power consumption of the semiconductor device can be realized.

圖 1B



- 400 . . . 基底
- 402 . . . 閘極絕緣層
- 407 . . . 氧化物絕緣層
- 408 . . . 保護絕緣層
- 410 . . . 薄膜電晶體
- 411 . . . 閘極電極層
- 412 . . . 氧化物半導體層
- 413 . . . 通道形成區
- 414a . . . 高電阻源極區
- 414b . . . 高電阻汲極區
- 415a . . . 源極電極層
- 415b . . . 汲極電極層
- 417a . . . 佈線層
- 417b . . . 佈線層
- 418a . . . 佈線層
- 418b . . . 佈線層
- 421 . . . 閘極佈線層
- 422 . . . 源極佈線層
- 423 . . . 源極佈線層

發明摘要

※申請案號：

102126284 (由 99128096 分割)

※申請日：

99.8.23

※IPC 分類：

H01L 29/78 (2006.01)

H01L 21/336 (2006.01)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【中文】

目的在於提供具有較低耗電的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。目的在於提供具有高可靠度的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。在半導體裝置中，閘極電極層（閘極佈線層）與佈線層交會，佈線層電連接至源極電極層或汲極電極層，而以遮蓋薄膜電晶體的氧化物半導體層之絕緣層及閘極絕緣層介於其間。因此，可以降低由閘極電極層、閘極絕緣層、及源極或汲極電極層的堆疊層結構形成的寄生電容，以致於可以實現半導體裝置的低耗電。

【 英文 】

It is an object to provide a semiconductor device with less power consumption as a semiconductor device including a thin film transistor using an oxide semiconductor layer. It is an object to provide a semiconductor device with high reliability as a semiconductor device including a thin film transistor using an oxide semiconductor layer. In the semiconductor device, a gate electrode layer (a gate wiring layer) intersects with a wiring layer which is electrically connected to a source electrode layer or a drain electrode layer with an insulating layer which covers the oxide semiconductor layer of the thin film transistor and a gate insulating layer interposed therebetween. Accordingly, the parasitic capacitance formed by a stacked-layer structure of the gate electrode layer, the gate insulating layer, and the source or drain electrode layer can be reduced, so that low power consumption of the semiconductor device can be realized.

【代表圖】

【本案指定代表圖】：第(1B)圖。

【本代表圖之符號簡單說明】：

400：基底
402：閘極絕緣層
407：氧化物絕緣層
408：保護絕緣層
410：薄膜電晶體
411：閘極電極層
412：氧化物半導體層
413：通道形成區
414a：高電阻源極區
414b：高電阻汲極區
415a：源極電極層
415b：汲極電極層
417a：佈線層
417b：佈線層
418a：佈線層
418b：佈線層
421：閘極佈線層
422：源極佈線層
423：源極佈線層

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置及其製造方法

Semiconductor device and manufacturing method thereof

【技術領域】

本發明係關於包含氧化物半導體的半導體裝置製造方法。

在本說明書中，半導體裝置意指可以藉由使用半導體特徵而作用的所有裝置，以及，電光裝置、半導體電路、及電子設備都是半導體裝置。

【先前技術】

近年來，使用形成於具有絕緣表面的基底上的薄膜（約數奈米至數百奈米的厚度）以形成薄膜電晶體（TFT）之技術引起注意。薄膜電晶體可以應用至例如 IC 或電光裝置等範圍廣泛的電子裝置，特別地，正推動快速發展作為影像顯示裝置中的切換元件之薄膜電晶體。以各種金屬氧化物用於不同的應用。氧化銦是著名的材料且作為液晶顯示器等所須的透明電極材料。

某些金屬氧化物具有半導體特徵。具有半導體特徵的這些金屬氧化物的實施例為氧化鎢、氧化錫、氧化銦、氧化鋅、等等。已知有薄膜電晶體使用此類具有半導體特徵

的金屬氧化物來形成通道形成區（專利文獻 1 及專利文獻 2）。

關於使用薄膜電晶體的電子裝置的實施例，可為例如行動電話或膝上型電腦等行動裝置。影響連續操作時間的耗電是此類行動電子裝置的重要課題。此外，對於尺寸變大的電視機，也需要抑制因尺寸增加而增加的功耗。

[參考文獻]

專利文獻 1：日本公開專利申請號 2007-123861

專利文獻 2：日本公開專利申請號 2007-96055

【發明內容】

本發明的目的在於提供具有較低耗電的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

本發明的目的在於提供具有高可靠度的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

在半導體裝置中，閘極電極層（閘極佈線層）與電連接至源極電極層或汲極電極層的佈線層交會而以遮蓋薄膜電晶體的氧化物半導體之絕緣層及閘極絕緣層介於其間。薄膜電晶體的閘極電極層部份地重疊氧化物半導體層上的源極電極層和汲極電極層除外，未形成閘極電極層、閘極絕緣層、及源極或汲極電極層的堆疊層結構。

因此，可以降低閘極電極層、閘極絕緣層、及源極或汲極電極層的堆疊層結構所形成的寄生電容，以致於可以

實現半導體裝置的低耗電。

本發明的一實施例是半導體裝置，其包含：閘極電極層、在閘極電極層上的閘極絕緣層、在閘極絕緣層上的氧化物半導體層、在氧化物半導體層上的源極和汲極電極層、在源極和汲極電極層上與氧化物半導體層接觸的氧化物絕緣層、及在氧化物絕緣層上電連接至源極或汲極電極層的佈線層。在氧化物絕緣層中形成開口以抵達源極或汲極電極層，佈線層與開口中的源極或汲極電極層接觸，閘極電極層和佈線層彼此重疊而以閘極絕緣層及氧化物半導體層介於其間。

較佳的是，源極和汲極電極層薄至大於或等於 0.1 nm 且小於或等於 50nm；使用比佈線層還薄的膜。由於源極和汲極電極層均為薄的導體膜，所以，可以降低閘極電極層形成的寄生電容。

較佳的是，使用包含具有高氧親和力的金屬之材料，形成源極和汲極電極層。較佳的是，具有高氧親和力的金屬是選自鈦、鋁、錳、鎂、鋅、鈹、及鈦之一或更多材料。在本實施例中，使用鈦膜作為源極和汲極電極層中的每一者。

當執行熱處理而氧化物半導體層與具有高氧親和力的金屬層彼此接觸時，氧原子從氧化物半導體層移至金屬層，以致於增加它們之間的界面之近處中的載子濃度。在它們之間的界面的近處中形成低電阻區，藉以降低氧化物半導體層與源極和汲極電極層之間的接觸電阻。

在源極和汲極電極層中可以使用耐熱導電材料。藉由使用耐熱導電材料，即使當在源極和汲極電極層形成後執行熱處理時，仍然可以防止源極電極層和汲極電極層的特性改變或劣化。

關於耐熱導電材料，可以使用選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、鈮（Nb）、及釷（Th）之元素、包含上述元素中的任何元素作為成份的合金、包含這些元素中的任何元素的組合之合金膜、包含上述元素中的任何元素作為成份的氮化物、等等。可以使用例如鋁（Al）或銅（Cu）等低電阻導電材料與上述耐熱導電材料相結合的導體膜。

源極電極層和汲極電極層可以包含金屬氧化物層。舉例而言，可以採用氧化鈦膜設於氧化物半導體層與鈦膜之間的結構、或是氧化鈦膜（舉例而言，厚度大於或等於 1 nm 且小於或等於 20 nm）設於鈦膜（舉例而言，厚度大於或等於 0.1 nm 且小於或等於 5 nm）與氧化物絕緣膜之間的結構。

當源極電極層和汲極電極層薄至光可透射時，源極電極層和汲極電極層具有透光特性。

使用電阻低於源極電極層和汲極電極層的電阻之導體膜，以形成佈線層。特別地，使用例如鋁、銅、鉻、鉭、鉬、鎢、鈦、鈮、或釷、或含有上述元素中的任何元素作為成份的合金材料，以將佈線層形成為具有單層或堆疊層的結構。在本實施例中，使用鋁膜及鈦膜作為第一佈線層

和第二佈線層以形成堆疊層結構作為佈線層。

本發明的一實施例是半導體裝置製造方法，其中，形成閘極電極層，在閘極電極層上形成閘極絕緣層，在閘極絕緣層上形成氧化物半導體層，氧化物半導體層接受接受脫氫或脫水，然後防止氧化物半導體層曝露於空氣中以致於防止水或氫進入，在氧化物半導體層上形成源極電極層和汲極電極層，在氧化物半導體層、以及源極電極層和汲極電極層上形成接觸部份氧化物半導體層的氧化物絕緣層，在氧化物絕緣層中形成抵達源極或汲極電極層的開口，以及，在開口中形成佈線層，所述佈線層與源極或汲極電極層接觸且部份地重疊閘極電極層而以閘極絕緣層及氧化物絕緣層介於其間。佈線層比源極和汲極電極層還薄且比其具有更低的電阻。

根據上述每一結構，可以取得至少一上述目的。

氧化物半導體是 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 的薄膜。使用所述薄膜作為氧化物半導體層以形成薄膜電晶體。注意，M 代表選自 Ga、Fe、Ni、Mn、及 Co 之一或多個金屬元素。舉例而言，M 可為 Ga、或是包含 Ga 及上述金屬元素；舉例而言，M 可為 Ga 及 Ni 或 Ga 及 Fe。在上述氧化物半導體中，除了包含作為 M 的金屬元素之外，尚包含例如 Fe 或 Ni 等暫態金屬元素、或是暫態金屬元素的氧化物作為雜質元素。在本說明書中，成份公式以 $\text{InMO}_3(\text{ZnO})_m$ ($m > 0$) 表示的包含至少 Ga 作為 M 的氧化物半導體層被稱為 In-Ga-Zn-O 為基礎的氧化物半導體，

以及，其薄膜也被稱為 In-Ga-Zn-O 為基礎的非單晶膜。

關於可應用於氧化物半導體層的金屬氧化物的其它實施例，可以應用下述氧化物半導體中的任一者：In-Sn-O 為基礎的金屬氧化物；In-Sn-Zn-O 為基礎的金屬氧化物；In-Al-Zn-O 為基礎的金屬氧化物；Sn-Ga-Zn-O 為基礎的金屬氧化物；Al-Ga-Zn-O 為基礎的金屬氧化物；Sn-Al-Zn-O 為基礎的金屬氧化物；In-Zn-O 為基礎的金屬氧化物；Sn-Zn-O 為基礎的金屬氧化物；Al-Zn-O 為基礎的金屬氧化物；In-O 為基礎的金屬氧化物；Sn-O 為基礎的金屬氧化物；及 Zn-O 為基礎的金屬氧化物。氧化矽可以包含於使用上述金屬氧化物形成的氧化物半導體層中。

脫水或脫氫係熱處理，其係在大於或等於 400℃ 且小於或等於 750℃ 的溫度中，較佳地大於或等於 425℃ 且小於基底的應變點之溫度中，在例如氮等惰性氣體或或稀有氣體（例如氬或氦）之氛圍下執行，以致於降低包含於氧化物半導體層中的例如濕氣等雜質。此外，可以防止水（H₂O）進入。

較佳地在具有 20 ppm 或更低的 H₂O 濃度的氮氛圍中執行脫水或脫氫的熱處理。或者，熱處理可以在具有 20 ppm 或更低的 H₂O 濃度的超乾空氣中執行。

對於脫水或脫氫的熱處理，可以使用利用電熱爐的加熱法、或例如使用經過加熱的氣體之氣體快速熱退火（GRTA）法或是使用燈光的燈快速熱退火（LRTA）法等快速加熱法。

熱處理條件設定成即使對接受過脫水或脫氫的氧化物半導體層執行高達 450°C 之熱脫附顯微法 (TDS) 時，仍然未偵測到出現在約 300°C 之水的二峰值中的至少一峰值。因此，即使對包含接受過脫水或脫氫的氧化物半導體層之薄膜電晶體執行高達 450°C 之 TDS 測量時，仍然未偵測到出現在約 300°C 之水的峰值。

之後，從氧化物半導體層被脫水或脫氫的加熱溫度 T 緩慢冷卻至低到足以防止例如水或氫等雜質進入的溫度，具體而言，降至比加熱溫度 T 低 100°C 的溫度。使用用於脫氫或脫水的相同加熱爐而不用曝露至空氣及防止例如水或氫等雜質進入。執行脫水或脫氫而使氧化物半導體層成為低電阻型的層，亦即， n 型（例如 n^{-} 型或 n^{+} 型）層，然後，使氧化物半導體層成為高電阻型而成為 i 型氧化物半導體層。在使用此氧化物半導體層製造薄膜電晶體的情形中，薄膜電晶體的臨界電壓為正的，以及可以取得所謂的常關切換元件。對於顯示裝置而言較佳的是通道形成為具由儘可能接近 0V 的正值之臨界電壓。假使薄膜電晶體的臨界電壓是負的時，則薄膜電晶體傾向於所謂的常開，其中，即使當閘極電壓為 0V 時，電流在源極電極與汲極電極之間流動。在主動矩陣顯示裝置中，包含於電路中的薄膜電晶體的電特徵是重要的且影響顯示裝置的性能。在薄膜電晶體的電特徵之中，臨界電壓 (V_{th}) 是特別重要的。即使場效遷移率高時，當臨界電壓高或是負的時，則仍然難以控制電路。當薄膜電晶體具有絕對值大的高臨界電

壓值時，當電晶體由低電壓驅動時，薄膜電晶體無法執行作為 TFT 的切換功能且可能是負載。在 n 通道薄膜電晶體的情形中，較佳的是在施加正電壓作為閘極電極之後形成通道以及汲極電流開始流通。除非驅動電壓升高否則不會形成通道的電晶體、以及即使施加負電壓時仍然形成通道及汲極電流流通之電晶體都不適用作為電路中使用的薄膜電晶體。

在溫度從加熱溫度 T 下降的氣體氛圍切換至不同於溫度增加至加熱溫度 T 的氣體氛圍的氣體氛圍。舉例而言，在與用於執行脫氫或脫水的加熱爐相同的加熱爐中執行緩慢冷卻，加熱爐由高純度氧氣或 N_2O 氣體、或超乾空氣（具有 $-40^{\circ}C$ 或以下，較佳地 $-60^{\circ}C$ 或以下的露點）填充而不曝露於空氣中。

使用由脫水或脫氫之熱處理以降低含於膜中的濕氣且然後在未含濕氣（具有 $-40^{\circ}C$ 或以下，較佳地 $-60^{\circ}C$ 或以下的露點）之氛圍中緩慢冷卻（或冷卻）而形成的氧化物半導體膜，可以增進薄膜電晶體的電特徵，以及，提供可以量產及高性能的薄膜電晶體。

在本說明書中，在氮或稀有氣體（例如氬或氦）的惰性氣體氛圍下的熱處理被稱為脫水或脫氫之熱處理。在本說明書中，為了方便起見，脫氫不僅意指藉由熱處理以消除 H_2 的形式，脫氫或脫水也意指消除 H、OH、等等。

在氮或稀有氣體（例如氬或氦）的惰性氣體氛圍中執行熱處理的情形中，熱處理使得氧化物半導體層變成氧缺

乏型的層以降低其電阻，以致於氧化物半導體層轉變成 n 型（例如，n⁺型）氧化物半導體層。

此外，形成與汲極電極層重疊且為氧缺乏型的高電阻汲極區（也稱為 HRD 區）。此外，形成與源極電極層重疊且為氧缺乏型的高電阻源極區（也稱為 HRS 區）。

具體而言，高電阻汲極區的載子濃度大於或等於 $1 \times 10^{18}/\text{cm}^3$ 且至少高於通道形成區的載子濃度（小於 $1 \times 10^{18}/\text{cm}^3$ ）。本說明書中的載子濃度意指室溫下以霍爾效應測量取得的載子濃度值。

此外，使至少部份被脫水或脫氫的氧化物半導體層成為氧過量狀態而具有更高的電阻，亦即，成為 i-型，以致於形成通道形成區。關於使被脫水或脫氫之氧化物半導體層成為氧過量狀態的處理，執行下述處理：以濺射法（也稱為濺射），沈積與被脫氫或脫水之氧化物半導體層接觸的氧化物絕緣膜；氧化物絕緣膜沈積後之熱處理；氧化物絕緣膜沈積後在包含氧的氛圍中之熱處理；或是，在氧化物絕緣膜沈積後，在惰性氣體氛圍中之熱處理之後，在氧氛圍或超乾空氣中（具有 -40°C 或較低，較佳地 -60°C 或更低之露點）中的冷卻處理；等等。

此外，選擇性地使氧化物半導體層成為氧過量狀態，藉以成為高電阻的，亦即，i 型，以使至少部份被脫水或脫氫的氧化物半導體層（與閘極電極層重疊的部份）成為通道形成區。舉例而言，以下述方式形成通道形成區：由 Ti 或類似者的金屬電極形成的源極電極層和汲極電極層形

成於被脫氫或脫水之氧化物半導體層上並與其接觸，以及，使未與源極和汲極電極層重疊的曝露區選擇性地成為氧過量狀態。在使曝露區選擇性地成為氧過量狀態的情形中，形成與源極電極層重疊的高電阻源極區以及與汲極電極層重疊的高電阻汲極區，藉此在高電阻源極區與高電阻汲極區之間形成通道形成區。亦即，通道形成區的通道長度與源極和汲極電極層自行對準。

依此方式，能夠提供包含具有高度電特徵及高可靠度的薄膜電晶體之半導體裝置。

藉由在與汲極電極層重疊的氧化物半導體層中形成高電阻汲極區，在形成驅動電路的情形中可以增進可靠度。具體而言，藉由形成高電阻汲極區，導電率從汲極電極層經過高電阻汲極區至通道形成區逐漸地變化。因此，在以連接至用於供應高電源電位 V_{DD} 的佈線之汲極電極層來操作之情形中，即使在閘極電極層與汲極電極層之間施加高電場時，高電阻汲極區仍然作為緩衝器以及未局部地施加高電場，以致於可以增進電晶體的耐受電壓。

此外，藉由在與汲極電極層及源極電極層重疊的氧化物半導體層中形成高電阻汲極區及高電阻源極區，在形成的驅動電路的情形中可以降低通道形成區中取得漏電流量的降低。具體而言，藉由形成高電阻汲極區，在電晶體汲極電極層與源極電極層之間的漏電流依序地流經汲極電極層、汲極電極層側上的高電阻汲極區、通道形成區、源極電極層側上的高電阻源極區、以及源極電極層。在該情形

中，在通道形成區中，從汲極電極層側上的高電阻汲極區流至通道形成區的漏電流集中於電晶體關閉時具有高電阻之通道形成區與閘極絕緣層之間的界面之近處；如此，可以降低背通道部份（與閘極電極層分開之通道形成區的部份表面）中的漏電流量。

此外，與源極電極層重疊的高電阻源極區以及與汲極電極層重疊的高電阻汲極區可以視閘極電極層的寬度而彼此重疊，而以部份閘極電極層及閘極絕緣層介於其間，可以更有效地降低汲極電極層的端部近處中電場的強度。

此外，可以在氧化物半導體層與源極和汲極電極層之間形成氧化物導體層。較佳的是，氧化物導體層含有氧化鋅作為成份且未含有氧化銦。舉例而言，可以使用氧化鋅、鋅鋁氧化物、氮氧化鋁、鎳鋅氧化物、等等。氧化物導體層也作為低電阻汲極（LRD，也稱為LRN（低電阻n型導電率））。具體而言，低電阻汲極層的載子濃度高於高電阻汲極區（HRD區）的載子濃度，舉例而言，較佳地在 $1 \times 10^{20}/\text{cm}^3$ 至 $1 \times 10^{21}/\text{cm}^3$ （含）。在氧化物半導體層與源極和汲極電極層之間設置氧化物導體層可以降低接觸電阻及實現電晶體的更高速操作。因此，可以增進週邊電路（驅動電路）的頻率特徵。

可以連續地形成用於形成源極和汲極電極層的氧化物導體層及金屬層。

藉由堆疊金屬材料及與作為LRN區或LRD區的氧化物導體層的材料相同的材料而形成的佈線被用以形成上述

第一佈線和第二佈線。藉由堆疊金屬和氧化物導體層，在例如用於重疊較低佈線或開口的部份等步階處的遮蓋可以增進，可以降低佈線電阻。此外，可預期防止導因於遷移等的佈線電阻之局部增加以及佈線的斷開；因此，可以提供具有高可靠度的半導體裝置。

也關於第一佈線與第二佈線之間的上述連接，可以在它們之間設置氧化物導體層，藉此可預期防止導因於連接部份（接觸部份）中金屬表面上絕緣氧化物的形成之接觸電阻的增加；因此，可以提供具有高可靠度的半導體裝置。

由於薄膜電晶體容易因靜電等而損壞，所以，較佳地，在與用於像素部份的基底相同的基底上，為閘極線或源極線設置用於保護包含於像素部份中的薄膜電晶體之保護電路。較佳的是，使用利用氧化物半導體層的非線性元件，形成保護電路。

注意，在本說明書中為了方便起見而使用例如「第一」及「第二」等序號，但其並非代表步驟的次序以及層的堆疊次序。此外，在本說明書中的序號並非代表具體說明本發明之特定名稱。

使用氧化物半導體層的薄膜電晶體可以用於電子裝置或光學裝置。舉例而言，使用氧化物半導體層的薄膜電晶體可以作為液晶顯示裝置、發光裝置、電子紙等的切換元件。

未侷限於顯示裝置，也可以製造用於高功率控制的絕

緣閘極半導體裝置，特別是稱為功率 MOS 裝置的半導體裝置。亦例如有功率 MOS 裝置、MOSFET、IGBT 等。

可以提供具有較少寄生電容及低耗電的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

能夠提供具有高可靠度的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

【圖式簡單說明】

在附圖中，

圖 1A1 及 1A2 以 1B 顯示半導體裝置。

圖 2A 至 2F 顯示半導體裝置的製造方法。

圖 3A1 及 3A2 和 3B 顯示半導體裝置。

圖 4A 至 4F 顯示半導體裝置的製造方法。

圖 5A 至 5F 顯示半導體裝置的製造方法。

圖 6A 至 6B 顯示半導體裝置。

圖 7 顯示半導體裝置。

圖 8 顯示半導體裝置。

圖 9 顯示半導體裝置。

圖 10 顯示半導體裝置。

圖 11 顯示半導體裝置中像素的等效電路。

圖 12A 至 12C 顯示半導體裝置。

圖 13A 及 13B 顯示半導體裝置。

圖 14A 至 14C 均顯示半導體裝置。

圖 15 顯示半導體裝置。

圖 16 顯示半導體裝置。

圖 17 顯示半導體裝置。

圖 18 顯示半導體裝置中像素的等效電路。

圖 19 顯示半導體裝置。

圖 20A 及 20B 顯示電子設備。

圖 21A 及 21B 顯示電子設備。

圖 22 顯示電子設備。

圖 23 顯示電子設備。

圖 24 顯示電子設備。

圖 25A 至 25D 顯示多色調掩罩。

圖 26 顯示模擬結果。

圖 27 顯示模擬結果。

【實施方式】

於下，將參考附圖，詳述本發明的實施例。但是，本發明不限於下述說明，以及，習於此技藝者將容易瞭解，在不悖離本發明的精神及範圍之下，可以依不同方式修改此處所揭示的模式及細節。因此，本發明不應被解釋成侷限於下述實施例的說明。

（實施例 1）

在實施例 1 中，將參考圖 1A1 及 1A2 和 1B、圖 2A 至 2F、以及圖 6A 和 6B，說明半導體裝置及半導體裝置的製造方法之一實施例。

圖 1A1 及 1A2 顯示形成半導體裝置的平面結構的實施例，圖 1B 顯示其剖面結構的實施例。在圖 1A2、及 1B 中所示的薄膜電晶體 410 是一種稱為通道蝕刻型的底部閘極結構，也稱為逆交錯薄膜電晶體。

圖 1A1 是閘極佈線層（由與閘極電極層相同的步驟形成）與源極佈線層（由與佈線層相同的步驟形成）之間交會的平面視圖；圖 1A2 是通道蝕刻型薄膜電晶體 410 的平面視圖；圖 1B 是延著圖 1A1 及圖 1A2 中的線 C1-C2 及 D1-D2 線之剖面視圖。

薄膜電晶體 410 是通道蝕刻薄膜電晶體，在具有絕緣表面的基底 400 上包含閘極電極層 411、閘極絕緣層 402、氧化物半導體層 412、源極電極層 415a、以及汲極電極層 415b，氧化物半導體層 412 包含至少通道形成區 413、高電阻源極區 414a、及高電阻汲極區 414b。此外，設置遮蓋薄膜電晶體 410 及與通道形成區 413 接觸之氧化物絕緣層 406，以及，在其上設置保護絕緣層 408。

在氧化物絕緣層 407 和保護絕緣層 408 中，形成到達源極電極層 415a 和汲極電極層 415b 之複數個開口（接觸孔）。在複數個開口之一中形成佈線層 417a 和 418a，在複數個開口中的其它開口中形成佈線層 417b 和 418b。在交會中，閘極佈線層 421 和源極佈線層 422 和 423 相堆疊，而以閘極絕緣層 402、氧化物絕緣層 407、及保護絕緣層介於其間。

依此方式，閘極電極層（閘極佈線層）與電連接至源

極電極層或汲極電極層的佈線層交會，而以遮蓋薄膜電晶體的氧化物半導體層及閘極絕緣層之絕緣層介於其間。薄膜電晶體的閘極電極層部份地重疊氧化物半導體層上的源極和汲極電極層除外，未形成閘極電極層、閘極絕緣層、及源極或汲極電極層的堆疊層結構。

因此，由閘極電極層、閘極絕緣層、及源極或汲極電極層的堆疊層結構形成的寄生電容可以降低，以致於可以實現低耗電的半導體裝置。

雖然將薄膜電晶體 410 說明成單閘極薄膜電晶體，但是，當需要時可以形成包含複數個通道形成區的多閘極薄膜電晶體。

於下，將參考圖 2A 至 2F，說明在基底上形成薄膜電晶體 410 的製程。

首先，在具有絕緣表面的基底 400 上形成導體膜，然後，於其上執行第一微影步驟，以致於形成閘極電極層 411 和閘極佈線層 421。以噴墨法，形成光阻掩罩。當以噴墨法形成光阻掩罩時，不使用光罩，造成製造成本降低。

對於可以作為具有絕緣表面的基底 400 之基底並無特別限定，只要其具有足夠高的抗熱性以承受稍後執行的熱處理即可。可以使用硼矽酸鋇玻璃、硼矽酸鋁玻璃等玻璃基底。

當稍後執行的熱處理的溫度高時，較佳的是具有 730℃ 或更高的應變點之基底作為玻璃基底。關於玻璃基底的

材料，舉例而言，使用例如矽酸鋁玻璃、硼矽酸鋁玻璃、或硼矽酸鋇玻璃等玻璃材料。藉由含有數量大於硼酸的量的氧化鋇（ BaO ），玻璃基底是抗熱的且更實用。因此，較佳地使用含有 BaO 及 Ba_2O_3 以致於 BaO 的量大於 B_2O_3 的量之玻璃基底。

也可以使用由例如陶瓷基底、石英基底、或藍寶石基底等絕緣體形成的基底以取代上述玻璃基底。或者，可以使用結晶玻璃等。

作為基部膜的絕緣膜可以設於基底 400 與閘極電極層 411 和閘極佈線層 421 之間。基部膜具有防止雜質元素從基底 400 擴散之功能，以及可使用氮化矽膜、氧化矽膜、氮氧化矽膜、及／或氧氮化矽膜之一或更多而形成為具有單層結構或疊層結構。

使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈮、或鈳等金屬材料、或含有這些材料中的任何材料作為其主成份的合金，將閘極電極層 411 及閘極佈線層 421 形成至具有單層或堆疊層結構。

接著，在閘極電極層 411 和 421 上形成閘極絕緣層 402。

以電漿 CVD 法、濺射法或類似方法，形成具有氧化矽層、氮化矽層、氮氧化矽層、氧氮化矽層、或氧化鋁層的單層或其疊層之閘極絕緣層 402。舉例而言，使用 SiH_4 、氧、及氮作為沈積氣體，以電漿 CVD 法，形成氧氮化矽層。閘極絕緣層 402 的厚度大於或等於 100 nm 且

小於或等於 500 nm；在堆疊層的情形中，堆疊厚度大於或等於 50 nm 且小於或等於 200 nm 的第一閘極絕緣層及厚度大於或等於 5 nm 且小於或等於 300 nm 的第二閘極絕緣層。

在本實施例中，以電漿 CVD 法形成厚度小於或等於 200 nm 的氮化矽層作為閘極絕緣層 402。

接著，在閘極絕緣層 402 上形成厚度大於或等於 2 nm 且小於或等於 200 nm 的氧化物半導體膜 440。較佳的是氧化物半導體膜 440 薄至厚度為大於或等於 50 nm，以致於即使在形成氧化物半導體膜 440 之後執行脫水或脫氫的熱處理時仍然可以保持非晶狀態。當形成氧化物半導體層之後執行熱處理時，歸功於氧化物半導體膜的厚度，可以防止氧化物半導體膜晶化。

在藉由濺射法形成氧化物半導體膜 440 之前，較佳的是，藉由逆濺射，移除閘極絕緣層 402 的表面的灰塵，在逆濺射中，導入氬氣以及產生電漿。逆濺射係一方法，其中，在氬氛圍中，使用 RF 電源以施加電壓至基底側，以在基底近處產生電漿以改變表面的品質。可以使用氮、氬、氧或類似者以取代氬氛圍。

使用 In-Ga-Zn-O 為基礎的非單晶膜、或 In-Sn-Zn-O 為基礎的氧化物半導體膜、In-Al-Zn-O 為基礎的氧化物半導體膜、Sn-Ga-Zn-O 為基礎的氧化物半導體膜、Al-Ga-Zn-O 為基礎的氧化物半導體膜、Sn-Al-Zn-O 為基礎的氧化物半導體膜、In-Zn-O 為基礎的氧化物半導體膜、Sn-

Zn-O 為基礎的氧化物半導體膜、Al-Zn-O 為基礎的氧化物半導體膜、In-O 為基礎的氧化物半導體膜、Sn-O 為基礎的氧化物半導體膜、或 Zn-O 為基礎的氧化物半導體膜，以形成氧化物半導體膜 440。

在本實施例中，藉由使用 In-Ga-Zn-O 為基礎的氧化物半導體靶材，以濺射法形成氧化物半導體膜 440。此狀態的剖面對應於圖 2A。此外，在稀有氣體（典型上為氬）氛圍中、氧氛圍中、或稀有氣體（典型上為氬）及氧的氛圍中，以濺射法，形成氧化物半導體膜 440。在使用濺射法的情形中，較佳的是使用含有大於或等於 2 wt% 且小於或等於 10 wt% 的 SiO_2 之靶材以執行沈積，以致於在氧化物半導體膜 440 中含有抑制晶化的 SiO_x ($x > 0$)；依此方式，在稍後執行的脫水或脫氫之熱處理中可以防止氧化物半導體膜 440 晶化。

在本實施例中，使用含有 In、Ga、及 Zn 的氧化物半導體靶材（ $\text{In}_2\text{O}_3 : \text{Ga}_2\text{O}_3 : \text{ZnO} = 1:1:1$ [mol%] 及 In : Ga : Zn = 1:1:0.5 [at%]），執行膜沈積。沈積條件設定如下：基底與靶材之間的距離為 100 mm、壓力為 0.2 Pa、直流（DC）電源為 0.5 kW、以及氛圍為含有氬氣及氧氣（氬:氧 = 30 sccm:20 sccm 及氧的流速為 40%）的混合氛圍中。由於可以降低灰塵及膜厚是均勻的，所以，較佳的是使用脈衝直流（DC）電源。In-Ga-Zn-O 為基礎的非單晶膜形成至厚度大於或等於 5 nm 且小於或等於 200 nm。在本實施例中，關於氧化物半導體膜，使用 In-Ga-Zn-O 為基礎的

氧化物半導體靶材，藉由濺射法，形成 20 nm 厚的 In-Ga-Zn-O 為基礎的非單晶膜。或者，使用具有 In : Ga : Zn = 1:1:1[at%] 或 In : Ga : Zn = 1:1:2[at%] 的成份比之靶材作為含有 In、Ga、Zn 的氧化物半導體靶材。

濺射法的實施例包含使用高頻電源作為濺射電源的 RF 濺射法、DC 濺射法、以及以脈衝方式施加偏壓的脈衝式 DC 濺射法。在形成絕緣膜的情形中，主要使用 RF 濺射法，以及，在形成金屬膜的情形中，主要使用 DC 濺射法。

可以使用多源濺射設備，其中，可以設置複數個不同材料的靶材。藉由多源濺射設備，可以在相同腔室中形成要堆疊的不同材料膜，或者，在相同腔室中，藉由放電而形成具有多種材料的膜。

或者，使用腔室內設有磁系統且用於磁控管濺射的濺射設備，或是使用用於 ECR 濺射法的濺射設備，其中，使用微波產生的電漿而未使用輝光放電。

此外，關於使用濺射法的沈積法，可以使用反應濺射法及偏壓濺射法，在反應濺射法中，靶材物質及濺射氣體成份在沈積期間彼此化學地反應以形成其薄化合物膜，在偏壓濺射法中，在沈積期間，電壓也施加至基底。

接著，以第二微影步驟，將氧化物半導體膜 440 處理成島狀氧化物半導體層。可以以噴墨法，形成用於形成島狀氧化物半導體層的光阻掩罩。當以噴墨法形成光阻掩罩時未使用光罩，造成製造成本降低。

然後，使氧化物半導體層接受脫水或脫氫。用於脫水或脫氫的第一熱處理之溫度為大於或等於 400°C 且小於或等於 750°C ，較佳地大於或等於 400°C 且低於基底的應變點。在本實施例中，基底被置於電熱爐中，電熱爐是一種熱處理設備，在氮氛圍中，在 450°C 下，氧化物半導體層接受熱處理一小時，然後，氧化物半導體層未曝露於空氣，可以防止水及氫進入氧化物半導體層中。以此方式，取得氧化物半導體層 441（請參見圖 2B）。

於下，延著反應通路（氧化物半導體膜中不僅是水也是 OH 或 H 的反應），分析氧化物半導體中的水消除機制的實施例。使用 In-Ga-Zn-O 為基礎的非晶膜作為氧化物半導體膜。

此外，使用密度汎函法（DFT），計算基態中的模擬模型的最理想分子結構。在 DFT 中，以位能、電子之間的靜電能、電子動能、及包含所有電子之間的複雜反應之交換關聯能量的總合來表示總能量。而且，在 DFT 中，交換關聯反應近似以電子密度表示的一電子位能的函數（亦即，另一函數的函數）而能夠高速及高度準確地計算。在本實施例中，使用 B3LYP 以指明與交換關聯能量相關的每一參數的重量，B3LYP 是混合函數。此外，關於基礎函數，將 LanL2DZ（為基礎函數，其中，分開的共價基礎加至 Ne 殼的有效核心電位）施加至銦原子、鎵原子、及鋅原子，以及，將 6-311（使用用於每一共價軟道的三個收縮函數之三分裂共價基礎集的基礎函數）施加至其它原

子。藉由上述基礎函數，舉例而言，在氫原子的情形中 $1s$ 至 $3s$ 的軌道，而在氧原子的情形中考慮 $1s$ 至 $4s$ 及 $2p$ 至 $4p$ 的軌道。此外，爲了增進計算準確度， p 函數及 d 函數作爲極化基礎集而分別加至氫原子和氧原子。

使用高斯 03 作爲量子化學計算程式。以高性能電腦（SGI 日本有限公司，Altix 4700）用於計算。

假定脫水或脫氫的熱處理使得氧化物半導體膜中包含的 OH 基彼此反應並因而產生 H_2O 。因此，如圖 26 中所示般，分析水的產生及消滅的機制。在圖 26 中，由於 Zn 是二價的，所以，在 M 爲 Zn 的情形中，圖 26 中刪除一個 $M-O$ 鍵。

在圖 26 中， M 代表金屬原子且爲下述三種中的任一種： In 、 Ga 、及 Zn 。在啓始狀態 1， $-OH$ 形成配位鍵以將 M_1 交鏈至 M_2 。在轉換狀態 2， $-OH$ 的 H 錯位至其它 $-OH$ 。在中間狀態 3，產生的 H_2O 分子與金屬原子形成配位鍵。在結束狀態 4， H_2O 分子分開並移開至無窮處。

有下述六種（ M_1-M_2 ）的組合：1， $In-In$ ；2， $Ga-Ga$ ；3， $Zn-Zn$ ；4， $In-Ga$ ；5， $In-Zn$ ；及 6， $Ga-Zn$ 。對所有這些組合執行模擬。在此模擬中，使用模擬模型，以採用叢聚計算，在模擬模型中， M' 由 H 取代以簡化模擬。

在模擬中，取得對應於圖 26 中的反應通路之能量圖。在（ M_1-M_2 ）的六個組合中，1 的模擬結果，（ $In-In$ ）顯示於圖 27 中。

從圖 27 發現用於產生水的活化能量是 1.16 eV 。藉由

消除所產生的水分子，膜因 1.58 eV 而失去穩定。

當以從右至左之反應相反方向觀看圖 27 時，可以感覺到水進入氧化物半導體膜中的反應。在該情形中，在配位至金屬的水被水解以產生二個 OH 基時的活化能量是 0.47 eV。

類似地，分析用於 (M₁-M₂) 的其它組合之反應通路。在情形 1 至 6 的水的產生反應中的活化能 (E_a[eV]) 顯示於表 1 中。

表 1

用於產生水的活化能 E _a [eV]						
	1	2	3	4	5	6
M ₁ -M ₂	In-In	Ga-Ga	Zn-Zn	In-Ga	In-Zn	Ga-Zn
E _a	1.16	1.25	2.01	1.14	1.35	1.4

從表 1 可見在情形 1 (In-In) 及情形 4 (In-Ga) 中最容易造成水的產生反應。相反地，在情形 3 (Zn-Zn) 中較不易有水的產生反應。因此，可以假定使用 Zn 原子之水的產生反應較不易發生。

熱處理設備不限於電熱爐，可以提供藉由來自例如電阻加熱元件等加熱元件的熱傳導或熱輻射以加熱物體的設備。舉例而言，使用例如 GRTA (氣體快速熱退火) 設備或是 LRTA (燈快速熱退火) 設備等 RTA (快速熱退火) 設備。LRTA 設備是以例如鹵素燈、金屬鹵化物燈、氙氣電弧燈、碳電弧燈、高壓鈉燈、高壓水銀燈等燈發射的光

（電磁波）的照射，以加熱物體。GRTA 設備是使用高溫氣體的熱處理設備。關於氣體，使用不會因熱處理而與處理物體反應的惰性氣體，例如氮或例如氬等稀有氣體。

舉例而言，關於第一熱處理，可以執行 GRTA，藉由 GRTA，基底被移入加熱至高達 650°C 至 700°C 的高溫之惰性氣體中被加熱數分鐘並移出被加熱至高溫的惰性氣體。GRTA 能夠進行短時間高溫熱處理。

在第一熱處理中，較佳的是，水、氫、等等儘可能少地包含於氮或例如氮、氬、或氬等稀有氣體中。或者，較佳的是，導入於熱處理的設備中之氮或例如氮、氬、或氬等稀有氣體之純度較佳地為 6N（99.9999%）或更大，更佳地為 7N（99.99999%）或更大，亦即，雜質濃度較佳地設定為 1 ppm 或更小，更佳地為 0.1ppm 或更低。

此外，氧化物半導體膜視第一熱處理的條件或氧化物半導體層的材料而被晶化成微晶膜或多晶膜。舉例而言，氧化物半導體層可以被晶化成具有 90%或更多或是 80%或更多的晶化程度的微晶氧化物半導體層。氧化物半導體層可以視第一熱處理的條件或氧化物半導體層的材料而變成未含結晶成份的非晶氧化物半導體層。氧化物半導體層可以變成氧化物半導體膜，其中，微晶部份（具有大於或等於 1 nm 且小於或等於 20 nm，典型為大於或等於 2 nm 且小於或等於 4 nm 的粒子直徑）混於非晶氧化物半導體中。在使用 RTA（例如，GRTA 或 LRTA）以執行高溫熱處理的情形中，可以在氧化物半導體膜的表面側上產生縱向

（膜厚方向）的針狀晶體。

在被處理成島狀氧化物半導體層之前，在氧化物半導體膜 440 上執行氧化物半導體層的第一熱處理。在該情形中，在第一熱處理之後，將基底取出熱處理設備以及對其執行微影步驟。

可以在下述任何時機執行氧化物半導體層的脫水或脫氫處理：在形成氧化物半導體層之後；在源極電極與汲極電極形成於氧化物半導體層上之後；以及，在保護絕緣膜形成於源極電極和汲極電極上之後。

此外，在接觸孔形成於閘極絕緣層 402 中的情形中，可以在氧化物半導體膜 440 的脫水或脫氫之前或之後執行接觸孔的形成。

氧化物半導體層較佳地包含 In，更佳地包含 In 和 Ga。爲了使氧化物半導體層成爲 i 型的（本質的），脫水或脫氫是有效的。

氧化物半導體膜的蝕刻可以是乾蝕刻，而不限於濕蝕刻。

關於用於乾蝕刻的蝕刻氣體，較佳地使用含有氯的氣體（例如氯氣（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）等氯爲基礎的氣體）。

或者，可以使用含有氟的氣體（例如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）；溴化氫（ HBr ）；氧（ O_2 ）；這些氣體中任何添加例如氦（He）或氬（Ar）等稀有氣體之氣體；等等。

關於乾蝕刻法，可以使用平行板 RIE（反應離子蝕刻）法或 ICP（感應耦合電漿）蝕刻法。為蝕刻成所需形狀，適當地調整蝕刻條件（施加至線圈狀電極的電力量、施加至基底側上的電極之電力量、基底側上電極的溫度、等等）。

關於用於濕蝕刻的蝕刻劑，可以使用藉由混合磷酸、醋酸、及硝酸、氫氧化銨混合物（31 重量%的過氧化氫水：28 重量%的氨水：水 = 5:2:2）、等等而取得的溶液。可以使用 ITO07N（KANTO CHEMICAL CO., INC.製造）。

藉由清洗，將濕蝕刻中使用的蝕刻劑與被蝕刻掉的材料一起移除。包含被移除的材料和蝕刻劑的廢液可以被純化以回收材料。從蝕刻後的廢液中收集及再使用包含於氧化物半導體層中之例如銦等材料，藉以有效率地使用資源及降低成本。

視材料而適當地調整蝕刻條件（例如蝕刻劑、蝕刻時間、及溫度），以便蝕刻成適當形狀。

接著，在閘極絕緣層 402 及氧化物半導體層 441 上形成金屬導體膜。之後，以第三微影步驟，形成光阻掩罩，將金屬導體膜選擇性地蝕刻以形成源極電極層 415a 和汲極電極層 415b，然後，移除光阻掩罩（請參見圖 2C）。

注意，適當地調整每一材料及蝕刻條件，以致於氧化物半導體層 441 不會因金屬導體膜的蝕刻而被移除。

在本實施例中，使用 Ti 膜作為金屬導體膜，以及，以 In-Ga-Zn-O 為基礎的氧化物用於氧化物半導體層 441；

以及，使用氫氧化銨混合物（胺、水、及過氧化氫溶液的混合溶液）作為蝕刻劑。

較佳的是，源極和汲極電極層薄至大於或等於 0.1 nm 且小於或等於 50 nm；使用比佈線層還薄的膜。由於源極和汲極電極層都為薄的導體膜，所以，可以降低由閘極電極層形成的寄生電容。

較佳的是，使用包含具有高氧親和力的金屬之材料，形成源極和汲極電極層。較佳的是，具有高氧親和力的金屬是選自鈦、鋁、錳、鎂、銦、銻、及釷之一或更多材料。在本實施例中，使用鈦膜作為源極和汲極電極層中的每一者。

當執行熱處理而氧化物半導體層與具有高氧親和力的金屬層彼此接觸時，氧原子從氧化物半導體層移至金屬層，以致於增加它們之間的界面之近處中的載子濃度。在它們之間的界面的近處中形成低電阻區，藉以降低氧化物半導體層與源極和汲極電極層之間的接觸電阻。

在源極和汲極電極層中可以使用耐熱導電材料。藉由使用耐熱導電材料，即使當在源極和汲極電極層形成後執行熱處理時，仍然可以防止源極電極層和汲極電極層的特性改變或劣化。

關於耐熱導電材料，可以使用選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、銱（Nd）、及釷（Sc）之元素、包含上述元素中的任何元素作為成份的合金、包含這些元素中的任何元素的組合之合金膜、包含上

述元素中的任何元素作為成份的氮化物、等等。可以使用例如鋁（Al）或銅（Cu）等低電阻導電材料與上述耐熱導電材料相結合的導體膜。

源極電極層和汲極電極層可以包含金屬氧化物層。舉例而言，可以採用氧化鈦膜設於氧化物半導體層與鈦膜之間的結構、或是氧化鈦膜（舉例而言，厚度大於或等於 1 nm 且小於或等於 20 nm）設於鈦膜（舉例而言，厚度大於或等於 0.1 nm 且小於或等於 5 nm）與氧化物絕緣層之間的結構。

當源極電極層和汲極電極層薄至光可透射時，源極電極層和汲極電極層具有透光特性。

在第三微影步驟中，僅有部份氧化物半導體層 441 被蝕刻移除，因而可以形成具有溝槽（凹部）的氧化物半導體層。以噴墨法，形成用於源極電極層 415a 和汲極電極層 415b 的光阻掩罩。當以噴墨法形成光阻掩罩時，不使用光罩，造成製造成本降低。

為了降低微影步驟中光罩及步驟的數目，使用多色調掩罩形成的光阻掩罩，以執行蝕刻步驟。多色調掩罩是光可以透射經過而具有眾多強度的掩罩。藉由使用多色調掩罩而形成的光阻掩罩具有眾多厚度且又可由蝕刻而改變形狀；因此，在用於處理成不同圖案的眾多蝕刻步驟中，可以使用光阻掩罩。因此，對應於至少二種不同圖案的光阻掩罩可以由一多色調掩罩形成。依此方式，可以降低曝光掩罩的數目，以及也可以降低對應的微影步驟的數目，因

而可以實現製程簡化。

接著，使用例如 N_2O 、 N_2 、或 Ar 等氣體，對其執行電漿處理。藉由此電漿處理，移除附著至氧化物半導體層的曝露表面的被吸收的水等等。也可以使用氧和氬的混合氣體以執行電漿處理。

在電漿處理後，形成與部份氧化物半導體層接觸的作為保護絕緣膜氧化物絕緣層 407，而不曝露至空氣。

適當地，氧化物絕緣層 407 具有至少 1 nm 的厚度且藉由一方法以形成氧化物絕緣層 407，藉由所述一方法，例如濺射法，可以使例如水及氬等雜質儘可能少地混入氧化物絕緣層 407 中。當氬含於氧化物絕緣層 407 時，造成氬進入氧化物半導體層或氬取出氧化物半導體層中的氧，藉以使氧化物半導體層的背通道的電阻低（具有 n 型導電率），以致於形成寄生通道。因此，重要的是採用使用儘可能少的氬之形成方法，以致於氧化物絕緣層 407 含有儘可能少的氬。

在本實施例中，以濺射法沈積 200 nm 厚的氧化矽膜作為氧化物絕緣層 407。膜沈積時的基底溫度可以大於或等於室溫且小於或等於 300°C ；在本實施例中，溫度是 100°C 。在稀有氣體（典型上為氬）氛圍、氧氛圍、或包含稀有氣體（典型上為氬）及氧的氛圍中，以濺射法沈積氧化矽膜。使用氧化矽靶材或矽靶材作為靶材。舉例而言，藉由使用矽靶材，在包含氧及氮的氛圍中，以濺射法形成氧化矽膜。關於形成為與電阻降低的氧化物半導體層接

觸的氧化物絕緣層 407，可以使用包含儘可能少的例如濕氣、氫離子、及 OH^- 等雜質以及阻擋這些雜質從外部進入的無機絕緣膜；典型上，使用氮化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、等等。

接著，在惰性氣體氛圍或氧氛圍中執行第二熱處理（在高於或等於 200°C 且低於或等於 400°C 的溫度，舉例而言，高於或等於 250°C 且低於或等於 350°C ）。舉例而言，在氮氛圍中，在 250°C 下，執行第二熱處理一小時。第二熱處理執行加熱，而部份氧化物半導體層（通道形成區）與氧化物絕緣層 407 接觸。

經由上述步驟，對氧化物半導體膜執行脫水或脫氫熱處理，以降低電阻，然後，使部份氧化物半導體膜選擇性地成為氧過量狀態。結果，與閘極電極層 411 重疊的通道形成區 413 變成 I 型的，以及，與源極電極層 415a 重疊的高電阻源極區 414a 以及與汲極電極層 415b 重疊的高電阻汲極區 414b 以自行對準方式形成。經由上述製程，形成薄膜電晶體 410。

此外，在空氣中，在高於或等於 100°C 且低於或等於 200°C 的溫度下，執行等於或大於一小時且等於或小於 30 小時的熱處理。在本實施例，在 150°C 下執行 10 小時的熱處理。此熱處理可以以固定加熱溫度執行；或者，多次重複地執行下述加熱溫度變化：加熱溫度從室溫增加至高於或等於 100°C 且低於或等於 200°C 的溫度，然後降至室溫。可以在降壓下形成氧化物絕緣膜之前執行此熱處理。

降壓能夠使熱處理時間短。藉由此熱處理，將氫從氧化物半導體層導至氧化物絕緣層；因此，可以取得常關薄膜電晶體。因此，可以增進半導體裝置的可靠度。

藉由在與汲極電極層 415b（及源極電極層 415a）重疊的部份氧化物半導體層中形成高電阻汲極區 414b（及高電阻源極區 414a），可以增進薄膜電晶體的可靠度。具體而言，藉由形成高電阻汲極區 414b，導電率可以從汲極電極層 415b 逐漸依序改變成高電阻汲極區 414b 和通道形成區。如此，當電晶體藉由汲極電極層 415b 連接至供應高電源電位 VDD 的佈線而操作時，即使高電場施加於閘極電極層 411 與汲極電極層 415b 之間以致於局部化高電場未施加至電晶體時，由於高電阻汲極區作為緩衝，所以，電晶體仍然具有增加的耐受電壓。

在氧化物半導體層薄至 15 nm 或更低的情形中，高電阻源極區和高電阻汲極區可以形成在氧化物半導體層中的膜厚方向中的所有深度處；而在氧化物半導體層厚達等於或大於 30 nm 且小於或等於 50 nm 的情形中，亦即，與源極和汲極電極層接觸及其近處的氧化物半導體層的區域在電阻方面可以降低，以致於形成高電阻源極區和高電阻汲極區，以及，接近閘極絕緣層的氧化物半導體層的區域可以製成 I 型的。

在氧化物絕緣層 407 上形成保護絕緣層。舉例而言，藉由 RF 濺射法以形成氮化矽膜。由於 RF 濺射法具有高生產力，所以，較佳地作為保護絕緣層的形成方法。使用

含有儘可少的例如濕氣、氫離子、及 OH^- 等雜質以及阻擋這些雜質自外部進入的無機絕緣膜，以形成保護絕緣層；舉例而言，使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜、等等。在本實施例中，使用氮化矽膜作為保護絕緣層，以形成保護絕緣層 408（請參見圖 2D）。

接著，執行第四微影步驟以形成光阻掩罩，以及選擇性地執行蝕刻以移除部份氧化物絕緣層 407 及保護絕緣層 408，以致於形成抵達源極電極層 415a 和汲極電極層 415b 的開口 442a 和 442b（請參見圖 2E）。

藉由濺射法或真空蒸鍍法，在開口 442a 和 442b 中形成堆疊層導電層而與源極電極層 415a 和汲極電極層 415b 接觸，以及，以第五微影步驟，形成光阻掩罩。選擇性地蝕刻堆疊層導電層以形成交會的源極佈線層 422 和 433、佈線層 417a、417b、418a、和 418b（請參見圖 2F）。

使用電阻低於源極和汲極電極層的電阻之導體膜，形成佈線層 417a、417b、418a 和 418b。特別地，使用例如鋁、銅、鉻、鉭、鉬、鎢、鈦、鈮、或鈳等金屬材料、或含有這些材料中的任何材料作為主成份的合金材料，將佈線層形成為具有單層或堆疊層結構。在本實施例中，使用鋁膜作為佈線層 417a 和 417b 中的每一層，佈線層 417a 和 417b 是第一佈線層，使用鈦膜作為佈線層 418a 和 418b 中的每一層，佈線層 418a 和 418b 是第二佈線層。

在保護絕緣層 408 上設置平坦化絕緣層，用於平坦化。設置平坦化絕緣層的實施例顯示於圖 6A 中。在圖 6A

中，在保護絕緣層 408 上形成平坦化絕緣層 409，在設於氧化物絕緣層 407、保護絕緣層 408、及平坦化絕緣層 409 中的開口中，形成佈線層 417a、417b、418a、及 418b。源極佈線層 422 和 423 形成於平坦化絕緣層 409 上。平坦化絕緣層 409 的設置使閘極佈線層 421 和源極佈線層 422 和 423 彼此進一步相離，藉此可以進一步降低寄生電容。

使用例如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂等耐熱性有機材料，形成平坦化絕緣層 409。除了這些有機材料之外，也能夠使用低介電常數材料（低 k 材料）、矽烷為基礎的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、等等。可以藉由堆疊這些材料形成的眾多絕緣膜，形成平坦化絕緣層 409。

矽烷為基礎的樹脂相當於包含使用矽烷為基礎的材料作為啓始材料而形成的包含 Si-O-Si 鍵之樹脂。矽烷為基礎的樹脂可以包含有機基（舉例而言，烷基或芳基）或氟基作為替代物。有機基可以包含氟基。

平坦化絕緣層 409 之形成方法並無特別限定，可以視其材料而使用任何下述方法：濺射法、旋轉塗敷法、浸漬法、噴灑塗著法、或滴放法（例如噴墨法、網版印刷法、偏離印刷法、等等）、輥塗法、簾幕塗著法、或刀式塗著法、等等。

或者，如圖 6B 所示，在氧化物絕緣層 407 上形成佈線層和源極佈線層，而未設置保護絕緣層。在圖 6B 中，

在氧化物絕緣層 407 上設置源極佈線層 422，以及，在氧化物絕緣層 407 中形成的開口中設置佈線層 417a 和 417b。如上所述，佈線層可以具有單層結構。

依此方式，可以提供具有較少寄生電容及低耗電的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

可以提供具有高可靠度的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

（實施例 2）

在實施例 2 中，於下將說明包含具有不同於實施例 1 的結構的薄膜電晶體之半導體裝置的實施例。

圖 3A1 及 3A2 顯示半導體裝置的平面結構的實施例，圖 3B 顯示其剖面結構的實施例。在圖 3A2、及 3B 中所示的薄膜電晶體 450 是一種稱為通道保護型（通道截止型）的底部閘極結構，也稱為逆交錯薄膜電晶體。

圖 3A1 是閘極佈線層（由與閘極電極層相同的步驟形成）與源極佈線層（由與佈線層相同的步驟形成）之間交會的平面視圖；圖 3A2 是通道保護型薄膜電晶體 450 的平面圖；圖 3B 是圖 3A1 及圖 3A2 中的線 C3-C4 及 D3-D4 線之剖面視圖。

薄膜電晶體 450 是通道保護型薄膜電晶體，在具有絕緣表面的基底 400 上包含閘極電極層 451、閘極絕緣層 402、氧化物半導體層 452、源極電極層 455a、以及汲極

電極層 455b，氧化物半導體層 452 包含至少通道形成區 453、高電阻源極區 454a、及高電阻汲極區 454b。此外，設置遮蓋薄膜電晶體 450、與通道形成區 413 接觸、及作為通道保護層之氧化物絕緣層 456，以及，在其上設置保護絕緣層 408。

在保護絕緣層 408 中，形成到達源極電極層 455a 和汲極電極層 455b 之複數個開口（接觸孔）。在複數個開口之一中形成佈線層 457a 和 458a，在複數個開口中的其它開口中形成佈線層 457b 和 458b。在交會中，閘極佈線層 421 和源極佈線層 422 和 423 相堆疊，而以閘極絕緣層 402、氧化物絕緣層 459、及保護絕緣層 408 介於其間。

氧化物絕緣層 459 並非需要設於交會中；但是，氧化物絕緣層 459 的設置使閘極佈線層 421 與源極佈線層 422 和 423 彼此進一步加大距離，因此可以進一步降低寄生電容。

藉由使蝕刻氧化物絕緣層，以及，以同於實施例 1 中所述的氧化物絕緣層 407 的製造方法及材料，形成氧化物絕緣層 456 和 459。在本實施例中，以濺射法形成氧化物絕緣層，以及，以微影步驟將氧化物絕緣層處理成氧化物絕緣層 456 和 459 可以形成氧化物絕緣層。

依此方式，閘極電極層（閘極佈線層）與電連接至源極電極層或汲極電極層的佈線層交會，而以遮蓋薄膜電晶體的保護絕緣層及閘極絕緣層介於其間。薄膜電晶體的閘極電極層部份地重疊氧化物半導體層上的源極和汲極電極

層除外，未形成閘極電極層、閘極絕緣層、及源極或汲極電極層的堆疊層結構。

因此，由閘極電極層、閘極絕緣層、及源極或汲極電極層的堆疊層結構形成的寄生電容可以降低，以致於可以實現低耗電的半導體裝置。

雖然將薄膜電晶體 450 說明成單閘極薄膜電晶體，但是，當需要時可以形成包含複數個通道形成區的多閘極薄膜電晶體。

於下，將參考圖 4A 至 4F，說明在基底上形成薄膜電晶體 450 的製程。

首先，在具有絕緣表面的基底 400 上形成導體膜，然後，於其上執行第一微影步驟，以致於形成閘極電極層 451 和閘極佈線層 421。以噴墨法，形成光阻掩罩。當以噴墨法形成光阻掩罩時，不使用光罩，造成製造成本降低。

使用例如鉬、鈦、鉻、鉭、鎢、鋁、銅、鈮、或鈳等金屬材料、或含有這些材料中的任何材料作為其主成份的合金，將閘極電極層 451 及閘極佈線層 421 形成至具有單層或堆疊層結構。

接著，在閘極電極層 451 和閘極佈線層 421 上形成閘極絕緣層 402。

在本實施例中，以電漿 CVD 法形成厚度小於或等於 200 nm 的氮化矽層作為閘極絕緣層 402。

接著，在閘極絕緣層 402 上形成厚度大於或等於 2

nm 且小於或等於 200 nm 的氧化物半導體膜，然後，以第二微影步驟，將氧化物半導體膜處理成島狀氧化物半導體層。在本實施例中，藉由使用 In-Ga-Zn-O 為基礎的氧化物半導體靶材，以濺射法形成氧化物半導體膜。

然後，使氧化物半導體層接受脫水或脫氫。用於脫水或脫氫的第一熱處理之溫度為大於或等於 400°C 且小於或等於 750°C，較佳地大於或等於 400°C 且低於基底的應變點。在本實施例中，基底被置於電熱爐中，電熱爐是一種熱處理設備，在氮氛圍中，在 450°C 下，對氧化物半導體層執行熱處理一小時，然後，藉由氧化物半導體層未曝露於空氣，可以防止水及氫進入氧化物半導體層中。以此方式，取得氧化物半導體層 441（請參見圖 4A）。

接著，使用例如 N₂O、N₂、或 Ar 等氣體，對其執行電漿處理。藉由此電漿處理，移除附著至氧化物半導體層的曝露表面的被吸收的水等等。也可以使用氧和氫的混合氣體以執行電漿處理。

接著，在閘極絕緣層 402 和氧化物半導體層 441 上形成氧化物絕緣層。之後，以第三微影步驟形成光阻掩罩，將氧化物絕緣層選擇性地蝕刻以形成氧化物絕緣層 456 和氧化物絕緣層 459，然後，移除光阻掩罩。

在本實施例中，以濺射法沈積 200 nm 厚的氧化矽膜作為氧化物絕緣層 456 和氧化物絕緣層 459 中的每一者。膜沈積時的基底溫度可以大於或等於室溫且小於或等於 300°C；在本實施例中，溫度是 100°C。在稀有氣體（典

型上為氬) 氛圍、氧氛圍、或包含稀有氣體(典型上為氬) 及氧的氛圍中，以濺射法沈積氧化矽膜。使用氧化矽靶材或矽靶材作為靶材。舉例而言，藉由使用矽靶材，在包含氧及氮的氛圍中，以濺射法形成氧化矽膜。關於形成為與電阻降低的氧化物半導體層接觸的氧化物絕緣層 456，可以使用包含儘可能少的例如濕氣、氫離子、及 OH^- 等雜質以及阻擋這些雜質從外部進入的無機絕緣膜；典型上，使用氧氮化矽膜、氮化矽膜、氧化鋁膜、氧氮化鋁膜、等等。

接著，在惰性氣體氛圍或氧氛圍中執行第二熱處理(較佳地，在高於或等於 200°C 且低於或等於 400°C 的溫度，舉例而言，高於或等於 250°C 且低於或等於 350°C)。舉例而言，在氮氛圍中，在 250°C 下，執行第二熱處理一小時。第二熱處理執行加熱，而部份氧化物半導體層(通道形成區) 與氧化物絕緣層 407 接觸。

在本實施例中，設有氧化物絕緣層 456 且部份地曝露的氧化物半導體層 441 在氮氛圍或惰性氣體氛圍中或在降壓下進一步接受熱處理。藉由氮氛圍或惰性氣體氛圍或降壓下的熱處理，可以降低未由氧化物絕緣層 456 遮蓋的氧化物半導體層 441 的曝露區的電阻。舉例而言，在 250°C 下，在氮氛圍中，執行熱處理一小時。

藉由在氛圍中對設有氧化物絕緣層 456 的氧化物半導體層 441 執行熱處理，降低氧化物半導體層 441 的曝露區的電阻，以致於形成包含具有不同電阻的複數個區域之氧

化物半導體層 452（在圖 4B 中標示為陰影區及白區）。

接著，在閘極絕緣層 402、氧化物半導體層 452m、及氧化物絕緣層 456 上形成金屬導體膜。之後，以第四微影步驟，形成光阻掩罩，將金屬導體膜選擇性地蝕刻以形成源極電極層 455a 和汲極電極層 455b，然後，移除光阻掩罩（請參見圖 4C）。

較佳的是，源極電極層 455a 和汲極電極層 455b 薄至大於或等於 0.1 nm 且小於或等於 50 nm；使用比佈線層還薄的膜。由於源極和汲極電極層均為薄的導體膜，所以，可以降低閘極電極層形成的寄生電容。

較佳的是，使用包含具有高氧親和力的金屬之材料，形成源極電極層 455a 和汲極電極層 455b。較佳的是，具有高氧親和力的金屬是選自鈦、鋁、錳、鎂、鋯、鉍、及鈷之一或更多材料。在本實施例中，使用鈦膜作為源極電極層 455a 和汲極電極層 455b 中的每一者。

當執行熱處理而氧化物半導體層與具有高氧親和力的金屬層彼此接觸時，氧原子從氧化物半導體層移至金屬層，以致於增加它們之間的界面之近處中的載子濃度。因此，在它們之間的界面的近處中形成低電阻區，藉以降低氧化物半導體層與源極和汲極電極層之間的接觸電阻。

在源極電極層 455a 和汲極電極層 455b 中可以使用耐熱導電材料。藉由使用耐熱導電材料，即使當在源極電極層 455a 和汲極電極層 455b 形成後執行熱處理時，仍然可以防止源極電極層 455a 和汲極電極層 455b 的特性改變或

劣化。

關於耐熱導電材料，可以使用選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、鋱（Nd）、及釷（Sc）之元素、包含上述元素中的任何元素作為成份的合金、包含這些元素中的任何元素的組合之合金膜、包含上述元素中的任何元素作為成份的氮化物、等等。可以使用例如鋁（Al）或銅（Cu）等低電阻導電材料與上述耐熱導電材料相結合的導體膜。

源極電極層 455a 和汲極電極層 455b 可以包含金屬氧化物層。舉例而言，可以採用氧化鈦膜設於氧化物半導體層與鈦膜之間的結構、或是氧化鈦膜（舉例而言，厚度大於或等於 1 nm 且小於或等於 20 nm）設於鈦膜（舉例而言，厚度大於或等於 0.1 nm 且小於或等於 5 nm）與氧化物絕緣膜之間的結構。

當源極電極層 455a 和汲極電極層 455b 薄至光可透射時，源極電極層 455a 和汲極電極層 455b 具有透光特性。

經由上述步驟，對氧化物半導體膜執行脫水或脫氫熱處理，以降低電阻，然後，使部份氧化物半導體膜選擇性地成為氧過量狀態。結果，與閘極電極層 451 重疊的通道形成區 413 變成 I 型的，以及，與源極電極層 455a 重疊的高電阻源極區 454a 以及與汲極電極層 455b 重疊的高電阻汲極區 454b 以自行對準方式形成。經由上述製程，形成薄膜電晶體 450。

此外，在空氣中，在高於或等於 100℃ 且低於或等於

200℃ 的溫度下，執行等於或大於一小時且等於或小於 30 小時的熱處理。在本實施例，在 150℃ 下執行 10 小時的熱處理。此熱處理可以以固定加熱溫度執行；或者，多次重複地執行下述加熱溫度變化：加熱溫度從室溫增加至高於或等於 100℃ 且低於或等於 200℃ 的溫度，然後降至室溫。可以在降壓下形成氧化物絕緣膜之前執行此熱處理。降壓能夠使熱處理時間短。藉由此熱處理，將氫從氧化物半導體層導至氧化物絕緣層；因此，可以取得常關薄膜電晶體。因此，可以增進半導體裝置的可靠度。

藉由在與汲極電極層 455b（及源極電極層 455a）重疊的部份氧化物半導體層中形成高電阻汲極區 454b（及高電阻源極區 454a），可以增進薄膜電晶體的可靠度。具體而言，藉由形成高電阻汲極區 454b，導電率可以從汲極電極層 455b 逐漸依序改變成高電阻汲極區 454b 和通道形成區。如此，當電晶體藉由汲極電極層 455b 連接至供應高電源電位 VDD 的佈線而操作時，即使高電場施加於閘極電極層 451 與汲極電極層 455b 之間以致於局部化高電場未施加至電晶體時，由於高電阻汲極區作為緩衝，所以，電晶體仍然具有增加的耐受電壓。

在源極電極層 455a、汲極電極層 455b、氧化物絕緣層 456、及氧化物絕緣層 459 上形成保護絕緣層 408。舉例而言，藉由 RF 濺射法以形成氮化矽膜。由於 RF 濺射法具有高生產力，所以，較佳地作為保護絕緣層 408 的形成方法。使用含有儘可少的例如濕氣、氫離子、及 OH⁻等

雜質以及阻擋這些雜質自外部進入的無機絕緣膜，以形成保護絕緣層 408；舉例而言，使用氮化矽膜、氮化鋁膜、氮氧化矽膜、氧氮化鋁膜、等等。在本實施例中，使用氮化矽膜，以形成保護絕緣層 408（請參見圖 4D）。

在源極電極層 455a、汲極電極層 455b、氧化物絕緣層 456、及氧化物絕緣層 459 上形成氧化物絕緣層，以及，保護絕緣層 408 可以堆疊於氧化物絕緣層 408 上。可以設置如圖 6A 所示的平坦化絕緣層 409。平坦化絕緣層 409 的設置可以使閘極佈線層 421 與源極佈線層 422 和 423 彼此進一步相離，藉以進一步降低寄生電容。

接著，執行第五微影步驟以形成光阻掩罩，以及選擇性地執行蝕刻以移除部份氧化物絕緣層 408，以致於形成抵達源極電極層 455a 和汲極電極層 455b 的開口 467a 和 467b（請參見圖 4E）。

藉由濺射法或真空蒸鍍法，在開口 467a 和 467b 中形成堆疊層導電層而與源極電極層 455a 和汲極電極層 455b 接觸，以及，以第六微影步驟，形成光阻掩罩。選擇性地蝕刻堆疊層導電層以形成交會的源極佈線層 422 和 433、佈線層 457a、457b、458a、和 458b（請參見圖 4F）。

使用電阻低於源極和汲極電極層的電阻之導體膜，形成佈線層 457a、457b、458a 和 458b。特別地，使用例如鋁、銅、鉻、鉭、鉬、鎢、鈦、鈮、或鈳等金屬材料、或含有這些材料中的任何材料作為主成份的合金材料，將佈線層形成為具有單層或堆疊層結構。在本實施例中，使用

鋁膜作為佈線層 457a 和 457b 中的每一層，佈線層 457a 和 457b 是第一佈線層，使用鈦膜作為佈線層 458a 和 458b 中的每一層，佈線層 458a 和 458b 是第二佈線層。

依此方式，可以提供具有較少寄生電容及低耗電的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

可以提供具有高可靠度的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

（實施例 3）

在實施例 3 中，將參考圖 5A 至 5F，說明包含薄膜電晶體的半導體裝置之製程與實施例 1 不同之另一實施例。由於部份製程有差異之外，圖 5A 至 5F 與圖 1A1、1A2、及圖 1B 以及圖 2A 至 2F 相同，所以，相同的部份由相同的代號表示且省略相同部份的詳細說明。在本實施例中，在微影步驟中使用以多色調掩罩形成的掩罩層。

由於藉由使用多色調掩罩而形成的掩罩層具有眾多膜厚且可以藉由對掩罩層執行蝕刻而進一步改變形狀，所以，在用於處理成不同圖案的眾多蝕刻步驟中可以使用掩罩層。因此，以一多色調掩罩，可以形成對應於至少二種不同圖案的掩罩層。因此，可以減少曝光掩罩的數目，並因而也可以降低微影步驟的數目，因而可以實現製程的簡化。

根據實施例 1，以第一微影步驟，在基底 400 上形成

閘極佈線層 421 和閘極電極層 481，以及，閘極絕緣層 402 堆疊於其上。氧化物半導體膜形成在閘極絕緣層 402 之上。在本實施例中，藉由使用 In-Ga-Zn-O 為基礎的氧化物半導體靶材，以濺射法，形成氧化物半導體膜。

將基底置於一種熱處理設備之電熱爐中，以及，在氮氛圍中，在 450℃ 下，對氧化物半導體層執行熱處理一小時，以便脫水或脫氫，然後，氧化物半導體膜不曝露於空氣，以致於防止水及氫進入氧化物半導體層中。依此方式，取得氧化物半導體膜 465。

接著，以濺射法或真空蒸鍍法，在氧化物半導體膜 465 上形成金屬導體膜 466（請參見圖 5A）。

金屬導體膜 466 是形成源極和汲極電極層的導體膜。較佳的是，源極和汲極電極層薄至大於或等於 0.1 nm 且小於或等於 50 nm；使用比佈線層還薄的膜。由於源極和汲極電極層均為薄的導體膜，所以，可以降低閘極電極層形成的寄生電容。

較佳的是，使用包含具有高氧親和力的金屬之材料，形成源極和汲極電極層。較佳的是，具有高氧親和力的金屬是選自鈦、鋁、錳、鎂、鋅、鈹、及鈦之一或更多材料。在本實施例中，使用鈦膜作為源極和汲極電極層中的每一者。

當執行熱處理而氧化物半導體層與具有高氧親和力的金屬層彼此接觸時，氧原子從氧化物半導體層移至金屬層，以致於增加它們之間的界面之近處中的載子濃度。在它

們之間的界面的近處中形成低電阻區，藉以降低氧化物半導體層與源極和汲極電極層之間的接觸電阻。

在源極和汲極電極層中可以使用耐熱導電材料。藉由使用耐熱導電材料，即使當在源極電極層和汲極電極層形成後執行熱處理時，仍然可以防止源極和汲極電極層的特性改變或劣化。

關於耐熱導電材料，可以使用選自鈦（Ti）、鉭（Ta）、鎢（W）、鉬（Mo）、鉻（Cr）、鋱（Nd）、及釷（Sc）之元素、包含上述元素中的任何元素作為成份的合金、包含這些元素中的任何元素的組合之合金膜、包含上述元素中的任何元素作為成份的氮化物、等等。可以使用例如鋁（Al）或銅（Cu）等低電阻導電材料與上述耐熱導電材料相結合的具有耐熱性的導體膜。

源極和汲極電極層可以包含金屬氧化物層。舉例而言，可以採用氧化鈦膜設於氧化物半導體層與鈦膜之間的結構、或是氧化鈦膜（舉例而言，厚度大於或等於 1 nm 且小於或等於 20 nm）設於鈦膜（舉例而言，厚度大於或等於 0.1 nm 且小於或等於 5 nm）與氧化物絕緣膜之間的結構。

當源極和汲極電極層薄至光可透射時，源極和汲極電極層具有透光特性。

執行第二微影步驟，以致於光阻掩罩 460 形成於氧化物半導體膜 465 及金屬導體膜 466 上。

在本實施例中，顯示以高色調掩罩用於曝光以形成光

阻掩罩 460 的實施例。形成光阻以便形成光阻掩罩 460。關於光阻，可以使用正型光阻或負型光阻。在本實施例中，使用正型光阻。以旋轉塗敷法形成光阻，或者，以噴墨法選擇性地形成光阻。當以噴墨法選擇性地形成光阻時，可以防止光阻形成於不相要的部份中，造成材料的浪費。

接著，藉由使用多色調掩罩 81 作為曝光掩罩以照射光阻，以致於光阻受光曝照。

此處，參考圖 25A 至 25D，說明使用多色調掩罩 81 的曝光。

多色調掩罩可以執行三等級曝光，以形成曝光部份、半曝光部份、及未曝光部份：多色調掩罩是光可以透射經過而具有眾多強度。藉由一次曝光及顯影處理，可以形成具複數個厚度（典型上二種厚度）的區域之光阻掩罩。因此，藉由使用多色調掩罩，可以降低光罩數目。

多色調掩罩的典型實施例是圖 25A 中所示的灰色調掩罩 81a 及圖 25C 中所示的半色調掩罩 81b。

如圖 25A 所示，灰色調掩罩 81a 包含透光基底 83、及形成於透光基底 83 上的遮光部份 84 和繞射光柵 85。遮光部份 84 的透光率是 0%。繞射光柵 85 具有間距小於或等於用於曝光之光的解析度極限的狹縫狀、點狀、網目狀、或類似形狀的透光部份，因而可以控制透光率。繞射光柵 85 可以是具有規律間距的狹縫狀、點狀、或網目狀；或是具有不規律間距的狹縫狀、點狀、或網目狀。

關於透光基底 83，可以使用例如石英基底等透光基

底。使用例如鉻或氧化鉻等吸收光的遮光材料，形成遮光部份 84 及繞射光柵 85。

當灰色調掩罩 81a 由用於曝光的光照射時，如圖 25B 所示，遮光部份 84 的透光率 86 是 0%，以及，未設置遮光部份 84 及繞射光柵 85 之區域的透光率 86 是 100%。繞射光柵 85 的透光率 86 可以控制在 10%至 70%的範圍內。藉由調整繞射光柵的狹縫、點、或網目的間距或間隔，可以控制繞射光柵 85 的透光率。

如圖 25C 所示，半色調掩罩 81b 包含透光基底 83、以及形成於透光基底 83 上的半透光部份 87 和遮光部份 88。使用 MoSiN、MoSi、MoSiO、MoSiON、CrSi、或類似者，形成半透光部份 87。使用例如鉻或氧化鉻等吸收光的遮光材料，形成遮光部份 88。

當半色調掩罩 81b 由用於曝光的光照射時，如圖 25D 所示，遮光部份 88 的透光率 89 是 0%，以及，既未設置遮光部份 88、也未設置半透光部份 87 之區域的透光率 89 是 100%。半透光部份 87 的透光率 89 可以控制在 10%至 70%的範圍內。藉由半透光部份 87 的材料，控制半透光部份 87 的透光率。

在使用多色調掩罩之曝光之後，執行顯影，因而如圖 5B 所示般形成具有不同厚度的區域之光阻掩罩 460。

接著，使用光阻掩罩 460，執行第一蝕刻步驟，以致於將氧化物半導體膜 465 及金屬導體膜 466 蝕刻成島狀。結果，形成氧化物半導體層 461 以及金屬導體層 462（請

參見圖 5B)。

然後，對光阻掩罩 460 執行灰化。結果，光阻掩罩的面積（考慮三維的體積）縮減且厚度縮減。經由此步驟，移除具有小厚度的區域（與部份閘極電極層 481 重疊的區域）中的光阻掩罩之光阻，以致於可以形成彼此分開的光阻掩罩 463a 和 463b。

藉由光阻掩罩 463a 和 436b，以蝕刻移除不必要的部份，以致於形成源極電極層 485a 和汲極電極層 485b（請參見圖 5C）。

適當地調整金屬導體層 462 上的蝕刻之每一材料及蝕刻條件，以致於氧化物半導體層 461 不會因蝕刻而被移除。

在本實施例中，使用 Ti 膜作為金屬導體層 462；以 In-Ga-Zn-O 為基礎的氧化物用於氧化物半導體層 461；以及，使用氫氧化銨溶液（氨、水、及過氧化氫溶液的混合溶液）作為蝕刻劑。

金屬導體膜及氧化物半導體膜的蝕刻可以是乾蝕刻，而不限於濕蝕刻。

關於用於乾蝕刻的蝕刻氣體，較佳地使用含有氯的氣體（例如氯氣（ Cl_2 ）、氯化硼（ BCl_3 ）、氯化矽（ SiCl_4 ）、或四氯化碳（ CCl_4 ）等氯為基礎的氣體）。

或者，可以使用含有氟的氣體（例如四氟化碳（ CF_4 ）、氟化硫（ SF_6 ）、氟化氮（ NF_3 ）、三氟甲烷（ CHF_3 ）；溴化氫（ HBr ）；氧（ O_2 ）；這些氣體中任何添加例

如氦（He）或氬（Ar）等稀有氣體之氣體；等等。

關於乾蝕刻法，可以使用平行板 RIE（反應離子蝕刻）法或 ICP（感應耦合電漿）蝕刻法。為蝕刻成所需形狀，適當地調整蝕刻條件（施加至線圈狀電極的電力量、施加至基底側上的電極之電力量、基底側上電極的溫度、等等）。

關於用於濕蝕刻的蝕刻劑，可以使用藉由混合磷酸、醋酸、及硝酸、氫氧化銨混合物（31 重量%的過氧化氫水：28 重量%的氨水：水 = 5:2:2）、等等而取得的溶液。可以使用 ITO07N（KANTO CHEMICAL CO., INC.製造）。

藉由清洗，將濕蝕刻中使用的蝕刻劑與被蝕刻掉的材料一起移除。包含被移除的材料和蝕刻劑的廢液可以被純化及回收。從蝕刻後的廢液中收集及再使用包含於氧化物半導體層中之例如銦等材料，藉以有效率地使用資源及降低成本。

視材料而適當地調整蝕刻條件（例如蝕刻劑、蝕刻時間、及溫度），以便蝕刻成適當形狀。

接著，移除光阻掩罩 463a 和 463b，以及，形成作為與部份氧化物半導體層 461 接觸的保護絕緣膜之氧化物絕緣層 407。在本實施例中，以濺射法沈積 200 nm 厚的氧化矽膜作為氧化物絕緣層 407。

接著，在惰性氣體氛圍或氧氛圍中執行第二熱處理（較佳地高於或等於 200℃ 且低於或等於 400℃，舉例而言，高於或等於 250℃ 且低於或等於 350℃）。舉例而言，

在氮氛圍中，在 250°C 下，執行第二熱處理一小時。當部份氧化物半導體層（通道形成區）與氧化物絕緣層 407 接觸時，第二熱處理執行加熱。

經由上述步驟，對氧化物半導體膜執行脫水或脫氫熱處理，以降低電阻，然後，使部份氧化物半導體膜選擇性地成為氧過量狀態。結果，與閘極電極層 481 重疊的通道形成區 483 變成 I 型的，以及，與源極電極層 485a 重疊的高電阻源極區 484a 以及與汲極電極層 485b 重疊的高電阻汲極區 484b 以自行對準方式形成。經由上述製程，形成薄膜電晶體 480。

此外，在空氣中，在高於或等於 100°C 且低於或等於 200°C 的溫度下，執行等於或大於一小時且等於或小於 30 小時的熱處理。在本實施例中，在 150°C 下執行 10 小時的熱處理。此熱處理可以以固定加熱溫度執行；或者，多次重複地執行下述加熱溫度變化：加熱溫度從室溫增加至高於或等於 100°C 且低於或等於 200°C 的溫度，然後降至室溫。可以在降壓下形成氧化物絕緣膜之前執行此熱處理。降壓能夠使熱處理時間短。藉由此熱處理，將氫從氧化物半導體層導至氧化物絕緣層；因此，可以取得常關薄膜電晶體。因此，可以增進半導體裝置的可靠度。

接著，在氧化物絕緣層 407 上形成保護絕緣層 408。在本實施例中，使用氮化矽膜以形成保護絕緣層 408 作為保護絕緣層（請參見圖 5D）。

接著，執行第三微影步驟以形成光阻掩罩，以及選擇

性地執行蝕刻以移除部份氧化物絕緣層 407 及保護絕緣層 408，以致於形成抵達源極電極層 485a 和汲極電極層 485b 的開口 464a 和 464b（請參見圖 5E）。

藉由濺射法或真空蒸鍍法，在開口 464a 和 464b 中形成堆疊層導電層而與源極電極層 485a 和汲極電極層 485b 接觸，以及，以第四微影步驟，形成光阻掩罩。選擇性地蝕刻堆疊層導電層以形成交會的源極佈線層 422 和 433、佈線層 487a、487b、488a、和 488b（請參見圖 5F）。

使用電阻低於源極和汲極電極層的電阻之導體膜，形成佈線層 487a、487b、488a 和 488b。特別地，使用例如鋁、銅、鉻、鉭、鉬、鎢、鈦、鈮、或釷等金屬材料、或含有這些材料中的任何材料作為主成份的合金材料，將佈線層形成為具有單層或堆疊層結構。在本實施例中，使用鋁膜作為佈線層 487a 和 487b 中的每一層，佈線層 487a 和 487b 是第一佈線層，使用鈦膜作為佈線層 488a 和 488b 中的每一層，佈線層 488a 和 488b 是第二佈線層。

依此方式，可以提供具有較少寄生電容及低耗電的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

可以提供具有高可靠度的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

本實施例可以與另一實施例適當地結合實施。

（實施例 4）

在實施例 4 中，將參考圖 7，說明使用實施例 1 中的透光導體材料以形成閘極電極層的實施例。因此，可以應用與實施例 1 相同的部份，並省略與實施例 1 相同的部份的說明及具有類似於實施例 1 的功能之部份及步驟的說明。圖 7 與圖 1A1、1A2、及圖 1B 以及圖 2A 至 2F 相同，但是，部份製程中的差異除外；因此，以相同的代號表示相同的部份，以及，省略相同部份的詳細說明。

圖 7 中所示的膜電晶體 430 是通道蝕刻薄膜電晶體，以及，在具有絕緣表面的基底 400 上包含閘極電極層 431、閘極絕緣層 402、氧化物半導體層 432、源極電極層 435a、以及汲極電極層 435b，氧化物半導體層 432 包含至少通道形成區 433、高電阻源極區 434a、及高電阻汲極區 434b。此外，設置遮蓋薄膜電晶體 430 及與通道形成區 433 接觸之氧化物絕緣層 407，以及，在其上設置保護絕緣層 408。

在氧化物絕緣層 407 和保護絕緣層 408 中，形成到達源極電極層 435a 之個開口（接觸孔）。在個開口中形成佈線層 437 和 438。在交會中，閘極佈線層 421 和源極佈線層 422 和 423 相堆疊，而以閘極絕緣層 402、氧化物絕緣層 407、及保護絕緣層介於其間。關於圖 7 中所示的抵達源極電極層 435a 的開口以及抵達形成於開口中的佈線層 437 和 438，開口和佈線層可以設於未與氧化物半導體層 432 重疊的區域中。

依此方式，閘極電極層（閘極佈線層）與電連接至源

極電極層或汲極電極層的佈線層交會，而以遮蓋薄膜電晶體的氧化物半導體層及閘極絕緣層之絕緣層介於其間。薄膜電晶體的閘極電極層部份地重疊氧化物半導體層上的源極和汲極電極層除外，未形成閘極電極層、閘極絕緣層、及源極或汲極電極層的堆疊層結構。

因此，由閘極電極層、閘極絕緣層、及源極或汲極電極層的堆疊層結構形成的寄生電容可以降低，以致於可以實現低耗電的半導體裝置。

在佈線層 438、源極佈線層 423、及保護絕緣層 408 上設置平坦化絕緣層 409，以及，像素電極層 427 設於平坦化絕緣層 409 上。像素電極層 427 經由形成於平坦化絕緣層 409 中的開口而與佈線層 438 接觸，以及，薄膜電晶體 430 經由佈線層 437 和 438 而電連接至像素電極層 427。

藉由使用薄的金屬導體膜，將源極電極層 435a 和汲極電極層 435b 均形成爲透光導體膜。

此外，在圖 7 中，也使用透光導體膜以形成薄膜電晶體 430 中的閘極電極層 431。

關於閘極電極層 431 的材料，可以使用使可見光透射的導體材料。舉例而言，可以使用下述金屬氧化物中的任一者：In-Sn-O 爲基礎的金屬氧化物；In-Sn-Zn-O 爲基礎的金屬氧化物；In-Al-Zn-O 爲基礎的金屬氧化物；Sn-Ga-Zn-O 爲基礎的金屬氧化物；Al-Ga-Zn-O 爲基礎的金屬氧化物；Sn-Al-Zn-O 爲基礎的金屬氧化物；In-Zn-O 爲基礎

的金屬氧化物；Sn-Zn-O 為基礎的金屬氧化物；Al-Zn-O 為基礎的金屬氧化物；In-O 為基礎的金屬氧化物；Sn-O 為基礎的金屬氧化物；及 Zn-O 為基礎的金屬氧化物。其厚度適當地設定在大於或等於 50 nm 且小於或等於 300 nm 的範圍內。關於用於閘極電極層 431 的金屬氧化物的沈積法，使用濺射法、真空蒸鍍法（電子束蒸鍍法等等）、放電離子電鍍法、或噴灑法。當使用濺射法時，較佳的是使用含有 2 wt%（含）至 10 wt%（含）的 SiO_2 之靶材以執行沈積，以及，在透光導體膜中含有抑制晶化的 SiO_x （ $x > 0$ ），以在稍後步驟中的脫水或脫氫熱處理時防止晶化。

依此方式，形成薄膜電晶體 430 作為透光薄膜電晶體。

在配置有薄膜電晶體 430 的像素中，以可見光可透射的導體膜形成像素電極層 427、另一電極層（例如電容器電極層）、或佈線層（例如電容器佈線層），以致於實現具有高孔徑比的顯示裝置。無需多言，較佳的是以使可見光透射的膜用於形成閘極絕緣層 402、氧化物絕緣層 407、及保護絕緣層 408。

在本說明書中，使可見光透射的導體膜意指厚度使 75%至 100%的可見光透射之膜。在膜具有導電率的情形中，膜也被稱為透明導體膜。此外，對於可見光半透明的導體膜可以作為施加至閘極電極層、源極電極層、汲極電極層、像素電極層、或其它電極層或其它佈線層之金屬氧

化物。對可見光半透明意指可見光透射率是 50%至 75%。

由於薄膜電晶體 430 具有透光特性，所以，可以增進孔徑比。舉例而言，特別是對於 10 吋或更小的小型液晶顯示面板而言，即使當像素的尺寸降低以藉由增加閘極佈線的數目來實現更高解析度的顯示影像時，仍然可以取得高孔徑比。此外，藉由使用透光膜作為薄膜電晶體 430 中的元件，即使當一像素分成眾多副像素以實現寬廣視角時，仍然可以取得高孔徑比。亦即，即使當配置高密度的薄膜電晶體組時，仍然可以維持高孔徑比，以及，顯示區可以具有充份的面積。舉例而言，在一像素包含二至四個子像素的情形中，由於薄膜電晶體具有透光性，所以，孔徑比可以增進。此外，以同於薄膜電晶體中的元件相同的步驟及相同的材料來形成儲存電容器，以致於儲存電容器可以具有透光特性，藉此，可以進一步增進孔徑比。

本實施例可以與其它實施例適當地結合實施。

（實施例 5）

在實施例 5 中，將參考圖 8，說明與實施例 1 不同的薄膜電晶體製程之實施例。圖 8 與圖 1A1、1A2、及圖 1B 以及圖 2A 至 2F 相同，但是，部份製程中的差異除外；因此，以相同的代號表示相同的部份，以及，省略相同部份的詳細說明。

根據實施例 1，閘極佈線層 421 和閘極電極層 471 形成於基底 400 上，以及，閘極絕緣層 402 堆疊於其上。

接著，形成氧化物半導體膜並以微影步驟將其處理成島狀氧化物半導體層。

然後，使氧化物半導體層接受脫水或脫氫。用於脫水或脫氫的第一熱處理之溫度為大於或等於 400°C 且小於或等於 750°C ，較佳地大於或等於 425°C 。注意，在溫度為 425°C 或更高的情形中，熱處理時間可為一小時或更少，而在溫度低於 425°C 的情形中，熱處理時間比一小時長。在本實施例中，基底被置於電熱爐中，電熱爐是一種熱處理設備，在氮氛圍中，對氧化物半導體層執行熱處理，然後，氧化物半導體層未曝露於空氣，可以防止水及氫進入氧化物半導體層中。以此方式，取得氧化物半導體層。之後，將高純度氧氣、高純度 N_2O 氣體、或超乾空氣（具有 -40°C 或以下，較佳地 -60°C 或以下的露點）導入相同爐中並執行冷卻。較佳的是，水、氫、等等儘可能少地包含於氧氣或 N_2O 氣體中。或者，較佳的是，導入於熱處理設備中之氧氣或 N_2O 氣體具有的純度為 6N（99.9999%）或更大，更佳地為 7N（99.99999%）或更大（亦即，氧氣或 N_2O 氣體中的雜質濃度設定為 1 ppm 或更低，更佳地為 0.1ppm 或更低）。

熱處理設備不限於電熱爐，舉例而言，可以使用例如 GRTA（氣體快速熱退火）設備或是 LRTA（燈快速熱退火）設備等 RTA（快速熱退火）設備。LRTA 設備是以例如鹵素燈、金屬鹵化物燈、氙氣電弧燈、碳電弧燈、高壓鈉燈、高壓水銀燈等燈發射的光（電磁波）的照射，以加

熱物體。LRTA 設備設有裝置，以不僅來自燈，也以例如電阻加熱器的熱傳導或熱輻射來加熱要處理的物體。GRTA 是使用高溫氣體以執行熱處理的方法。關於氣體，使用不會因熱處理而與受處理的物體反應的惰性氣體，例如氮或例如氬等稀有氣體。使用 RTA 法，在 600°C 至 700°C 下執行熱處理數分鐘。

在脫水或脫氫的第一熱處理後，在氧氣氛圍或 N_2O 氛圍中，在高於或等於 200°C 且低於或等於 400°C 的溫度下，較佳地高於或等於 200°C 且低於或等於 300°C 的溫度下，執行熱處理

在氧化物半導體膜被處理成島狀氧化物半導體膜之前，對其執行氧化物半導體層的第一熱處理。在該情形中，在第一熱處理之後，將基底自加熱設備中取出並對其執行微影步驟。

經由上述步驟，使整體氧化物半導體膜地成為氧過量狀態而具有較高的電阻，亦即，變成 I 型氧化物半導體膜。因此，形成整個區域具有 I 型導電率的氧化物半導體層 472。

接著，在氧化物半導體層 472 上，以微影步驟形成光阻掩罩，選擇性地蝕刻以形成源極電極層 475a 和汲極電極層 475b，然後，以濺射法形成氧化物絕緣層 407。

接著，為了降低薄膜電晶體的電特徵變異，在惰性氣體氛圍或氮氣氛圍中（較佳地，在高於或等於 150°C 且低於或等於 350°C 的溫度下），執行熱處理。舉例而言，在

氮氣氛圍中，在 250℃ 的溫度下，執行熱處理一小時。

此外，在空氣中，在高於或等於 100℃ 且低於或等於 200℃ 的溫度下，執行等於或大於一小時且等於或小於 30 小時的熱處理。在本實施例中，在 150℃ 下執行 10 小時的熱處理。此熱處理可以以固定加熱溫度執行；或者，多次重複地執行下述加熱溫度變化：加熱溫度從室溫增加至高於或等於 100℃ 且低於或等於 200℃ 的溫度，然後降至室溫。可以在降壓下形成氧化物絕緣膜之前執行此熱處理。降壓能夠使熱處理時間短。藉由此熱處理，將氫從氧化物半導體層導至氧化物絕緣層；因此，可以取得常關薄膜電晶體。因此，可以增進半導體裝置的可靠度。

接著，在氧化物絕緣層 407 上形成保護絕緣層 408。

接著，執行微影步驟以形成光阻掩罩，以及選擇性地執行蝕刻以移除部份氧化物絕緣層 407 及保護絕緣層 408，以致於形成抵達源極電極層 475a 和汲極電極層 475b 的開口。

藉由濺射法或真空蒸鍍法，在開口中形成堆疊層導電層而與源極電極層 475a 和汲極電極層 475b 接觸，以及，以微影步驟，形成光阻掩罩。選擇性地蝕刻堆疊層導電層以形成交會的源極佈線層 422 和 433、佈線層 477a、477b、478a、和 478b（請參見圖 8）。

依此方式，可以提供具有較少寄生電容及低耗電的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

可以提供具有高可靠度的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

本實施例可以與另一實施例適當地結合實施。

（實施例 6）

在實施例 6 中，將參考圖 9，說明作為源極和汲極區的氧化物導體層設於實施例 1 中的氧化物半導體層與源極和汲極電極層之間的實施例。因此，可以應用與實施例 1 相同的部份，並省略與實施例 1 相同的部份的說明及具有類似於實施例 1 的功能之部份及步驟的說明。圖 9 與圖 1A1、1A2、及圖 1B 以及圖 2A 至 2F 相同，但是，部份製程中的差異除外；因此，以相同的代號表示相同的部份，以及，省略相同部份的詳細說明。

圖 9 中所示的膜電晶體 469 是通道蝕刻薄膜電晶體，以及，在具有絕緣表面的基底 400 上包含閘極電極層 411、閘極絕緣層 402、氧化物半導體層 412、氧化物導體層 416a 和 416b、源極電極層 415a、以及汲極電極層 415b，氧化物半導體層 412 包含至少通道形成區 413、高電阻源極區 414a、及高電阻汲極區 414b。此外，設置遮蓋薄膜電晶體 469 及與通道形成區 413 接觸之氧化物絕緣層 407，以及，在其上設置保護絕緣層 408。

根據實施例 1，在基底 400 上形成閘極佈線層 421 和閘極電極層 411，以及，在其上堆疊閘極絕緣層 402。在閘極絕緣層 402 上形成氧化物半導體膜以形成被脫水或脫

氫的氧化物半導體層。

在經過脫水或脫氫的氧化物半導體層上，形成氧化物導體層 416a 和 416b。本實施例中所述的是一實施例，其以同於氧化物半導體層的微影步驟，將氧化物導體層 416a 和 416b 處理成適當形狀；但是，可以以同於源極電極層和汲極電極層的微影步驟，將氧化物導體層 416a 和 416b 處理成適當形狀。

關於氧化物導體層 416a 和 416b 的形成法，使用濺射法、真空蒸鍍法（電子束蒸鍍法等等）、電弧放電離子電鍍法、或噴灑法。較佳的是氧化物導體層 416a 和 416b 都含有氧化鋅作為成份且未含有氧化銦。關於氧化物導體層 416a 和 416b 的材料，可以使用氧化鋅、鋅鋁氧化物、鋅鋁氧氮化物、鎵鋅氧化物、等等。每一氧化物導體層的厚度適當地設定在大於或等於 50 nm 且小於或等於 300 nm 的範圍內。在使用濺射法的情形中，較佳的是使用含有 2 wt%（含）至 10 wt%（含）的 SiO_2 之靶材以執行沈積，以及，在氧化物導體膜中含有抑制晶化的 SiO_x （ $x > 0$ ），以在稍後步驟中的脫水或脫氫熱處理時防止晶化。

在本實施例中，如下所述地形成氧化物導體層 416a 和 416b：以同於氧化物半導體層的微影步驟，執行處理成適當形狀；以及，使用源極電極層 415a 和汲極電極層 415b 作為掩罩以執行蝕刻。舉例而言，以例如光阻脫除液等鹼性溶液，可以容易地蝕刻含有氧化鋅作為成份的氧化物導體層 416a 和 416b。

藉由利用氧化物半導體層與氧化物導體層之間的蝕刻速率差異，執行蝕刻處理，用於將氧化物導體層分割以形成通道形成區。利用氧化物導體層的蝕刻率高於氧化物半導體層，選擇性地蝕刻在氧化物半導體層上的氧化物導體層。

因此，較佳的是以灰化步驟移除用於形成源極電極層 415a 和汲極電極層 415b 之光阻掩罩。在以脫除液蝕刻的情形中，適當地調整蝕刻條件（例如，蝕刻劑的種類、濃度、及蝕刻時間），以致於不會蝕刻掉太多氧化物導體層和氧化物半導體層。

設於氧化物半導體層 412 與使用金屬材料形成的汲極電極層 415b 之間的氧化物導體層 416b 也作為低電阻汲極（LRD，也稱為 LRN（低電阻 n 型導電率））區。類似地，設於氧化物半導體層 412 與使用金屬材料形成的源極電極層 415a 之間的氧化物導體層 416a 也作為低電阻源極（LRS，也稱為 LRN（低電阻 n 型導電率））區。藉由氧化物半導體層、低電阻汲極區、及使用金屬材料形成的汲極電極層的結構，可以進一步增進電晶體的耐受電壓。具體而言，低電阻汲極區的載子濃度高於高電阻汲極區（HRD 區）的載子濃度，較佳地在 $1 \times 10^{20}/\text{cm}^3$ （含）至 $1 \times 10^{21}/\text{cm}^3$ （含）的範圍中。

當設置氧化物導體層作為氧化物半導體層與源極和汲極電極層之間的源極區和汲極區時，可以降低源極區和汲極區的電阻，以及實現電晶體的高速操作。有效的是使用

氧化物導體層作為源極和汲極區，以改進週邊電路（驅動電路）的頻率特徵。這是因為相較於金屬電極（例如，Ti）與氧化物半導體層之間的接觸，金屬電極（例如，Ti）與氧化物導體層之間的接觸可以降低接觸電阻。

此外，作為半導體裝置中的佈線材料（例如，Mo/Al/Mo）的一部份之鉬（Mo）與氧化物半導體層具有高接觸電阻的問題。這是因為 Mo 較不易被氧化，且相較於鈦，從氧化物半導體層取出氧的效力較差，以及，在 Mo 與氧化物半導體層之間的接觸介面未被改變成具有 n 型導電率。但是，即使在此情形中，藉由將氧化物導體層插入於氧化物半導體層與源極和汲極電極層之間，可以降低接觸電阻；因此，可以增進週邊電路（驅動電路）的頻率特徵。

在氧化物導體層蝕刻時，決定薄膜電晶體的通道長度，因此，可以進一步縮短通道長度。舉例而言，通道長度（L）可以設定為小至 $0.1\ \mu\text{m}$ （含）至 $2\ \mu\text{m}$ （含）；依此方式，可以增加操作速度。

本實施例可以與任何另一實施例適當地結合實施。

依此方式，可以提供具有較少寄生電容及低耗電的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

可以提供具有高可靠度的半導體裝置作為包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

(實施例 7)

在實施例 7 中，圖 10 顯示一實施例，其中，當從其剖面觀看時，氧化物半導體層由氮化物絕緣膜圍繞。圖 10 與圖 1A1、1A2、及圖 1B 相同，但是，氧化物絕緣層的端部之位置及上表面形狀、以及閘極絕緣層的結構不同；因此，以相同的代號表示相同的部份，以及，省略相同部份的詳細說明。

圖 10 中所示的膜電晶體 410 是通道蝕刻薄膜電晶體，以及，在具有絕緣表面的基底 400 上包含閘極電極層 411、使用氮化物絕緣膜形成的第一閘極絕緣層 492a、使用氧化物絕緣膜形成的第二閘極絕緣層 492b、氧化物半導體層 412、源極電極層 415a、以及汲極電極層 415b，氧化物半導體層 412 包含至少通道形成區 413、高電阻源極區 414a、及高電阻汲極區 414b。此外，設置遮蓋薄膜電晶體 410 及與氧化物半導體層 412 的通道形成區接觸之氧化物絕緣層 497b。在氧化物絕緣層 497b 上設置保護絕緣層 498。

在氧化物絕緣層 487b 和保護絕緣層 498 中，形成到達源極電極層 415a 和汲極電極層 415b 之複數個開口（接觸孔）。在複數個開口之一中形成佈線層 417a 和 418a，在複數個開口中的其它開口中形成佈線層 417b 和 418b。在交會中，閘極佈線層 421 和源極佈線層 422 和 423 相堆疊，而以閘極絕緣層 402、氧化物絕緣層 497、及保護絕緣層 498 介於其間。

在本實施例中的薄膜電晶體 410 中，閘極絕緣層具有堆疊層結構，其中，氮化物絕緣膜及氧化物絕緣膜堆疊於閘極電極層側上。在氧化物絕緣層中形成開口時，第二閘極絕緣層的氧化物絕緣膜也被選擇性地移除以曝露部份氧化物絕緣膜。

較佳的是，當從上方觀視時，至少氧化物半導體層 412 是在氧化物絕緣層 497b 及第二閘極絕緣層 492b 之內，以及，氧化物絕緣層 497b 和第二閘極絕緣層 492b 遮蓋薄膜電晶體。

此外，形成使用氮化物絕緣膜形成的保護絕緣層 498 至遮蓋氧化物絕緣層 497b 的上表面及側表面以及接觸第一閘極絕緣層 492a 的氮化物絕緣膜。

關於均使用氮化物絕緣膜形成的保護絕緣層 498 和第一閘極絕緣層 492a 中的每一者，可以使用包含儘可能少的例如濕氣、氫離子、及 OH^- 等雜質以及阻擋這些雜質從外部進入的無機絕緣膜：舉例而言，使用以濺射法或電漿 CVD 法取得的氮化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、等等。

在本實施例中，關於使用氮化物絕緣膜形成的保護絕緣層 498，以 RF 濺射法設置 100 nm 厚的氧化矽膜以遮蓋氧化物半導體層 412 的上表面及側表面。此外，保護絕緣層 498 與使用氮化物絕緣膜形成的第一閘極絕緣層 492a 接觸。

根據圖 10 中所示的結構，在使用氮化物絕緣膜形成

的保護絕緣層 498 形成之後，在製程中濕氣從外部進入。此外，即使在完成裝置作為例如液晶顯示裝置等半導體裝置之後，仍然可以長期防止濕氣從外部進入；因此，可以增進裝置的長期間可靠度。

在本實施例中，一薄膜電晶體由氮化物絕緣膜圍繞；但是，本發明未特別限定：眾多薄膜電晶體可以由氮化物絕緣膜圍繞或是像素部份中的眾多薄膜電晶體可以由氮化物絕緣膜集體地圍繞。保護絕緣層 498 及第一閘極絕緣層 492a 彼此接觸的區域形成為至少圍繞主動矩陣基底的像素部份。

本實施例可以與另一實施例適當地結合實施。

（實施例 8）

在實施例 8 中，將說明根據實施例 1 至 7 中的任何實施例之使用薄膜電晶體和使用電致發光的發光元件之主動矩陣發光顯示裝置的製造實施例。

使用電致發光的發光元件根據發光材料為有機化合物或無機化合物而分類。一般而言，前者稱為有機 EL 元件，後者稱為無機 EL 元件。

在有機 EL 元件中，藉由施加電壓至發光元件，電子及電洞分別從電極對注入至含有發光有機化合物的層，以及，電流通。載子（電子及電洞）復合，因此，發光有機化合物受激發。發光有機化合物從激態返回至基態，藉以發出光。歸因於此機制，此發光元件稱為電流激發發光

元件。

無機 EL 元件根據它們的元件結構而分成散佈型無機 EL 元件及薄膜型無機 EL 元件。散佈型無機 EL 元件具有發光層，在發光層中，發光材料的粒子散佈於結合劑中，以及，其發光機制是利用施子能階與受子能階之施子－受子復合型發光。薄膜型無機 EL 元件具有一結構，在結構中，發光層夾於介電層之間，介電層又夾於電極之間，以及，其發光機制是使用金屬離子之內殼電子跳遷之局部型發光。在本實施例中，使用有機 EL 元件作為說明之發光元件。

圖 11 顯示舉例說明的半導體裝置之應用數位時間灰階驅動的像素配置實施例。

說明應用數位時間灰階驅動的像素的配置及操作。在本實施例中，一像素包含二 n 通道電晶體，每一 n 通道電晶體均包含使用氧化物半導體層之通道形成區。

像素 6400 包含切換電晶體 6401、驅動電晶體 6402、發光元件 6404、及電容器 6403。切換電晶體 6401 的閘極連接至掃描線 6406。切換電晶體 6401 的第一電極（源極電極與汲極電極之一）連接至訊號線 6405，以及，切換電晶體 6401 的第二電極（源極電極與汲極電極中的另一電極）連接至驅動電晶體 6402 的閘極。驅動電晶體 6402 的閘極經由電容器 6403 連接至電源線 6407，驅動電晶體 6402 的第一電極連接至電源線 6407，以及，驅動電晶體 6402 的第二電極連接至發光元件 6404 的第一電極（像素

電極)。發光元件 6404 的第二電極對應於共同電極 6408。共同電極 6408 電連接至設於相同基底上的共同電位線。

發光元件 6404 的第二電極（共同電極 6408）設於低電源電位。注意，低電源電位滿足低電源電位 < 相對於設定於電源線 6407 的高電源電位之高電源電位。關於低電源電位，舉例而言，可以使用接地（GND）、或 0V。在高電源電位與低電源電位之間的電位差施加至發光元件 6404，以及電流供應至發光元件 6404，以致於發光元件 6404 發光。慮及上述，每一電位設定成高電源電位與低電源電位之間的電位差是發光元件 6404 的順向臨界電壓或更高。

藉由交替地使用驅動電晶體 6402 的閘極電容器，可以省略電容器 6403。驅動電晶體 6402 的閘極電容可以形成於通道區與閘極電極之間。

在電壓輸入電壓驅動法的情形中，視頻訊號輸入至驅動電晶體 6402 的閘極，以致於驅動電晶體 6402 處於充份開啓或關閉的二狀態中的任一狀態。亦即，驅動電晶體 6402 在線性區操作。由於驅動電晶體 6402 在線性區操作，所以，比電源線 6407 的電壓還高的電壓施加至驅動電晶體 6402 的閘極。高於或等於（電源線電壓 + 驅動電晶體 6402 的 V_{th} ）之電壓施加至訊號線 6405。

在執行類比灰階驅動以取代數位時間灰階驅動的情形中，藉由改變輸入訊號，可以使用與圖 11 相同的像素配

置。

在執行類比灰階驅動的情形中，高於或等於（發光元件 6404 的順向電壓+驅動電晶體 6402 的 V_{th} ）之電壓施加至驅動電晶體 6402 的閘極。發光元件 6404 的順向電壓表示取得所需亮度之電壓且包含至少順向臨界電壓。輸入驅動電晶體 6402 藉以在飽合區操作的視頻訊號，以致於電流可以供應給發光元件 6404。為了使驅動電晶體 6402 在飽合區操作，電源線 6407 的電位設定為高於驅動電晶體 6402 的閘極電位。當使用類比視頻訊號時，能夠根據視頻訊號而供應電流至發光元件 6404，以及執行類比灰階驅動。

圖 11 中所示的像素配置不限於此。舉例而言，開關、電阻器、電容器、電晶體、邏輯電路、等等可以加至圖 11 中所示的像素。

接著，參考圖 12A 至 12C，說明發光元件的結構。在本實施例中，以 n 通道驅動 TFT 為例，說明像素的剖面結構。以類似於實施例 4 中所述的薄膜電晶體之方式，製造圖 12A、12B、及 12C 中顯示之用於半導體裝置中使用的驅動 TFT 7001、7011、及 7021，TFT 7001、7011、及 7021 是均包含氧化物半導體層的透光薄膜電晶體。

為了取出發光元件發射的光，陽極與陰極中至少之一是使光透射的。薄膜電晶體及發光元件形成於基底上。關於發光元件的結構，有下述結構：頂部發光結構，其中，經由與基底相反的表面，取出發射光；底部發光結構，其

中，經由基底側上的表面，取出發射光；及，雙發光結構，其中，經由與基底相反的表面及基底側上的表面，取出發射光。圖 11 中所示的像素配置可以應用至具有這些發光結構中的任何結構之發光元件。

參考圖 12A，說明具有底部發光結構的發光元件。

圖 12A 是驅動 TFT 7001 是 n 通道 TFT 及從發光元件 7012 發射至第一電極 7013 側的情形中像素的剖面視圖。在圖 12A 中，形成電連接至驅動 TFT 7011 的汲極電極層之佈線層 7018a 和 7018b，以及在其上形成平坦化絕緣層 7036。佈線層 7018b 接觸形成於平坦化絕緣層 7036 中的開口中的透光導體膜 7017 以及電連接至驅動 TFT 7011 和透光導體膜 7017。在透光導體膜 7017 上形成發光元件 7012 的第一電極 7013，以及，EL 層 7014 及第二電極 7015 依此次序堆疊於第一電極 7013 上。

關於透光導體膜 7017，可以使用例如包含氧化鎢的氧化銦膜、包含氧化鎢的銦鋅氧化物膜、包含氧化鈦的氧化銦膜、包含氧化鈦的銦錫氧化物膜、銦錫氧化物膜、銦鋅氧化物膜、或添加氧化矽的銦錫氧化物膜。

可以使用各種材料以形成發光元件的第一電極 7013。舉例而言，在使用第一電極 7013 作為陰極的情形中，較佳的是使用具有低功函數的材料，例如 Li 或 Cs 等鹼金屬、例如 Mg、Ca、或 Sr 等鹼土金屬、含有這些金屬中的任何金屬的合金（Mg:Ag、Al:Li、等等）、或例如 Yb 或 Er 等稀土金屬。在圖 12A 中，第一電極 7013 的厚度是可

使光透射的厚度（較佳地，約 5 nm 至 30 nm）。舉例而言，使用 20 nm 厚的鋁膜作為第一電極 7013。

注意，透光導體膜及鋁膜可以堆疊，然後被選擇性地蝕刻以致於形成透光導體膜 7017 和第一電極 7013。在該情形中，藉由使用相同的掩罩以執行蝕刻，這是較佳的。

第一電極 7013 的週圍由分隔壁 7019 遮蓋。使用聚醯亞胺、丙烯酸、聚醯胺、環氧樹脂等有機樹脂膜、無機絕緣膜、或有機聚矽烷，形成分隔壁 7019。特別較佳的是，使用感光樹脂材料，形成分隔壁 7019 而在第一電極 7013 上具有開口，以致於開口的側壁形成為具有連續曲率的傾斜表面。在使用感光樹脂材料作為分隔壁 7019 的情形中，可以省略形成光阻掩罩的步驟。

形成於第一電極 7013 和分隔壁 7019 上的 EL 層可以包含至少發光層及形成為單層或堆疊的複數層。當 EL 層 7014 形成為複數層時，可以藉由在作為陰極的第一電極 7013 上依序堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層，以形成 EL 層 7014。注意，並非需要設置所有這些層。

堆疊次序不限於上述；可以在作為陽極的第一電極 7013 上依序堆疊電洞注入層、電洞傳輸層、發光層、電子傳輸層、及電子注入層。但是，慮及耗電，由於可以抑制驅動電路部份中的電壓增加及可以降低耗電，所以，較佳的是第一電極 7013 作為陰極，以及，在第一電極 7013 上依序堆疊電子注入層、電子傳輸層、發光層、電洞傳輸

層、及電洞注入層。

關於形成於 EL 層 7014 上的第二電極 7015，可以使用各種材料。舉例而言，在使用第二電極 7015 作為陽極的情形中，較佳的是使用具有高功函數的材料，例如 ZrN、Ti、W、Ni、Pt、Cr 或透光導體材料 ITO、IZO、或 ZnO。此外，在第二電極 7015 上設置例如屏蔽光的金屬、反射光的金屬等屏蔽膜 7016。在本實施例中，使用 ITO 膜作為第二電極 7015，以及，使用 Ti 膜作為屏蔽膜 7016。

發光元件 7012 相當於包含發光層的 EL 層 7014 夾於第一電極 7013 與第二電極 7015 之間的區域。在圖 12A 中所示的元件結構的情形中，從發光元件 7012 發射的光如箭頭所示般從第一電極 7013 發射。

在圖 12A 中所示的實施例中，使用透光導體膜作為閘極電極層，以及，從發光元件 7012 發射的光通過濾光層 7033 而經過基底發射。

以例如噴墨法等滴放法、印刷法、使用微影技術的蝕刻法、或類似者，形成濾光層 7033。

濾光層 7033 由塗覆層 7034 遮蓋，也由保護絕緣層 7035 遮蓋。圖 12A 顯示具有薄厚度的塗覆層 7034；但是，塗覆層具有平坦化導因於濾光層 7033 的粗糙度之功能。

設置形成於保護絕緣層 7035、絕緣層 7032、及絕緣層 7031 中且抵達汲極電極層的接觸孔以致重疊分隔壁

7019。

接著，參考圖 12B，說明具有雙發光結構的發光元件。

在圖 12B 中，形成電連接至驅動 TFT 7021 的汲極電極層之佈線層 7028a 和 7028b，以及，在其上形成平坦化絕緣層 7046。佈線層 7028b 接觸形成於平坦化絕緣層 7046 中的開口中的透光導體膜 7027 以及電連接驅動 TFT 7021 和透光導體膜 7027。在透光導體膜 7027 上形成發光元件 7022 的第一電極 7023，以及，EL 層 7024 及第二電極 7025 依此次序堆疊於第一電極 7023 上。

關於透光導體膜 7027，可以使用例如包含氧化鎢的氧化銦膜、包含氧化鎢的銦鋅氧化物膜、包含氧化鈦的氧化銦膜、包含氧化鈦的銦錫氧化物膜、銦錫氧化物膜、銦鋅氧化物膜、或添加氧化矽的銦錫氧化物膜。

可以使用各種材料以形成第一電極 7023。舉例而言，在使用第一電極 7023 作為陰極的情形中，較佳的是使用具有低功函數的材料，例如 Li 或 Cs 等鹼金屬、例如 Mg、Ca、或 Sr 等鹼土金屬、含有這些金屬中的任何金屬的合金（Mg:Ag、Al:Li、等等）、或例如 Yb 或 Er 等稀土金屬。在本實施例中，第一電極 7023 作為陰極且第一電極 7023 的厚度是可使光透射的厚度（較佳地，約 5 nm 至 30 nm）。舉例而言，使用 20 nm 厚的鋁膜作為第一電極 7023。

注意，透光導體膜及鋁膜可以堆疊，然後被選擇性地

蝕刻以致於形成透光導體膜 7027 和第一電極 7023。在該情形中，藉由使用相同的掩罩以執行蝕刻，這是較佳的。

第一電極 7023 的週圍由分隔壁 7029 遮蓋。使用聚醯亞胺、丙烯酸、聚醯胺、環氧樹脂等有機樹脂膜、無機絕緣膜、或有機聚矽烷，形成分隔壁 7029。特別較佳的是，使用感光樹脂材料，形成分隔壁 7029 而在第一電極 7023 上具有開口，以致於開口的側壁形成為具有連續曲率的傾斜表面。在使用感光樹脂材料作為分隔壁 7029 的情形中，可以省略形成光阻掩罩的步驟。

形成於第一電極 7023 和分隔壁 7029 上的 EL 層 7024 可以包含至少發光層及形成為單層或堆疊的複數層。當 EL 層 7024 形成為複數層時，可以藉由在作為陰極的第一電極 7023 上依序堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層，以形成 EL 層 7024。注意，並非需要設置所有這些層。

堆疊次序不限於上述；可以在作為陽極的第一電極 7023 上依序堆疊電洞注入層、電洞傳輸層、發光層、電子傳輸層、及電子注入層。但是，慮及耗電，由於較低耗電，所以，較佳的是第一電極 7023 作為陰極，以及，在第一電極 7023 上依序堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層。

關於形成於 EL 層 7024 上的第二電極 7025，可以使用各種材料。舉例而言，在使用第二電極 7025 作為陽極的情形中，較佳的是使用具有高功函數的材料，例如透光

導體材料 ITO、IZO、或 ZnO。在本實施例中，使用包含氧化矽的 ITO 膜作為第二電極 7025，第二電極 7025 係作為陽極。

發光元件 7022 相當於包含發光層的 EL 層 7024 夾於第一電極 7023 與第二電極 7025 之間的區域。在圖 12B 中所示的元件結構的情形中，從發光元件 7022 發射的光如箭頭所示般從第二電極 7025 側及第一電極 7023 側發射。

在圖 12B 中所示的實施例中，使用透光導體膜作為閘極電極層，以及，使用透光薄膜作為源極電極層和汲極電極層，以及，從發光元件 7022 發射至第一電極 7023 側的光通過濾光層 7043 而經過基底發射。

以例如噴墨法等滴放法、印刷法、使用微影技術的蝕刻法、或類似者，形成濾光層 7043。

濾光層 7043 由塗覆層 7044 遮蓋，也由保護絕緣層 7045 遮蓋。

設置形成於保護絕緣層 7045、絕緣層 7042、及絕緣層 7041 中且抵達汲極電極層的接觸孔以致重疊分隔壁 7029。

注意，在使用具有雙發光結構的發光元件且在二顯示表面上執行全彩顯示的情形中，來自第二電極 7025 側的光不會通過濾光層 7043；因此，設有另一濾光層的密封基底較佳地設於第二電極 7025 上。

接著，將參考圖 12C，說明具有頂部發光結構的發光元件。

圖 12C 是驅動 TFT 7001 是 n 通道 TFT 及光從發光元件 7002 發射至第二電極 7005 側的剖面視圖。在圖 12C 中，形成電連接至驅動 TFT 7001 的汲極電極層之佈線層 7008a 和 7008b，以及，在其上形成平坦化絕緣層 7056。佈線層 7008b 接觸形成於平坦化絕緣層 7056 中的開口中的發光元件 7002 的第一電極 7003 透以及電連接驅動 TFT 7001 和發光元件 7002 的第一電極 7003。在透光導體膜 7027 上形成發光元件 7022 的第一電極 7023，以及，EL 層 7004 及第二電極 7005 依此次序堆疊於第一電極 7003 上。

可以使用各種材料以形成第一電極 7003。舉例而言，在使用第一電極 7003 作為陰極的情形中，較佳的是使用具有低功函數的材料，例如 Li 或 Cs 等鹼金屬、例如 Mg、Ca、或 Sr 等鹼土金屬、含有這些金屬中的任何金屬的合金（Mg:Ag、Al:Li、等等）、或例如 Yb 或 Er 等稀土金屬。

第一電極 7003 的週圍由分隔壁 7009 遮蓋。使用聚醯亞胺、丙烯酸、聚醯胺、環氧樹脂等有機樹脂膜、無機絕緣膜、或有機聚矽烷，形成分隔壁 7009。特別較佳的是，使用感光樹脂材料，形成分隔壁 7009 而在第一電極 7003 上具有開口，以致於開口的側壁形成為具有連續曲率的傾斜表面。在使用感光樹脂材料作為分隔壁 7009 的情形中，可以省略形成光阻掩罩的步驟。

形成於第一電極 7003 和分隔壁 7009 上的 EL 層 7004

可以包含至少發光層及形成爲單層或堆疊的複數層。當 EL 層 7004 形成爲複數層時，可以藉由在作爲陰極的第一電極 7003 上依序堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層，以形成 EL 層 7014。注意，並非需要設置所有這些層。

堆疊次序不限於上述；在使用第一電極 7003 作爲陽極的情形中，在第一電極 7003 上依序堆疊電洞注入層、電洞傳輸層、發光層、電子傳輸層、及電子注入層。

在圖 12C 中，在 Ti 膜、鋁膜、及 Ti 膜依序堆疊的堆疊膜上依序堆疊電洞傳輸層、發光層、電子傳輸層、及電子注入層，以及，在其上形成 Mg:Ag 合金薄膜及 ITO 的堆疊層。

但是，在驅動 TFT 7001 爲 n 通道 TFT 的情形中，由於可以抑制驅動電路中的電壓增加及可以降低耗電，所以，較佳的是在第一電極 7003 上依序堆疊電子注入層、電子傳輸層、發光層、電洞傳輸層、及電洞注入層。

使用透光導體材料，形成第二電極 7005：舉例而言，含有氧化鎢的氧化銦、含有氧化鎢的銦鋅氧化物、含有氧化鈦的氧化銦、含有氧化鈦的銦錫氧化物、氧化銦錫（ITO）、氧化銦鋅、或添加氧化矽之氧化銦錫等透光導體膜。

發光元件 7002 相當於包含發光層的 EL 層 7004 夾於第一電極 7003 與第二電極 7005 之間的區域。在圖 12C 中所示的元件結構的情形中，從發光元件 7002 發射的光如

箭頭所示般從第二電極 7005 側發射。

在圖 12C 中，TFT 7001 的汲極電極層經過形成於氧化物絕緣層 7051、保護絕緣層 7052、平坦化絕緣層 7056、平坦化絕緣層 7053、及絕緣層 7055 中的接觸孔而電連接至第一電極 7003。使用例如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂等樹脂材料，以形成平坦化絕緣層 7036、7046、7053、及 7056。除了這些樹脂材料之外，也可以使用低介電常數材料（低 k 材料）、矽烷為基礎的樹脂、磷矽酸鹽玻璃（PSG）、硼磷矽酸鹽玻璃（BPSG）、等等。注意，可以藉由堆疊這些材料形成的眾多絕緣膜，形成平坦化絕緣層 7036、7046、7053、及 7056。對於形成平坦化絕緣層 7036、7046、7053、及 7056 之形成方法並無並特別限定，可以視材料而使用下述任何方法以形成平坦化絕緣層 7036、7046、7053、及 7056：舉例而言，濺射法、旋轉塗敷法、浸漬法、噴灑塗著法、滴放法（例如噴墨法、網版印刷法、偏離印刷法、等等）、輥塗法、簾幕塗著法、或刀式塗著法。

設置分隔壁 7009 以將第一電極 7003 與相鄰像素的第一電極絕緣。使用例如聚醯亞胺、丙烯酸、聚醯胺、或環氧樹脂等有機樹脂膜；無機絕緣膜；或有機聚矽烷，形成分隔壁 7009。特別較佳的是，使用感光樹脂材料，形成分隔壁 7009 而在第一電極 7003 上具有開口，以致於開口的側壁形成為具有連續曲率的傾斜表面。在使用感光樹脂材料作為分隔壁 7009 的情形中，可以省略形成光阻掩罩

的步驟。

在圖 12C 的結構中，在執行全彩顯示的情形中，舉例而言，使用發光元件 7001 作為綠光發光元件，使用相鄰的發光元件之一作為紅光發光元件，以及使用相鄰的發光元件中的另一發光元件作為藍光發光元件。或者，使用包含三種發光元件及白光發光元件之四種發光元件，製造能夠全彩顯示的發光顯示裝置。

又或者，在圖 12C 的結構中，配置的所有眾多發光元件可以是白光發光元件，以及，在發光元件 7002 上配置具有濾光器等密封基底，以致於製造能夠全彩顯示的發光顯示裝置。形成呈現例如白色等單色且與濾光器或色彩轉換層相結合的材料，因而可以執行全彩顯示。

實施例 1 中所述的用於形成源極電極層 415a 和汲極電極層 415b 之步驟及材料可以應用至每一源極電極層和每一汲極電極層。實施例 1 中所述的用於形成佈線層 417a 和 418a 或佈線層 417b 和 418b 之步驟及材料可以應用至佈線層 7018a 和 7018b、佈線層 7028a 和 7028b、及佈線層 7008a 和 7008b 中的任一佈線層。

較佳的是，源極電極層和汲極電極層薄至大於或等於 0.1 nm 且小於或等於 50nm；使用比佈線層還薄的膜。由於源極和汲極電極層均為薄的導體膜，所以，可以降低閘極電極層形成的寄生電容。因此，可以提供具有低耗電、包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

無需多言，當然可以執行單色光顯示。舉例而言，藉

由使用白光發光，可以形成發光系統，或是藉由使用單色發光，可以形成區域彩色發光裝置。

假使需要時，可以設置例如包含圓形極化板等極化膜的光學膜。

雖然本實施例中以 EL 元件作為發光元件說明，但是，也可以設置無機 EL 元件作為發光元件。

雖然，說明一實施例，其中，控制發光元件的驅動之薄膜電晶體（驅動 TFT）電連接至發光元件，用於電流控制的 TFT 可以連接於驅動 TFT 與發光元件之間。

本實施例可以與另一實施例適當地結合實施。

（實施例 9）

在實施例 9 中，參考圖 13A 及 18B，說明發光顯示面板（也稱為發光面板）的外觀及剖面。圖 13A 是面板的平面視圖，其中，形成於第一基底上的薄膜電晶體及發光元件由密封劑密封於第一基底與第二基底之間。圖 13B 是圖 13A 的 H-I 剖面視圖。

密封劑 4505 設置成圍繞設於第一基底 4501 上的像素部份 4502、訊號線驅動電路 4503a 和 4503b、及掃描線驅動電路 4504a 和 4504b。此外，第二基底 4506 設於像素部份 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 上。因此，像素部份 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 與填充物 4507 一起由第一基底 4501、密

封劑 4505、及第二基底 4506 密封。以此方式，較佳地，面板由具有高氣密性及低除氣之保護膜（例如層疊膜或紫外線可固化樹脂膜）或遮蓋材料封裝（密封），以致於面板不會曝露至外部空氣。

設置於第一基底 4501 上的像素部份 4502、訊號線驅動電路 4503a 和 4503b、以及掃描線驅動電路 4504a 和 4504b 均包含多個薄膜電晶體。包含於像素部份 4502 中的薄膜電晶體 4510 及包含於訊號線驅動電路 4503a 中的薄膜電晶體 4509 作為實施例，顯示於圖 13B 中。

可以使用包含實施例 1 至 7 中任一實施例所述的氧化物半導體層之高度可靠的薄膜電晶體作為像素中的薄膜電晶體 4510。驅動電路中的薄膜電晶體 4509 具有導體層設置成與實施例 1 中所述的薄膜電晶體的氧化物半導體層的通道形成區相重疊之結構。在本實施例中，薄膜電晶體 4509 和 4510 為 n 通道薄膜電晶體。

導體層 4540 設於氧化物絕緣層 4542 上以致於與驅動電路中的薄膜電晶體 4509 中氧化物半導體層的通道形成區重疊。導體層 4540 設置成與氧化物半導體層的通道形成區重疊，因而可以降低因 BT 測試而造成的薄膜電晶體 4509 的臨界電壓變化量。導體層 4540 的電位可以與薄膜電晶體 4509 中的閘極電極層的電位相同或不同，導體層 4540 也可以作為第二閘極電極層。導體層 4540 的電位可為 GND 或 0V，或者，導體層 4540 可處於浮動狀態。

形成遮蓋薄膜電晶體 4510 的氧化物半導體層之氧化

物絕緣層 4542。薄膜電晶體 4510 的源極電極層和汲極電極層電連接至形成於設在薄膜電晶體上的氧化物絕緣層 4542 和絕緣層 4541 中的開口中的佈線層 4540。佈線層 4550 形成爲接觸第一電極 4517，以及，薄膜電晶體 4510 經由佈線層 4550 而電連接至第一電極 4517。

實施例 1 中所述的用於形成源極電極層 415a 和汲極電極層 415b 之步驟及材料可以應用至源極電極層和汲極電極層。實施例 1 中所述的用於形成佈線層 417a 和 418a 或佈線層 417b 和 418b 之步驟及任何材料可以應用至佈線層 4550。

較佳的是，源極電極層和汲極電極層均薄至大於或等於 0.1 nm 且小於或等於 50nm；使用比佈線層還薄的膜。由於源極和汲極電極層均爲薄的導體膜，所以，可以降低閘極電極層形成的寄生電容。因此，可以提供具有低耗電、包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

實施例 1 中所述的用於形成氧化物絕緣層 407 之步驟及材料可以應用至氧化物絕緣層 4542。

濾光層 4545 形成於絕緣層 4551 上以致與發光元件 4511 的發光區重疊。

此外，爲了降低濾光層 4545 的表面粗糙度，濾光層 4545 由作爲平坦化絕緣膜的塗覆層 4543 遮蓋。

此外，絕緣層 4544 形成於塗覆層 4543 上。以類似於實施例 1 中所述的用於形成保護絕緣層 408 的方式，形成絕緣層 4544；舉例而言，以濺射法形成氮化矽膜。

第一電極 4517 是包含於發光元件 4511 中的像素電極，其經由佈線層 4550 電連接至薄膜電晶體 4510 的源極電極層或汲極電極層。注意，發光元件 4511 具有第一電極層 4517 的堆疊層結構及第二電極層 4513；但是，對於結構並無限定。發光元件 4511 的結構可以視從發光元件 4511 取出光的方向等等而適當地改變。

使用有機樹脂膜、無機絕緣膜、或有機聚矽烷，形成分隔壁 4520。特別較佳的是，使用感光樹脂材料，形成分隔壁 4520 而在第一電極 4517 上具有開口，以致於開口的側壁形成為具有連續曲率的傾斜表面。

以單層或堆疊的多個層，形成電致發光層 4512。

在第二電極層 4513 和分隔壁 4520 上形成保護膜以防止氧、氫、濕氣、二氧化碳等進入發光元件 4511 中。關於保護膜，可以形成氮化矽膜、氮氧化矽膜、DLC 膜、等等。

此外，多種訊號及電位從 FPC 4518a 和 4518b 供應至訊號線驅動電路 4503a 和 4503b、掃描線驅動電路 4504a 和 4504b、或像素部份 4502。

由與包含於發光元件 4511 中的第一電極 4517 相同的導體膜，形成連接端電極 4515，以及，使用與包含於薄膜電晶體 4509 中的源極和汲極電極層相同的導體膜，形成端電極 4516。

連接端電極 4515 經由各向異性導體膜 4519 而電連接至包含於 FPC 4518a 中的端子。

位於從發光元件 4511 取出光的方向上之第二基底需要具有透光特性。在該情形中，以例如玻璃板、塑膠板、聚酯膜、或丙烯酸膜等透光材料用於第二基底 4506。

關於填充物 4507，除了例如氮或氬等惰性氣體外，還可以使用紫外光可固化樹脂或熱固樹脂。舉例而言，可以使用聚氯乙烯（PVC）、丙烯酸、聚醯亞胺、環氧樹脂、矽樹脂、聚乙烯丁醛（PVB）、或乙烯乙酸乙烯酯（EVA）。舉例而言，以氮用於填充物。

此外，假使需要時，可以對發光元件的發光表面適當地設置例如極化板、圓形極化板（包含橢圓形極化板）、延遲板（四分之一波板、或半波板）、或濾光器等光學膜。此外，極化板或圓形極化板可以設有抗反射膜。舉例而言，可以執行防眩光處理，藉以使反射光由表面上的凹部及凸部散射以降低眩光。

安裝訊號線驅動電路 4503a 和 4503b 及掃描線驅動電路 4504a 和 4504b 作為分開製備的基底上使用單晶半導體膜或多晶半導體膜形成的驅動電路。或者，僅有訊號線驅動電路或其一部份、或是僅有掃描線驅動電路或其一部份，可以分別地形成及安裝。本發明不限於圖 13A 及 13B 中所示的結構。

經由上述製程，製造高度可靠的發光顯示裝置（顯示面板）作為半導體裝置。

本實施例可以與另一實施例適當地結合實施。

(實施例 10)

將參考圖 14A 至 14C，說明半導體裝置的實施例之液晶顯示面板的外觀及剖面。圖 14A 及 14B 均為面板的平面視圖，其中，薄膜電晶體 4010 和 4011 及液晶元件 4013 由密封劑 4005 密封於第一基底 4001 與第二基底 4006 之間。圖 14B 是圖 14A 或 14C 之 M-N 剖面視圖。

密封劑 4005 設置成圍繞設於第一基底 4001 上的像素部 4002 及掃描線驅動電路 4004。第二基底 4006 設於像素部 4002 及掃描線驅動電路 4004 上。因此，像素部 4002 及掃描線驅動電路 4004 與液晶層 4008 一起由第一基底 4001、密封劑 4005、及第二基底 4006 密封。使用單晶半導體膜或多晶半導體膜而形成於分開製備之基底上的訊號線驅動電路 4003 安裝於一區域中，所述區域與第一基底 4001 上由密封劑 4005 圍繞的區域不同。

對於分開形成的驅動電路之連接方法並無特別限定，可以使用 COG 方法、接線接合法、TAB 法、等等。圖 14A 顯示以 COG 法安裝訊號線驅動電路 4003 的實施例。圖 14C 顯示以 TAB 法安裝訊號線驅動電路 4003 的實施例。

設於第一基底 4001 上的像素部 4002 及掃描線驅動電路 4004 均包含多個薄膜電晶體。舉例而言，圖 14B 顯示包含於像素部 4002 中的薄膜電晶體 4010 以及包含於掃描線驅動電路 4004 中的薄膜電晶體 4011。絕緣層 4041、4042、4020、及 4021 設於薄膜電晶體 4010 和 4011 上。

可以使用實施例 1 至 7 中任何實施例中所述的均包含氧化物半導體層之高度可靠的薄膜電晶體作為驅動電路中的薄膜電晶體 4011 及像素中的薄膜電晶體 4010。在本實施例中，薄膜電晶體 4010 和 4011 為 n 通道薄膜電晶體。

導體層 4040 設於絕緣層 4021 上，以致於與驅動電路中的薄膜電晶體 4011 中的氧化物半導體層的通道形成區重疊。導體層 4040 設置成與氧化物半導體層的通道形成區重疊，因而可以降低因 BT 測試而造成之薄膜電晶體 4011 的臨界電壓的變化量。導體層 4040 的電位可以與薄膜電晶體 4011 的閘極電極層的電位相同或不同，導體層 4040 也可以作為第二閘極電極層。導體層 4040 的電位可為 GND 或 0V，或者，導體層 4040 可處於浮動狀態。

此外，液晶元件 4013 的像素電極層 4030 經由佈線層 4050 而電連接至薄膜電晶體 4010 的源極電極層或汲極電極層。液晶元件 4013 的對立電極層 4031 設置成用於第二基底 4006。像素電極層 4030、對立電極層 4031、及液晶層 4008 彼此重疊的部份相當於液晶元件 4013。注意，像素電極層 4030 及對立電極層 4031 分別設有均作為對齊膜的絕緣層 4032 及絕緣層 4033，以及，液晶層 4008 夾於電極層 4030 與對立電極層 4031 之間，而以絕緣層 4032 及 4033 介於其間。

可以使用透光基底作為第一基底 4001 與第二基底 4006；可以使用玻璃、陶瓷或塑膠。關於塑膠，可以使用玻璃強化塑膠（FRP）板、聚氟乙烯（PVF）膜、聚酯膜

、或丙烯酸樹脂膜。

代號 4305 代表藉由選擇性地蝕刻絕緣膜而取得的柱狀間隔器，柱狀間隔器設置成控制像素電極層 4030 與對立電極層 4031 之間的距離（胞間隙）。或者，可以使用球形間隔器。此外，對立電極層 4031 電連接至形成於與薄膜電晶體 4010 相同的基底上之共同電位線。藉由使用共同連接部，對立電極層 4031 及共同電位線可以經由配置於成對基底之間的導電粒子而彼此電連接。導電粒子包含於密封劑 4005 中。

或者，可以使用不需要對齊膜之呈現藍相位的液晶。藍相位是當膽茲液晶的溫度增加時正好在膽茲相位變成各向等性相位之前產生的液晶相位之一。由於藍相位僅在相當狹窄的溫度範圍內產生，所以，以含有 5 重量%或更高的掌性劑以擴展溫度範圍之液晶成份用於液晶層 4008。包含呈現藍相位的液晶及掌性劑的液晶成份具有 1 msec 或更小的短響應時間且具光學各向等性，而不需要對齊處理、以及具有小的視角相依性。

本發明也可應用至透射式液晶顯示裝置與透反射式液晶顯示裝置。

說明液晶顯示裝置的實施例，其中，極化板設置於基底的較外表面上（觀視者側上），以及，用於顯示元件的色層及電極層設置於基底的較內表面上；但是，極化板可以設置於基底的內表面上。極化板及色層的堆疊結構不限於本實施例，可以根據極化板和色層的材料或製程條件而

適當地設置。此外，顯示部除外，可以設置作為黑基質的遮光膜。

絕緣層 4041 形成為接觸在薄膜電晶體 4011 和 4010 的每一氧化物半導體層。實施例 1 中所述的用於形成氧化物絕緣層 407 之材料及方法可以應用至絕緣層 4041。在本實施例中，使用實施例 1，以濺射法形成氧化矽膜作為絕緣層 4041。保護絕緣層 4042 形成在絕緣層 4041 上並與其接觸。使用類似於實施例 1 中所述的用於形成保護絕緣層 408 的方式，形成保護絕緣層 4020；舉例而言，使用氮化矽膜。此外，保護絕緣層 4042 由作為平坦化絕緣膜的絕緣層 4021 遮蓋，以降低薄膜電晶體的表面粗糙度。

絕緣層 4021 形成為平坦化絕緣膜。使用例如聚醯亞胺、丙烯酸、苯環丁烯、聚醯胺、或環氧樹脂等具有耐熱性的有機材料以作為絕緣層 4021。除了這些有機材料之外，也能夠使用低介電常數材料（低 k 材料）、矽烷為基礎的樹脂、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、等等。可以藉由堆疊使用這些材料形成的眾多絕緣膜，以形成絕緣層 4021。

絕緣層 4021 之形成方法並未限於特定方法，可以視其材料而使用下述方法來形成絕緣層 4021：濺射法、旋轉塗敷法、浸漬法、噴灑塗著法、滴放法（例如噴墨法、網版印刷法、偏離印刷法、等等）、輥塗法、簾幕塗著法、刀式塗著法等等。絕緣層 4021 的烘烤步驟也作為半導

體層的退火，因而可以有效率地製造半導體裝置。

使用例如含有氧化錫的氧化銦、含有氧化錫的銦鋅氧化物、含有氧化鋁的氧化銦、含有氧化鋁的銦錫氧化物、銦錫氧化物（於下稱為 ITO）、銦鋅氧化物、或添加氧化矽之銦錫氧化物等透光導體材料，形成像素電極層 4030 及對立電極層 4031。

包含導電高分子（也稱為導電聚合物）的導電成份可以用於形成像素電極層 4030 及對立電極層 4031。使用導電成份形成的像素電極較佳地具有小於或等於 10000 歐姆／平方的薄片電阻以及在波長 550nm 時大於或等於 70% 的透光率。此外，包含於導電成份中的導電高分子的電阻率較佳地小於或等於 $0.1 \Omega \cdot \text{cm}$ 。

關於導電高分子，可以使用所謂的 π 電子共軛導電聚合物。舉例而言，可為聚苯胺或其衍生物、聚吡咯或其衍生物、聚噻吩或其衍生物、這些材料之中的二或更多種的共聚物。

不同的訊號及電位從可撓印刷電路（FPC）4018 供應給分別形成的訊號線驅動電路 4003、及掃描線驅動電路 4004、及像素部 4002。

使用與包含於液晶元件 4013 中的像素電極層 4030 相同的導體膜，形成連接端電極 4015，以及，使用與薄膜電晶體 4010 和 4011 的源極和汲極電極層相同的導體膜，形成端電極 4016。

連接端電極 4015 經由各向異性導體膜 4019 而電連接

至包含於 FPC 4018 中的端子。

圖 14A 至 14C 顯示訊號線驅動電路 4003 分別地形成及安裝於第一基底 4001 上的實施例；但是，本實施例不限於此結構。掃描線驅動電路可以分開地形成，然後安裝，或是，僅有部分訊號線驅動電路或部份掃描線驅動電路分別地形成，然後安裝。

對於液晶顯示模組，可以使用對絞向列（TN）模式、平面中切換（IPS）模式、邊緣場切換（FFS）模式、多域垂直對齊（MVA）模式、圖案化垂直對齊（PVA）模式、軸向對稱對齊微胞（ASM）模式、光學補償雙折射（OCB）模式、鐵電液晶（FLC）模式、抗鐵電液晶（AFLC）模式、等等。

於下，說明 VA 液晶顯示裝置的實施例。

VA 液晶顯示裝置具有一種控制液晶顯示面板的液晶分子之對齊的形式。在 VA 液晶顯示裝置中，當無電壓施加時，液晶分子在相對於面板表面的垂直方向上對齊。在本實施例中，特別地，像素分成一些區域（子像素），以及，液晶分子在它們各別的區域中以不同方向對齊。這被稱為多域或多域設計。於下說明多域設計的液晶顯示裝置。

圖 15 及圖 16 均顯示 VA 液晶顯示面板的像素結構。圖 16 是基底 600 的平面視圖。圖 15 顯示圖 16 中的 Y-Z 剖面結構。於下，將參考此二圖以作出詳細說明。

在本像素結構中，多個像素電極設置於一像素中，以

及，TFT 連接至每一像素電極。眾多 TFT 構造成由不同的閘極訊號驅動。亦即，施加至多域像素中的各別像素電極之訊號彼此獨立地受控。

像素電極層 624 經由接觸孔 623 及 660 中之佈線 662 而連接至 TFT 628 的源極或汲極電極層 618。此外，像素電極層 626 經由絕緣膜 620 及設置成遮蓋絕緣層 620 的絕緣層 622 中之接觸孔 627 中的佈線 663 而連接至 TFT 629 的源極或汲極電極層 619。TFT 628 的閘極佈線 602 與 TFT 629 的閘極佈線 603 分開，以致於可以供應不同的閘極訊號。另一方面，作為資料線的源極或汲極電極層 619 由 TFT 628 和 629 共用。實施例 1 至 7 中所述的任何薄膜電晶體可以適當地作為 TFT 628 及 629 中的每一 TFT。

實施例 1 中所述的用於形成源極電極層 415a 和汲極電極層 415b 的步驟及材料可以應用至源極或汲極電極層 616、618、及 619。施例 1 中所述的用於形成佈線層 417a 和 418a 或佈線層 417b 和 418b 的步驟及材料可以應用至佈線層 622 及 623 中的任一者。

較佳的是，源極電極層和汲極電極層薄至大於或等於 0.1 nm 且小於或等於 50nm；使用比佈線層還薄的膜。由於源極和汲極電極層均為薄的導體膜，所以，可以降低閘極電極層形成的寄生電容。因此，可以提供具有低耗電、包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

此外，設置電容器佈線 690 及閘極絕緣層 606 堆疊於其上，閘極絕緣層 606 作為儲存電容器中的介電質，儲存

電容器使用像素電極或電連接至像素電極之電容器電極。

像素電極層 624 的形狀與像素電極層 626 的形狀不同，這些像素電極層由狹縫 625 分開。像素電極層 626 形成為圍繞具有 V 形的像素電極層 624。藉由 TFT 628 及 629，使施加至像素電極層 624 和 626 的電壓的時序不同，因而控制液晶的對齊。圖 18 顯示此像素配置的等效電路。TFT 628 連接至閘極佈線 602，TFT 629 連接至閘極佈線 603。藉由供應不同的閘極訊號至閘極佈線 602 和 603，TFT 628 和 629 的操作時序可以不同。

對立基底 601 設有遮光膜 632、第二色膜 636 及對立電極層 640。平坦化膜 637 也稱為塗覆膜，其形成於第二色膜 636 與對立電極層 640 之間，以防止液晶的對齊失序。圖 17 顯示對立基底側上的結構。對立電極層 640 是由眾多像素共用，以及，設有狹縫 641。像素電極層 624 和 626 的側上的狹縫 641 和狹縫 625 以嚙合方式交錯地配置；因此，有效地產生歪斜電場，以及，可以控制液晶的對齊。因此，液晶的方向視位置而變，以致於加寬視角。

此外，像素電極層 624、液晶層 650、及對立電極層 640 彼此重疊，以致於形成第一液晶元件。此外，像素電極層 626、液晶層 650、及對立電極層 640 彼此重疊以形成第二液晶元件。此外，使用多域結構，其中，設置第一液晶元件及第二液晶元件以用於一像素。

本實施例可以與另一實施例適當地結合實施。

(實施例 11)

在實施例 11 中，將說明作為本發明的實施例之半導體裝置的電子紙實施例。

圖 19 顯示作為應用本發明的實施例之半導體裝置的實施例之主動矩陣電子紙。適當地使用實施例 1 至 7 中任一實施例中所述的薄膜電晶體作為半導體裝置中使用的薄膜電晶體 581。

圖 19 中的電子紙是使用對絞球顯示系統的顯示裝置實施例。對絞球顯示系統意指一方法，其中，著色成黑及白的球形粒子配置於第一電極層與第二電極層之間，第一電極層與第二電極層是用於顯示元件的電極層，以及，在第一電極層與第二電極層之間產生電位差，以控制球形粒子的方向，以致於執行顯示。

設置於基底 580 上的薄膜電晶體 581 是底部閘極薄膜電晶體，且其源極或汲極電極層電連接至形成於氧化物絕緣層 583 及保護絕緣層 584 中的開口中的佈線層 589a 和 589b。佈線層 589b 設置成與形成於設在佈線層 589b 上方的絕緣層 585 中的開口中的第一電極層 587 相接觸。薄膜電晶體 581 經由佈線層 589a 和 589b 而電連接至第一電極層 587。

實施例 1 中所述的用於形成源極電極層 415a 和汲極電極層 415b 的步驟及材料可以應用至源極或汲極電極層。施例 1 中所述的用於形成佈線層 417a 和 418a 或佈線層 417b 和 418b 的步驟及材料可以應用至佈線層 589a 和

589b。

較佳的是，源極電極層和汲極電極層均薄至大於或等於 0.1 nm 且小於或等於 50nm；使用比佈線層還薄的膜。由於源極和汲極電極層均為薄的導體膜，所以，可以降低閘極電極層形成的寄生電容。因此，可以提供具有低耗電、包含使用氧化物半導體層的薄膜電晶體之半導體裝置。

在第一電極層 587 與第二電極層 588 之間，設置球形粒子。每一球形粒子包含黑色區 590a、白色區 590b、以及圍繞黑色區 590a 和白色區 590b 而由液體填充的穴 594。球形粒子 589 的週圍由例如樹脂等填充物 595 填充（請參見圖 19）。在本實施例中，第一電極層 587 對應於像素電極，設置成用於對立基底 596 的第二電極層 588 對應於共同電極。

此外，也能夠使用電泳元件以取代對絞球。使用具有約 $10\ \mu\text{m}$ 至 $200\ \mu\text{m}$ 的直徑之微囊，其中，透明液體、正電荷的白微粒子、及負電荷的黑微粒子封裝於微囊中。在設於第一電極層與第二電極層之間的微囊中，當由第一電極層及第二電極層施加電場時，白微粒與黑微粒移至彼此相反的方向，以致於可以顯示白色或黑色。使用此原理的顯示元件是電泳顯示元件，一般稱為電子紙。電泳顯示元件具有比液晶顯示元件還高的反射率，因此，不需要輔助光、耗電低且在昏暗的地方仍可辨識顯示部。此外，即使當功率未供應給顯示部時，仍然可以保持曾經顯示的影像。因此，即使具有顯示功能的半導體裝置（也簡稱為顯示

裝置或設有顯示裝置之半導體裝置)離開電波源時,仍然可以儲存顯示的影像。

經由上述製程,可以製造高度可靠的電子紙作為半導體裝置。

本實施例可以與另一實施例適當地結合實施。

(實施例 12)

本說明書中揭示的半導體裝置可以應用至不同的電子設備(包含遊戲機)。電子設備的實施例為電視機(也稱為電視或電視接收器)、電腦等的監視器、例如數位相機或數位攝影機等像機、數位相框、行動電話手機(也稱為行動電話或行動裝置)、可攜式遊戲機、可攜式資訊端、音頻再生裝置、以及例如彈珠台等大型遊戲機、等等。

圖 20A 顯示行動電話手機 1100 的實施例。行動電話手機 1100 設有併入於殼 1101 中的顯示部 1102、操作鍵 1103、外部連接埠 1104、揚音器 1105、麥克風 1106、等等。

圖 20A 中所示的行動電話手機 1100 的顯示部 1102 可由手指等碰觸,藉以將資料輸入至行動電話手機 1100。此外,以手指等觸控顯示部 1102,可以執行例如撥打電話、撰寫電子郵件等操作。

主要有三種顯示部 1102 的螢幕模。第一模式是主要用於顯示影像的顯示模式。第二模式是主要用於輸入例如文字等資料的輸入模式。第三模式是顯示及輸入模式,其

中，結合顯示模式與輸入模式等二模式。

舉例而言，在撥打電話或撰寫郵件的情形中，選取主要用於輸入文字的文字輸入模式以用於顯示部 1102，以致於可以輸入螢幕上顯示的文字。在該情形中，較佳的是在顯示部 1102 的螢幕的幾乎所有面積上顯示鍵盤或數字鍵。

當在行動電話手機 1100 內包含例如陀螺儀及加速度感測器等用於偵測傾斜的感測器時，藉由決定行動電話手機 1100 的方向（行動電話手機 1100 為用於橫式或直式的水平置放或垂直置放），而自動地切換顯示部 1102 的螢幕上的顯示。

藉由碰觸顯示部 1102 或操作殼 1101 的操作鍵 1103，以切換螢幕模式。或者，可視顯示部 1102 上顯示的影像種類而切換螢幕模式。舉例而言，當顯示於顯示部上的影像之訊號為移動影像資料的訊號時，螢幕模式切換至顯示模式；當訊號為文字資料時，螢幕模式切換至輸入模式。

此外，在輸入模式中，當有一段時間未執行碰觸顯示部 1102 的輸入並偵測到顯示部 1102 中的光學感測器偵測到的訊號時，螢幕模式可以被控制而從輸入模式切換至顯示模式。

顯示部 1102 也可以作為影像感測器。舉例而言，當顯示部 1102 由手掌或手指碰觸時，取得掌紋或指紋等影像，因而可以執行人員識別。此外，藉由在顯示部中設置

發射近紅外光的背照光或感測光源，可以取得指紋、掌紋、等影像。

在顯示部 1102 中，設置眾多實施例 1 中所述的薄膜電晶體作為像素的切換元件。

圖 20B 顯示行動電話手機的另一實施例。可攜式資訊終端的實施例顯示於圖 20B 中，其具有眾多功能。舉例而言，除了電話功能之外，此可攜式資訊終端可以藉由併有電腦而具有處理各式各樣的資料件之功能。

圖 20B 中所示的可攜式資訊終端包含殼 1800 及殼 1801。殼 1800 設有顯示面板 1802、揚音器 1803、麥克風 1804、指標裝置 1806、相機鏡頭 1807、外部連接端子 1808、等等。殼 1801 設有鍵盤 1810、外部記憶體插槽 1811 等等。此外，天線併入殼 1801 內。

顯示面板 1802 設有觸控面板。圖 20B 中以虛線表示顯示為影像的眾多操作鍵 1805。

此外，除了上述結構之外，可以併入非接觸式 IC 晶片、小型記憶體裝置、等等。

本發明的發光裝置可以用於顯示面板 1802 及視應用模式而適當地改變顯示的方向。此外，顯示裝置在與顯示面板 1802 相同的表面上設有相機鏡頭 1807，而能夠視訊通話。揚音器 1803 及麥克風 1804 可以用於視訊電話呼叫、記錄、播放聲音等等、以及語音通話。此外，處於圖 20B 中所示的展開狀態之殼 1800 和 1801 可以滑動，以致於一殼可以疊在另一殼上，可以縮小可攜式資訊終端的尺

寸，使得可攜式資訊終端適於攜帶。

外部連接端子 1808 可以連接至 AC 配接器及例如 USB 纜線等各種型式的纜線，而能夠充電及與個人電腦等進行資料通訊。此外，儲存媒體可以插入外部記憶體插槽 1811，以致於可以儲存及移動大量資料。

此外，除了上述功能之外，也可以提供紅外線通訊功能、電視接收功能、等等。

圖 21A 顯示電視機 9600 的實施例。在電視機 9600 中，顯示部 9603 併入於機殼 9601 中。顯示部 9603 可以顯示影像。在本實施例中，機殼 9601 由架子 9605 支撐。

電視機 9600 可以由機殼 9601 的操作開關或分開的遙控器 9610 操作。以遙控器 9610 的操作開關 9609，可以控制頻道及聲音，以致於可以控制顯示於顯示部 9603 上的影像。此外，遙控器 9610 可以設有顯示部 9607，顯示自遙控器 9610 輸出的資料。

注意，電視機 9600 設有接收器、數據機、等等。藉由接收器，可以接收一般電視廣播。此外，當顯示裝置經由數據機有線地或無線地連接至通訊網路時，可以執行單向（從發送器至接收器）或雙向（在發送器與接收器之間、或在接收器與接收器之間、等等）資料通訊。

在顯示部 9603 中，設置眾多實施例 1 中所述的薄膜電晶體作為像素的切換元件。

圖 21B 顯示數位相框 9700 的實施例。舉例而言，在數位相框 9700 中，顯示部 9703 併入於機殼 9701 中。顯

示部 9703 可以顯示各種影像，舉例而言，顯示部 9703 可以顯示由數位相機等拍攝的影像資料以及作為一般相框。

在顯示部 9703 中，設置眾多實施例 1 中所述的薄膜電晶體作為像素的切換元件。

注意，數位相框 9700 設有操作部、外部連接端子（USB 端子、可以連接至例如 USB 纜線等不同纜線的端子、等等）、記錄媒體插入部、等等。雖然這些元件可以設於與顯示部相同的表面上，但是，較佳地，為了數位相框 9700 的設計，將它們設於側表面或背面上。舉例而言，儲存數位相機拍攝的影像資料之記憶體插入於數位相框的記錄媒體插入部中，因此，影像資料可以被傳送，然後顯示於顯示部 9703 上。

數位相框 9700 可以配置成無線地傳送及接收資料。可以使用所需的影像資料經由無線傳輸而顯示的結構。

圖 22 顯示可攜式遊戲機，其包含機殼 9881 和機殼 9891 等二機殼。機殼 9881 和機殼 9891 藉由連接部 9893 而連接，它們可於連接部 9893 彎折。顯示部 9882 及顯示部 9883 分別併入於機殼 9881 和機殼 9891 中。

在顯示部 9883 中，設置眾多實施例 1 中所述的薄膜電晶體作為像素的切換元件。

此外，圖 22 中所示的可攜式遊戲機又包含揚音器部 9884、記錄媒體插入部 9886、LED 燈 9890、輸入機構（操作鍵 9885、連接端子 9887、感測器 9888（具有測量力量、位移、位置、速度、加速度、角速度、旋轉次數、距

離、光、液體、磁、溫度、化學物質、聲音、時間、硬度、電場、電流、電壓、電力、輻射、流速、濕度、梯度、振動、氣味、或紅外線的功能之感測器)、及麥克風 9889)、等等。無需多言,可攜式遊戲機的結構不限於上述,可以使用至少設有本說明書中揭示的半導體裝置之其它結構。可攜式遊戲機可以適當地包含其它輔助設備。圖 22 中所示的可攜式遊戲機具有讀出儲存於記錄媒體中的程式或資料以將其顯示於顯示部上之功能,以及/或具有經由無線通訊而與其它可攜式遊戲機共用資訊之功能。圖 22 中的可攜式遊戲機的功能不限於上述,可以具有各式各樣功能。

圖 24 是使用根據上述實施例形成的發光裝置作為室內照明裝置 3001 的實施例。由於實施例 4 或 5 中所述的發光裝置在面積上可以增加,所以,發光裝置可以作為具有大面積的發光裝置。此外,上述實施例中所述的發光裝置可以作為桌燈 3000。注意,照明設備依其類別包含天花板燈、桌燈、壁燈、車內燈、指示燈、等等。

如上所述,實施例 1 至 7 中任何實施例中所述的薄膜電晶體可以設置於這些各式各樣的電子設備的顯示面板中。藉由使用薄膜電晶體作為顯示面板的切換元件,可以設置高度可靠的電子設備。

(實施例 13)

在本說明書中揭示的半導體裝置可以應用於電子紙。

電子紙可以用於不同領域的電子設備，只要它們顯示資料即可。舉例而言，電子紙可以應用於電子書（e-書）讀取器、海報、例如火車等車輛中的廣告、或例如信用卡等不同卡片的顯示部。圖 23 顯示此電子設備的實施例。

圖 23 顯示電子書讀取器 2700 的實施例。舉例而言，電子書讀取器 2700 包含機殼 2701 和 2703 等二機殼。機殼 2701 和 2703 藉由鉸鏈 2711 而彼此結合，以致於電子書讀取器 2700 可以以鉸鏈 2711 為軸而打開及閉合。藉由此結構，電子書讀取器 2700 能夠如同紙書般操作。

顯示部 2705 及顯示部 2707 分別併入於機殼 2701 及機殼 2703 中。顯示部 2705 和顯示部 2707 可以顯示一影像、或不同的影像。在顯示部 2705 及顯示部 2707 顯示不同影像的情形中，舉例而言，右側的顯示部（圖 23 中的顯示部 2705）可以顯示文字，而左側顯示部（圖 23 中的顯示部 2707）可以顯示影像。

圖 23 顯示一實施例，其中，機殼 2701 設有操作部等等。舉例而言，機殼 2701 設有電源開關 2721、操作鍵 2723、揚音器 2725、等等。藉由操作鍵 2723，可以翻頁。注意，鍵盤、指標裝置、等等也可以設於顯示部設於其上機殼的表面上。此外，在機殼的背面或側面上，設置外部連接端子（耳機端子、USB 端子、可以連接至例如 AC 配接器或 USB 電線等不同纜線的端子、等等）、記錄媒體插入部、等等。此外，電子書讀取器 2700 可以具有電子字典的功能。

電子書讀取器 2700 具有能夠無線地傳送及接收資料的結構。經由無線通訊，可以從電子書伺服器購買及下載所需的書資料等等。

本實施例可以與另一實施例適當地結合實施。

本申請案根據 2009 年 9 月 16 日向日本專利局申請之日本專利申請序號 2009-214485，其整體內容於此一併列入參考。

【符號說明】

81：多色調掩罩

81a：灰色調掩罩

81b：半色調掩罩

83：透光基底

84：遮光部

85：繞射光柵

86：透光率

87：半透光部

88：遮光部

89：透光率

400：基底

402：閘極絕緣層

403：保護絕緣層

407：氧化物絕緣層

408：保護絕緣層

- 409：平坦化絕緣層
- 410：薄膜電晶體
- 411：閘極電極層
- 412：氧化物半導體層
- 413：通道形成區
- 421：閘極佈線層
- 422：源極佈線層
- 423：源極佈線層
- 427：像素電極層
- 430：薄膜電晶體
- 431：閘極電極層
- 432：氧化物半導體層
- 433：通道形成區
- 437：佈線層
- 438：佈線層
- 440：氧化物半導體膜
- 441：氧化物半導體層
- 450：薄膜電晶體
- 451：閘極電極層
- 452：氧化物半導體層
- 453：通道形成區
- 456：氧化物絕緣層
- 459：氧化物絕緣層
- 460：光阻掩罩

461：氧化物半導體層

462：金屬導體層

465：氧化物半導體膜

466：金屬導體膜

469：薄膜電晶體

471：閘極電極層

472：氧化物半導體層

480：薄膜電晶體

481：閘極電極層

483：通道形成區

484a：高電阻源極區

484b：高電阻汲極區

485a：源極電極層

485b：汲極電極層

487a：佈線層

487b：佈線層

488a：佈線層

488b：佈線層

492a：閘極絕緣層

492b：閘極絕緣層

497a：氧化物絕緣層

497b：氧化物絕緣層

498：保護絕緣層

580：基底

- 581：薄膜電晶體
- 583：氧化物絕緣層
- 584：保護絕緣層
- 585：絕緣層
- 587：第一電極層
- 589a：佈線層
- 589b：佈線層
- 590a：黑色區
- 590b：白色區
- 594：穴
- 595：填充物
- 596：對立基底
- 600：基底
- 601：對立基底
- 602：閘極佈線
- 603：閘極佈線
- 606：閘極絕緣層
- 616：汲極電極層
- 618：汲極電極層
- 619：汲極電極層
- 620：絕緣層
- 622：絕緣層
- 623：接觸孔
- 624：像素電極層

625：狹縫

626：像素電極層

627：接觸孔

628：薄膜電晶體

629：薄膜電晶體

632：遮光膜

636：色膜

637：平坦化膜

640：對立電極層

641：狹縫

650：液晶層

660：接觸孔

661：接觸孔

662：佈線層

663：佈線層

690：電容器佈線

1100：行動電話手機

1101：殼

1102：顯示部

1103：操作鍵

1104：外部連接埠

1105：揚音器

1106：麥克風

1800：殼

1801：殼
1802：顯示面板
1803：揚音器
1804：麥克風
1805：操作鍵
1806：指標裝置
1807：相機鏡頭
1808：外部連接端子
1810：鍵盤
1811：外部記憶體插槽
2700：電子書讀取器
2701：機殼
2703：機殼
2705：顯示部
2707：顯示部
2711：鉸鏈
2721：電源開關
2723：操作鍵
2725：揚音器
3000：桌燈
3001：發光裝置
4001：第一基底
4002：像素部
4003：訊號線驅動電路

4004：掃描線驅動電路
 4005：密封劑
 4006：第二基底
 4008：液晶層
 4010：薄膜電晶體
 4011：薄膜電晶體
 4013：液晶元件
 4015：連接端電極
 4016：端電極
 4018：可撓印刷電路
 4019：各向異性導體膜
 4021：絕緣層
 4030：像素電極層
 4031：對立電極層
 4032：絕緣層
 4040：導體層
 4041：絕緣層
 4042：保護絕緣層
 4050：佈線層
 4501：第一基底
 4502：像素部
 4503a：訊號線驅動電路
 4503b：訊號線驅動電路
 4504a：掃描線驅動電路

4504b：掃描線驅動電路
 4505：密封劑
 4506：第二基底
 4507：填充物
 4509：薄膜電晶體
 4510：薄膜電晶體
 4511：發光元件
 4512：電致發光層
 4513：第二電極
 4515：連接端電極
 4516：端電極
 4517：第一電極
 4518a：可撓印刷電路
 4518b：可撓印刷電路
 4519：各向異性導體膜
 4520：分隔壁
 4540：導體層
 4542：氧化物絕緣層
 4543：塗覆層
 4544：絕緣層
 4545：濾光層
 4550：佈線層
 4551：絕緣層
 6400：像素

6401：切換電晶體

6402：驅動電晶體

6403：電容器

6404：發光元件

6405：訊號線

6406：掃描線

6407：電源線

6408：共同電極

7001：驅動薄膜電晶體

7002：發光元件

7003：第一電極

7004：發光層

7005：第二電極

7008a：佈線層

7008b：佈線層

7009：分隔壁

7011：驅動薄膜電晶體

7012：發光元件

7013：第一電極

7014：發光層

7015：第二電極

7016：遮光膜

7017：導體膜

7018a：佈線層

7018b：佈線層
7019：分隔壁
7021：驅動薄膜電晶體
7022：發光元件
7023：第一電極
7024：發光層
7025：第二電極
7027：導體膜
7028a：佈線層
7028b：佈線層
7029：分隔壁
7031：絕緣層
7032：絕緣層
7033：濾光層
7034：塗覆層
7035：保護絕緣層
7036：平坦化絕緣層
7042：絕緣層
7043：濾光層
7044：塗覆層
7045：保護絕緣層
7046：平坦化絕緣層
7051：氧化物絕緣層
7052：保護絕緣層

7053：平坦化絕緣層
 7055：絕緣層
 7056：平坦化絕緣層
 9600：電視機
 9601：機殼
 9603：顯示部
 9605：架子
 9607：顯示部
 9609：操作鍵
 9610：遙控器
 9700：數位相框
 9701：機殼
 9703：顯示部
 9881：機殼
 9882：顯示部
 9883：顯示部
 9884：揚音器部
 9885：操作鍵
 9886：記憶媒體插入部
 9887：連接端子
 9888：感測器
 9889：麥克風
 9890：LED 燈
 9891：機殼
 9893：連接部

申請專利範圍

1. 一種半導體裝置，包含：

閘極電極層；

閘極絕緣層；

氧化物半導體層，包含與該閘極電極層相鄰且具有該閘極絕緣層於其間的通道形成區，該氧化物半導體層包含鈦和氧；

在該氧化物半導體層上且與之電性接觸的源極和汲極電極層；

其中該氧化物半導體層的該通道形成區包含具有大於或等於 1 nm 且小於或等於 20 nm 的粒子直徑的微晶部份，及

其中，該通道形成區的載子濃度係小於 $1 \times 10^{18} / \text{cm}^3$ 。

2. 一種半導體裝置，包含：

閘極電極層；

閘極絕緣層；

氧化物半導體層，包含與該閘極電極層相鄰且具有該閘極絕緣層於其間的通道形成區，該氧化物半導體層包含鈦和氧；

在該氧化物半導體層上且與之電性接觸的源極和汲極電極層；

其中該氧化物半導體層的該通道形成區包含具有大於或等於 1 nm 且小於或等於 20 nm 的粒子直徑的微晶部份。

3. 如申請專利範圍第 1 或 2 項的半導體裝置，其中，該氧化物半導體層在該閘極電極層之上。

4. 如申請專利範圍第 1 或 2 項的半導體裝置，其中，該氧化物半導體層包含銻和鋅。

5. 如申請專利範圍第 1 或 2 項的半導體裝置，其中，該源極和汲極電極層包含鈦，及

其中該半導體裝置另外包含至少在該源極和汲極電極層其中一者之下方的氧化鈦層。

6. 如申請專利範圍第 1 或 2 項的半導體裝置，其中，該源極和汲極電極層包含選自鈦 (Ti)、鉭 (Ta)、鎢 (W)、鉬 (Mo)、鉻 (Cr)、釹 (Nd)、釷 (Sc) 之元素、和屬於這些元素中的任何元素的組合。

7. 如申請專利範圍第 1 或 2 項的半導體裝置，其中該氧化物半導體層包含與該源極和汲極電極層其中一者相接觸之區域，該區域具有比該通道形成區更高的載子濃度。

8. 如申請專利範圍第 1 或 2 項的半導體裝置，其中該氧化物半導體層包含與該源極和汲極電極層其中一者相接觸之區域，該區域具有比該通道形成區更低的電阻。

9. 如申請專利範圍第 1 或 2 項的半導體裝置，其中，該微晶部份混於非晶結構中。

10. 如申請專利範圍第 1 或 2 項的半導體裝置，其中，該氧化物半導體層的該通道形成區是本質的。

11. 如申請專利範圍第 1 或 2 項的半導體裝置，另外

包含在該源極和汲極電極層上的絕緣層，

其中該氧化物半導體層在該閘極電極層上，及

其中該絕緣層與在該源極電極層和該汲極電極層之間的該氧化物半導體層的上表面相接觸。

12. 如申請專利範圍第 1 或 2 項的半導體裝置，另外包含至少在該氧化物半導體層的該通道形成區之上的絕緣層，

其中，該氧化物半導體層在該閘極電極層之上，及

其中，該源極和汲極電極層形成於該絕緣層之上。

13. 如申請專利範圍第 1 或 2 項的半導體裝置，其中，該氧化物半導體層的晶化程度是 80%或更多。

圖式

圖 1A1

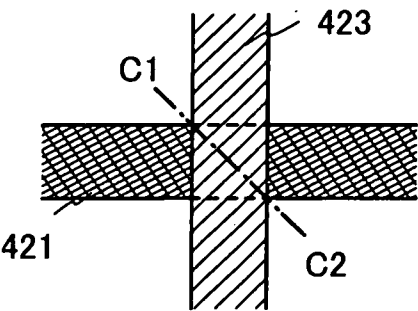


圖 1A2

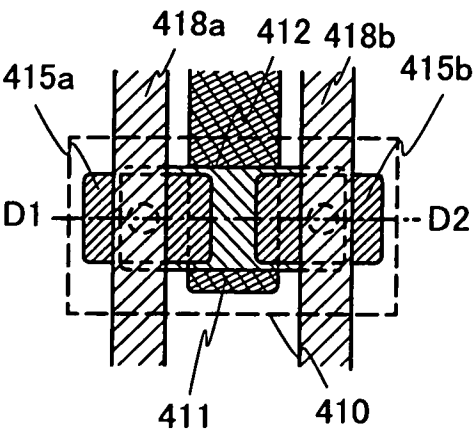


圖 1B

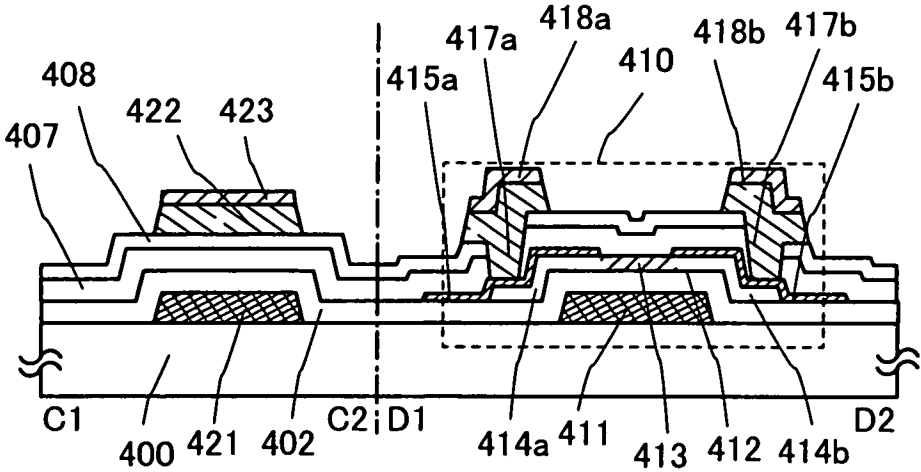


圖 2A

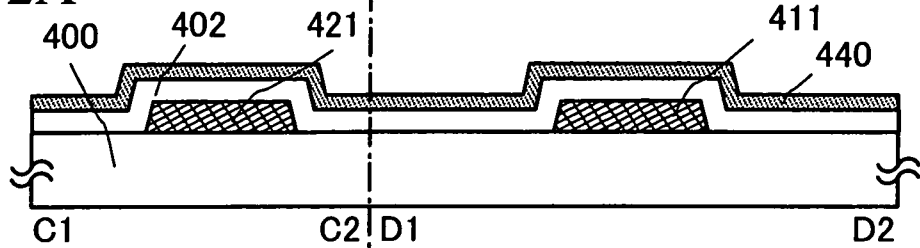


圖 2B

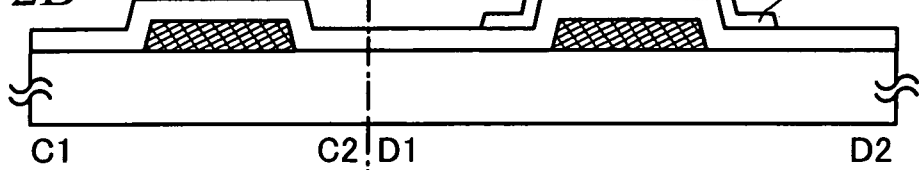


圖 2C

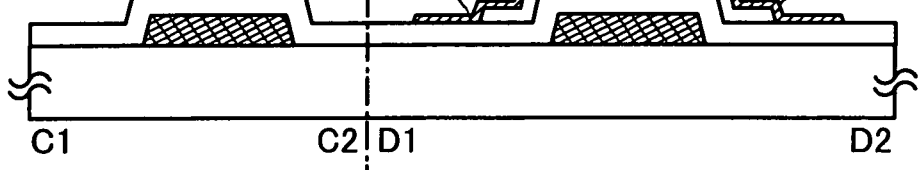


圖 2D

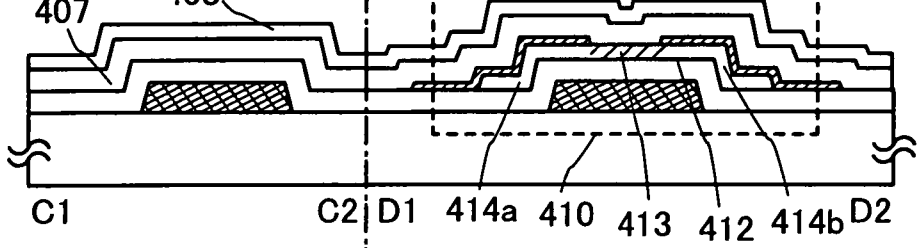


圖 2E

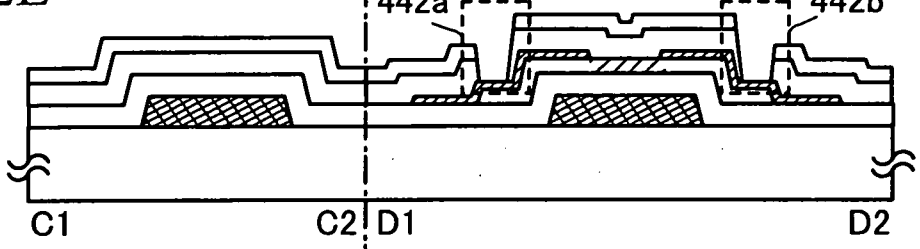


圖 2F

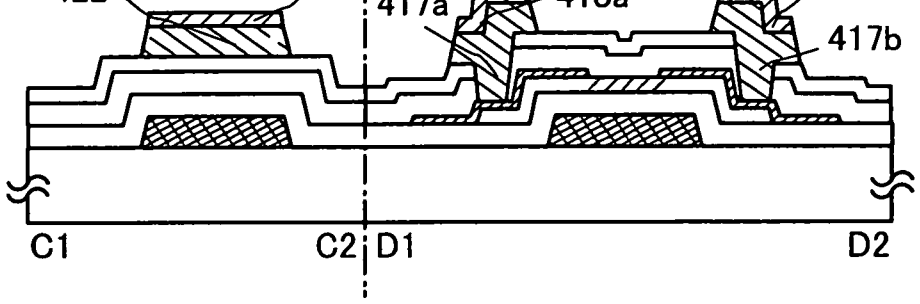


圖 3A1

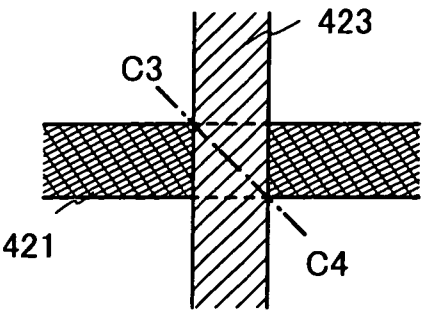


圖 3A2

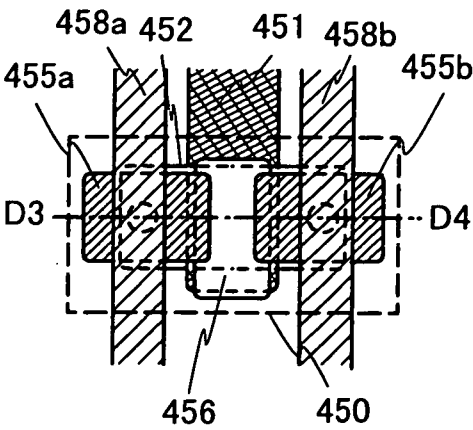


圖 3B

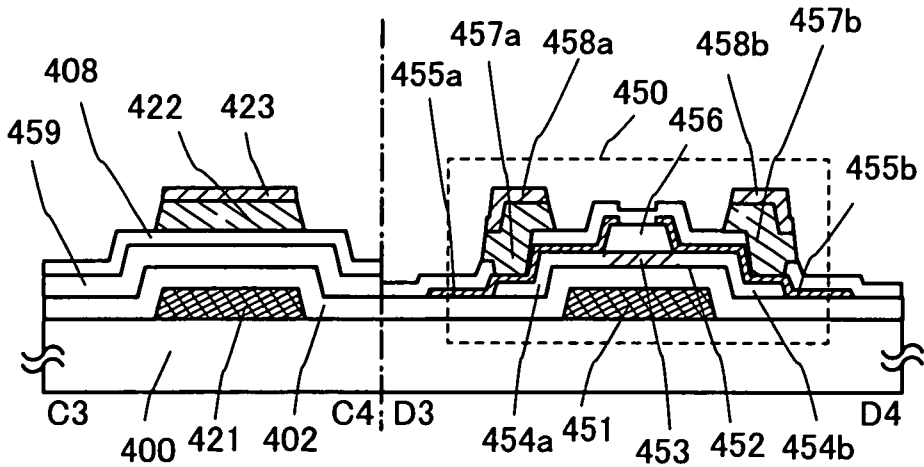


圖 4A

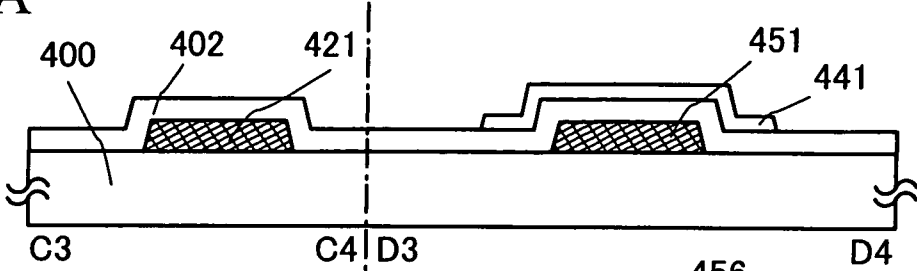


圖 4B

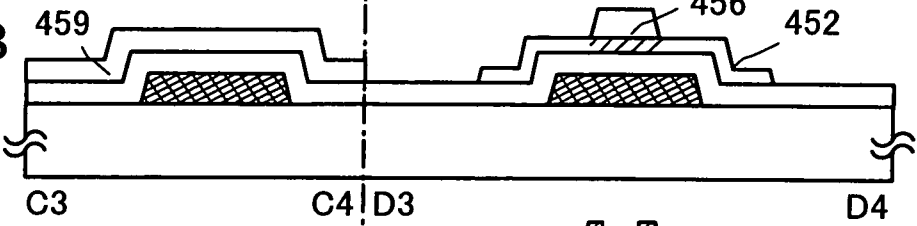


圖 4C

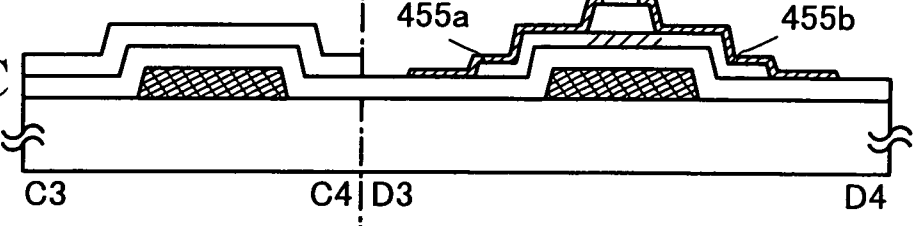


圖 4D

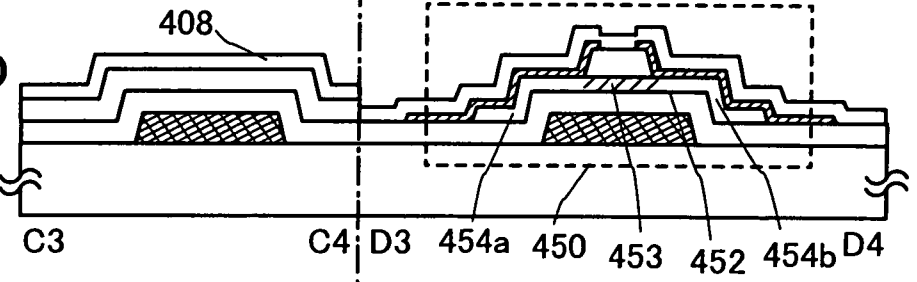


圖 4E

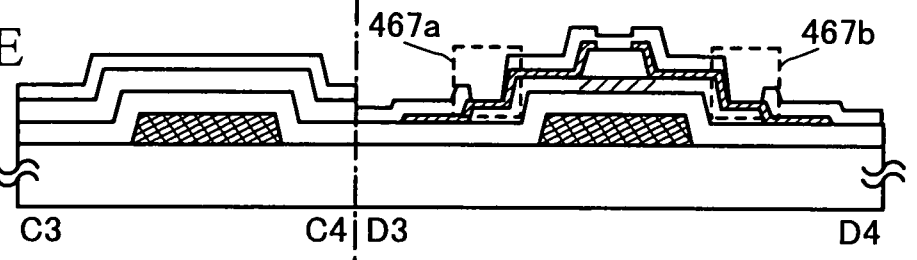


圖 4F

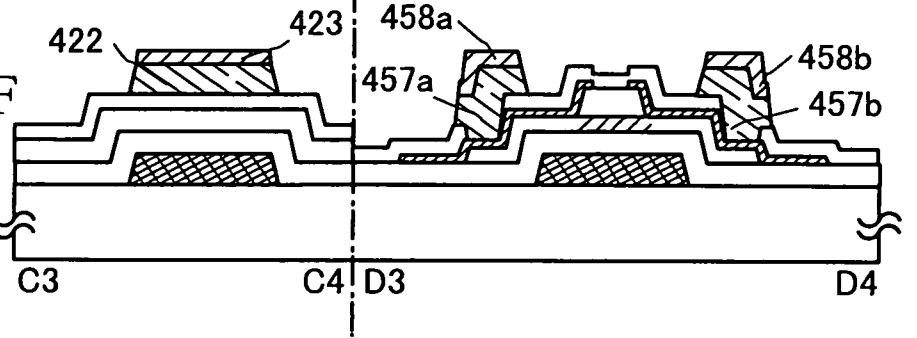


圖 5A

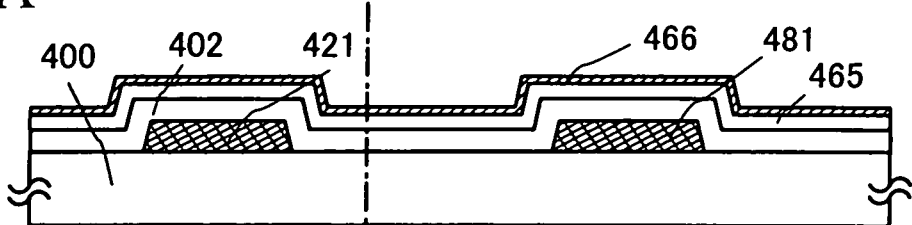


圖 5B

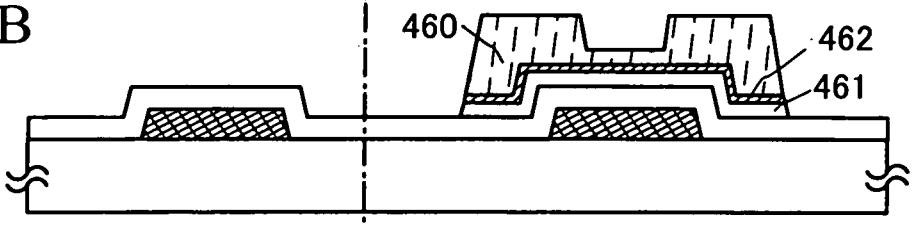


圖 5C

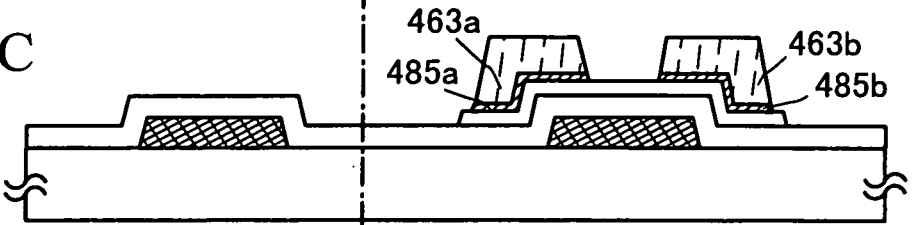


圖 5D

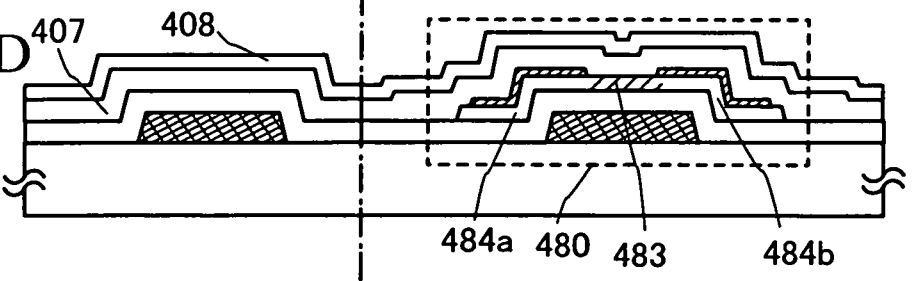


圖 5E

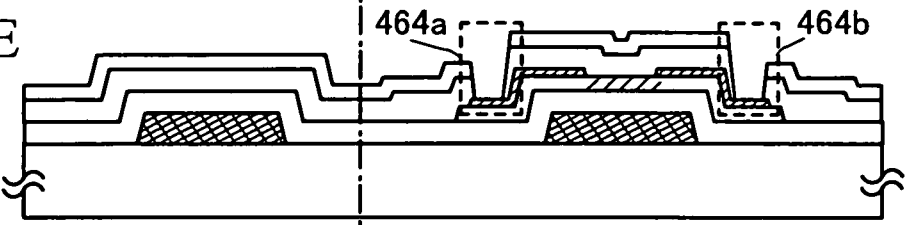


圖 5F

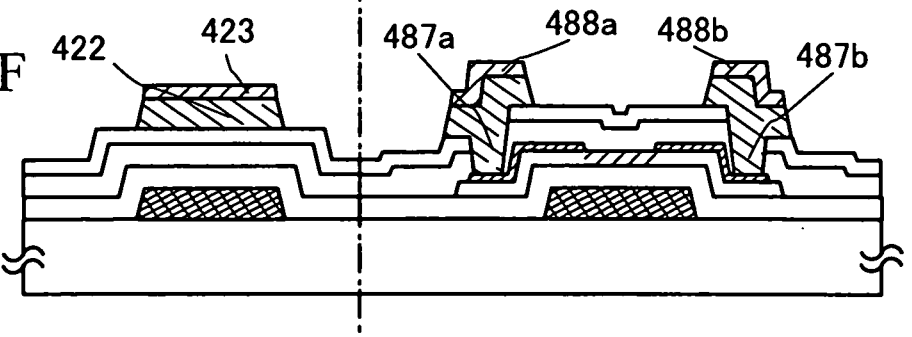


圖 6A

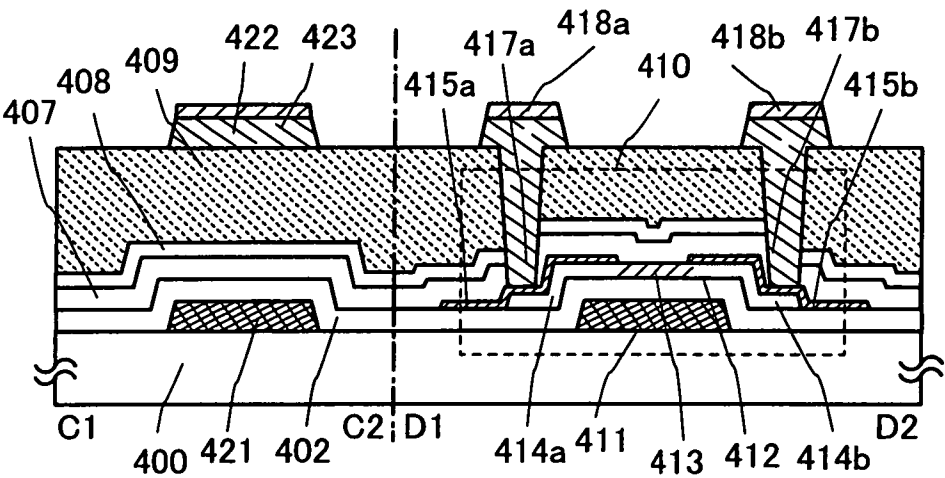


圖 6B

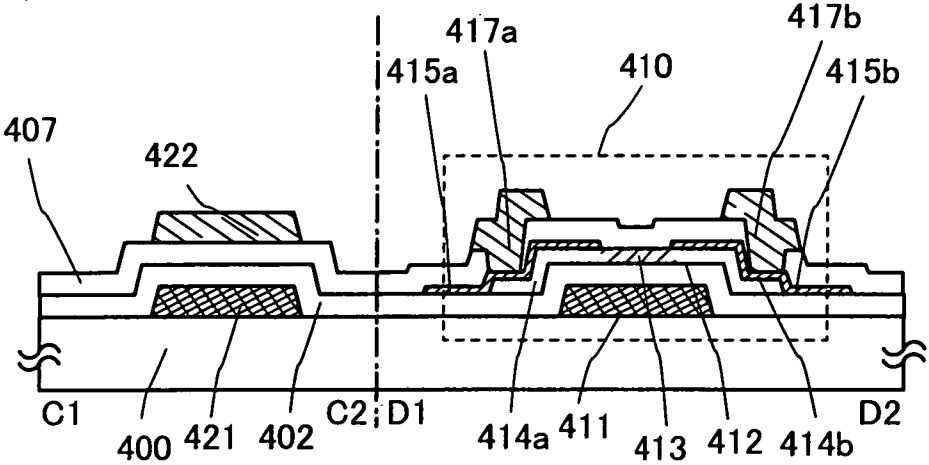


圖 7

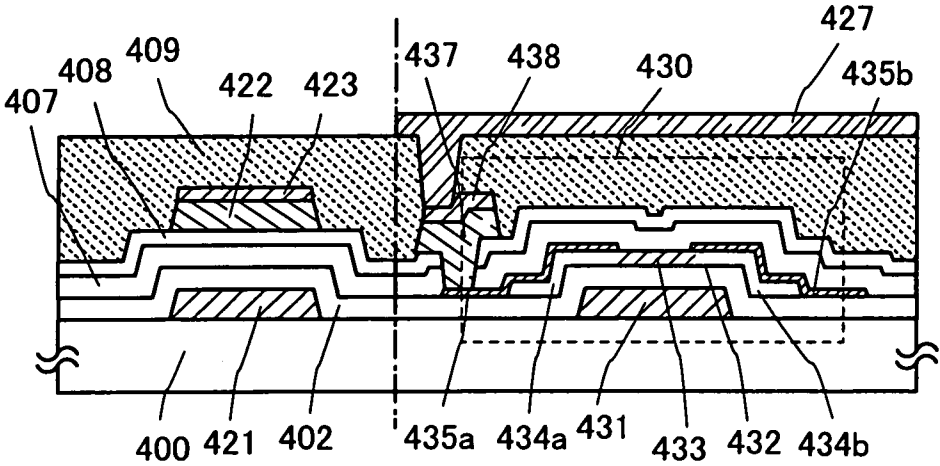


圖 8

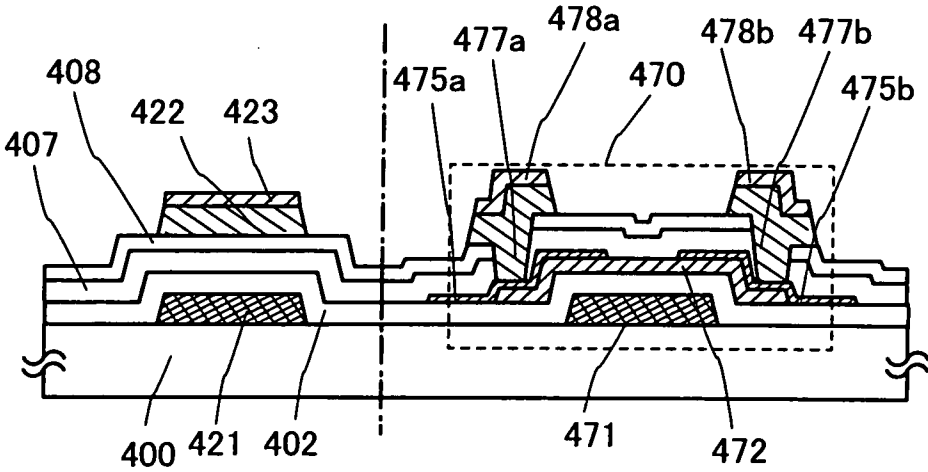


圖 9

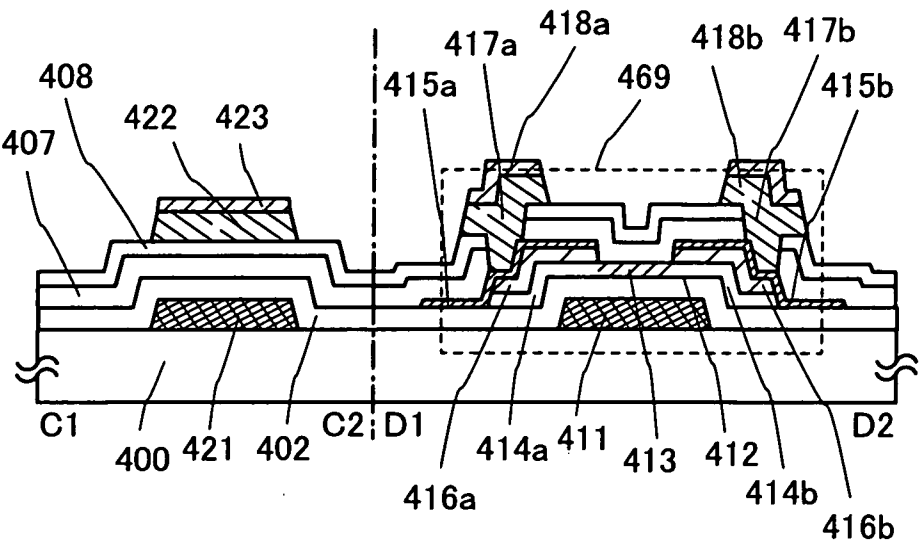


圖 10

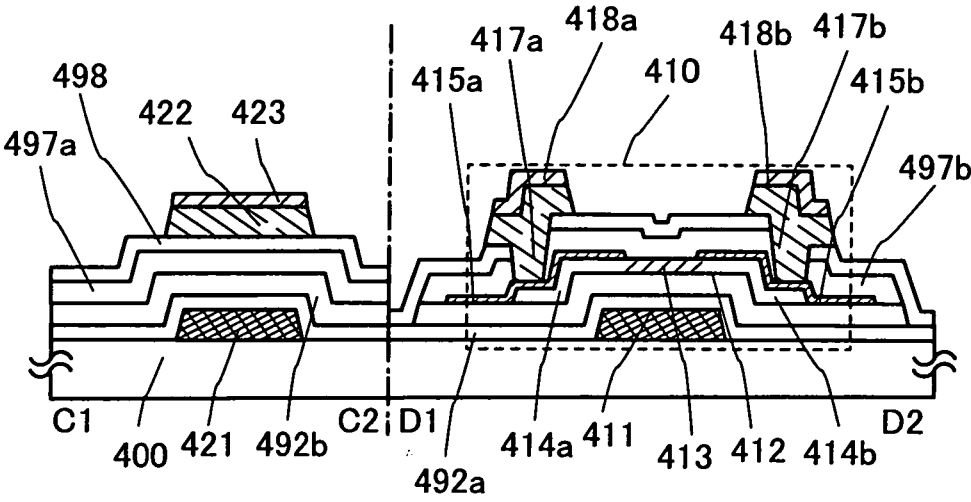


圖 11

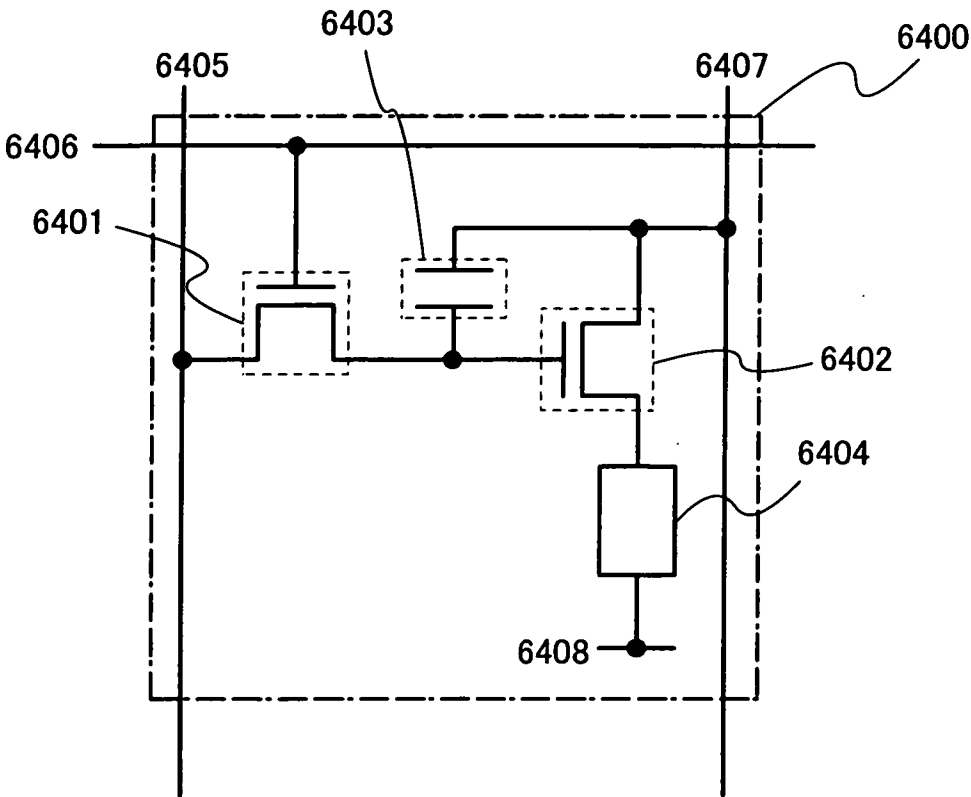


圖 12A

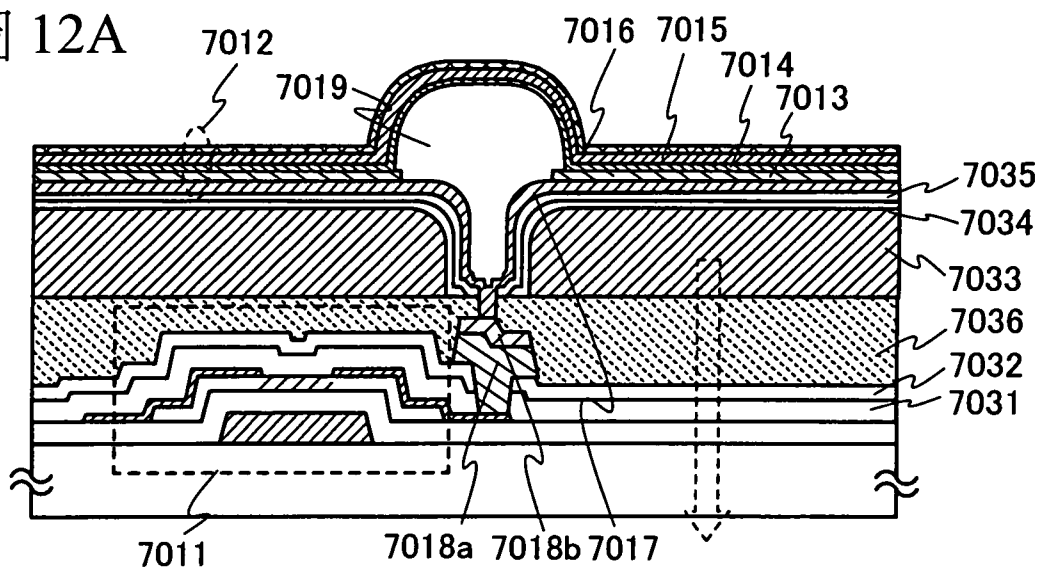


圖 12B

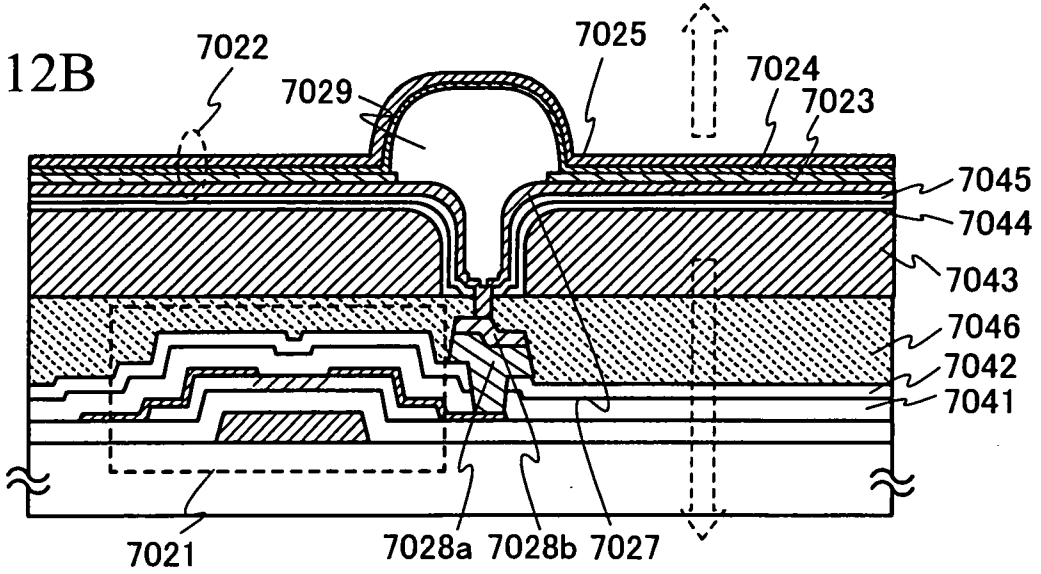


圖 12C

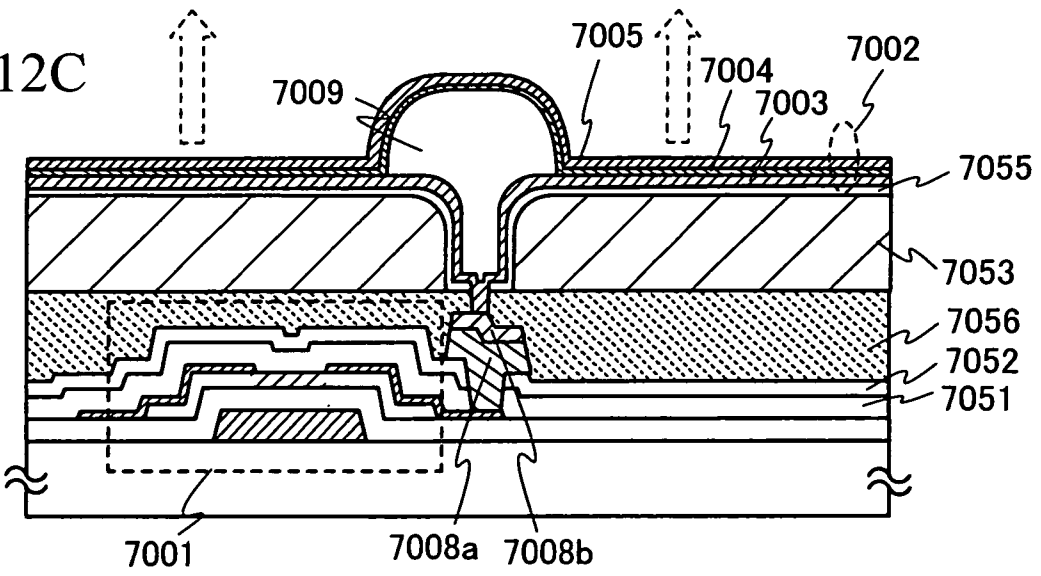


圖 13A

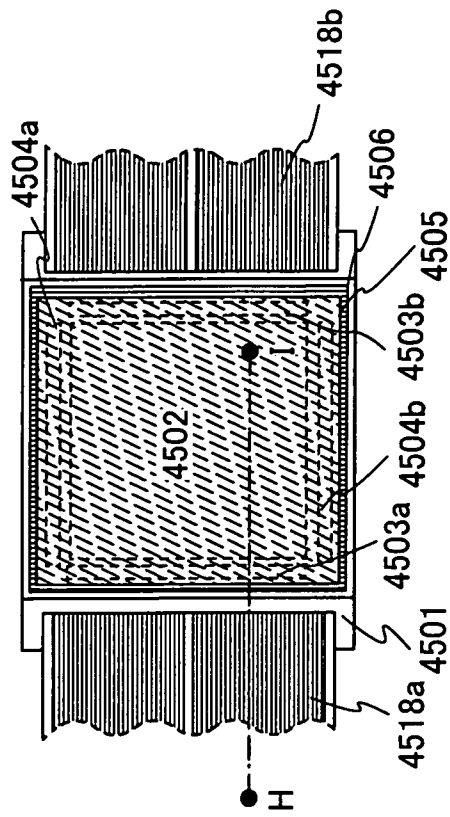


圖 13B

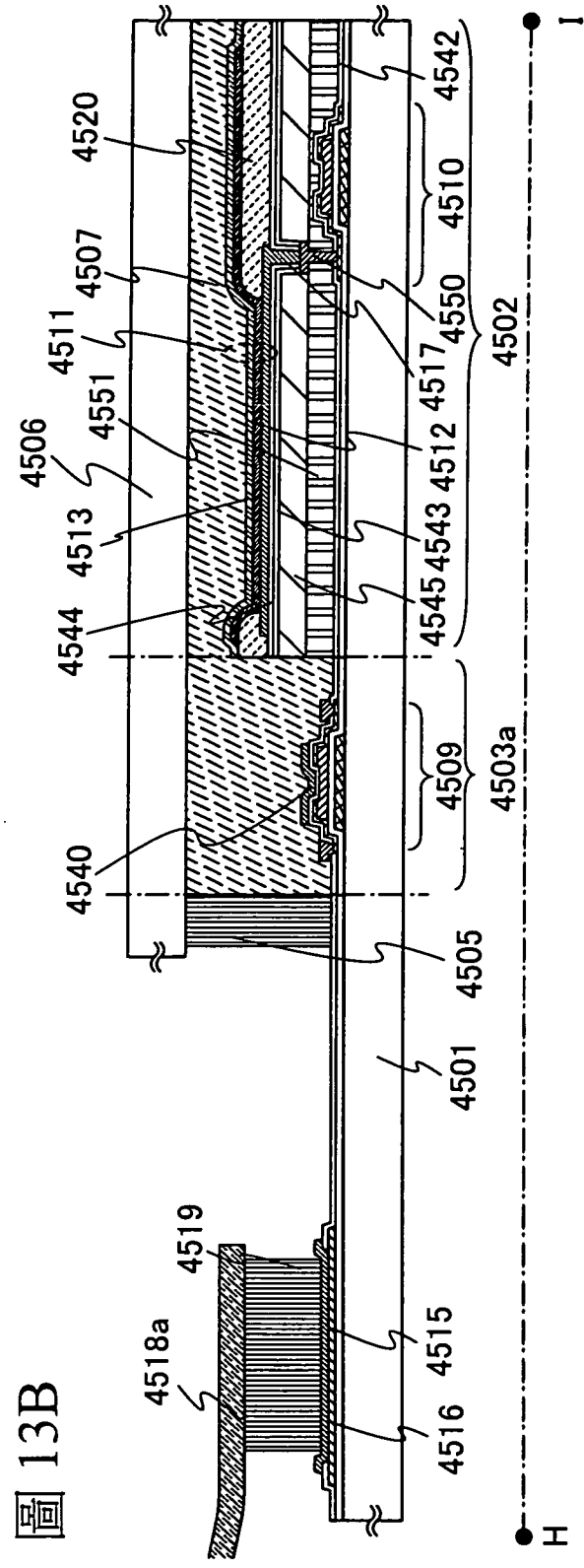


圖 15

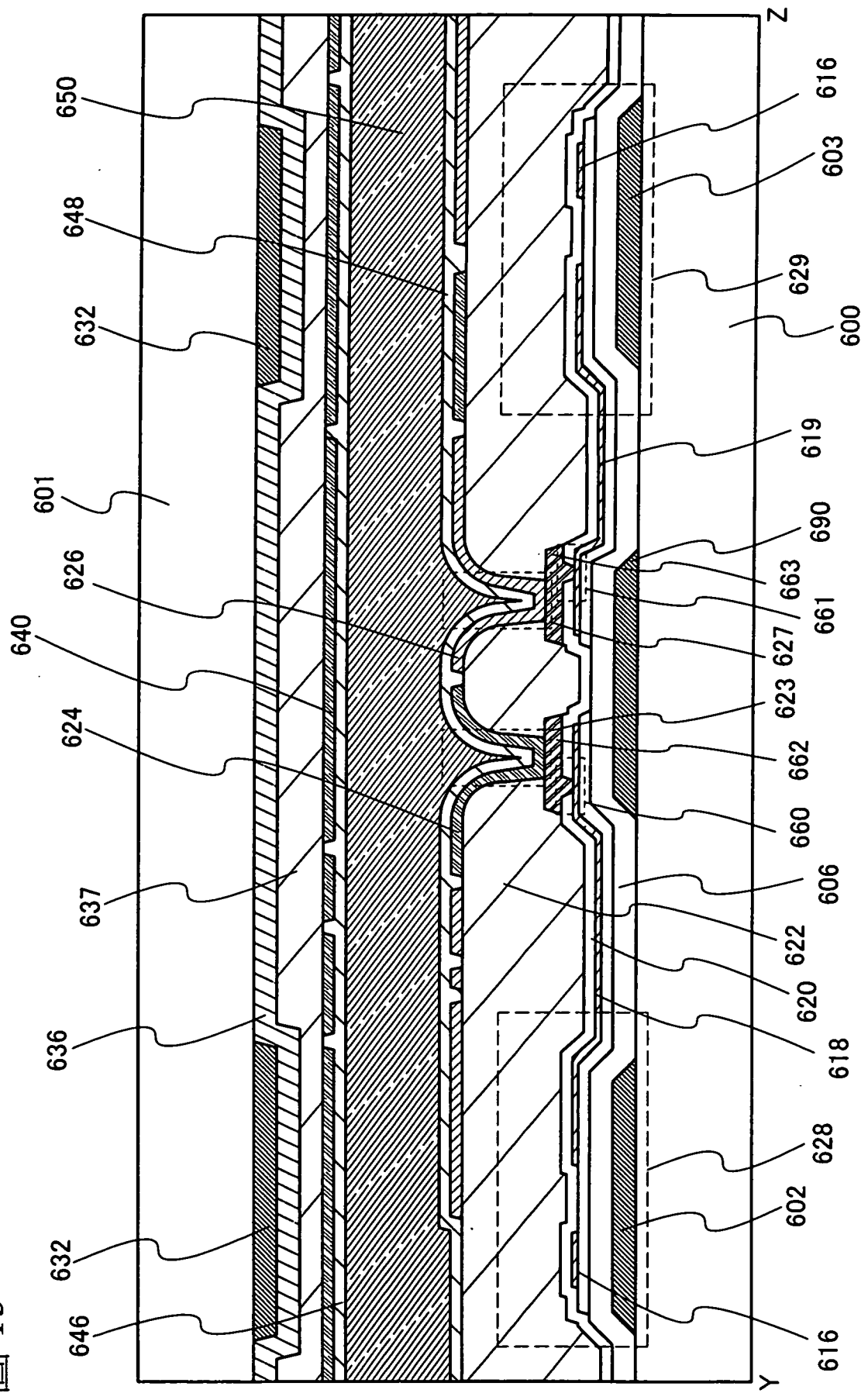


圖 16

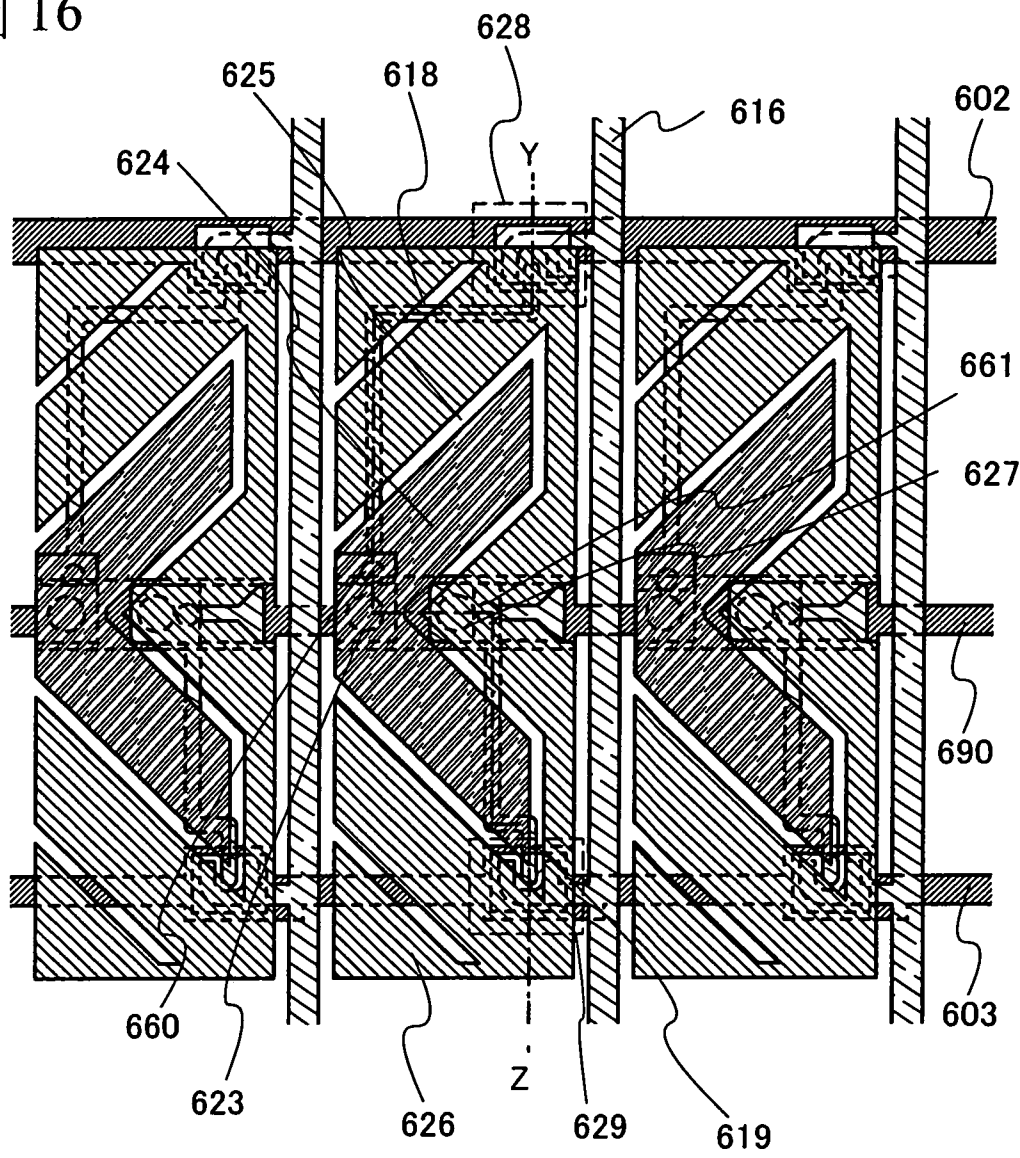


圖 17

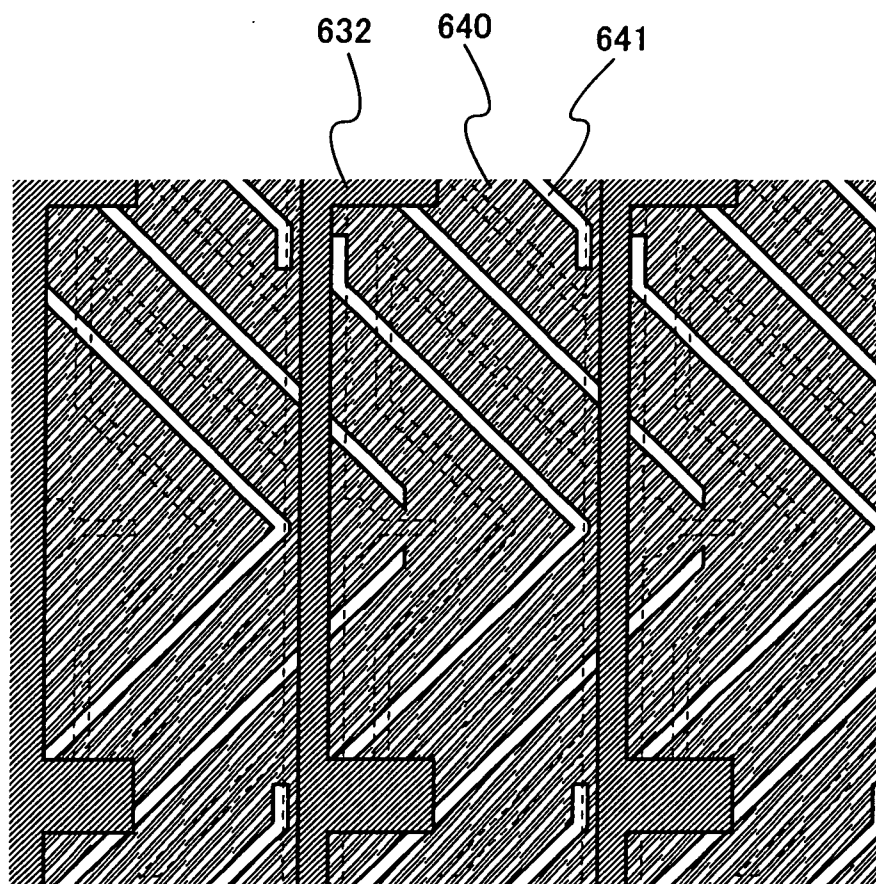


圖 18

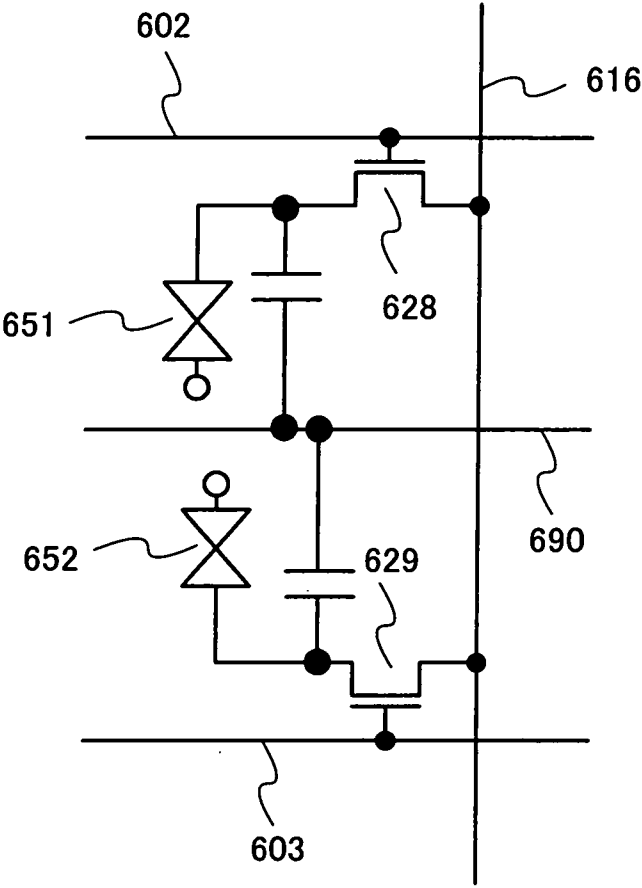


圖 19

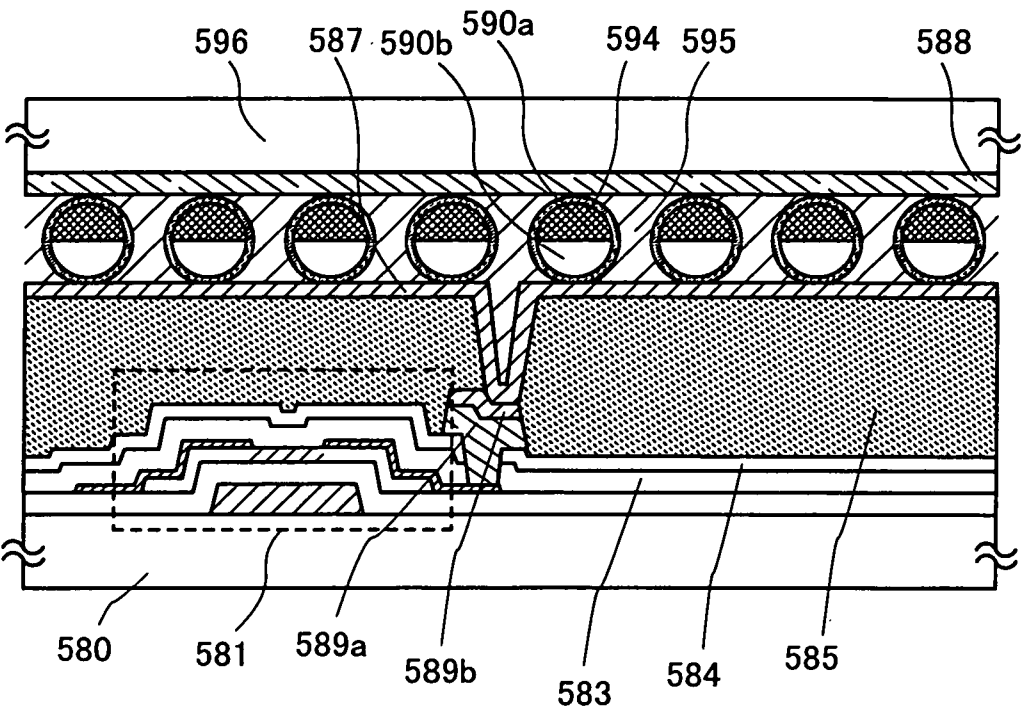


圖 20A

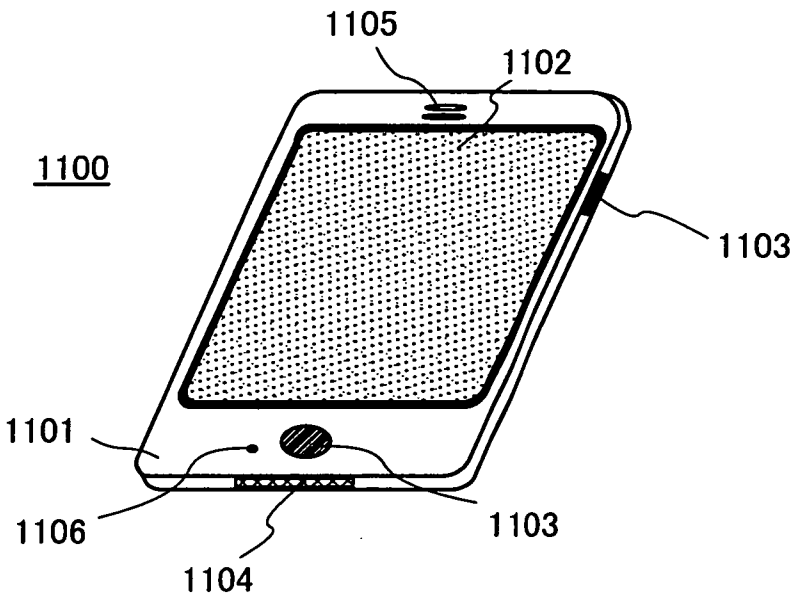


圖 20B

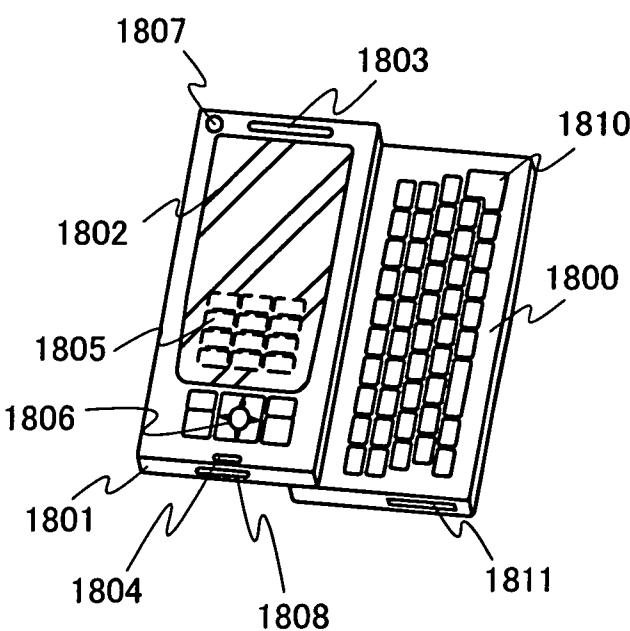


圖 21A

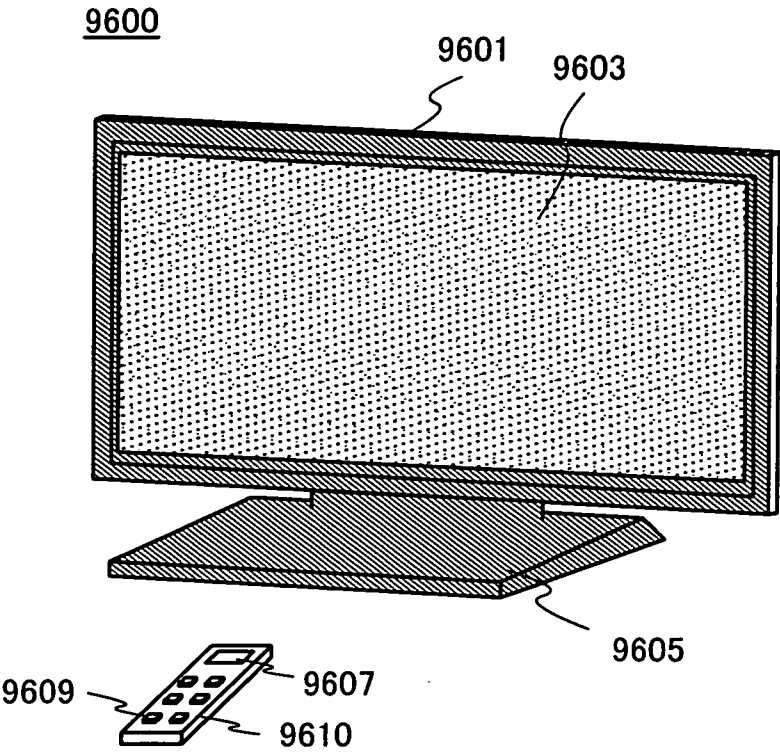


圖 21B

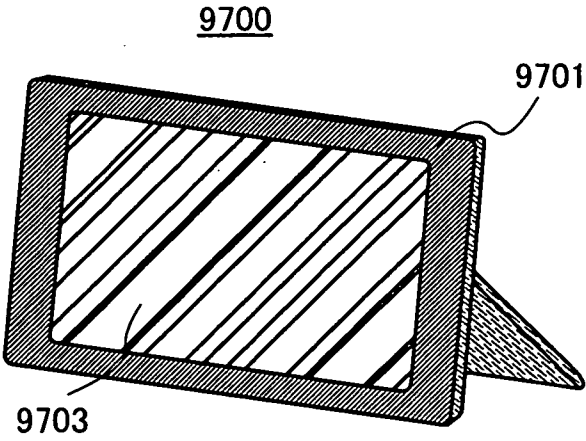


圖 22

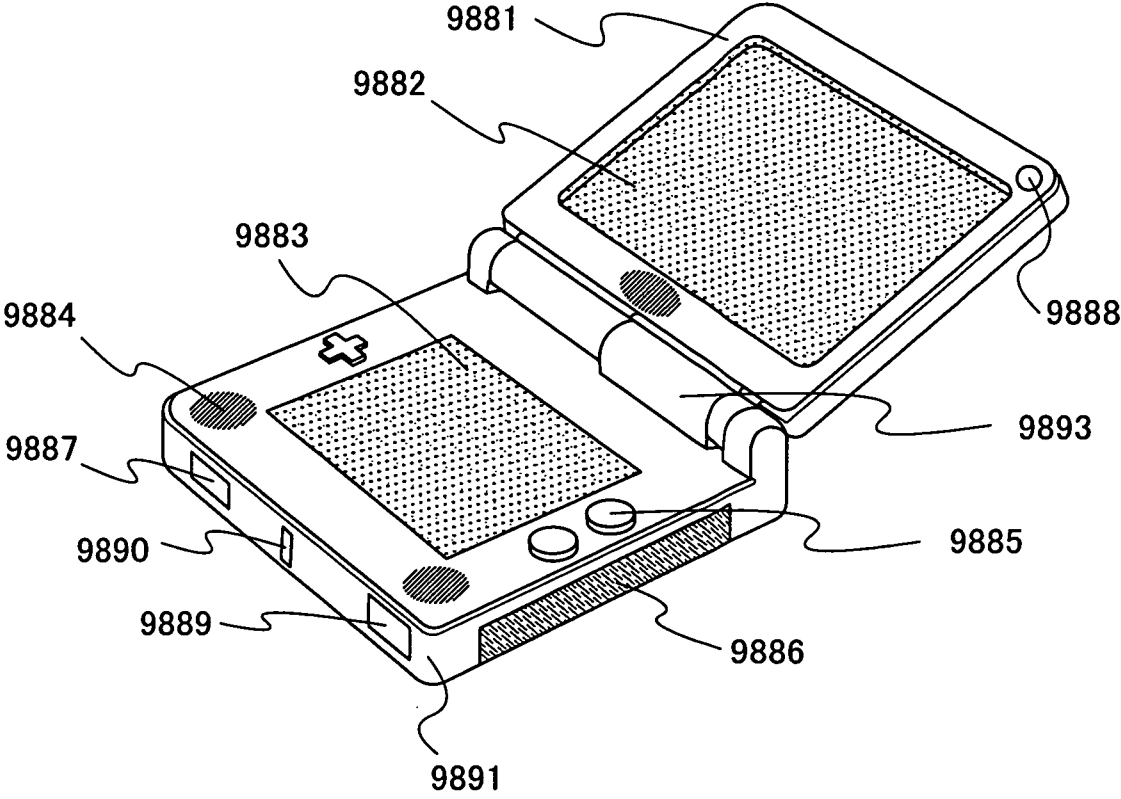


圖 23

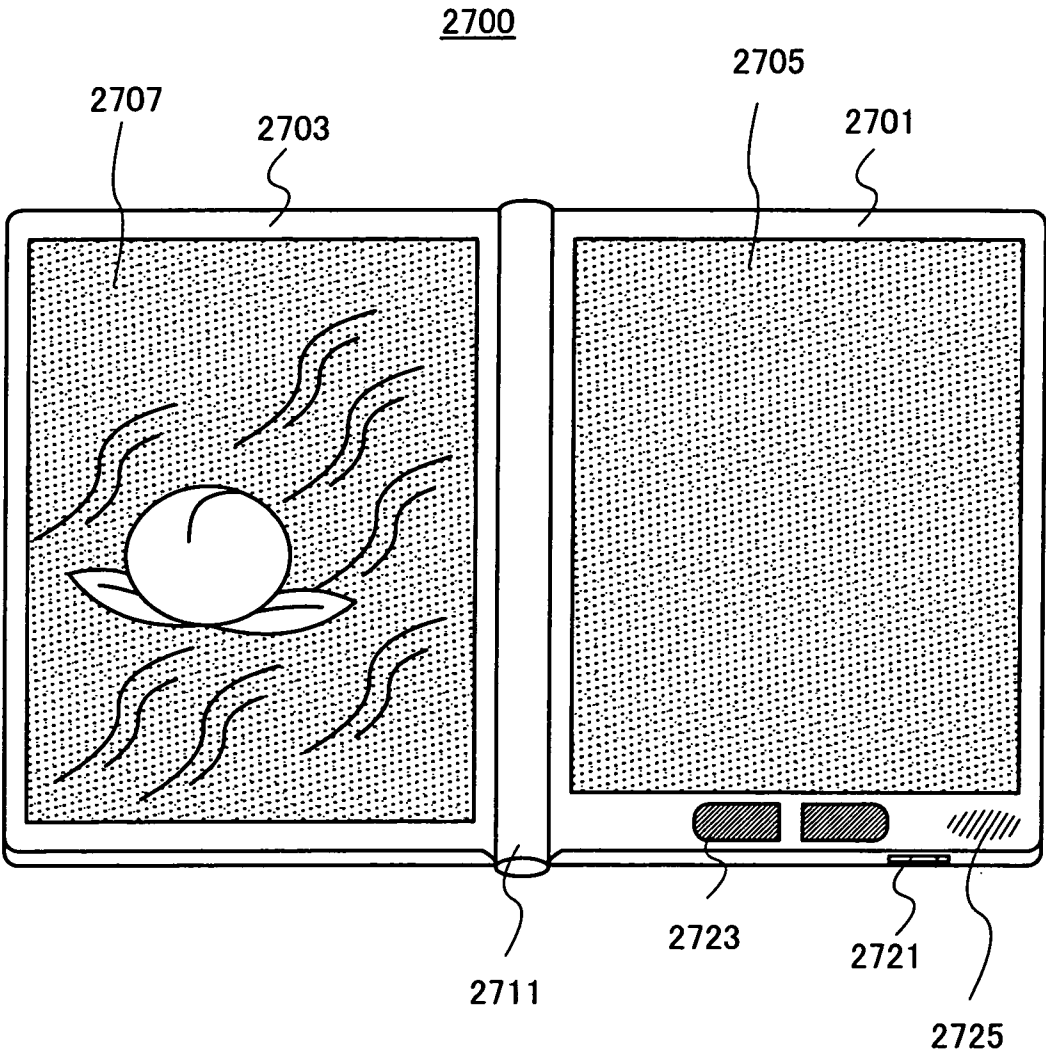


圖 24

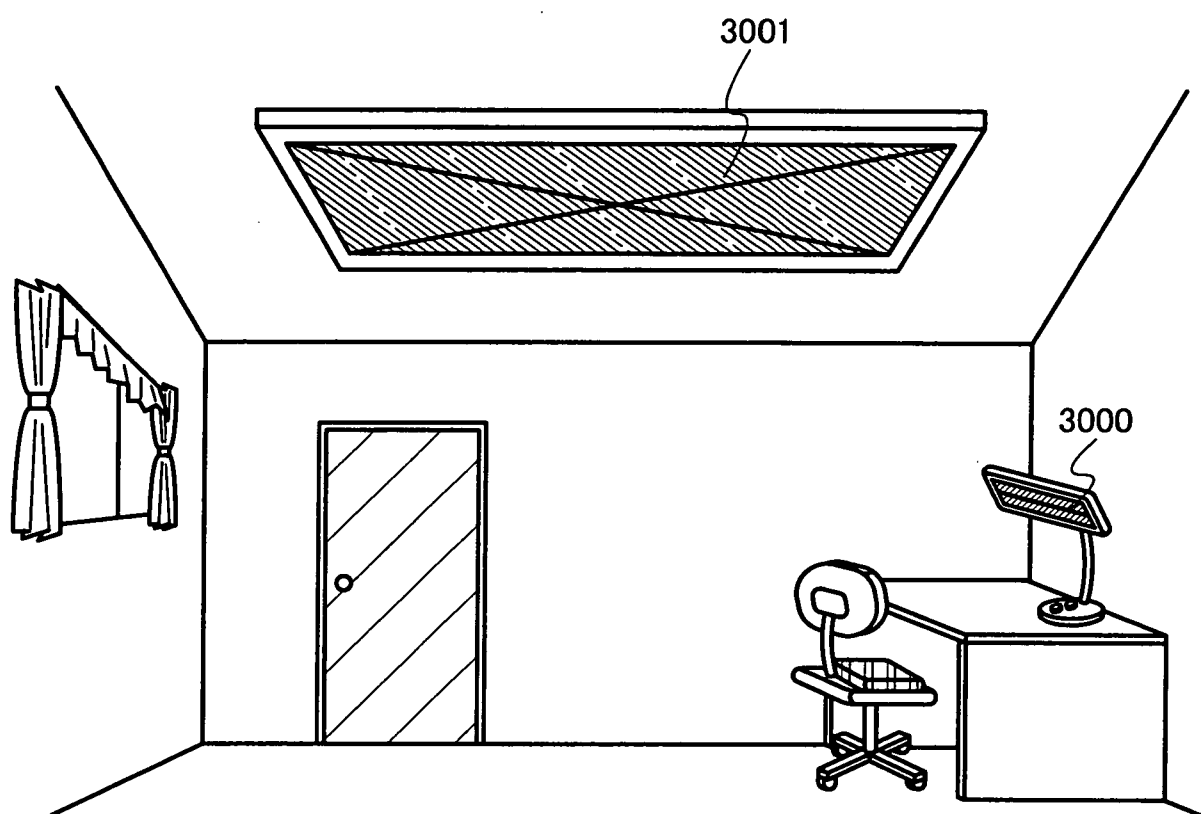


圖 25A

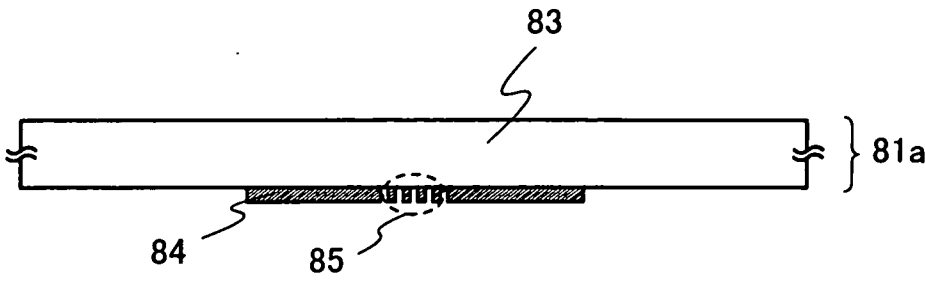


圖 25B

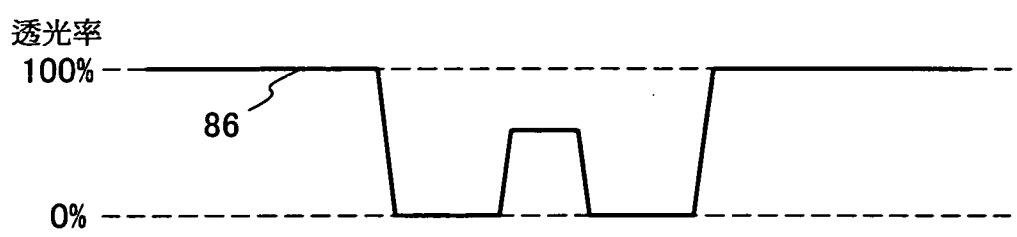


圖 25C

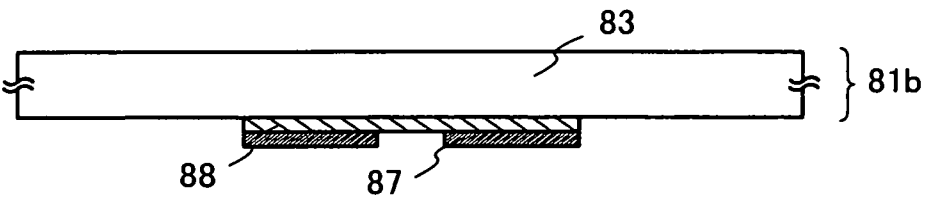


圖 25D

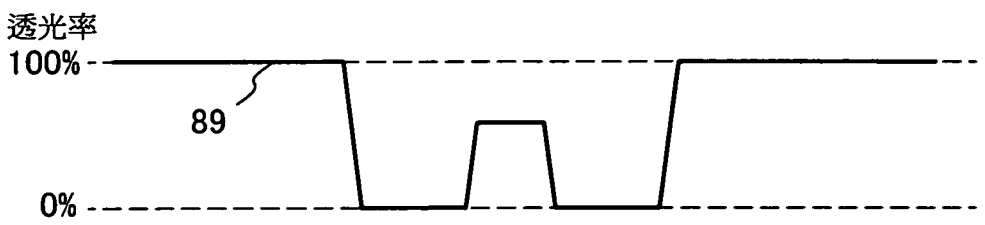


圖 26

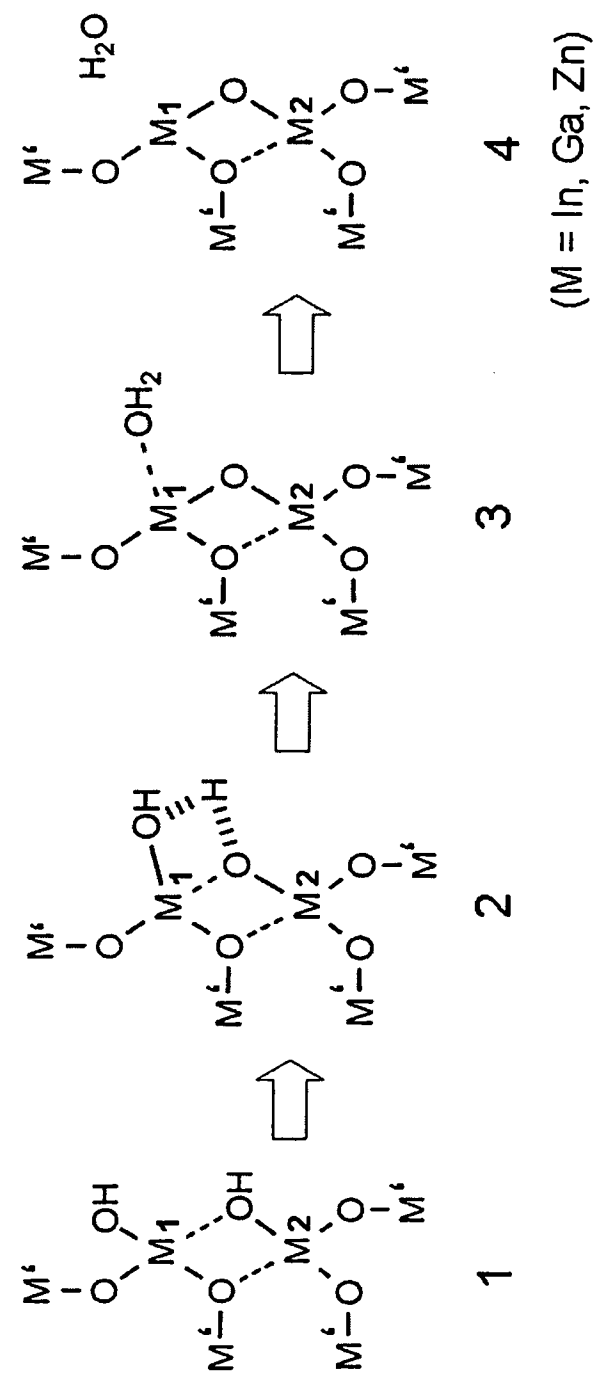


圖 27

