

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2011年1月20日(20.01.2011)

PCT

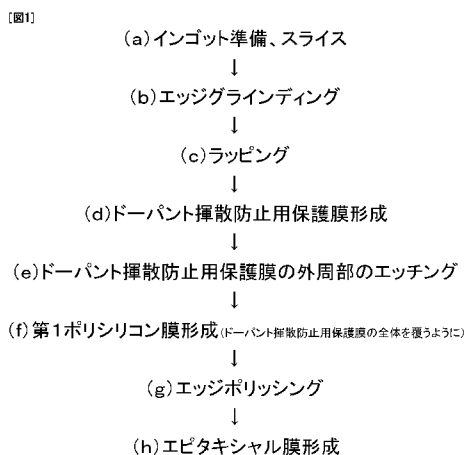
(10) 国際公開番号  
WO 2011/007494 A1

- (51) 国際特許分類:  
H01L 21/205 (2006.01) H01L 21/306 (2006.01)  
C30B 25/18 (2006.01)
- (21) 国際出願番号: PCT/JP2010/003662
- (22) 国際出願日: 2010年6月1日(01.06.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2009-167392 2009年7月16日(16.07.2009) JP
- (71) 出願人 (米国を除く全ての指定国について): 信越半導体株式会社 (Shin-Etsu Handotai Co., Ltd.) [JP/JP]; 〒1000004 東京都千代田区大手町二丁目6番2号 Tokyo (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 黛雅典 (MAYUSUMI, Masanori) [JP/JP]; 〒3790196 群馬県安中市磯部2丁目13番1号信越半導体株式会社 磯部工場内 Gunma (JP).
- (74) 代理人: 好宮幹夫(YOSHIMIYA, Mikio); 〒1100005 東京都台東区上野7丁目6番11号第一下谷ビル8F Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR EPITAXIAL WAFER, AND SEMICONDUCTOR EPITAXIAL WAFER

(54) 発明の名称: 半導体エピタキシャルウエーハの製造方法及び半導体エピタキシャルウエーハ



- (a) PREPARE AND SLICE INGOT  
(b) PERFORM EDGE GRINDING  
(c) PERFORM LAPPING  
(d) FORM PROTECTION FILM FOR PREVENTING DOPANT SUBLIMATION  
(e) ETCH OUTER CIRCUMFERENCE PORTION OF PROTECTION FILM FOR PREVENTING DOPANT SUBLIMATION  
(f) FORM FIRST POLYSILICON FILM (TO ENTIRELY COVER PROTECTION FILM FOR PREVENTING DOPANT SUBLIMATION)  
(g) PERFORM EDGE POLISHING  
(h) FORM EPITAXIAL FILM

(57) Abstract: Disclosed is a method for manufacturing a semiconductor epitaxial wafer, wherein at least a protection film for preventing dopant sublimation is formed on the rear surface of the semiconductor wafer, then, after forming a first polysilicon film so as to cover the whole protection film for preventing dopant sublimation, the semiconductor wafer is disposed in a reacting furnace, a gas for epitaxial growing is introduced into the reacting furnace, and an epitaxial film is formed on the front surface of the semiconductor wafer. Thus, the semiconductor epitaxial wafer which has uniform resistivity distribution of the epitaxial film and a narrow transition width can be manufactured and supplied with high qualities and a high productivity.

(57) 要約: 本発明は、半導体エピタキシャルウエーハの製造方法であって、少なくとも、半導体ウエーハの裏面側にドーパント揮散防止用保護膜を形成し、その後該ドーパント揮散防止用保護膜全体を覆うように第1ポリシリコン膜を形成した後、前記半導体ウエーハを反応炉内に配置し、該反応炉内にエピタキシャル成長用ガスを導入することによって前記半導体ウエーハの表面側にエピタキシャル膜を形成することを特徴とする半導体エピタキシャルウエーハの製造方法である。これによってエピタキシャル膜の抵抗率分布が均一であり、また遷移幅の狭い半導体エピタキシャルウエーハを、高品質かつ高生産性で製造し供給する事のできる半導体エピタキシャルウエーハの製造方法が提供される。



---

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

## 明 細 書

発明の名称：

半導体エピタキシャルウエーハの製造方法及び半導体エピタキシャルウエーハ

### 技術分野

[0001] 本発明は、高品質の半導体エピタキシャルウエーハを安定して製造することのできる半導体エピタキシャルウエーハの製造方法と半導体エピタキシャルウエーハに関する。

### 背景技術

[0002] 半導体エピタキシャルウエーハは、その優れた特性から広くディスクリート半導体やバイポーラIC等を製造するウエーハとして、古くから用いられてきた。また、MOS LSIについても、ソフトエラーやラッチアップ特性が優れていることから、マイクロプロセッサユニットやフラッシュメモリデバイスに広く用いられている。

[0003] 半導体エピタキシャルウエーハの優れた特性の一例としては、単結晶製造時に導入される、COP (Crystal Originated Particle) 等のいわゆるGrown-in欠陥が実質的に存在しないので、DRAMの信頼性等の不良が低減するということがあげられ、需要はますます拡大している。

[0004] ここで、半導体エピタキシャルウエーハの従来技術による製造方法の一例を説明する。

半導体単結晶インゴットは、一般的にチョクラルスキー (CZ) 法またはフローティングゾーン (FZ) 法等により製造される。製造された半導体単結晶インゴットは、ブロックに切断され、直径を揃えるために丸め加工 (円筒研削工程) が施される。この半導体単結晶インゴットからウエーハ状の半導体ウエーハが切り出され (スライス加工工程)、切り出された半導体ウエーハ

一ハの周辺部の角を落とすために面取り（ベベリング加工工程）が施される。さらに、この半導体ウエーハ表面の凹凸を無くし、平坦度を高め、スライス時の加工歪を最小にする為に機械研磨（ラッピング加工工程；この段階でラップドウエーハと呼ぶ）が施される。その後、機械研磨時に半導体ウエーハの表面層に形成された研磨歪み層が混酸エッチングにより除去される（エッチング工程；この段階でエッチドウエーハと呼ばれる）。

[0005] 次いで、オートドーピングを防止するための保護膜（ドーパント揮散防止用保護膜）が少なくとも半導体ウエーハの裏面上に形成され、その後、化学的かつ機械的に研磨（ケミカルメカニカルポリッシュ；CMP）をすることで半導体ウエーハの表面を鏡面状にするための鏡面研磨（ミラーポリッシュ工程；この段階でポリッシュドウエーハと呼ばれる）が施され、この鏡面研磨された半導体ウエーハの表面にエピタキシャル膜を形成する工程を経て半導体エピタキシャルウエーハを製造している。

[0006] ここでオートドーピングについて、説明を補足する。半導体ウエーハ上に半導体単結晶薄膜（エピタキシャル膜）を気相成長させるエピタキシャル工程においては、その半導体ウエーハは、通常、おおよそ1000～1200℃の高温にさらされる。その際、その半導体ウエーハ中に含まれていたドーパントがエピタキシャル膜の形成工程中に揮散し、エピタキシャル膜に取り込まれる現象、いわゆるオートドーピング現象が発生する。

特に、従来からパワーMOS用半導体エピタキシャルウエーハの製造には、不純物を高濃度にドーブしたP型あるいはN型のいずれかの導電型の低抵抗率の半導体ウエーハがエピタキシャル膜形成用の基板として用いられ、この場合、オートドーピングの発生が顕著となる。

[0007] すなわち、このような高濃度にドーブされた半導体ウエーハを加熱した場合に、ドーパント揮散防止用保護膜が半導体ウエーハに形成されていないと、半導体ウエーハにドーブしてあるボロンやリン、アンチモン、ヒ素等の不純物が半導体ウエーハから飛び出し、エピタキシャル膜に入り込むオートドーピング現象が生じ、所望する抵抗率のエピタキシャル膜が得られない。そ

の結果、半導体エピタキシャルウエーハの電気特性が変化してしまい、この半導体エピタキシャルウエーハを用いて作製した半導体素子が設計通りの特性を示さず、不良となる。

[0008] オートドーピングによる影響を極力小さくするために、半導体エピタキシャルウエーハの製造工程には、酸化膜（例えば $\text{SiO}_2$ ）や窒化膜（例えば $\text{Si}_3\text{N}_4$ ）等のドーパント揮散防止用保護膜を、化学気相成長（CVD；Chemical Vapor Deposition）法や熱酸化法、熱窒化法等を用いることにより半導体ウエーハの裏面側に形成する工程が不可欠な製造工程となっている（例えば特許文献1等参照）。

特に、オートドーピングが顕著となる抵抗率が低い半導体ウエーハ上にエピタキシャル膜を形成する場合だけではなく、抵抗率が高い半導体ウエーハを用いる場合であっても高抵抗エピタキシャル膜を得ようとする場合があり、このような時にも同様に必要不可欠な製造工程と言える。

[0009] 一方、このような半導体エピタキシャルウエーハを用いて半導体デバイスを製造する工程では、種々の重金属汚染に曝されることになり、この結果、半導体デバイスの性能、歩留り、信頼性が低下してしまう。特に最先端のデバイスに必要とされる重金属不純物の濃度は $1 \times 10^{10} \text{ atoms/cm}^2$ 以下と考えられており、重金属不純物は極力減少させなければならない。半導体エピタキシャルウエーハにおいても、このような半導体デバイスへの重金属不純物の影響を低減させる技術の一つとしてゲッタリング技術の重要性がますます高くなってきている。

[0010] このようなゲッタリング効果を高める手法として、半導体ウエーハの裏面にポリシリコンを堆積させる方法（PBS；Poly Back Seal（登録商標））が知られており（例えば特許文献2等参照）、半導体エピタキシャルウエーハの製造に適用されてきている。PBS（以下、裏面ポリシリコン膜とも記載する）法は、半導体エピタキシャルウエーハの裏面に約0.1  $\mu\text{m}$ 乃至2.0  $\mu\text{m}$ 程度のポリシリコン膜を650℃程度のCVD法で成長させるものであり、形成されたポリシリコン膜中のポリシリコンの粒界

に各種重金属不純物をゲッタリングさせるものである。

## 先行技術文献

## 特許文献

[0011] 特許文献1：特開昭58－95819号公報

特許文献2：特開昭52－120777号公報

## 発明の概要

[0012] ところで、近年、半導体デバイスの高集積化、高精度化がますます進み、半導体ウエーハも大口径化の一途をたどっていて、特に直径200mm以上の大口径の半導体ウエーハに対する需要が増大している。

[0013] このような直径200mm以上の大口径半導体ウエーハのエピタキシャル成長においては、エピタキシャル膜の抵抗率分布の均一性、遷移幅（異なるドーパント濃度を持つエピタキシャル膜と半導体ウエーハの境界付近で、ドーパント濃度が遷移する領域の幅）を低減するために、半導体ウエーハ中の高濃度にドーパされたドーパントの揮散を防止する保護膜の役割は非常に重要なものとなる。

[0014] しかしながら、ドーパント揮散を防止する保護膜としての酸化膜（例えば $\text{SiO}_2$ ）や窒化膜（例えば $\text{Si}_3\text{N}_4$ ）は、半導体工程中のエピタキシャル成長工程や洗浄工程の薬液（HF）等でエッチングされ易く、これらのデバイス製造工程において除去あるいはエッチングされてしまい十分なドーパント揮散防止能力を発揮できなくなってしまうという問題がある。

[0015] また、半導体ウエーハの裏面に各種重金属不純物をゲッタリングさせる目的で裏面にポリシリコン膜を形成するだけでは、半導体ウエーハからのドーパント揮散防止の十分な効果が期待できないという問題があるため、さらにその上にドーパント揮散防止用保護膜（酸化膜や窒化膜）を形成する必要があるが、エピタキシャル膜の気相成長工程や洗浄工程の薬液などで除去あるいはエッチングされてしまい、十分なドーパント揮散防止能力が得られないという問題がある。

[0016] さらに、ドーパント揮散防止用保護膜の形成後、その保護膜の保護を目的としてポリシリコン膜を連続形成し、その後、ウエーハの表面側およびウエーハのエッジ部のポリッシュを行う従来の工程では、ウエーハ周辺部でドーパント揮散防止用保護膜が露出してしまい、エピタキシャル成長や洗浄等の薬液使用工程でその露出部の保護膜がエッチングされてしまい、ドーパント揮散防止機能の低下、さらにはポリシリコン層がオーバーハング形状となり、その部分が剥脱し易くなることから、ゴミが発生して半導体工程を汚染し、製品歩留りを悪化させるという問題がある。

また、エピタキシャル工程中では、露出した保護膜上にポリシリコンが粒状に異常成長して剥脱したものがエピタキシャル層に取り込まれ、重大な結晶欠陥を引き起こすなどの問題がある。

[0017] 従って、本発明はこのような問題点に鑑みてなされたもので、エピタキシャル膜の抵抗率分布が均一であり、また遷移幅の狭い半導体エピタキシャルウエーハを、高品質かつ高生産性で製造し供給する事のできる半導体エピタキシャルウエーハの製造方法やそのような半導体エピタキシャルウエーハを提供することを目的とする。

[0018] 上記課題を解決するため、本発明では、半導体エピタキシャルウエーハの製造方法であって、少なくとも、半導体ウエーハの裏面側にドーパント揮散防止用保護膜を形成し、その後該ドーパント揮散防止用保護膜全体を覆うように第1ポリシリコン膜を形成した後、前記半導体ウエーハを反応炉内に配置し、該反応炉内にエピタキシャル成長用ガスを導入することによって前記半導体ウエーハの表面側にエピタキシャル膜を形成することを特徴とする半導体エピタキシャルウエーハの製造方法を提供する。

[0019] このように、まずドーパント揮散防止用保護膜を半導体ウエーハの裏面に形成し、引き続き第1ポリシリコン膜をドーパント揮散防止用保護膜の全体を覆うように形成した後に、表面側にエピタキシャル膜を形成して半導体エピタキシャルウエーハを製造する。

これによって、エピタキシャル膜の気相成長工程やその前後の洗浄工程な

どの間、除去あるいはエッチングされやすいドーパント揮散防止用保護膜を第1ポリシリコン膜によって保護することができ、これによってドーパント揮散防止用保護膜が薄くなったり、消失したりすることを防止することができる。よって、気相成長の際等の熱によってオートドーピングが発生することを確実に防止することができる。

また、第1ポリシリコン膜によってドーパント揮散防止用保護膜を完全に覆うことによって、エピタキシャル膜形成工程において、露出したドーパント揮散防止用保護膜上に粒状のポリシリコンが異常成長することや、剥脱することを確実に防止することができる。

従って抵抗率分布が安定して均一性が高く、かつ遷移幅が狭小で、欠陥の少ない高品質の半導体エピタキシャルウエーハを安定して製造することができる。

[0020] ここで、前記ドーパント揮散防止用保護膜の形成前に、前記半導体ウエーハの裏面側に第2ポリシリコン膜を形成することが好ましい。

このように、ドーパント揮散防止用保護膜の形成前に、半導体ウエーハの裏面側に第2ポリシリコン膜を形成することによって、裏面側にゲッタリングサイトとしてのポリシリコン膜を形成することができ、所望の抵抗率分布を有し、ゲッタリング機能の高い半導体エピタキシャルウエーハを高歩留りで製造することができる。

[0021] また、前記ドーパント揮散防止用保護膜の形成後、該ドーパント揮散防止用保護膜の外周部をエッチングして前記半導体ウエーハの外周部を露出させた後、前記ドーパント揮散防止用保護膜および前記半導体ウエーハ外周部の全体を覆うように前記第1ポリシリコン膜を形成することが好ましい。

こうすることで、ドーパント揮散防止用保護膜形成後、ドーパント揮散防止用保護膜の外周部をエッチング除去した後、第1ポリシリコン膜を形成することにより、その除去部分に露出した半導体ウエーハや第2ポリシリコン膜上に新たなポリシリコン膜を密着形成することができ、ドーパント揮散防止用保護膜を第1ポリシリコン膜で完全に覆うことができ、エピタキシャル

成長工程や洗浄工程などで除去あるいはエッチングされることを更に容易かつ確実に防止することができる。従って、ドーパント揮散防止用保護膜としての機能を最大限に維持することができる半導体エピタキシャルウエーハの製造方法とすることができる。

[0022] そして、前記ドーパント揮散防止用保護膜として、シリコン酸化膜を形成することが好ましい。

このように、ドーパント揮散防止用保護膜として、例えば常圧CVD法や熱酸化法によってシリコン酸化膜を形成することとすれば、容易に形成することができるため、好ましい。

[0023] また、本発明では、半導体エピタキシャルウエーハであって、少なくとも、半導体ウエーハの裏面に、ドーパント揮散防止用保護膜と、該ドーパント揮散防止用保護膜の全体および前記半導体ウエーハの外周部を覆う第1ポリシリコン膜とを有し、前記半導体ウエーハの表面に、エピタキシャル膜を有することを特徴とする半導体エピタキシャルウエーハを提供する。

[0024] このように、裏面側に、ドーパント揮散防止用保護膜と、ドーパント揮散防止用保護膜の全体と半導体ウエーハの外周部を覆う第1ポリシリコン膜とを有する半導体エピタキシャルウエーハとすることによって、第1ポリシリコン膜によってエピタキシャル膜形成工程や洗浄等の薬液使用工程においてドーパント揮散防止用保護膜が除去・エッチングされることが抑制されたものとなっている。よって、熱処理の際にオートドーピングによる問題の発生が抑制され、抵抗率分布が所望の半導体エピタキシャルウエーハとなっている。

また、ドーパント揮散防止用保護膜が露出していないため、ドーパント揮散防止用保護膜上にポリシリコン膜が意図せずに成長することによる問題の発生が抑制されたものとなっている。

これらの効果によって、エピタキシャル膜の抵抗率が所望の値であり、また遷移幅が小さく、欠陥等の少ない高品質な半導体エピタキシャルウエーハとなっている。

[0025] ここで、前記半導体ウエーハと前記ドーパント揮散防止用保護膜との間に、更に第2ポリシリコン膜を有することが好ましい。

このように、半導体ウエーハとドーパント揮散防止用保護膜との間に、第2ポリシリコン膜を有するものであれば、金属不純物に対するゲッタリング機能が高く、所望の抵抗率分布を有した半導体エピタキシャルウエーハとなっている。

[0026] また、前記ドーパント揮散防止用保護膜が、シリコン酸化膜であることが好ましい。

このように、シリコン酸化膜は、CVD法や熱酸化法によって容易かつ簡易に形成することができるため、ドーパント揮散防止用保護膜がシリコン酸化膜であれば、容易に形成されたものとでき、製造コストが安価な半導体エピタキシャルウエーハとすることができる。

[0027] 以上説明したように、本発明によれば、ドーパント揮散防止用保護膜が裏面側のポリシリコン膜によって完全に被覆された半導体エピタキシャルウエーハやその製造方法が提供され、エピタキシャル膜の抵抗率分布の均一性、及び狭い遷移幅を達成し、パーティクル汚染を防止した高品質半導体エピタキシャルウエーハを得ることができる。従って、高品質な半導体エピタキシャルウエーハを安価にしかも高い生産性で製造することが可能であり、LSIデバイスにおける高歩留りも期待することができる。

## 図面の簡単な説明

[0028] [図1]本発明の半導体エピタキシャルウエーハの製造フローの一例を示す図である。

[図2]本発明の半導体エピタキシャルウエーハの製造フローの他の一例を示す図である。

[図3]本発明の半導体エピタキシャルウエーハの構造の一例を示す図である。

[図4]本発明の半導体エピタキシャルウエーハの構造の他の一例を示す図である。

[図5]本発明の実施例１と比較例１における半導体エピタキシャルウエーハの表面に存在するパーティクルのサイズと個数の関係を示した図である。

[図6]実施例１と比較例２の半導体エピタキシャルウエーハのシリコンエピタキシャル層の抵抗率のバラツキを比較した図である。

[図7]実施例１と比較例２の半導体エピタキシャルウエーハのシリコンエピタキシャル層のウエーハ端部からの距離と抵抗率の関係を示した図である。

### 発明を実施するための形態

[0029] 以下、本発明についてより具体的に説明する。

前述のように、エピタキシャル膜の抵抗率分布が均一であり、また遷移幅の狭い半導体エピタキシャルウエーハを、高品質かつ高生産性で製造することができる半導体エピタキシャルウエーハの製造方法および半導体エピタキシャルウエーハの開発が待たれていた。

[0030] そこで、本発明者は、鋭意検討を重ねた結果、半導体ウエーハの裏面に、ドーパント揮散防止用保護膜と、その全面を覆うポリシリコン膜を形成することによって、ドーパント揮散防止用保護膜を露出させない構造とし、これによってドーパント揮散防止用保護膜やポリシリコン膜の周辺剥がれを防止し、ゴミ発生や性能低下を防止できること、またドーパント揮散防止用保護膜の劣化を防止でき、オートドーピングの発生を抑制できることを知見し、本発明を完成させた。

[0031] 以下、本発明について図を参照して詳細に説明するが、本発明はこれらに限定されるものではない。

図３は本発明の半導体エピタキシャルウエーハの構造の一例を示す図である。また、図４は本発明の半導体エピタキシャルウエーハの構造の他の一例を示す図である。

[0032] 図３に示す様に、本発明の半導体エピタキシャルウエーハ１０は、少なくとも、半導体ウエーハ１１の裏面側に、ドーパント揮散防止用保護膜１２と、該ドーパント揮散防止用保護膜１２の全体および前記半導体ウエーハ１１の外周部を覆う第１ポリシリコン膜１３とを有し、半導体ウエーハ１１の表

面側に、エピタキシャル膜 15 を有するものである。

[0033] このように、ドーパント揮散防止用保護膜の全体を露出させない構造にすることにより、エピタキシャル膜の気相成長工程中や、洗浄薬液によって洗浄工程の際に、ドーパント揮散防止用保護膜がエッチングされることを防止することができ、オートドーピングが発生することを強く抑制することができる。これによって、エピタキシャル膜の抵抗率が均一で所望の値となっており、また遷移幅が狭い半導体エピタキシャルウエーハとなっている。

[0034] また、特にドーパント揮散防止用保護膜の周辺部が露出していない構造にすることにより、エピタキシャル膜の気相成長工程中での多結晶粒子の異常成長（ノジュールなど）を防止することができ、ノジュールの剥脱によるゴミの発生や、ノジュール発生による凸凹形状でウエーハ接触搬送時の摩擦発生に起因する不具合（引っ掛かりなど）を防止することができる。

更に、裏面は、第 1 ポリシリコン膜により安定して保護されるため、第 1 ポリシリコン膜の剥脱によるゴミ発生等も防止されたものとなっており、これら以上の効果によって従来に比べて歩留りが良く、高品質なデバイスを得ることができる半導体エピタキシャルウエーハとなっている。

[0035] また、図 4 に示す様に、本発明の半導体エピタキシャルウエーハ 20 は、少なくとも、半導体ウエーハ 21 の裏面に、第 2 ポリシリコン膜 24 と、該第 2 ポリシリコン膜 24 上のドーパント揮散防止用保護膜 22 と、該ドーパント揮散防止用保護膜 22 および前記半導体ウエーハ 21 の外周部を覆う第 1 ポリシリコン膜 23 とを有し、半導体ウエーハ 21 の表面に、エピタキシャル膜 25 を有するものとすることができる。

[0036] このように、ドーパント揮散防止用保護膜が第 1 ポリシリコン膜で完全に覆われており、かつ半導体ウエーハとドーパント揮散防止用保護膜との間に第 2 ポリシリコン膜を有する半導体エピタキシャルウエーハであれば、第 2 ポリシリコン膜の存在によって、金属不純物に対するゲッタリング機能が高い半導体エピタキシャルウエーハとなり、従って、抵抗率分布が均一であり、遷移幅が狭くゲッタリング機能が高い半導体エピタキシャルウエーハとす

ることができる。

[0037] また、ドーパント揮散防止用保護膜 12, 22 を、シリコン酸化膜とすることができる。

ドーパント揮散防止用保護膜をシリコン酸化膜とすることによって、常圧 CVD 法や熱酸化法等によって容易かつ簡易に形成することができ、安価に製造することのできる抵抗率分布特性が良好な半導体エピタキシャルウエーハとすることができる。

[0038] 次に、本発明の半導体エピタキシャルウエーハの製造方法の一例について図面を参照して以下に説明するが、もちろんこれに限定されるものではない。

図 1 は本発明の半導体エピタキシャルウエーハの製造フローの一例を示す図である。

[0039] まず、単結晶インゴットを所定の厚さにスライスし、ラッピングする工程までは原則として従来と同様の工程である。

具体的には、図 1 (a) に示す様に、チョクラルスキー (CZ) 法またはフローティングゾーン (FZ) 法等により半導体単結晶インゴットを製造して、準備する。そして、製造された半導体単結晶インゴットを、所定長さのブロックに切断し、直径を揃えるために丸め加工 (円筒研削工程) を施す。そして、半導体単結晶インゴットからウエーハ状の半導体ウエーハを切り出す (スライス加工工程)。

そして、図 1 (b) に示す様に、切り出された半導体ウエーハの周辺部の角を落とすために面取り (ベベリング加工工程またはエッジグラインディング工程) を行う。

更に、図 1 (c) に示す様に、機械研磨 (ラッピング加工工程; この段階でラップドウエーハと呼ぶ) を行い、機械研磨時に半導体ウエーハの表面層に形成された研磨歪み層を混酸エッチングにより除去する (エッチング工程)。

以上は、従来と同様の工程である。

[0040] 本発明では、次いで、図 1 (d) に示す様に、オートドーピングを防止するためのドーパント揮散防止用保護膜を半導体ウエーハの裏面側に形成する。

このドーパント揮散防止用保護膜を形成することにより、例えば、半導体ウエーハに高濃度にドーピングされたドーパントが、エピタキシャル膜形成工程や、その他熱処理工程において、ドーパントが揮散し、エピタキシャル膜に取り込まれることを強く抑制することができる。

[0041] ここで、このドーパント揮散防止用保護膜として、シリコン酸化膜を形成することができる。

シリコン酸化膜は常圧 CVD 法による堆積や熱酸化による熱酸化膜の形成等によって容易に形成することができ、安価に製造することができる。

[0042] その後、図 1 (e) に示す様に、ドーパント揮散防止用保護膜の外周部のエッチングを行うことができる。

この場合、半導体ウエーハ外周部に位置するドーパント揮散防止用保護膜の除去範囲は、ウエーハ表面近傍や、ウエーハエッジラウンド部の任意の位置及び裏面最外周位置から内側に 0 ～数 mm 程度、特に 0 ～ 2 mm 程度の範囲を除去するものとするのが望ましい。

あまり内側まで除去してしまうとオートドーピングの影響が大きくなり、抵抗率分布を悪化させることがあり、半導体エピタキシャルウエーハの品質を損ねてしまう可能性があるためである。

[0043] その後、図 1 (f) に示す様に、半導体ウエーハの裏面に、ドーパント揮散防止用保護膜の全体および半導体ウエーハの外周部を覆うような第 1 ポリシリコン膜を形成する。この第 1 ポリシリコン膜の形成は、一般的な方法によって行うことができる。

これにより、ドーパント揮散防止用保護膜がウエーハ周辺部まで全て露出することを防止することができ、HF 等によるドーパント揮散防止用保護膜のエッチングや、該保護膜の剥離、それに伴うゴミの発生を防止することができる。また、後のエピタキシャル膜の形成工程において、半導体ウエーハ

の裏面側にノジュールが発生することを防止することができる。

[0044] その後、図 1 (g) に示す様に、半導体ウエーハのエッジのポリッシュを行うことができる。

この段階で、半導体ウエーハのエッジポリッシュを行うことによって、エッジ部のポリシリコンが脱落する可能性を更に低くすることができる。尚、このエッジポリッシュでは、第 1 ポリシリコン膜のみをポリッシュして、ドーパント揮散防止用保護膜が露出しないように行う。

[0045] その後、半導体ウエーハの表面側を鏡面状にするための鏡面研磨を行うことができる。

そして、図 1 (h) に示す様に、研磨された半導体ウエーハを反応炉に導入し、その表面側に、エピタキシャル膜を形成するエピタキシャル膜形成工程を行って、半導体エピタキシャルウエーハを製造する。そしてこのような製造方法によって製造された半導体エピタキシャルウエーハの概略の一例が前記の図 3 である。

[0046] これによってドーパント揮散防止用保護膜が第 1 ポリシリコン膜で全体がカバーされるため、エッチング等によりドーパント揮散防止用保護膜が消耗することが無く、オートドーピングを抑制することができ、所望の抵抗率分布を有する半導体エピタキシャルウエーハを製造することができる。

また、ドーパント揮散防止用保護膜のエッチングによる第 1 ポリシリコン膜の剥離を抑制することができるため、発塵が少なく、更に、エピタキシャル膜形成工程では、裏面側にノジュールが発生することを強く抑止する効果がある。

[0047] 作製された半導体エピタキシャルウエーハは、この後、デバイス製造工程を経ることになるが、これらデバイス工程中の洗浄や CVD 処理、熱処理などの各種工程においても、ドーパント揮散防止用保護膜が安定的に維持されているため、高歩留りで高品質なデバイスを得ることに貢献するものである。

[0048] また、本発明の半導体エピタキシャルウエーハの製造フローの他の一例を

示す図である図2に示す様な方法によっても、本発明の半導体エピタキシャルウエーハを製造することができる。

[0049] 図2(a)～(c)に示す工程は、図1(a)～(c)までと同様の工程である。

[0050] その後、図2(d)に示す様に、ゲッタリング機能を持たせるために、裏面側に第2ポリシリコン膜を形成する。この第2ポリシリコン膜の形成も、一般的な方法によって行えばよい。

この第2ポリシリコン膜がゲッタリングサイトとして機能し、ゲッタリング能力が高く、抵抗率分布が所望の分布となっている半導体エピタキシャルウエーハを製造することができる。

[0051] その後、図2(e)に示す様に、第2ポリシリコン膜上にドーパント揮散防止用保護膜を形成する。

このドーパント揮散防止用保護膜として、シリコン酸化膜を形成できることも図1と同様である。

[0052] 次の工程として、図2(f)に示す様に、ドーパント揮散防止用保護膜の外周部をエッチングすることができ、第2ポリシリコン膜や半導体ウエーハの外周部を露出させることができる。

[0053] その後、図2(g)に示す様に、ドーパント揮散防止用保護膜の全体を覆うような第1ポリシリコン膜を形成し、ドーパント揮散防止用保護膜を完全に覆う。この時、第1ポリシリコン膜は、第2ポリシリコン膜や半導体ウエーハと連結される形でドーパント揮散防止用保護膜を覆うものである。

[0054] そして、図2(h)に示す様に、エッジ部をポリッシュすることができる。

その後、半導体ウエーハの表面側を鏡面状にするための鏡面研磨を行うことができ、そして、図2(i)に示す様に、研磨された半導体ウエーハを反応炉に導入し、そして原料ガスを供給して、半導体ウエーハの表面側にエピタキシャル膜を形成し、半導体エピタキシャルウエーハを製造する。

このような半導体エピタキシャルウエーハの製造方法によって製造された

半導体エピタキシャルウエーハの一例の概略を示したものが前述の図4である。このような製造方法によって、ゲッタリング能力が高い高品質の半導体エピタキシャルウエーハを効率よく製造することができる。

## 実施例

[0055] 以下、実施例及び比較例を示して本発明をより具体的に説明するが、本発明はこれらに限定されるものではない。

### (実施例1)

具体的には、直径200mm(8インチ)、厚さ725 $\mu$ m、導電型がP型のシリコン単結晶ウエーハ(ラッピングウエーハ)を48枚用意した。

そして、用意した半導体ウエーハの裏面側に、ドーパント揮散防止用保護膜として、常圧CVD装置を用いて、SiH<sub>4</sub>とO<sub>2</sub>ガスを使用して厚さ約500nmのシリコン酸化膜を形成した。

次に、このCVD酸化膜の外周部から2.0mmの範囲を、HF20%溶液を用いてエッチングにより除去し、外周部2.0mmのみ半導体ウエーハの表面を露出させた。

さらに、LPCVD装置を用いて、SiH<sub>4</sub>ガスをH<sub>2</sub>キャリアガスと共に供給して、裏面に第1ポリシリコン膜を500nm成長させた。

そして、半導体ウエーハのエッジ部1.5mmまでのポリッシュを行うことにより、ドーパント揮散防止用保護膜としてのシリコン酸化膜が露出しないように加工した。

その後、半導体ウエーハの表面側を鏡面研磨した。

[0056] 次に、研磨後のシリコンウエーハをエピタキシャル成長炉に投入し、原料ガスとしてSiHCl<sub>3</sub>を水素キャリアガスと共に供給し、表面側にシリコンエピタキシャル膜を形成して、半導体エピタキシャルウエーハを製造した。

[0057] そして製造した半導体エピタキシャルウエーハについて、以下に示す様な評価を行った。

まず表面のパーティクルのサイズと個数を評価するために、シリコンエピ

タキシャル膜を  $10\ \mu\text{m}$  成長させた後に、 $20\%\text{HF}$  に  $60\text{min}$  浸漬後、 $\text{PP-Box}$  に収納し、ウエーハ押さえパッキンを外した状態で、5 分間手動で振動を与えた後に、表面に存在するパーティクルのサイズと個数を測定した。その結果を図 5 に示す。図 5 は、本発明の実施例 1 と後述する比較例 1 における半導体エピタキシャルウエーハの表面に存在するパーティクルのサイズと個数の関係を示した図である。

また、シリコンエピタキシャル膜の抵抗率を評価するため、エピタキシャル膜の面内 9 点の抵抗率を測定し、面内分布とそのバラツキを評価した。その結果を図 6、7 に示す。図 6 は実施例 1 と後述する比較例 2 の半導体エピタキシャルウエーハのシリコンエピタキシャル層の抵抗率のバラツキを比較した図、図 7 は実施例 1 と後述する比較例 2 の半導体エピタキシャルウエーハのシリコンエピタキシャル層のウエーハ端部からの距離と抵抗率の関係を示した図である。

[0058] (比較例 1)

実施例 1 において、第 1 ポリシリコン膜の形成を、 $\text{CVD}$  酸化膜の全体を覆わないようにした以外は実施例 1 と同様の方法で半導体エピタキシャルウエーハを製造し、実施例 1 と同様に発生したパーティクルのサイズと個数の評価を行い、その結果を図 5 に示した。

[0059] (比較例 2)

実施例 1 において、 $\text{CVD}$  酸化膜を形成しなかった以外は実施例 1 と同様の方法で半導体エピタキシャルウエーハを製造し、実施例 1 と同様にシリコンエピタキシャル膜の抵抗率の評価を行い、その結果を図 6、7 に示した。

[0060] 図 5 に示す様に、サイズが  $0.3\ \mu\text{m}$  前後のパーティクルの個数は実施例 1 と比較例 1 では実施例 1 の方が多少少ない程度であるが、サイズが大きな ( $1.0\ \mu\text{m}$  前後や  $20\ \mu\text{m}$  以上) パーティクルの総数は比較例 1 に比べて実施例 1 の半導体エピタキシャルウエーハの方が明らかに少なく、 $20\ \mu\text{m}$

以上のパーティクル数では顕著な差が現れた。

[0061] また、図6に示す様に、実施例1の半導体エピタキシャルウエーハのシリコンエピタキシャル層の抵抗率のバラツキは4%以下であったのに対し、比較例2の半導体エピタキシャルウエーハはオートドーブ現象が顕著に発生したためか、抵抗率の面内分布のバラツキも13%以上と非常に大きなものとなっていた。

また、図7に示す様に、比較例2の半導体エピタキシャルウエーハは、ウエーハ端部の抵抗率がダレてしまっているのに対し、実施例1の半導体エピタキシャルウエーハはウエーハ端部にもダレは殆ど発生しておらず、面内がほぼ均一であることが判った。

[0062] (実施例2)

直径200mm(8インチ)、厚さ725 $\mu$ m、導電型P型のシリコン単結晶ウエーハ(ラッピングウエーハ)を48枚用意した。

そして、用意した半導体ウエーハの裏面側に、不純物のゲッタリングを目的として、1.0 $\mu$ mの第2ポリシリコン膜をLP-CVD装置を用いて、SiH<sub>4</sub>ガスをH<sub>2</sub>キャリアガスと共に供給して成長させた。

その後、ドーパント揮散防止用保護膜として、常圧CVD装置を用いて、SiH<sub>4</sub>とO<sub>2</sub>ガスを使用して厚さ500nmのシリコン酸化膜を形成した。

次に、このCVD酸化膜の外周部から2.0mmの範囲を、HF20%溶液を用いてエッチングにより除去し、外周部のみ第2ポリシリコン膜を露出させた。

[0063] さらに、LP-CVD装置を用いて、SiH<sub>4</sub>ガスをH<sub>2</sub>キャリアガスと共に供給して、第1ポリシリコン膜を1.0 $\mu$ m成長させた。

そして、半導体ウエーハのエッジ部1.5mmまでのポリッシュを行うことにより、ドーパント揮散防止用保護膜としてのシリコン酸化膜が露出しないように加工した。

その後、半導体ウエーハ表面側を鏡面研磨した。

次に、研磨後のシリコンウエーハをエピタキシャル成長炉に投入し、原料ガスとして $\text{SiHCl}_3$ を水素キャリアガスと共に供給し、表面側にシリコンエピタキシャル膜を形成して、半導体エピタキシャルウエーハを製造した。

[0064] このように作製した実施例2の半導体エピタキシャルウエーハについて、実施例1と同様の評価を行ったところ、発生したパーティクルのサイズと個数、及び抵抗率のバラツキは実施例1と同水準であったことが判った。

[0065] なお、本発明は、上記実施形態に限定されるものではない。上記実施形態は例示であり、本発明の特許請求の範囲に記載された技術的思想と実質的に同一な構成を有し、同様な作用効果を奏するものは、いかなるものであっても本発明の技術的範囲に包含される。

## 請求の範囲

- [請求項1]           半導体エピタキシャルウエーハの製造方法であって、  
                  少なくとも、半導体ウエーハの裏面側にドーパント揮散防止用保護膜を形成し、その後該ドーパント揮散防止用保護膜全体を覆うように第1ポリシリコン膜を形成した後、  
                  前記半導体ウエーハを反応炉内に配置し、該反応炉内にエピタキシャル成長用ガスを導入することによって前記半導体ウエーハの表面側にエピタキシャル膜を形成することを特徴とする半導体エピタキシャルウエーハの製造方法。
- [請求項2]           前記ドーパント揮散防止用保護膜の形成前に、前記半導体ウエーハの裏面側に第2ポリシリコン膜を形成することを特徴とする請求項1に記載の半導体エピタキシャルウエーハの製造方法。
- [請求項3]           前記ドーパント揮散防止用保護膜の形成後、該ドーパント揮散防止用保護膜の外周部をエッチングして前記半導体ウエーハの外周部を露出させた後、前記ドーパント揮散防止用保護膜および前記半導体ウエーハ外周部の全体を覆うように前記第1ポリシリコン膜を形成することを特徴とする請求項1または請求項2に記載の半導体エピタキシャルウエーハの製造方法。
- [請求項4]           前記ドーパント揮散防止用保護膜として、シリコン酸化膜を形成することを特徴とする請求項1ないし請求項3のいずれか1項に記載の半導体エピタキシャルウエーハの製造方法。
- [請求項5]           半導体エピタキシャルウエーハであって、少なくとも、  
                  半導体ウエーハの裏面に、ドーパント揮散防止用保護膜と、該ドーパント揮散防止用保護膜の全体および前記半導体ウエーハの外周部を

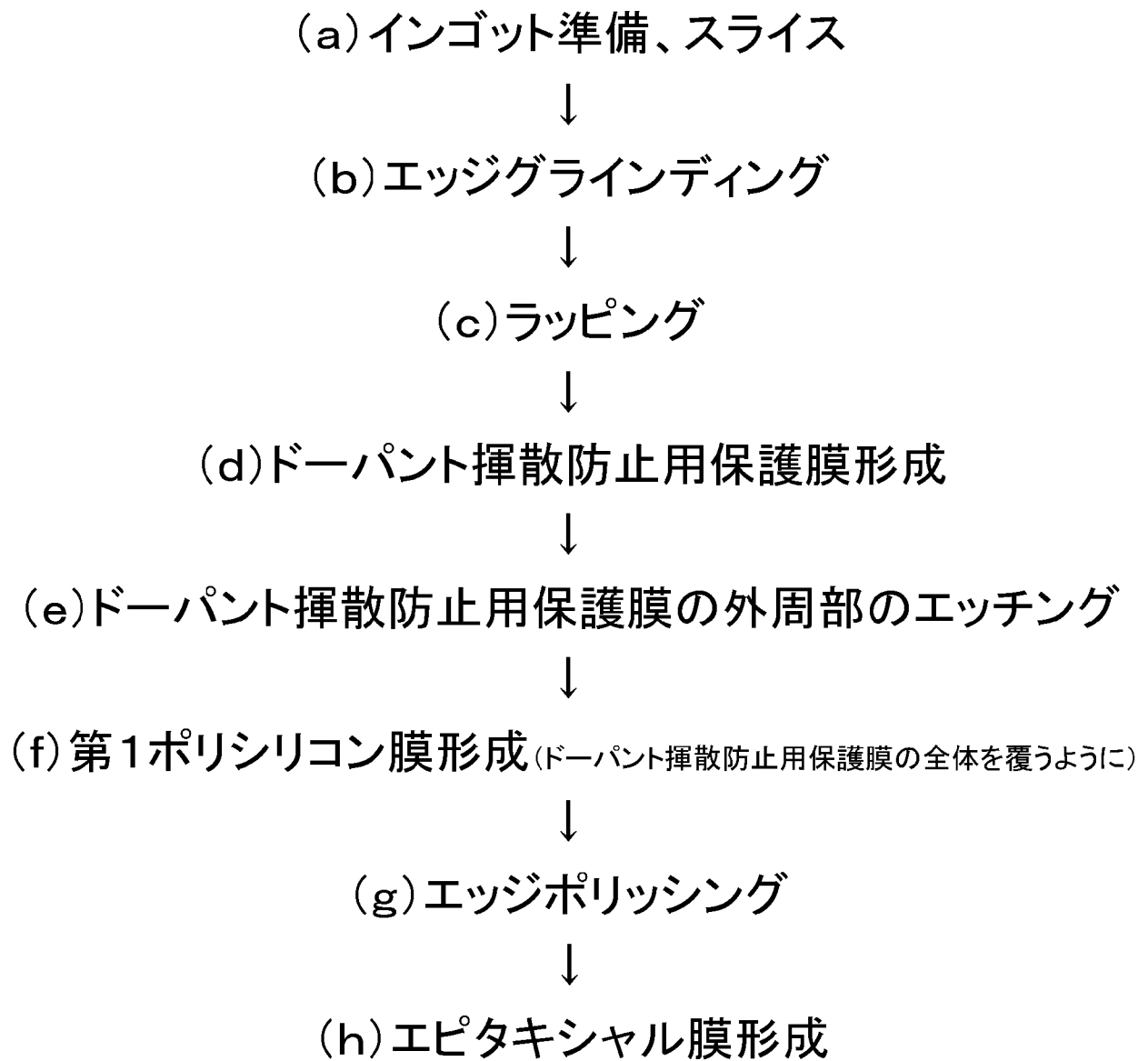
覆う第 1 ポリシリコン膜とを有し、

前記半導体ウエーハの表面に、エピタキシャル膜を有することを特徴とする半導体エピタキシャルウエーハ。

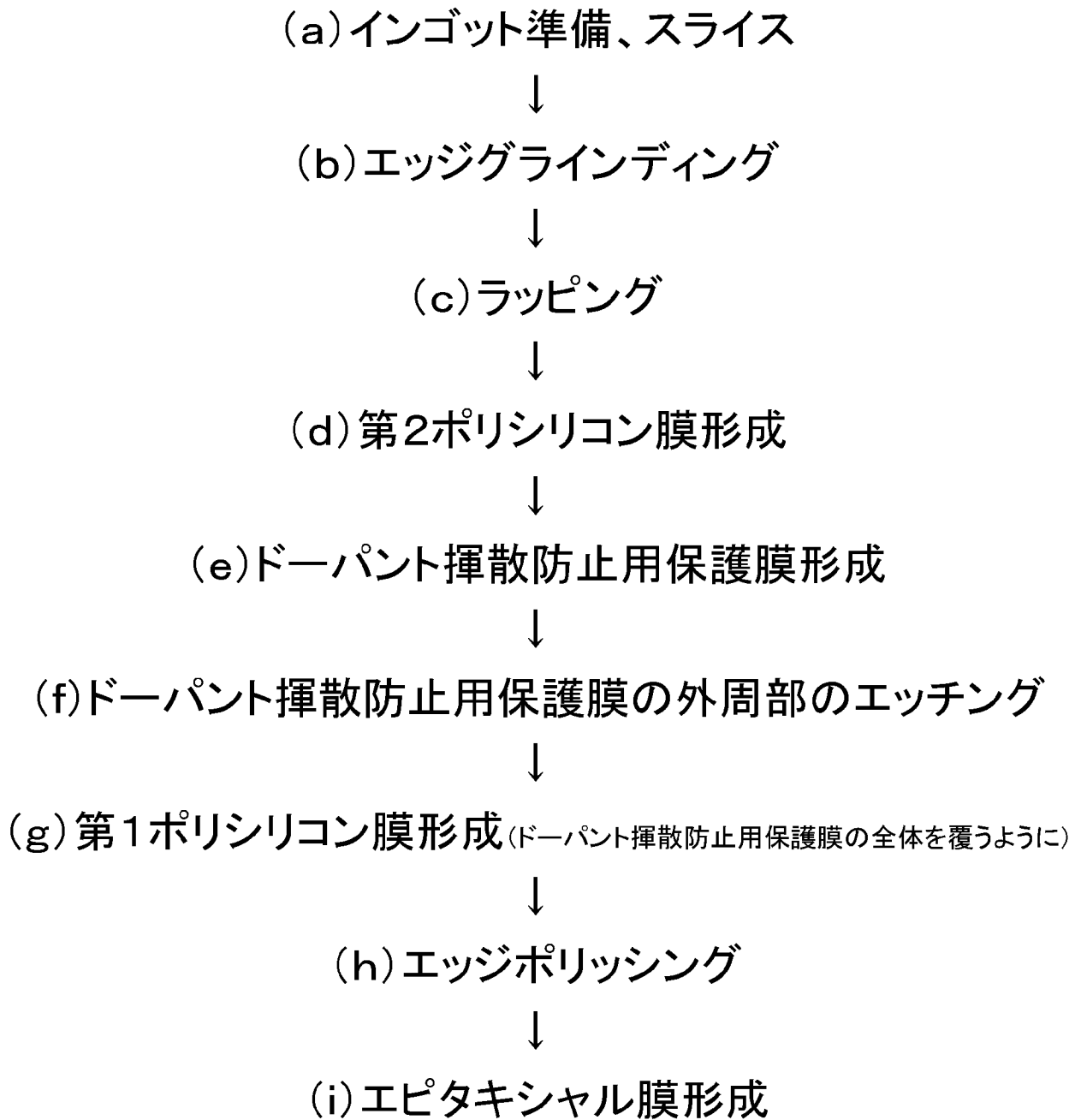
[請求項6] 前記半導体ウエーハと前記ドーパント揮散防止用保護膜との間に、更に第 2 ポリシリコン膜を有することを特徴とする請求項 5 に記載の半導体エピタキシャルウエーハ。

[請求項7] 前記ドーパント揮散防止用保護膜が、シリコン酸化膜であることを特徴とする請求項 5 または請求項 6 に記載の半導体エピタキシャルウエーハ。

[図1]

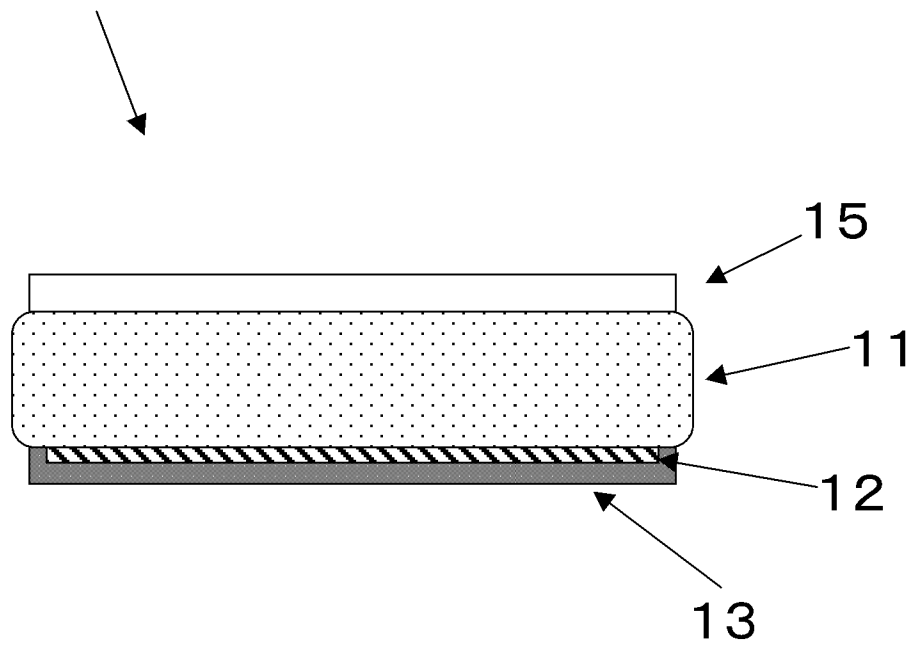


[図2]



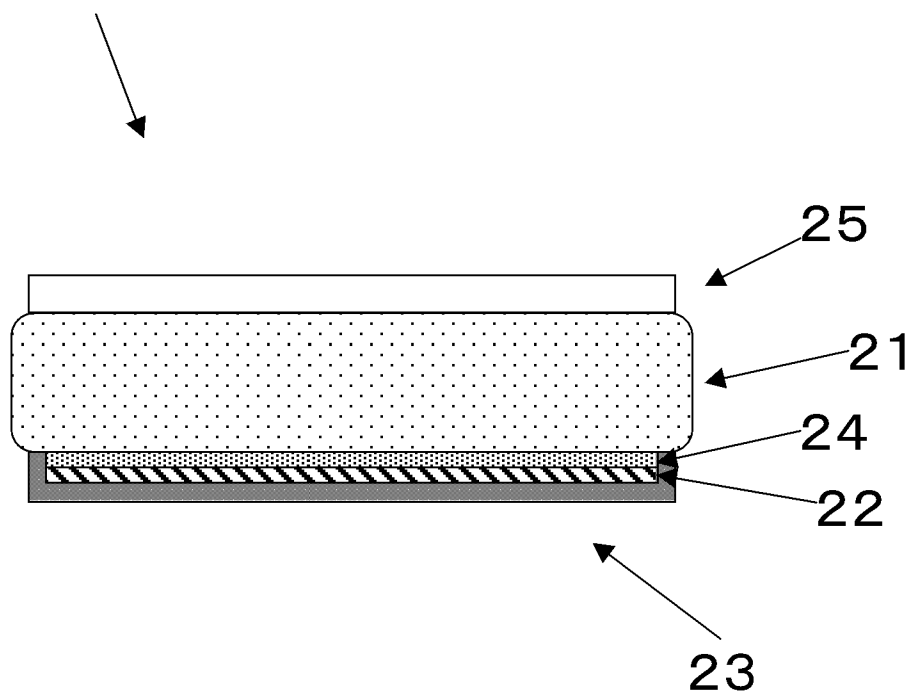
[図3]

10

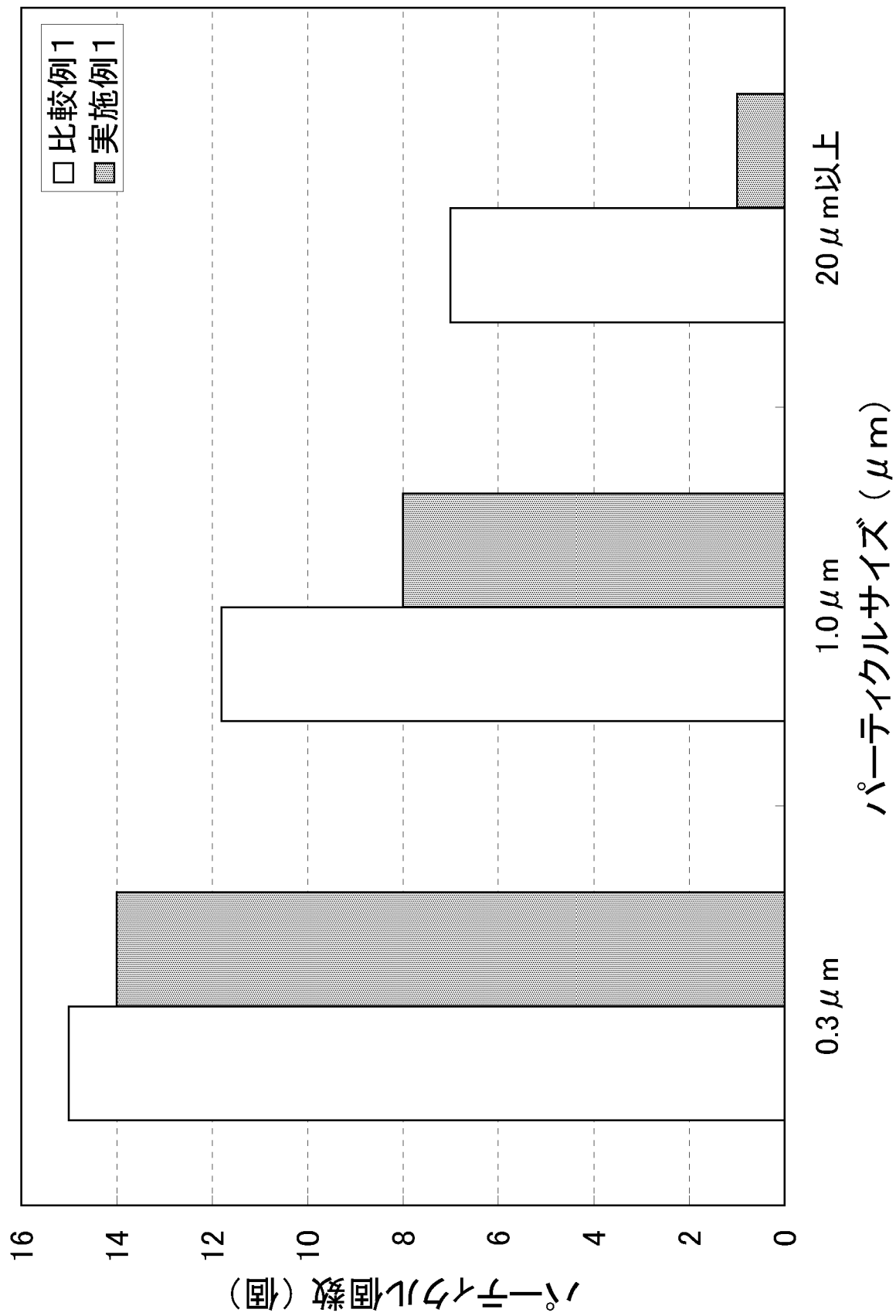


[図4]

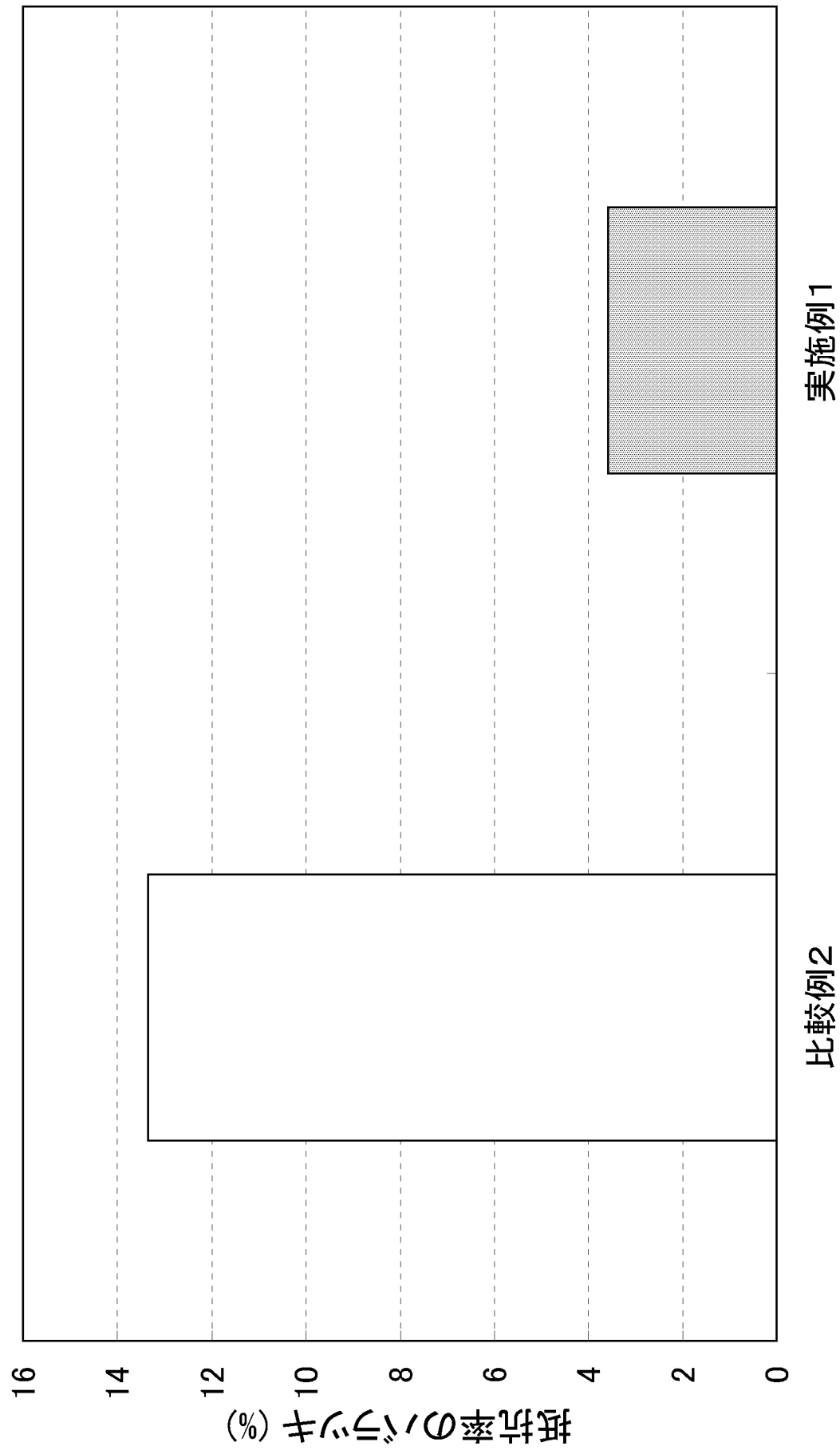
20



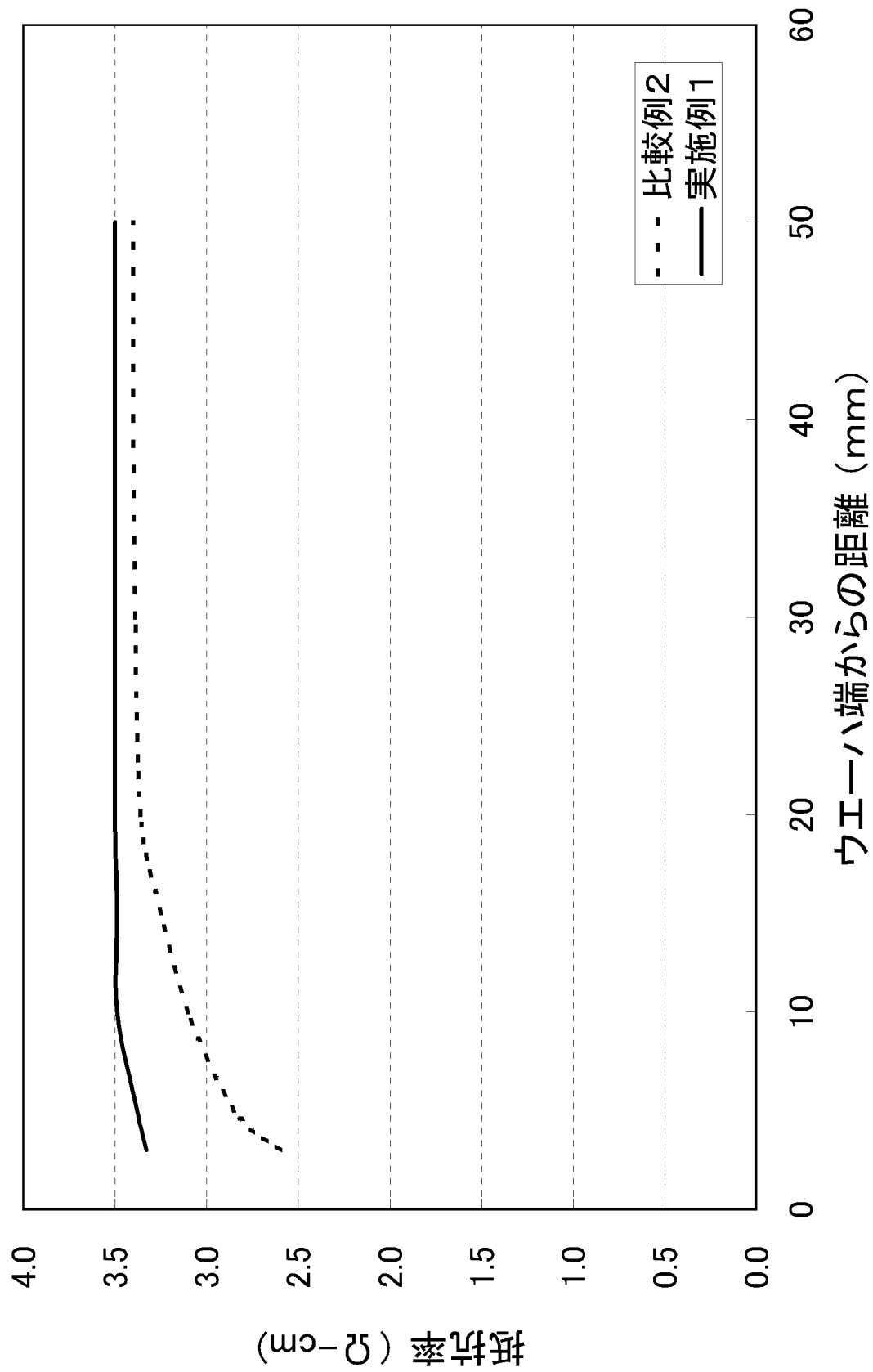
[図5]



[図6]



[図7]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003662

## A. CLASSIFICATION OF SUBJECT MATTER

H01L21/205(2006.01)i, C30B25/18(2006.01)i, H01L21/306(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/205, C30B25/18, H01L21/306

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category*     | Citation of document, with indication, where appropriate, of the relevant passages                                                         | Relevant to claim No.        |
|---------------|--------------------------------------------------------------------------------------------------------------------------------------------|------------------------------|
| X<br><u>Y</u> | JP 2003-188107 A (Shin-Etsu Handotai Co., Ltd.),<br>04 July 2003 (04.07.2003),<br>paragraphs [0045] to [0056]; fig. 1, 4<br>(Family: none) | 1, 4, 5, 7<br><u>2, 3, 6</u> |
| Y             | JP 05-286795 A (Nippon Steel Corp.),<br>02 November 1993 (02.11.1993),<br>paragraphs [0007] to [0015]; fig. 1<br>(Family: none)            | 2, 6                         |
| Y             | JP 2000-021778 A (Tokin Corp.),<br>21 January 2000 (21.01.2000),<br>claim 1; paragraphs [0011] to [0022]; fig. 1<br>(Family: none)         | 3                            |

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
16 June, 2010 (16.06.10)Date of mailing of the international search report  
29 June, 2010 (29.06.10)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003662

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                          | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| A         | JP 11-008251 A (Mitsubishi Electric Corp.),<br>12 January 1999 (12.01.1999),<br>entire text; all drawings<br>(Family: none)                 | 1-7                   |
| A         | JP 10-064917 A (Shin-Etsu Handotai Co., Ltd.),<br>06 March 1998 (06.03.1998),<br>entire text; all drawings<br>& US 5998283 A & EP 825639 A2 | 1-7                   |
| A         | JP 08-031837 A (Mitsubishi Materials Silicon Corp.),<br>02 February 1996 (02.02.1996),<br>entire text; all drawings<br>(Family: none)       | 1-7                   |

# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/003662

## Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2. ☐ Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3. ☐ Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

## Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The search revealed that the invention in claim 1 is disclosed in JP 2003-188107 A (Shin-Etsu Handotai Co., Ltd.), 4 July 2003 (04.07.2003), [0045] - [0056], fig. 1, 4, (Family: none), and therefore, the matter common to the inventions in claims 1 - 7 is not novel.

As a result, the above-said common matter is not a special technical feature in the meaning of the second sentence of PCT Rule 13.2, since the common matter does not make contribution over the prior art.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

### Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.
- ☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.
- ☐ No protest accompanied the payment of additional search fees.

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/205 (2006.01)i, C30B25/18 (2006.01)i, H01L21/306 (2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/205, C30B25/18, H01L21/306

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 0 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 0 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 0 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                         | 関連する<br>請求項の番号               |
|-----------------|---------------------------------------------------------------------------|------------------------------|
| X<br>Y<br>—     | JP 2003-188107 A（信越半導体株式会社）2003.07.04, 【0045】<br>— 【0056】、図1, 4（ファミリーなし）  | 1, 4, 5, 7<br><u>2, 3, 6</u> |
| Y               | JP 05-286795 A（新日本製鐵株式会社）1993.11.02, 【0007】<br>— 【0015】、図1（ファミリーなし）       | 2, 6                         |
| Y               | JP 2000-021778 A（株式会社トーキン）2000.01.21, 請求項1、【0011】<br>— 【0022】、図1（ファミリーなし） | 3                            |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

1 6 . 0 6 . 2 0 1 0

国際調査報告の発送日

2 9 . 0 6 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

大塚 徹

4 R

3 9 4 9

電話番号 03-3581-1101 内線 3471

| C (続き) . 関連すると認められる文献 |                                                                            |                |
|-----------------------|----------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                          | 関連する<br>請求項の番号 |
| A                     | JP 11-008251 A (三菱電機株式会社) 1999.01.12, 全文、全図 (ファミリーなし)                      | 1-7            |
| A                     | JP 10-064917 A (信越半導体株式会社) 1998.03.06, 全文、全図 & US 5998283 A & EP 825639 A2 | 1-7            |
| A                     | JP 08-031837 A (三菱マテリアルシリコン株式会社) 1996.02.02, 全文、全図 (ファミリーなし)               | 1-7            |

## 第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（P C T 17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求項 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2. ☐ 請求項 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求項 \_\_\_\_\_ は、従属請求の範囲であってP C T規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第Ⅲ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるところの国際調査機関は認めた。

調査の結果、請求項1に係る発明は、文献JP 2003-188107 A（信越半導体株式会社）2003.07.04, 【0045】－【0056】、図1, 4（ファミリーなし）に開示されているから、請求項1－7に係る発明における共通事項は新規でないことが明らかになった。

結果として、前記共通事項は先行技術の域を出ないから、P C T規則13.2の第2文の意味において、前記共通事項は特別な技術的特徴ではない。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求項について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求項について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求項のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求項について作成した。

## 追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
- ☐ 追加調査手数料の納付はあったが、異議申立てはなかった。