

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2025년 1월 9일 (09.01.2025)



(10) 국제공개번호
WO 2025/009877 A1

- (51) 국제특허분류:
H01Q 9/04 (2006.01) *H01Q 1/38* (2006.01)
- (21) 국제출원번호: PCT/KR2024/009377
- (22) 국제출원일: 2024년 7월 3일 (03.07.2024)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2023-0086172 2023년 7월 4일 (04.07.2023) KR
- (71) 출원인: 주식회사 아모텍 (AMOTECH CO., LTD.) [KR/KR]; 21629 인천광역시 남동구 남동서로 380, 남동공단 5블록 1롯데, Incheon (KR).
- (72) 발명자: 황철 (HWANG, Chul); 21629 인천광역시 남동구 남동서로 380 남동공단, Incheon (KR).
- (74) 대리인: 김철진 (KIM, Churchill); 06527 서울특별시 서초구 강남대로97길 37 티엔티빌딩 4층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,

MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

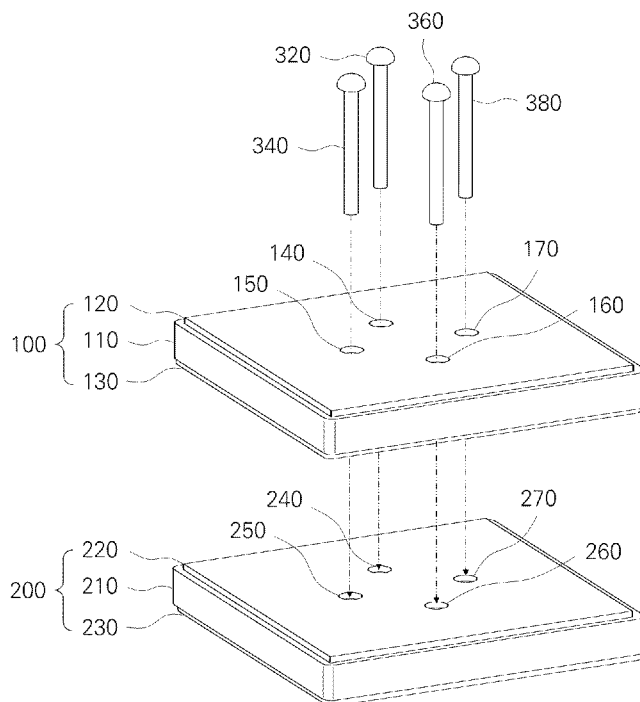
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: STACKED PATCH ANTENNA MODULE

(54) 발명의 명칭: 적층형 패치 안테나 모듈



(57) Abstract: The present disclosure relates to a stacked patch antenna module in which a first feed pin to a fourth feed pin pass through a first patch antenna and a second patch antenna, wherein the first feed pin to the fourth feed pin pass through the first patch antenna and the second patch antenna, through-holes through which the first feed pin to the fourth feed pin pass are formed in the second patch antenna stacked below the first patch antenna, and an inner metal layer is formed on an inner wall surface of the through-hole through which the third feed pin and/or the fourth feed pin pass/pass-es.

(57) 요약서: 본 개시는 제1 급전 핀 내지 제4 급전 핀이 제1 패치 안테나 및 제2 패치 안테나를 관통하도록 한 적층형 패치 안테나 모듈에 관한 기술로, 제1 급전 핀 내지 제4 급전 핀이 제1 패치 안테나 및 제2 패치 안테나를 관통하고, 하부에 적층된 제2 패치 안테나에 제1 급전 핀 내지 제4 급전 핀이 각각 관통하는 관통 홀들을 형성하고, 제3 급전 핀 및/또는 제4 급전 핀이 관통하는 관통 홀의 내벽면에 내부 금속층을 형성한다.



WO 2025/009877 A1

명세서

발명의 명칭: 적층형 패치 안테나 모듈

기술분야

- [1] 본 발명은 복수의 패치 안테나를 적층하여 복수의 주파수 대역의 신호를 송수신하는 적층형 패치 안테나 모듈에 대한 것이다.

배경기술

- [2] 차량용 샤크 안테나는 차량 내에 설치되는 전자기기들의 신호 수신율을 향상시키기 위해 차량의 외부에 설치된다.
- [3] 최근에는 차량에 다양한 전자기기들이 실장되고 있어, 차량용 샤크 안테나에도 GNSS(예를 들면, GPS(미국), Glonass(러시아)), SDARS(Sirius, XM), Telematics, Global star, Thuraya 등의 주파수 대역의 신호를 수신하는 다수의 안테나가 내장되고 있다.
- [4] 하지만, 차량용 샤크 안테나의 한정적인 실장 공간에 다수의 안테나들이 장착되면서 실장 공간이 부족한 문제점이 있다.
- [5] 이에, 복수의 패치 안테나를 적층한 적층형 패치 안테나 모듈에 대해 연구가 진행되고 있다.
- [6] 일례로, 적층형 패치 안테나 모듈은 제1 주파수 대역 신호를 수신하는 상부 패치 안테나 및 상부 패치 안테나의 하부에 배치되어 제2 주파수 대역 신호를 수신하는 하부 패치 안테나로 구성된다. 적층형 패치 안테나 모듈은 상부 패치 안테나의 급전을 위한 급전 편이 하부 패치 안테나를 관통하는 구조로 형성된다. 이때, 적층형 패치 안테나 모듈은 하부 패치 안테나를 관통하는 급전 편과 하부 패치 안테나 간의 커플링에 의해 기생 공진이 발생한다. 즉, 적층형 패치 안테나 모듈은 상부 패치 안테나에서 제1 주파수 대역 신호와 함께 제2 주파수 대역 신호가 수신되는 기생 공진이 발생한다.
- [7] 또한, 적층형 패치 안테나 모듈은 기생 공진이 발생함에 따라 상부 패치 안테나 및 하부 패치 안테나 간의 격리도(Isolation)가 저하되는 문제점이 있다. 즉, 상부 패치 안테나에서 제1 주파수 대역 신호 및 제2 주파수 대역 신호가 수신되기 때문에 상부 패치 안테나와 하부 패치 안테나 간의 격리도가 저하된다.
- [8] 또한, 적층형 패치 안테나 모듈은 격리도가 저하됨에 따라 안테나 효율이 저하되는 문제점이 있다.
- [9] 이상의 배경기술에 기재된 사항은 발명의 배경에 대한 이해를 돕기 위한 것으로서, 공개된 종래 기술이 아닌 사항을 포함할 수 있다.

발명의 상세한 설명

기술적 과제

- [10] 본 발명은 상기한 종래의 문제점을 해결하기 위해 제안된 것으로, 제1 급전 핀 내지 제4 급전 핀이 제1 패치 안테나 및 제2 패치 안테나를 관통하도록 한 적층형 패치 안테나 모듈을 제공하는 것을 목적으로 한다.
- [11] 또한, 본 발명은 하부에 적층된 제2 패치 안테나에 제1 급전 핀 내지 제4 급전 핀이 각각 관통하는 관통 홀들을 형성하고, 제3 급전 핀 및/또는 제4 급전 핀이 관통하는 관통 홀의 내벽면에 내부 금속층을 형성하도록 한 적층형 패치 안테나 모듈을 제공하는 것을 다른 목적으로 한다.
- [12] 또한, 본 발명은 상부에 적층된 제1 패치 안테나의 상부 패치를 제1 급전 핀 및 제2 급전 핀 중에서 적어도 하나와 이격시켜 전기적인 연결을 차단하도록 한 적층형 패치 안테나 모듈을 제공하는 것을 또 다른 목적으로 한다.

과제 해결 수단

- [13] 상기한 목적을 달성하기 위하여 본 발명의 실시 예에 따른 적층형 패치 안테나 모듈은 제1 패치 안테나, 제1 패치 안테나의 하부에 배치된 제2 패치 안테나, 제1 패치 안테나 및 제2 패치 안테나를 관통하는 제1 급전 핀, 제1 급전 핀과 이격되고, 제1 패치 안테나 및 제2 패치 안테나를 관통하는 제2 급전 핀, 제1 급전 핀 및 제2 급전 핀과 이격되고, 제1 패치 안테나 및 제2 패치 안테나를 관통하는 제3 급전 핀 및 제1 급전 핀, 제2 급전 핀 및 제3 급전 핀과 이격되고, 제1 패치 안테나 및 제2 패치 안테나를 관통하는 제4 급전 핀을 포함하고, 제2 패치 안테나는 제1 급전 핀, 제2 급전 핀, 제3 급전 핀 및 제4 급전 핀이 각각 관통하는 복수의 비아 홀들이 형성되고, 복수의 비아 홀들 중에서 적어도 하나의 비아 홀의 내벽면에는 내부 금속층이 형성된다.
- [14] 제1 패치 안테나에는 제1 급전 핀이 관통하는 제1 관통 홀, 제1 관통 홀과 이격되고, 제2 급전 핀이 관통하는 제2 관통 홀, 제1 관통 홀 및 제2 관통 홀과 이격되고, 제3 급전 핀이 관통하는 제3 관통 홀 및 제1 관통 홀, 제2 관통 홀 및 제3 관통 홀과 이격되고, 제4 급전 핀이 관통하는 제4 관통 홀이 형성된다. 이때, 제1 관통 홀 및 제3 관통 홀을 연결한 가상 직선 및 제2 관통 홀 및 제4 관통 홀을 연결한 가상 직선은 직교할 수 있다.
- [15] 제2 패치 안테나에는 제1 관통 홀을 관통한 제1 급전 핀이 관통하는 제5 관통 홀, 제5 관통 홀과 이격되고, 제2 관통 홀을 관통한 제2 급전 핀이 관통하는 제6 관통 홀, 제5 관통 홀 및 제6 관통 홀과 이격되고, 제3 관통 홀을 관통한 제3 급전 핀이 관통하는 제7 관통 홀 및 제5 관통 홀, 제6 관통 홀 및 제7 관통 홀과 이격되고, 제4 관통 홀을 관통한 제4 급전 핀이 관통하는 제8 관통 홀이 형성될 수 있다.
- [16] 제2 패치 안테나는 제7 관통 홀의 내벽면에 배치되어 제2 패치 안테나의 상부 패치 및 하부 패치와 연결되고, 제3 급전 핀과 이격된 제1 내부 금속층 및 제8 관통 홀의 내벽면에 배치되어 제2 패치 안테나의 상부 패치 및 하부 패치와 연결되고, 제4 급전 핀과 이격된 제2 내부 금속층을 포함할 수 있다.

- [17] 제1 패치 안테나는 제1 급전 핀이 관통하는 제1-1 관통 홀, 제2 급전 핀이 관통하는 제2-1 관통 홀, 제3 급전 핀이 관통하는 제3-1 관통 홀 및 제4 급전 핀이 관통하는 제4-1 관통 홀이 형성된 제1 베이스 기재, 제1 베이스 기재의 상면에 배치되고, 제1 급전 핀이 관통하는 제1-2 관통 홀, 제2 급전 핀이 관통하는 제2-2 관통 홀, 제3 급전 핀이 관통하는 제3-2 관통 홀 및 제4 급전 핀이 관통하는 제4-2 관통 홀이 형성된 제1 상부 패치 및 제1 베이스 기재의 하면에 배치되고, 제1 급전 핀이 관통하는 제1-3 관통 홀, 제2 급전 핀이 관통하는 제2-3 관통 홀, 제3 급전 핀이 관통하는 제3-3 관통 홀 및 제4 급전 핀이 관통하는 제4-3 관통 홀이 형성된 제1 하부 패치를 포함할 수 있다. 이때, 제1-1 관통 홀, 제1-2 관통 홀 및 제1-3 관통 홀은 중첩되어 제1 급전 핀이 관통하는 제1 관통 홀을 형성하고, 제2-1 관통 홀, 제2-2 관통 홀 및 제2-3 관통 홀은 중첩되어 제2 급전 핀이 관통하는 제2 관통 홀을 형성하고, 제3-1 관통 홀, 제3-2 관통 홀 및 제3-3 관통 홀은 중첩되어 제3 급전 핀이 관통하는 제3 관통 홀을 형성하고, 제4-1 관통 홀, 제4-2 관통 홀 및 제4-3 관통 홀은 중첩되어 제4 급전 핀이 관통하는 제4 관통 홀을 형성할 수 있다.
- [18] 제1 급전 핀 및 제2 급전 핀 중에서 적어도 하나의 급전 핀은 제1 상부 패치와 이격되어 이격 공간을 형성하고, 이격 공간에 의해 제1 상부 패치와 전기적인 연결되지 않을 수 있다.
- [19] 제2 패치 안테나는 제1 급전 핀이 관통하는 제5-1 관통 홀, 제2 급전 핀이 관통하는 제6-1 관통 홀, 제3 급전 핀이 관통하는 제7-1 관통 홀 및 제4 급전 핀이 관통하는 제8-1 관통 홀이 형성된 제2 베이스 기재, 제2 베이스 기재의 상면에 배치되고, 제1 급전 핀이 관통하는 제5-2 관통 홀, 제2 급전 핀이 관통하는 제6-2 관통 홀, 제3 급전 핀이 관통하는 제7-2 관통 홀 및 제4 급전 핀이 관통하는 제8-2 관통 홀이 형성된 제2 상부 패치 및 제2 베이스 기재의 하면에 배치되고, 제1 급전 핀이 관통하는 제5-3 관통 홀, 제2 급전 핀이 관통하는 제6-3 관통 홀, 제3 급전 핀이 관통하는 제7-3 관통 홀 및 제4 급전 핀이 관통하는 제8-3 관통 홀이 형성된 제2 하부 패치를 포함할 수 있다. 이때, 제5-1 관통 홀, 제5-2 관통 홀 및 제5-3 관통 홀은 중첩되어 제1 패치 안테나의 제1 관통 홀을 관통한 제1 급전 핀이 관통하는 제5 관통 홀을 형성하고, 제6-1 관통 홀, 제6-2 관통 홀 및 제6-3 관통 홀은 중첩되어 제1 패치 안테나의 제2 관통 홀을 관통한 제2 급전 핀이 관통하는 제6 관통 홀을 형성하고, 제7-1 관통 홀, 제7-2 관통 홀 및 제7-3 관통 홀은 중첩되어 제1 패치 안테나의 제3 관통 홀을 관통한 제3 급전 핀이 관통하는 제7 관통 홀을 형성하고, 제8-1 관통 홀, 제8-2 관통 홀 및 제8-3 관통 홀은 중첩되어 제1 패치 안테나의 제4 관통 홀을 관통한 제4 급전 핀이 관통하는 제8 관통 홀을 형성할 수 있다.
- [20] 제2 패치 안테나는 제7-1 관통 홀의 내벽면에 배치된 제1-1 내부 금속층, 제7-2 관통 홀의 내벽면에 배치된 제1-2 내부 금속층 및 제7-3 관통 홀의 내벽면에 배치된 제1-3 내부 금속층을 포함하고, 제1-1 내부 금속층, 제1-2 내부 금속층 및 제1-3 내부 금속층은 제2 상부 패치 및 제2 하부 패치를 연결하는 제1 내부 금속층을 구성할 수 있다.

- [21] 제2 패치 안테나는 제8-1 관통 홀의 내벽면에 배치된 제2-1 내부 금속층, 제8-2 관통 홀의 내벽면에 배치된 제2-2 내부 금속층 및 제8-3 관통 홀의 내벽면에 배치된 제2-3 내부 금속층을 포함하고, 제2-1 내부 금속층, 제2-2 내부 금속층 및 제2-3 내부 금속층은 제2 상부 패치 및 제2 하부 패치를 연결하는 제2 내부 금속층을 구성할 수 있다.
- [22] 제2 상부 패치는 제5-2 관통 홀을 관통하는 제1 급전 핀 및 제6-2 관통 홀을 관통하는 제2 급전 핀과 이격되어 제1 급전 핀 및 제2 급전 핀과 전자기적 커플링을 통해 연결될 수 있다.
- [23] 본 발명의 실시 예에 따른 적층형 패치 안테나 모듈은 제1 급전 핀 및 제2 급전 핀과 연결되고, 제1 주파수 신호 및 제2 주파수 신호를 출력하는 제1 하이브리드 커플러 및 제3 급전 핀 및 제4 급전 핀과 연결되고, 제3 주파수 신호를 출력하는 제2 하이브리드 커플러를 더 포함할 수 있다.
- [24] 제1 하이브리드 커플러는 제1 급전 핀과 연결된 제1 입력단, 제2 급전 핀과 연결된 제2 입력단, 제1 주파수 신호 및 제2 주파수 신호를 처리하는 신호 처리 소자와 연결된 제1 출력단 및 저항과 연결된 제2 출력단을 포함할 수 있다.
- [25] 제2 하이브리드 커플러는 제3 급전 핀과 연결된 제1 입력단, 제4 급전 핀과 연결된 제2 입력단, 저항과 연결된 제1 출력단 및 제3 주파수 신호를 처리하는 신호 처리 소자와 연결된 제2 출력단을 포함할 수 있다.

발명의 효과

- [26] 본 발명에 의하면, 적층형 패치 안테나 모듈은 제1 패치 안테나의 하부에 제2 패치 안테나가 배치되고, 제2 패치 안테나에 형성된 관통 홀 중에서 제3 급전 핀 및 제4 급전 핀이 관통하는 관통 홀에 금속층을 형성함으로써, 제3 급전 핀 및 제4 급전 핀과 제2 패치 안테나 사이의 커플링에 의해 발생하는 기생 공진을 제거하여 적층형 패치 안테나 모듈의 격리도(Isolation)를 확보할 수 있는 효과가 있다.
- [27] 또한, 적층형 패치 안테나 모듈은 제1 패치 안테나의 상부 패치와 제1 급전 핀 및 제2 급전 핀 중에서 적어도 하나의 급전 핀 사이에 이격 공간을 형성함으로써, 제1 급전 핀 및 제2 급전 핀 중에서 적어도 하나와 상부 패치 사이의 전기적인 연결을 차단하여 패치 안테나의 위상(Phase)을 조절할 수 있는 효과가 있다.
- [28] 또한, 적층형 패치 안테나 모듈은 제1 패치 안테나의 상부 패치와 제1 급전 핀 및 제2 급전 핀 중에서 적어도 하나의 급전 핀 사이에 이격 공간을 형성함으로써, 패치 안테나의 위상을 조절하여 패치 안테나의 격리도(Isolation)를 향상시킬 수 있는 효과가 있다.

도면의 간단한 설명

- [29] 도 1은 본 발명의 실시 예에 따른 적층형 패치 안테나 모듈을 설명하기 위한 도면.
- [30] 도 2는 본 발명의 실시 예에 따른 적층형 패치 안테나 모듈을 설명하기 위한 단면도.

- [31] 도 3은 도 1 및 도 2에 도시된 제1 패치 안테나를 설명하기 위한 분해사시도.
- [32] 도 4는 도 3의 제1 패치 안테나에 형성된 관통 홀들의 위치 관계를 설명하기 위한 도면.
- [33] 도 5는 도 1 및 도 2에 도시된 제2 패치 안테나를 설명하기 위한 분해사시도.
- [34] 도 6은 도 5의 제2 패치 안테나에 형성된 관통 홀들의 위치 관계를 설명하기 위한 도면.
- [35] 도 7 내지 도 15는 본 발명의 실시 예에 따른 적층형 패치 안테나 모듈의 변형 예를 설명하기 위한 도면.
- [36] 도 8 내지 도 13은 본 발명의 실시 예에 따른 적층형 패치 안테나 모듈의 격리도 향상을 위한 변형 구조를 설명하기 위한 도면.
- [37] 도 14 및 도 15는 본 발명의 실시 예에 따른 적층형 패치 안테나 모듈의 주파수 간섭을 최소화하기 위한 변형 구조를 설명하기 위한 도면.

발명의 실시를 위한 형태

- [38] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.
- [39] 실시예들은 당해 기술 분야에서 통상의 지식을 가진 자에게 본 발명을 더욱 완전하게 설명하기 위하여 제공되는 것이고, 하기 실시예는 여러 가지 다른 형태로 변형될 수 있으며, 본 발명의 범위가 하기 실시예에 한정되는 것은 아니다. 오히려, 이들 실시예는 본 개시를 더욱 충실하고 완전하게 하고, 본 발명의 사상을 완전하게 전달하기 위하여 제공되는 것이다.
- [40] 본 명세서에서 사용된 용어는 특정 실시예를 설명하기 위하여 사용되며, 본 발명을 제한하기 위한 것이 아니다. 또한, 본 명세서에서 단수 형태는 문맥상 다른 경우를 분명히 지적하는 것이 아니라면, 복수의 형태를 포함할 수 있다.
- [41] 실시예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패턴 또는 패턴들의 "위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와 "아래(under)"는 "직접(directly)" 또는 "다른 층을 개재하여(indirectly)" 형성되는 것을 모두 포함한다. 또한 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 하는 것을 원칙으로 한다.
- [42] 도면은 본 발명의 사상을 이해할 수 있도록 하기 위한 것일 뿐, 도면에 의해서 본 발명의 범위가 제한되는 것으로 해석되지 않아야 한다. 또한 도면에서 상대적인 두께, 길이나 상대적인 크기는 설명의 편의 및 명확성을 위해 과장될 수 있다.
- [43] 도 1 및 도 2를 참조하면, 본 발명의 실시 예에 따른 적층형 패치 안테나 모듈은 제1 패치 안테나(100), 제2 패치 안테나(200), 제1 급전 핀(320), 제2 급전 핀(340), 제3 급전 핀(360) 및 제4 급전 핀(380)을 포함하여 구성된다. 이때, 제1 패치 안테나(100)는 제2 패치 안테나(200)의 상부에 배치된다. 제1 급전 핀(320) 내지 제4 급전 핀(380)은 제1 패치 안테나(100), 제2 패치 안테나(200)를 관통하도록 구성되며, 소정 각도로 틀어져 배치된다.

- [44] 도 3을 참조하면, 제1 패치 안테나(100)는 제1 베이스 기재(110), 제1 상부 패치(120), 제1 하부 패치(130)가 적층된 적층체로 구성된다.
- [45] 제1 베이스 기재(110)는 유전체로 구성된다. 제1 베이스 기재(110)는 고유전율 및 낮은 열팽창 계수 등의 특성을 갖는 세라믹 재료의 유전체 기판인 것을 일례로 한다.
- [46] 제1 베이스 기재(110)는 자성체로 구성될 수도 있다. 제1 베이스 기재(110)는 페라이트 등의 자성체로 구성된 자성체 기판인 것을 일례로 한다.
- [47] 제1 베이스 기재(110)에는 제1 급전 핀(320)이 관통하는 제1-1 관통 홀(140a), 제2 급전 핀(340)이 관통하는 제2-1 관통 홀(150a), 제3 급전 핀(360)이 관통하는 제3-1 관통 홀(160a) 및 제4 급전 핀(380)이 관통하는 제4-1 관통 홀(170a)이 형성된다.
- [48] 제1-1 관통 홀(140a), 제2-1 관통 홀(150a), 제3-1 관통 홀(160a) 및 제4-1 관통 홀(170a)은 제1 베이스 기재(110)를 구성하는 유전체 기판 또는 자성체 기판을 수직으로 관통하도록 형성된다. 제1-1 관통 홀(140a), 제2-1 관통 홀(150a), 제3-1 관통 홀(160a) 및 제4-1 관통 홀(170a)은 설정 각도를 이루도록 형성된다.
- [49] 제1-1 관통 홀(140a), 제2-1 관통 홀(150a), 제3-1 관통 홀(160a) 및 제4-1 관통 홀(170a)은 대략 90도 정도의 각도를 이루도록 형성되는 것을 일례로 한다. 이때, 제1-1 관통 홀(140a)과 제3-1 관통 홀(160a)을 연결하는 가상 직선과 제2-1 관통 홀(150a)과 제4-1 관통 홀(170a)을 연결하는 가상 직선을 직교한다. 두 가상 직선의 교차점은 제1 베이스 기재(110)의 중심점에 중첩될 수 있다.
- [50] 제1 상부 패치(120)는 제1 베이스 기재(110)의 상면에 배치된다. 제1 상부 패치(120)는 구리, 알루미늄, 금, 은 등과 같이 전기 전도도가 높은 도전성 재료의 박판으로 구성된다. 제1 상부 패치(120)는 사각형, 삼각형, 팔각형 등과 같이 다양한 형상으로 형성될 수 있다.
- [51] 제1 상부 패치(120)에는 제1 급전 핀(320)이 관통하는 제1-2 관통 홀(140b), 제2 급전 핀(340)이 관통하는 제2-2 관통 홀(150b), 제3 급전 핀(360)이 관통하는 제3-2 관통 홀(160b) 및 제4 급전 핀(380)이 관통하는 제4-2 관통 홀(170b)이 형성된다.
- [52] 제1-2 관통 홀(140b), 제2-2 관통 홀(150b), 제3-2 관통 홀(160b) 및 제4-2 관통 홀(170b)은 제1 상부 패치(120)를 수직으로 관통하도록 형성된다. 제1-2 관통 홀(140b), 제2-2 관통 홀(150b), 제3-2 관통 홀(160b) 및 제4-2 관통 홀(170b)은 설정 각도를 이루도록 형성된다.
- [53] 제1 상부 패치(120)가 제1 베이스 기재(110)의 상면에 배치(적층)됨에 따라, 제1 상부 패치(120)에 형성된 관통 홀들은 제1 베이스 기재(110)에 형성된 관통 홀들과 중첩된다. 제1-2 관통 홀(140b)은 제1 베이스 기재(110)의 제1-1 관통 홀(140a)과 중첩되고, 제2-2 관통 홀(150b)은 제1 베이스 기재(110)의 제2-1 관통 홀(150a)과 중첩되고, 제3-2 관통 홀(160b)은 제1 베이스 기재(110)의 제3-1 관통 홀(160a)과 중첩되고, 제4-2 관통 홀(170b)은 제1 베이스 기재(110)의 제4-1 관통 홀(170a)과 중첩된다.

- [54] 제1-2 관통 홀(140b), 제2-2 관통 홀(150b), 제3-2 관통 홀(160b) 및 제4-2 관통 홀(170b)은 대략 90도 정도의 각도를 이루도록 형성되는 것을 일례로 한다. 이때, 제1-2 관통 홀(140b)과 제3-2 관통 홀(160b)을 연결하는 가상 직선과 제2-2 관통 홀(150b)과 제4-2 관통 홀(170b)을 연결하는 가상 직선을 직교한다. 두 가상 직선의 교차점은 제1 상부 패치(120)의 중심점에 중첩될 수 있다.
- [55] 제1 하부 패치(130)는 제1 베이스 기재(110)의 하면에 배치된다. 제1 하부 패치(130)는 구리, 알루미늄, 금, 은 등과 같이 전기 전도도가 높은 도전성 재료의 박판으로 구성된다. 제1 하부 패치(130)는 사각형, 삼각형, 팔각형 등과 같이 다양한 형상으로 형성될 수 있다.
- [56] 제1 하부 패치(130)에는 제1 급전 핀(320)이 관통하는 제1-3 관통 홀(140c), 제2 급전 핀(340)이 관통하는 제2-3 관통 홀(150c), 제3 급전 핀(360)이 관통하는 제3-3 관통 홀(160c) 및 제4 급전 핀(380)이 관통하는 제4-3 관통 홀(170c)이 형성된다.
- [57] 제1-3 관통 홀(140c), 제2-3 관통 홀(150c), 제3-3 관통 홀(160c) 및 제4-3 관통 홀(170c)은 제1 하부 패치(130)를 수직으로 관통하도록 형성된다. 제1-3 관통 홀(140c), 제2-3 관통 홀(150c), 제3-3 관통 홀(160c) 및 제4-3 관통 홀(170c)은 설정 각도를 이루도록 형성된다.
- [58] 제1 하부 패치(130)가 제1 베이스 기재(110)의 하면에 배치(적층)됨에 따라, 제1 하부 패치(130)에 형성된 관통 홀들은 제1 베이스 기재(110) 및 제1 상부 패치(120)에 형성된 관통 홀들과 중첩된다.
- [59] 제1-3 관통 홀(140c)은 제1 베이스 기재(110)의 제1-1 관통 홀(140a) 및 제1 상부 패치(120)의 제1-2 관통 홀(140b)과 중첩되고, 제2-3 관통 홀(150c)은 제1 베이스 기재(110)의 제2-1 관통 홀(150a) 및 제1 상부 패치(120)의 제2-2 관통 홀(150b)과 중첩되고, 제3-3 관통 홀(160c)은 제1 베이스 기재(110)의 제3-1 관통 홀(160a) 및 제1 상부 패치(120)의 제3-2 관통 홀(160b)과 중첩되고, 제4-3 관통 홀(170c)은 제1 베이스 기재(110)의 제4-1 관통 홀(170a) 및 제1 상부 패치(120)의 제4-2 관통 홀(170b)과 중첩된다.
- [60] 제1-3 관통 홀(140c), 제2-3 관통 홀(150c), 제3-3 관통 홀(160c) 및 제4-3 관통 홀(170c)은 대략 90도 정도의 각도를 이루도록 형성되는 것을 일례로 한다. 이때, 제1-3 관통 홀(140c)과 제3-3 관통 홀(160c)을 연결하는 가상 직선과 제2-3 관통 홀(150c)과 제4-3 관통 홀(170c)을 연결하는 가상 직선을 직교한다. 두 가상 직선의 교차점은 제1 하부 패치(130)의 중심점에 중첩될 수 있다.
- [61] 이를 통해, 제1-1 관통 홀(140a), 제1-2 관통 홀(140b) 및 제1-3 관통 홀(140c)은 제1 급전 핀(320)이 관통하는 제1 관통 홀(140)을 형성한다. 제2-1 관통 홀(150a), 제2-2 관통 홀(150b) 및 제2-3 관통 홀(150c)은 제2 급전 핀(340)이 관통하는 제2 관통 홀(150)을 형성한다. 제3-1 관통 홀(160a), 제3-2 관통 홀(160b) 및 제3-3 관통 홀(160c)은 제3 급전 핀(360)이 관통하는 제3 관통 홀(160)을 형성한다. 제4-1 관통 홀(170a), 제4-2 관통 홀(170b) 및 제4-3 관통 홀(170c)은 제4 급전 핀(380)이 관통하는 제4 관통 홀(170)을 형성한다.

- [62] 도 4를 참조하면, 제1 패치 안테나(100)에 형성된 제1 관통 홀(140) 내지 제4 관통 홀(170)을 서로 90도 정도의 사이각을 형성하도록 배치된다. 제1 관통 홀(140) 및 제3 관통 홀(160)을 연결하는 가상 직선과 제2 관통 홀(150) 및 제4 관통 홀(170)을 연결하는 가상 직선은 직교한다. 두 가상 직선의 교차점은 제1 패치 안테나(100)의 중심점을 수직으로 관통하는 가상 직선 상에 위치한다.
- [63] 도 5를 참조하면, 제2 패치 안테나(200)는 제2 베이스 기재(210), 제2 상부 패치(220), 제2 하부 패치(230)가 적층된 적층체로 구성된다. 제2 패치 안테나(200)는 제2 상부 패치(220) 및 제2 하부 패치(230)는 연결하는 제1 내부 금속층(280) 및 제2 내부 금속층(290)을 포함하여 구성된다.
- [64] 제2 베이스 기재(210)는 유전체로 구성된다. 제2 베이스 기재(210)는 고유전율 및 낮은 열팽창 계수 등의 특성을 갖는 세라믹 재료의 유전체 기판인 것을 일례로 한다.
- [65] 제2 베이스 기재(210)는 자성체로 구성될 수도 있다. 제2 베이스 기재(210)는 페라이트 등의 자성체로 구성된 자성체 기판인 것을 일례로 한다.
- [66] 제2 베이스 기재(210)에는 제1 급전 핀(320)이 관통하는 제5-1 관통 홀(240a), 제2 급전 핀(340)이 관통하는 제6-1 관통 홀(250a), 제3 급전 핀(360)이 관통하는 제7-1 관통 홀(260a) 및 제4 급전 핀(380)이 관통하는 제8-1 관통 홀(270a)이 형성된다.
- [67] 제5-1 관통 홀(240a), 제6-1 관통 홀(250a), 제7-1 관통 홀(260a) 및 제8-1 관통 홀(270a)은 제2 베이스 기재(210)를 구성하는 유전체 기판 또는 자성체 기판을 수직으로 관통하도록 형성된다. 제5-1 관통 홀(240a), 제6-1 관통 홀(250a), 제7-1 관통 홀(260a) 및 제8-1 관통 홀(270a)은 설정 각도를 이루도록 형성된다.
- [68] 제5-1 관통 홀(240a), 제6-1 관통 홀(250a), 제7-1 관통 홀(260a) 및 제8-1 관통 홀(270a)은 대략 90도 정도의 각도를 이루도록 형성되는 것을 일례로 한다. 이때, 제5-1 관통 홀(240a)과 제7-1 관통 홀(260a)을 연결하는 가상 직선과 제6-1 관통 홀(250a)과 제8-1 관통 홀(270a)을 연결하는 가상 직선을 직교한다. 두 가상 직선의 교차점은 제2 베이스 기재(210)의 중심점에 중첩될 수 있다.
- [69] 제2 상부 패치(220)는 제2 베이스 기재(210)의 상면에 배치된다. 제2 상부 패치(220)는 구리, 알루미늄, 금, 은 등과 같이 전기 전도도가 높은 도전성 재료의 박판으로 구성된다. 제2 상부 패치(220)는 사각형, 삼각형, 팔각형 등과 같이 다양한 형상으로 형성될 수 있다.
- [70] 제2 상부 패치(220)에는 제1 급전 핀(320)이 관통하는 제5-2 관통 홀(240b), 제2 급전 핀(340)이 관통하는 제6-2 관통 홀(250b), 제3 급전 핀(360)이 관통하는 제7-2 관통 홀(260b) 및 제4 급전 핀(380)이 관통하는 제8-2 관통 홀(270b)이 형성된다.
- [71] 제5-2 관통 홀(240b), 제6-2 관통 홀(250b), 제7-2 관통 홀(260b) 및 제8-2 관통 홀(270b)은 제2 상부 패치(220)를 수직으로 관통하도록 형성된다. 제5-2 관통 홀(240b), 제6-2 관통 홀(250b), 제7-2 관통 홀(260b) 및 제8-2 관통 홀(270b)은 설정 각도를 이루도록 형성된다.

- [72] 제2 상부 패치(220)가 제2 베이스 기재(210)의 상면에 배치(적층)됨에 따라, 제2 상부 패치(220)에 형성된 관통 홀들은 제2 베이스 기재(210)에 형성된 관통 홀들과 중첩된다. 제5-2 관통 홀(240b)은 제2 베이스 기재(210)의 제5-1 관통 홀(240a)과 중첩되고, 제6-2 관통 홀(250b)은 제2 베이스 기재(210)의 제6-1 관통 홀(250a)과 중첩되고, 제7-2 관통 홀(260b)은 제2 베이스 기재(210)의 제7-1 관통 홀(260a)과 중첩되고, 제8-2 관통 홀(270b)은 제2 베이스 기재(210)의 제8-1 관통 홀(270a)과 중첩된다.
- [73] 제5-2 관통 홀(240b), 제6-2 관통 홀(250b), 제7-2 관통 홀(260b) 및 제8-2 관통 홀(270b)은 대략 90도 정도의 각도를 이루도록 형성되는 것을 일례로 한다. 이때, 제5-2 관통 홀(240b)과 제7-2 관통 홀(260b)을 연결하는 가상 직선과 제6-2 관통 홀(250b)과 제8-2 관통 홀(270b)을 연결하는 가상 직선을 직교한다. 두 가상 직선의 교차점은 제2 상부 패치(220)의 중심점에 중첩될 수 있다.
- [74] 제2 하부 패치(230)는 제2 베이스 기재(210)의 하면에 배치된다. 제2 하부 패치(230)는 구리, 알루미늄, 금, 은 등과 같이 전기 전도도가 높은 도전성 재질의 박판으로 구성된다. 제2 하부 패치(230)는 사각형, 삼각형, 팔각형 등과 같이 다양한 형상으로 형성될 수 있다.
- [75] 제2 하부 패치(230)에는 제1 급전 핀(320)이 관통하는 제5-3 관통 홀(240c), 제2 급전 핀(340)이 관통하는 제6-3 관통 홀(250c), 제3 급전 핀(360)이 관통하는 제7-3 관통 홀(260c) 및 제4 급전 핀(380)이 관통하는 제8-3 관통 홀(270c)이 형성된다.
- [76] 제5-3 관통 홀(240c), 제6-3 관통 홀(250c), 제7-3 관통 홀(260c) 및 제8-3 관통 홀(270c)은 제2 하부 패치(230)를 수직으로 관통하도록 형성된다. 제5-3 관통 홀(240c), 제6-3 관통 홀(250c), 제7-3 관통 홀(260c) 및 제8-3 관통 홀(270c)은 설정 각도를 이루도록 형성된다.
- [77] 제2 하부 패치(230)가 제2 베이스 기재(210)의 하면에 배치(적층)됨에 따라, 제2 하부 패치(230)에 형성된 관통 홀들은 제2 베이스 기재(210) 및 제2 상부 패치(220)에 형성된 관통 홀들과 중첩된다.
- [78] 제5-3 관통 홀(240c)은 제2 베이스 기재(210)의 제5-1 관통 홀(240a) 및 제2 상부 패치(220)의 제5-2 관통 홀(240b)과 중첩되고, 제6-3 관통 홀(250c)은 제2 베이스 기재(210)의 제6-1 관통 홀(250a) 및 제2 상부 패치(220)의 제6-2 관통 홀(250b)과 중첩되고, 제7-3 관통 홀(260c)은 제2 베이스 기재(210)의 제7-1 관통 홀(260a) 및 제2 상부 패치(220)의 제7-2 관통 홀(260b)과 중첩되고, 제8-3 관통 홀(270c)은 제2 베이스 기재(210)의 제8-1 관통 홀(270a) 및 제2 상부 패치(220)의 제8-2 관통 홀(270b)과 중첩된다.
- [79] 제5-3 관통 홀(240c), 제6-3 관통 홀(250c), 제7-3 관통 홀(260c) 및 제8-3 관통 홀(270c)은 대략 90도 정도의 각도를 이루도록 형성되는 것을 일례로 한다. 이때, 제5-3 관통 홀(240c)과 제7-3 관통 홀(260c)을 연결하는 가상 직선과 제6-3 관통 홀(250c)과 제8-3 관통 홀(270c)을 연결하는 가상 직선은 직교한다. 두 가상 직선의 교차점은 제2 하부 패치(230)의 중심점에 중첩될 수 있다.

- [80] 이를 통해, 제5-1 관통 홀(240a), 제5-2 관통 홀(240b) 및 제5-3 관통 홀(240c)은 제1 급전 핀(320)이 관통하는 제5 관통 홀(240)을 형성한다. 제6-1 관통 홀(250a), 제6-2 관통 홀(250b) 및 제6-3 관통 홀(250c)은 제2 급전 핀(340)이 관통하는 제6 관통 홀(250)을 형성한다. 제7-1 관통 홀(260a), 제7-2 관통 홀(260b) 및 제7-3 관통 홀(260c)은 제3 급전 핀(360)이 관통하는 제7 관통 홀(260)을 형성한다. 제8-1 관통 홀(270a), 제8-2 관통 홀(270b) 및 제8-3 관통 홀(270c)은 제4 급전 핀(380)이 관통하는 제8 관통 홀(270)을 형성한다.
- [81] 제2 패치 안테나(200)가 제1 패치 안테나(100)의 하부에 배치(적층)됨에 따라, 제5 관통 홀(240)은 제1 관통 홀(140)과 중첩되어 제1 급전 핀(320)이 관통하는 관통 홀을 형성한다. 제6 관통 홀(250)은 제2 관통 홀(150)과 중첩되어 제2 급전 핀(340)이 관통하는 관통 홀을 형성한다. 제7 관통 홀(260)은 제3 관통 홀(160)과 중첩되어 제3 급전 핀(360)이 관통하는 관통 홀을 형성한다. 제8 관통 홀(270)은 제4 관통 홀(170)과 중첩되어 제4 급전 핀(380)이 관통하는 관통 홀을 형성한다.
- [82] 도 6을 참조하면, 제2 패치 안테나(200)에 형성된 제1 관통 홀(140) 내지 제4 관통 홀(170)을 서로 90도 정도의 사이각을 형성하도록 배치된다. 제1 관통 홀(140) 및 제3 관통 홀(160)을 연결하는 가상 직선과 제2 관통 홀(150) 및 제4 관통 홀(170)을 연결하는 가상 직선은 직교한다. 두 가상 직선의 교차점은 제1 패치 안테나(100)의 중심점을 수직으로 관통하는 가상 직선 상에 위치한다.
- [83] 제1 내부 금속층(280)은 제7 관통 홀(260)에 배치되어 제2 상부 패치(220) 및 제2 하부 패치(230)를 연결한다. 제1 내부 금속층(280)은 제7 관통 홀(260)을 형성하는 제7-1 관통 홀(260a)의 내벽면에 배치된 제1-1 내부 금속층(280a), 제7-2 관통 홀(260b)의 내벽면에 배치된 제1-2 내부 금속층(280b) 및 제7-3 관통 홀(260c)의 내벽면에 배치된 제1-3 내부 금속층(280c)을 포함할 수 있다 (도 5 참조). 여기서, 제1 내부 금속층(280)을 용이하게 설명하기 위해서 제1-1 내부 금속층(280a) 내지 제1-3 내부 금속층(280c)이 각각 분리 형성된 것으로 도시하였으나, 이에 한정되지 않고 제1 패치 안테나(100)의 관통 홀의 내벽면을 도금하여 일체로 형성될 수 있다.
- [84] 제1 내부 금속층(280)은 구리, 알루미늄, 금, 은 중 선택된 하나의 재질로 형성된다. 물론, 제1 내부 금속층(280)은 구리, 알루미늄, 금, 은 중 선택된 하나의 재질을 포함하는 합금으로 형성될 수도 있다.
- [85] 제1 내부 금속층(280)은 제2 패치 안테나(200)의 제2 상부 패치(220)와 제2 하부 패치(230)를 전기적으로 연결한다. 제1 내부 금속층(280)은 제3 급전 핀(360)과 동축케이블을 구성한다. 제1 내부 금속층(280)은 제3 급전 핀(360)과 이격되며, 제3 급전 핀(360)과 전기적으로 연결되지 않는다. 이를 통해, 제1 내부 금속층(280)은 제3 급전 핀(360)과 제2 패치 안테나(200) 간의 커플링에 의해 발생하는 기생 공진을 제거한다. 이에, 적층형 패치 안테나는 기생 공진에 의한 격리도(Isolation) 저하를 방지할 수 있다.

- [86] 제2 내부 금속층(290)은 제8 관통 홀(270)에 배치되어 제2 상부 패치(220) 및 제2 하부 패치(230)를 연결한다. 제2 내부 금속층(290)은 제8 관통 홀(270)을 형성하는 제8-1 관통 홀(270a)의 내벽면에 배치된 제2-1 내부 금속층(290a), 제8-2 관통 홀(270b)의 내벽면에 배치된 제2-2 내부 금속층(290b) 및 제8-3 관통 홀(270c)의 내벽면에 배치된 제2-1 내부 금속층(290a)을 포함할 수 있다 (도 5 참조). 여기서, 제2 내부 금속층(290)을 용이하게 설명하기 위해서 제2-1 내부 금속층(290a) 내지 제2-3 내부 금속층(290c)이 각각 분리 형성된 것으로 도시하였으나, 이에 한정되지 않고 제2 패치 안테나(200)의 관통 홀의 내벽면을 도금하여 제2 내부 금속층(290)을 일체로 형성될 수 있다.
- [87] 제2 내부 금속층(290)은 구리, 알루미늄, 금, 은 중 선택된 하나의 재질로 형성된다. 물론, 제2 내부 금속층(290)은 구리, 알루미늄, 금, 은 중 선택된 하나의 재질을 포함하는 합금으로 형성될 수도 있다.
- [88] 제2 내부 금속층(290)은 제2 패치 안테나(200)의 제2 상부 패치(220)와 제2 하부 패치(230)를 전기적으로 연결한다. 제2 내부 금속층(290)은 제4 급전 핀(380)과 동축케이블을 구성한다. 제2 내부 금속층(290)은 제4 급전 핀(380)과 이격되며, 제4 급전 핀(380)과 전기적으로 연결되지 않는다.
- [89] 이를 통해, 제2 내부 금속층(290)은 제4 급전 핀(380)과 제2 패치 안테나(200) 간의 커플링에 의해 발생하는 기생 공진을 제거한다. 이에, 적층형 패치 안테나는 기생 공진에 의한 격리도(Isolation) 저하를 방지할 수 있다.
- [90] 제1 급전 핀(320)은 제1 패치 안테나(100) 및 제2 패치 안테나(200)가 적층됨에 따라 형성된 관통 홀에 관통 삽입된다. 제1 급전 핀(320)은 제1 패치 안테나(100)의 제1 관통 홀(140) 및 제2 패치 안테나(200)의 제5 관통 홀(240)에 관통 삽입된다.
- [91] 제2 급전 핀(340)은 제1 패치 안테나(100) 및 제2 패치 안테나(200)가 적층됨에 따라 형성된 관통 홀에 관통 삽입된다. 제2 급전 핀(340)은 제1 패치 안테나(100)의 제2 관통 홀(150) 및 제2 패치 안테나(200)의 제6 관통 홀(250)에 관통 삽입된다.
- [92] 제3 급전 핀(360)은 제1 패치 안테나(100) 및 제2 패치 안테나(200)가 적층됨에 따라 형성된 관통 홀에 관통 삽입된다. 제3 급전 핀(360)은 제1 패치 안테나(100)의 제3 관통 홀(160) 및 제2 패치 안테나(200)의 제7 관통 홀(260)에 관통 삽입된다.
- [93] 제4 급전 핀(380)은 제1 패치 안테나(100) 및 제2 패치 안테나(200)가 적층됨에 따라 형성된 관통 홀에 관통 삽입된다. 제4 급전 핀(380)은 제1 패치 안테나(100)의 제4 관통 홀(170) 및 제2 패치 안테나(200)의 제8 관통 홀(270)에 관통 삽입된다.
- [94] 제1 급전 핀(320) 및 제2 급전 핀(340)은 제1 패치 안테나(100)의 제1 상부 패치(120)와 직접 연결된다. 이에, 제1 급전 핀(320) 및 제2 급전 핀(340)에 의해 급전

된 제1 상부 패치(120)는 대략 1.5 GHz 내지 1.6 GHz 대역(예를 들면, GNSS L1 RHCP)의 신호인 제1 주파수 신호를 송수신하는 방사체로 동작한다.

- [95] 제1 급전 핀(320) 및 제2 급전 핀(340)은 제2 패치 안테나(200)의 제2 상부 패치(220)와 간접적으로 연결된다. 제1 급전 핀(320) 및 제2 급전 핀(340)은 도 2의 A 영역에서 커플링(EM coupling (Electronic and Magnetic coupling))을 통해 제2 상부 패치(220)와 간접 연결된다. 이에, 제1 급전 핀(320) 및 제2 급전 핀(340)에 의해 급전된 제2 상부 패치(220)는 대략 1.2 GHz 대역(예를 들면, GNSS L5 RHCP)의 신호인 제2 주파수 신호를 송수신하는 방사체로 동작한다.
- [96] 제3 급전 핀(360) 및 제4 급전 핀(380)은 제1 패치 안테나(100)의 제1 상부 패치(120)와 직접 연결된다. 제3 급전 핀(360)은 제2 패치 안테나(200)의 제2 상부 패치(220)와 제2 하부 패치(230)를 전기적으로 연결하는 제1 내부 금속층(280) 및 제2 패치 안테나(200)의 제2 상부 패치(220)와 제2 하부 패치(230)를 전기적으로 연결하는 제2 내부 금속층(290)에 의해 제2 상부 패치(220)와 격리(Isolation)된다. 이에, 제1 급전 핀(320) 및 제2 급전 핀(340)에 의해 급전된 제1 상부 패치(120)는 대략 1.5 GHz 내지 1.6 GHz 대역(예를 들면, Global star 1.6 GHz LHCP, Thuraya 1.5 GHz~1.6 GHz LHCP)의 신호인 제3 주파수 신호를 송수신하는 방사체로 동작한다.
- [97] 도 7을 참조하면, 적층형 패치 안테나는 제1 하이브리드 커플러(420) 및 제2 하이브리드 커플러(440)를 더 포함하여 구성될 수 있다.
- [98] 제1 하이브리드 커플러(420)는 제1 급전 핀(320)과 연결된 제1 입력단, 제2 급전 핀(340)과 연결된 제2 입력단, 제1 주파수 신호 및 제2 주파수 신호를 처리하는 신호 처리 소자와 연결된 제1 출력단, 접지와 연결된 제2 출력단을 포함한다. 이때, 접지와 제2 출력단 사이에는 대략 50 ohm 정도의 저항이 연결된다. 제1 출력단은 제1 주파수 신호 및 제2 주파수 신호를 신호 처리 소자로 출력한다.
- [99] 제2 하이브리드 커플러(440)는 제3 급전 핀(360)과 연결된 제1 입력단, 제4 급전 핀(380)과 연결된 제2 입력단, 접지와 연결된 제1 출력단, 제3 주파수 신호를 처리하는 신호 처리 소자와 연결된 제2 출력단을 포함한다. 이때, 접지와 제1 출력단 사이에는 대략 50 ohm 정도의 저항이 연결된다. 제2 출력단은 제3 주파수 신호를 신호 처리 소자로 출력한다.
- [100] 적층형 패치 안테나는 제1 급전 핀(320) 및 제2 급전 핀(340) 중에서 적어도 하나와 제1 상부 패치(120) 사이에 이격 공간(S)이 형성되어 제1 급전 핀(320) 및 제2 급전 핀(340) 중에서 적어도 하나가 제1 상부 패치(120)와 이격되도록 구성될 수 있다. 이에, 제1 상부 패치(120)는 제1 급전 핀(320) 및 제2 급전 핀(340) 중에서 적어도 하나와 전기적인 연결이 차단되고, 이로 인해 적층형 패치 안테나 모듈의 위상(Phase)을 조절하여 격리도(Isolation)를 향상시킬 수 있다.
- [101] 일례로, 도 8 및 도 9를 참조하면, 적층형 패치 안테나는 제1 급전 핀(320) 및 제1 상부 패치(120) 사이에 이격 공간(S)이 형성된다. 제1 상부 패치(120)에는 제1-2 관통 홀(140b), 제2-2 관통 홀(150b), 제3-2 관통 홀(160b) 및 제4-2 관통 홀(170b)이

형성되되, 제1-2 관통 홀(140b)은 제2-2 관통 홀(150b), 제3-2 관통 홀(160b) 및 제4-2 관통 홀(170b)보다 넓은 면적을 갖도록 형성된다. 제1-2 관통 홀(140b)은 제1 급전 핀(320, 즉, 제1 급전 핀(320)의 헤드)보다 넓은 면적을 갖도록 형성된다. 그에 따라, 제1 급전 핀(320) 및 제1 상부 패치(120) 사이에 이격 공간(S)이 형성된다.

[102] 다른 일례로, 도 10 및 도 11을 참조하면, 적층형 패치 안테나는 제2 급전 핀(340) 및 제1 상부 패치(120) 사이에 이격 공간(S)이 형성된다. 제1 상부 패치(120)에는 제1-2 관통 홀(140b), 제2-2 관통 홀(150b), 제3-2 관통 홀(160b) 및 제4-2 관통 홀(170b)이 형성되되, 제2-2 관통 홀(150b)은 제1-2 관통 홀(140b), 제3-2 관통 홀(160b) 및 제4-2 관통 홀(170b)보다 넓은 면적을 갖도록 형성된다. 제2-2 관통 홀(150b)은 제2 급전 핀(340, 즉, 제2 급전 핀(340)의 헤드)보다 넓은 면적을 갖도록 형성된다. 그에 따라, 제2 급전 핀(340) 및 제1 상부 패치(120) 사이에 이격 공간(S)이 형성된다.

[103] 또 다른 일례로, 도 12 및 도 13을 참조하면, 적층형 패치 안테나는 제1 급전 핀(320) 및 제1 상부 패치(120) 사이와 제2 급전 핀(340) 및 제1 상부 패치(120) 사이에 이격 공간(S)이 형성된다. 제1 상부 패치(120)에는 제1-2 관통 홀(140b), 제2-2 관통 홀(150b), 제3-2 관통 홀(160b) 및 제4-2 관통 홀(170b)이 형성되되, 제1-2 관통 홀(140b) 및 제2-2 관통 홀(150b)은 제3-2 관통 홀(160b) 및 제4-2 관통 홀(170b)보다 넓은 면적을 갖도록 형성된다. 제1-2 관통 홀(140b)은 제1 급전 핀(320, 즉, 제1 급전 핀(320)의 헤드)보다 넓은 면적을 갖도록 형성되고, 제2-2 관통 홀(150b)은 제2 급전 핀(340, 즉, 제2 급전 핀(340)의 헤드)보다 넓은 면적을 갖도록 형성된다. 그에 따라, 제1 급전 핀(320) 및 제1 상부 패치(120) 사이와 제2 급전 핀(340) 및 제1 상부 패치(120) 사이에 이격 공간(S)이 형성된다.

[104] 도 14를 참조하면, 적층형 패치 안테나는 제1 패치 안테나(100) 및 제2 패치 안테나(200) 사이에 개재되어 제1 패치 안테나(100) 및 제2 패치 안테나(200)를 접촉 및 이격시키는 접착 기재(500)를 더 포함할 수 있다. 적층형 패치 안테나는 제1 패치 안테나(100) 및 제2 패치 안테나(200)가 적층되어 구성되기 때문에 제1 하부 패치(130) 및 제2 상부 패치(220)가 접촉되어 제2 상부 패치(220)가 공진하는 주파수 대역에 간섭이 발생할 수 있다. 접착 기재(500)는 제1 하부 패치(130) 및 제2 상부 패치(220) 사이의 직접적인 접촉을 방지하면서 제1 패치 안테나(100) 및 제2 패치 안테나(200)를 접착하여 주파수 대역에 간섭이 발생하는 것을 방지한다.

[105] 한편, 도 15를 참조하면, 적층형 패치 안테나는 제1 패치 안테나(100)의 제1 하부 패치(130)를 제거하여 제1 하부 패치(130)에 의한 제2 상부 패치(220)의 주파수 대역 간섭을 방지할 수도 있다.

[106] 이상의 설명은 본 발명의 기술 사상을 예시적으로 설명한 것에 불과한 것으로서, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 본 발명의 본질적인 특성에서 벗어나지 않는 범위에서 다양한 수정 및 변형이 가능할 것이다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것

이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

- [청구항 1] 제1 패치 안테나;
상기 제1 패치 안테나의 하부에 배치된 제2 패치 안테나;
상기 제1 패치 안테나 및 상기 제2 패치 안테나를 관통하는 제1 급전 핀;
상기 제1 급전 핀과 이격되고, 상기 제1 패치 안테나 및 상기 제2 패치 안테나를 관통하는 제2 급전 핀;
상기 제1 급전 핀 및 상기 제2 급전 핀과 이격되고, 상기 제1 패치 안테나 및 상기 제2 패치 안테나를 관통하는 제3 급전 핀; 및
상기 제1 급전 핀, 상기 제2 급전 핀 및 상기 제3 급전 핀과 이격되고, 상기 제1 패치 안테나 및 상기 제2 패치 안테나를 관통하는 제4 급전 핀을 포함하고,
상기 제2 패치 안테나는 상기 제1 급전 핀, 상기 제2 급전 핀, 상기 제3 급전 핀 및 상기 제4 급전 핀이 각각 관통하는 복수의 비아 홀들이 형성되고, 상기 복수의 비아 홀들 중에서 적어도 하나의 비아 홀의 내벽면에는 내부 금속층이 형성된 적층형 패치 안테나 모듈.
- [청구항 2] 제1항에 있어서,
상기 제1 패치 안테나에는,
상기 제1 급전 핀이 관통하는 제1 관통 홀;
상기 제1 관통 홀과 이격되고, 상기 제2 급전 핀이 관통하는 제2 관통 홀;
상기 제1 관통 홀 및 상기 제2 관통 홀과 이격되고, 상기 제3 급전 핀이 관통하는 제3 관통 홀; 및
상기 제1 관통 홀, 상기 제2 관통 홀 및 상기 제3 관통 홀과 이격되고, 상기 제4 급전 핀이 관통하는 제4 관통 홀이 형성된 적층형 패치 안테나 모듈.
- [청구항 3] 제2항에 있어서,
상기 제1 관통 홀 및 상기 제3 관통 홀을 연결한 가상 직선 및 상기 제2 관통 홀 및 상기 제4 관통 홀을 연결한 가상 직선은 직교하는 적층형 패치 안테나 모듈.
- [청구항 4] 제2항에 있어서,
상기 제2 패치 안테나에는,
상기 제1 관통 홀을 관통한 상기 제1 급전 핀이 관통하는 제5 관통 홀;
상기 제5 관통 홀과 이격되고, 상기 제2 관통 홀을 관통한 상기 제2 급전 핀이 관통하는 제6 관통 홀;
상기 제5 관통 홀 및 상기 제6 관통 홀과 이격되고, 상기 제3 관통 홀을 관통한 상기 제3 급전 핀이 관통하는 제7 관통 홀; 및
상기 제5 관통 홀, 상기 제6 관통 홀 및 상기 제7 관통 홀과 이격되고, 상기 제4 관통 홀을 관통한 상기 제4 급전 핀이 관통하는 제8 관통 홀이 형성된 적층형 패치 안테나 모듈.

- [청구항 5] 제4항에 있어서,
상기 제2 패치 안테나는,
상기 제7 관통 홀의 내벽면에 배치되어 상기 제2 패치 안테나의 상부 패치 및 하부 패치와 연결되고, 상기 제3 급전 핀과 이격된 제1 내부 금속층; 및
상기 제8 관통 홀의 내벽면에 배치되어 상기 제2 패치 안테나의 상부 패치 및 하부 패치와 연결되고, 상기 제4 급전 핀과 이격된 제2 내부 금속층을 포함하는 적층형 패치 안테나 모듈.
- [청구항 6] 제2항에 있어서,
상기 제1 패치 안테나는,
상기 제1 급전 핀이 관통하는 제1-1 관통 홀, 상기 제2 급전 핀이 관통하는 제2-1 관통 홀, 상기 제3 급전 핀이 관통하는 제3-1 관통 홀 및 상기 제4 급전 핀이 관통하는 제4-1 관통 홀이 형성된 제1 베이스 기재;
상기 제1 베이스 기재의 상면에 배치되고, 상기 제1 급전 핀이 관통하는 제1-2 관통 홀, 상기 제2 급전 핀이 관통하는 제2-2 관통 홀, 상기 제3 급전 핀이 관통하는 제3-2 관통 홀 및 상기 제4 급전 핀이 관통하는 제4-2 관통 홀이 형성된 제1 상부 패치; 및
상기 제1 베이스 기재의 하면에 배치되고, 상기 제1 급전 핀이 관통하는 제1-3 관통 홀, 상기 제2 급전 핀이 관통하는 제2-3 관통 홀, 상기 제3 급전 핀이 관통하는 제3-3 관통 홀 및 상기 제4 급전 핀이 관통하는 제4-3 관통 홀이 형성된 제1 하부 패치를 포함하는 적층형 패치 안테나.
- [청구항 7] 제6항에 있어서,
상기 제1-1 관통 홀, 상기 제1-2 관통 홀 및 상기 제1-3 관통 홀은 중첩되어 상기 제1 급전 핀이 관통하는 제1 관통 홀을 형성하고,
상기 제2-1 관통 홀, 상기 제2-2 관통 홀 및 상기 제2-3 관통 홀은 중첩되어 상기 제2 급전 핀이 관통하는 제2 관통 홀을 형성하고,
상기 제3-1 관통 홀, 상기 제3-2 관통 홀 및 상기 제3-3 관통 홀은 중첩되어 상기 제3 급전 핀이 관통하는 제3 관통 홀을 형성하고,
상기 제4-1 관통 홀, 상기 제4-2 관통 홀 및 상기 제4-3 관통 홀은 중첩되어 상기 제4 급전 핀이 관통하는 제4 관통 홀을 형성하는 적층형 패치 안테나.
- [청구항 8] 제6항에 있어서,
상기 제1 급전 핀 및 상기 제2 급전 핀 중에서 적어도 하나의 급전 핀은,
상기 제1 상부 패치와 이격되어 이격 공간을 형성하고, 상기 이격 공간에 의해 상기 제1 상부 패치와 전기적인 연결되지 않는 적층형 패치 안테나 모듈.
- [청구항 9] 제1항에 있어서,
상기 제2 패치 안테나는,

상기 제1 급전 핀이 관통하는 제5-1 관통 홀, 상기 제2 급전 핀이 관통하는 제6-1 관통 홀, 상기 제3 급전 핀이 관통하는 제7-1 관통 홀 및 상기 제4 급전 핀이 관통하는 제8-1 관통 홀이 형성된 제2 베이스 기재;

상기 제2 베이스 기재의 상면에 배치되고, 상기 제1 급전 핀이 관통하는 제5-2 관통 홀, 상기 제2 급전 핀이 관통하는 제6-2 관통 홀, 상기 제3 급전 핀이 관통하는 제7-2 관통 홀 및 상기 제4 급전 핀이 관통하는 제8-2 관통 홀이 형성된 제2 상부 패치; 및

상기 제2 베이스 기재의 하면에 배치되고, 상기 제1 급전 핀이 관통하는 제5-3 관통 홀, 상기 제2 급전 핀이 관통하는 제6-3 관통 홀, 상기 제3 급전 핀이 관통하는 제7-3 관통 홀 및 상기 제4 급전 핀이 관통하는 제8-3 관통 홀이 형성된 제2 하부 패치를 포함하는 적층형 패치 안테나 모듈.

[청구항 10]

제9항에 있어서,

상기 제5-1 관통 홀, 상기 제5-2 관통 홀 및 상기 제5-3 관통 홀은 중첩되어 상기 제1 패치 안테나의 제1 관통 홀을 관통한 상기 제1 급전 핀이 관통하는 제5 관통 홀을 형성하고,

상기 제6-1 관통 홀, 상기 제6-2 관통 홀 및 상기 제6-3 관통 홀은 중첩되어 상기 제1 패치 안테나의 제2 관통 홀을 관통한 상기 제2 급전 핀이 관통하는 제6 관통 홀을 형성하고,

상기 제7-1 관통 홀, 상기 제7-2 관통 홀 및 상기 제7-3 관통 홀은 중첩되어 상기 제1 패치 안테나의 제3 관통 홀을 관통한 상기 제3 급전 핀이 관통하는 제7 관통 홀을 형성하고,

상기 제8-1 관통 홀, 상기 제8-2 관통 홀 및 상기 제8-3 관통 홀은 중첩되어 상기 제1 패치 안테나의 제4 관통 홀을 관통한 상기 제4 급전 핀이 관통하는 제8 관통 홀을 형성하는 적층형 패치 안테나 모듈.

[청구항 11]

제9항에 있어서,

상기 제2 패치 안테나는,

상기 제7-1 관통 홀의 내벽면에 배치된 제1-1 내부 금속층;

상기 제7-2 관통 홀의 내벽면에 배치된 제1-2 내부 금속층; 및

상기 제7-3 관통 홀의 내벽면에 배치된 제1-3 내부 금속층을 포함하고,

상기 제1-1 내부 금속층, 상기 제1-2 내부 금속층 및 상기 제1-3 내부 금속층은 상기 제2 상부 패치 및 상기 제2 하부 패치를 연결하는 제1 내부 금속층을 구성하는 적층형 패치 안테나 모듈.

[청구항 12]

제9항에 있어서,

상기 제2 패치 안테나는,

상기 제8-1 관통 홀의 내벽면에 배치된 제2-1 내부 금속층;

상기 제8-2 관통 홀의 내벽면에 배치된 제2-2 내부 금속층; 및

상기 제8-3 관통 홀의 내벽면에 배치된 제2-3 내부 금속층을 포함하고,

상기 제2-1 내부 금속층, 상기 제2-2 내부 금속층 및 제2-3 내부 금속층은
상기 제2 상부 패치 및 상기 제2 하부 패치를 연결하는 제2 내부 금속층을
구성하는 적층형 패치 안테나 모듈.

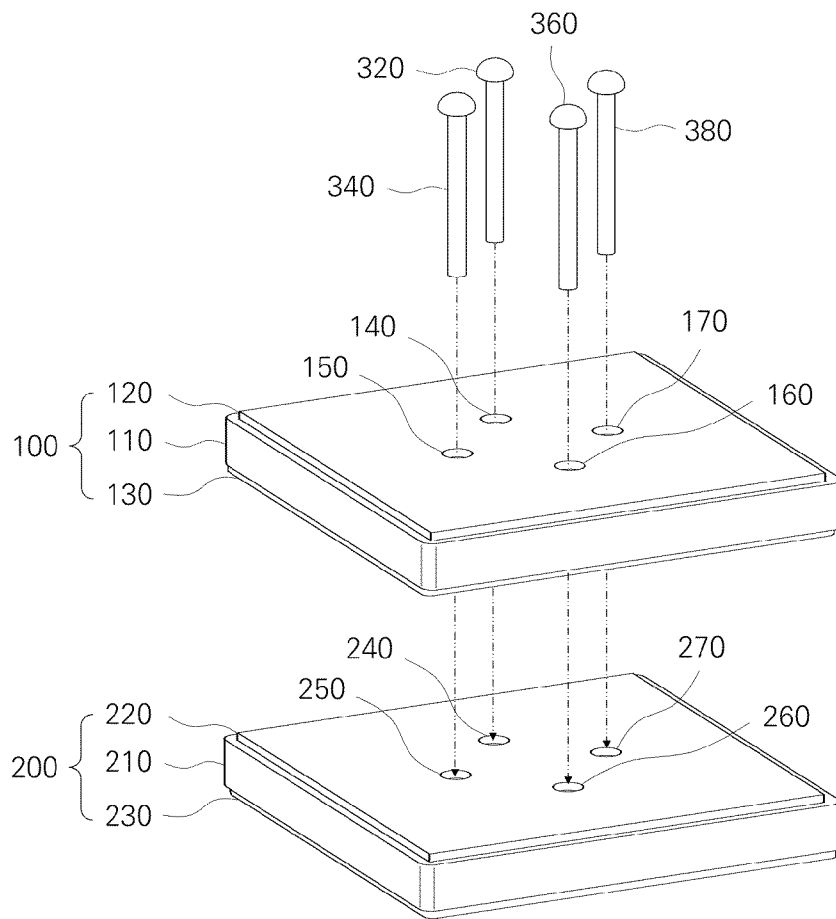
[청구항 13] 제9항에 있어서,
상기 제2 상부 패치는,
상기 제5-2 관통 홀을 관통하는 상기 제1 급전 핀 및 상기 제6-2 관통 홀을
관통하는 상기 제2 급전 핀과 이격되어 상기 제1 급전 핀 및 상기 제2 급전
핀과 전자기적 커플링을 통해 연결된 적층형 패치 안테나 모듈.

[청구항 14] 제1항에 있어서,
상기 제1 급전 핀 및 상기 제2 급전 핀과 연결되고, 제1 주파수 신호 및 제2
주파수 신호를 출력하는 제1 하이브리드 커플러; 및
상기 제3 급전 핀 및 상기 제4 급전 핀과 연결되고, 제3 주파수 신호를 출
력하는 제2 하이브리드 커플러를 더 포함하는 적층형 패치 안테나 모듈.

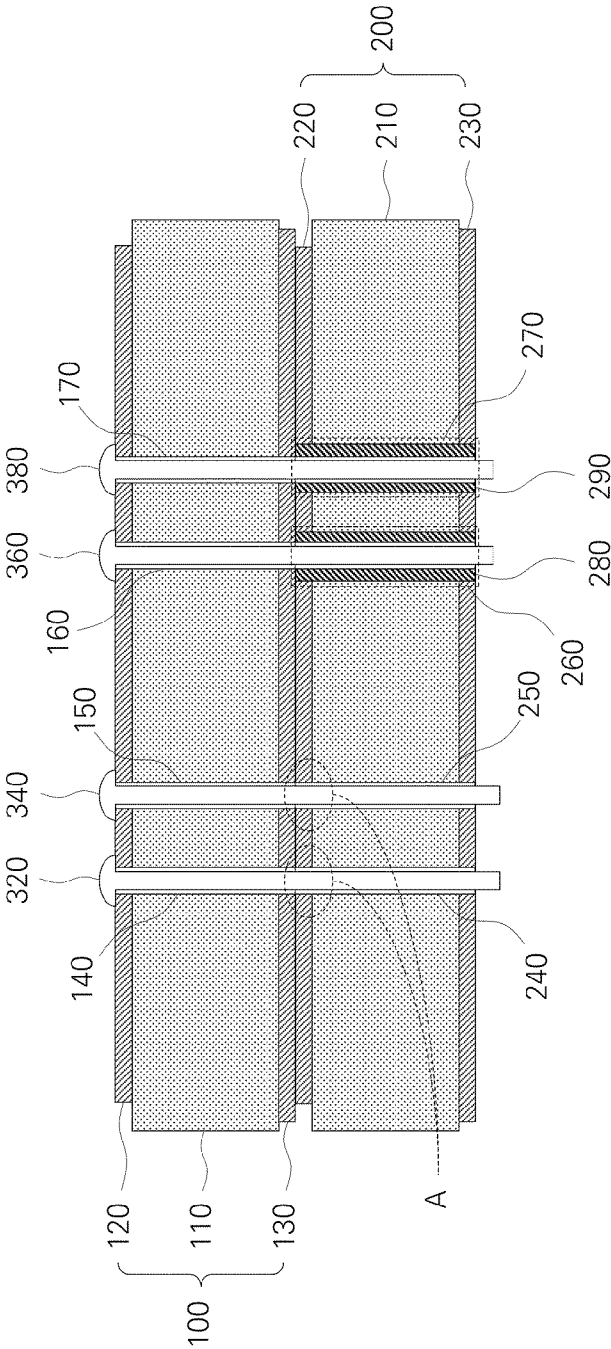
[청구항 15] 제14항에 있어서,
상기 제1 하이브리드 커플러는,
상기 제1 급전 핀과 연결된 제1 입력단;
상기 제2 급전 핀과 연결된 제2 입력단;
상기 제1 주파수 신호 및 상기 제2 주파수 신호를 처리하는 신호 처리 소
자와 연결된 제1 출력단; 및
저항과 연결된 제2 출력단을 포함하는 적층형 패치 안테나 모듈.

[청구항 16] 제14항에 있어서,
상기 제2 하이브리드 커플러는,
상기 제3 급전 핀과 연결된 제1 입력단;
상기 제4 급전 핀과 연결된 제2 입력단;
저항과 연결된 제1 출력단; 및
상기 제3 주파수 신호를 처리하는 신호 처리 소자와 연결된 제2 출력단을
포함하는 적층형 패치 안테나 모듈.

[도1]

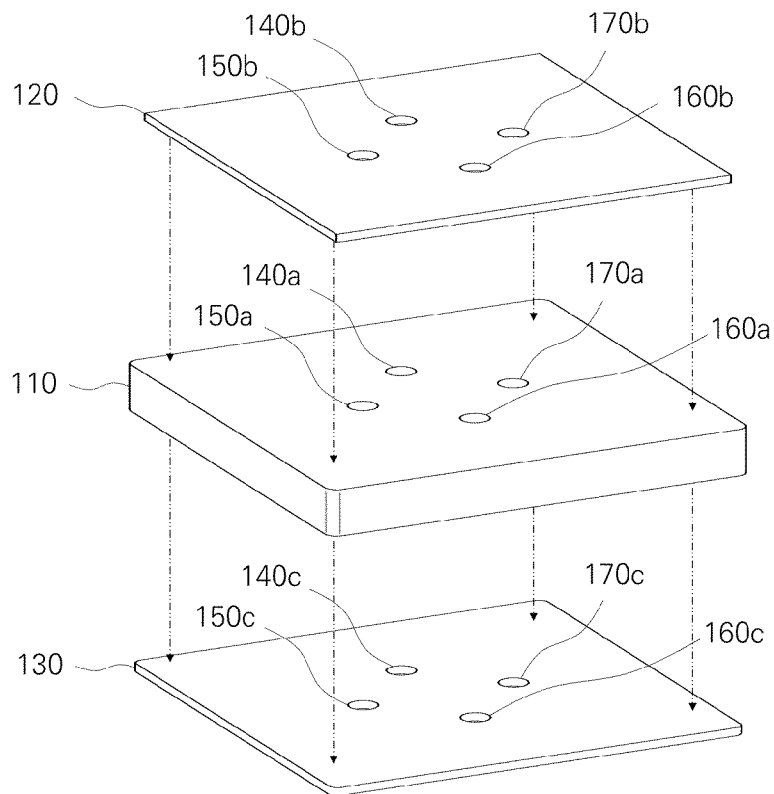


[도2]

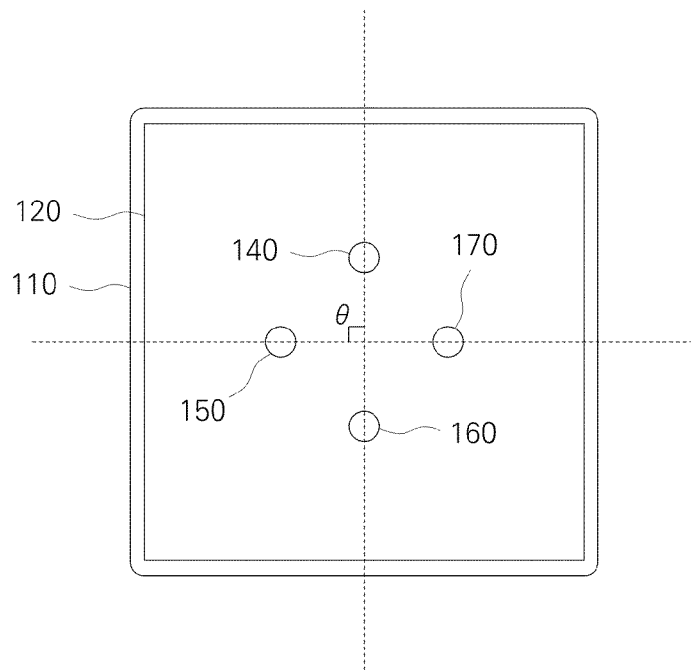


[도3]

100

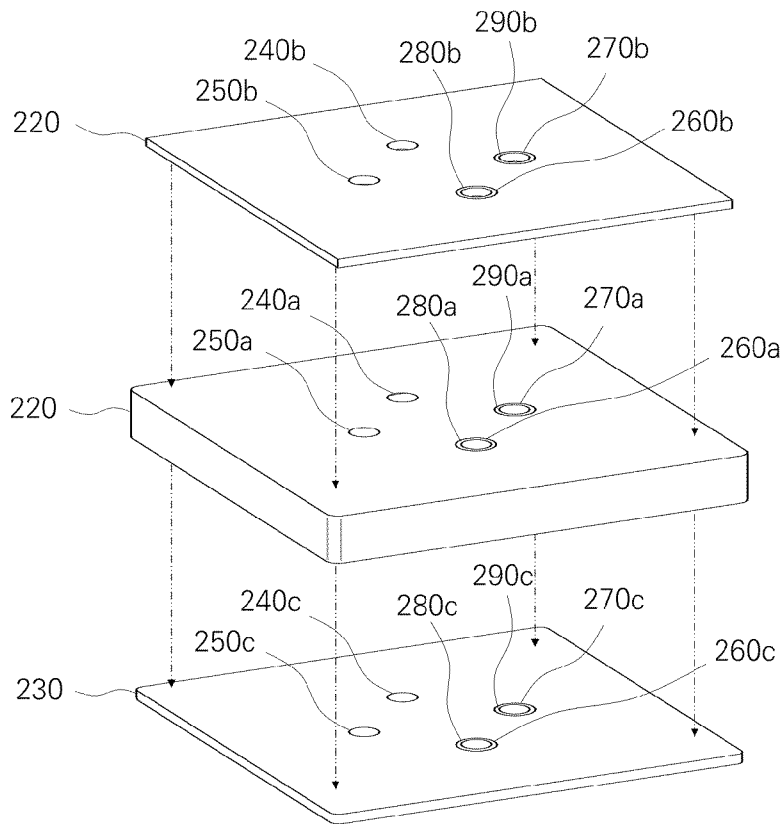


[도4]

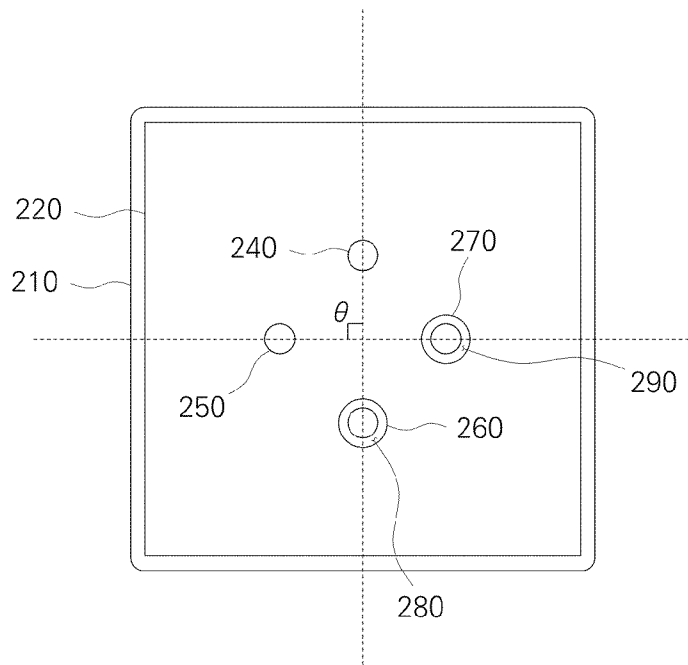


[도5]

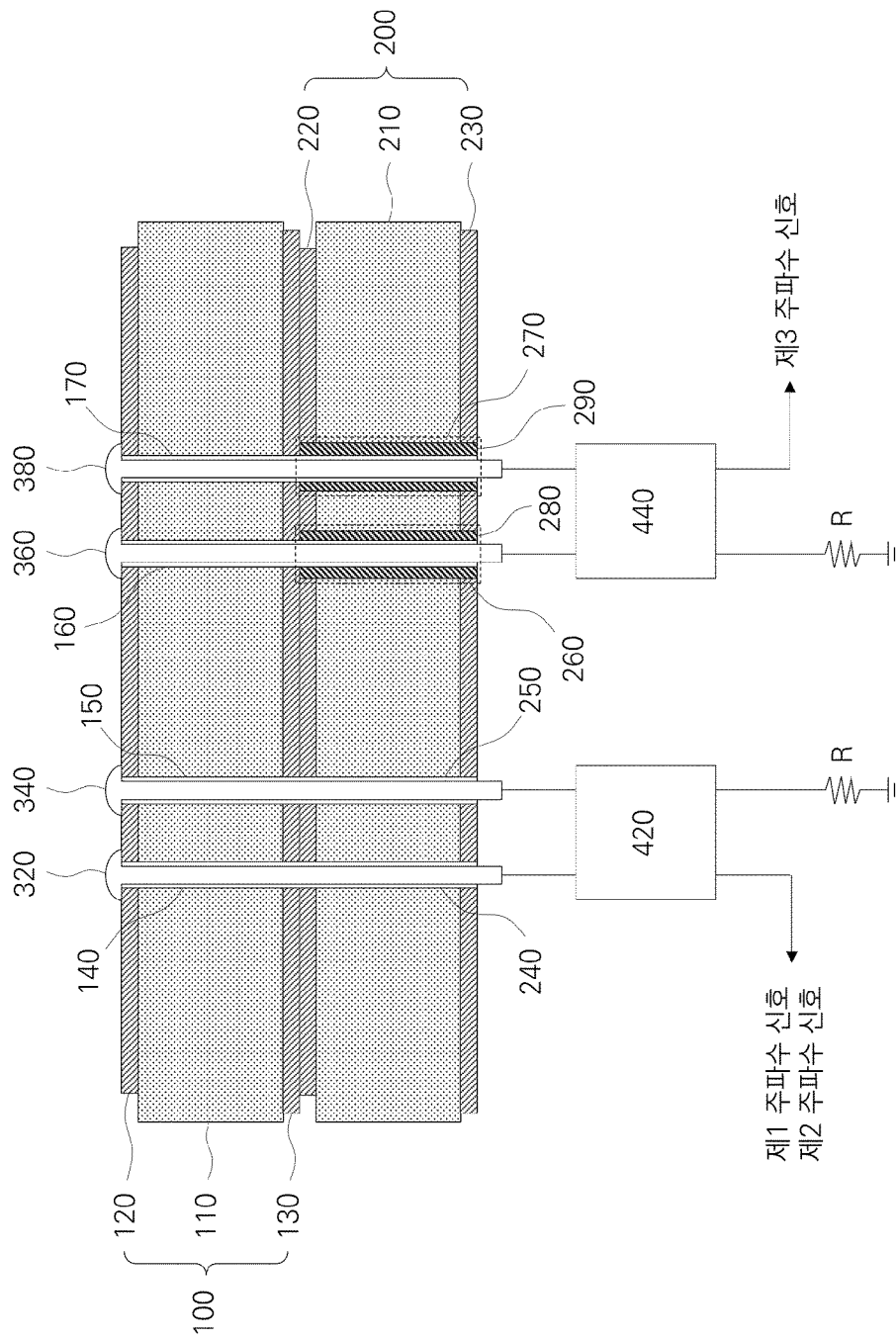
200



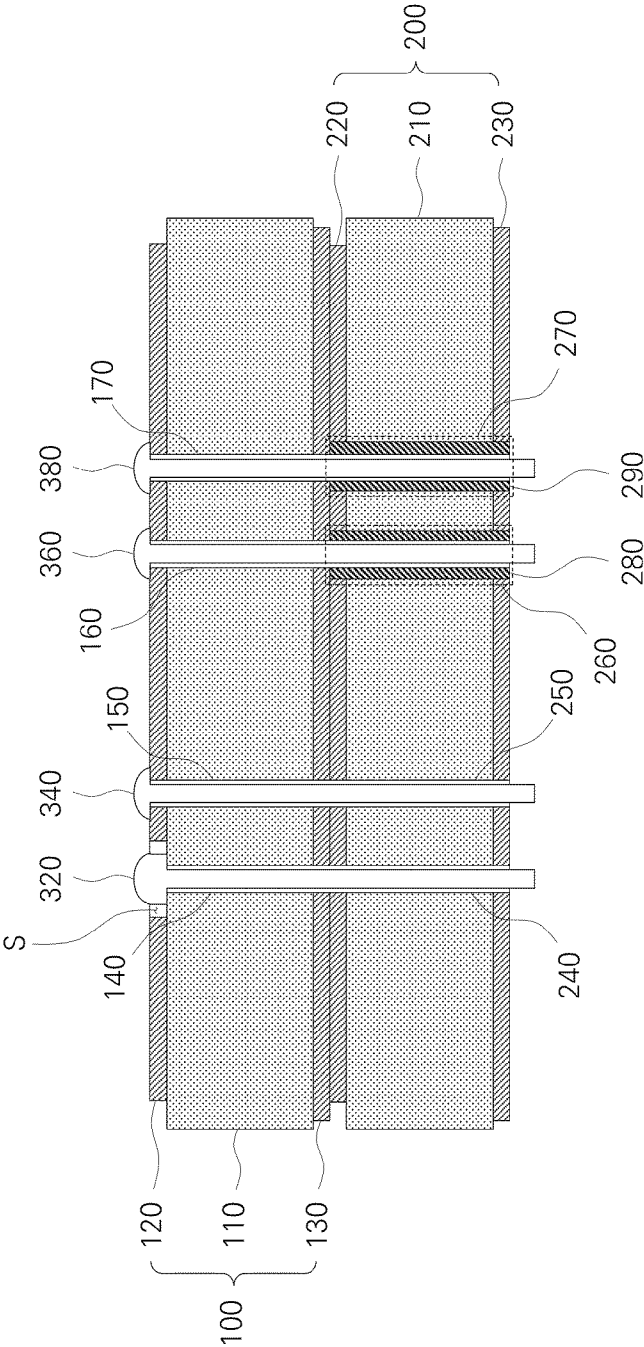
[도6]



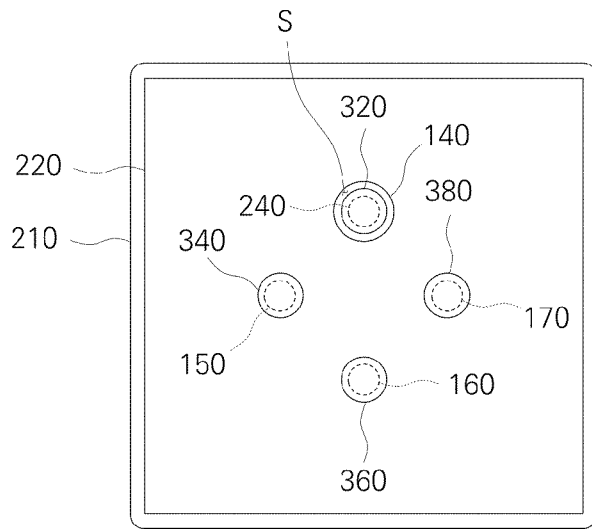
[도7]



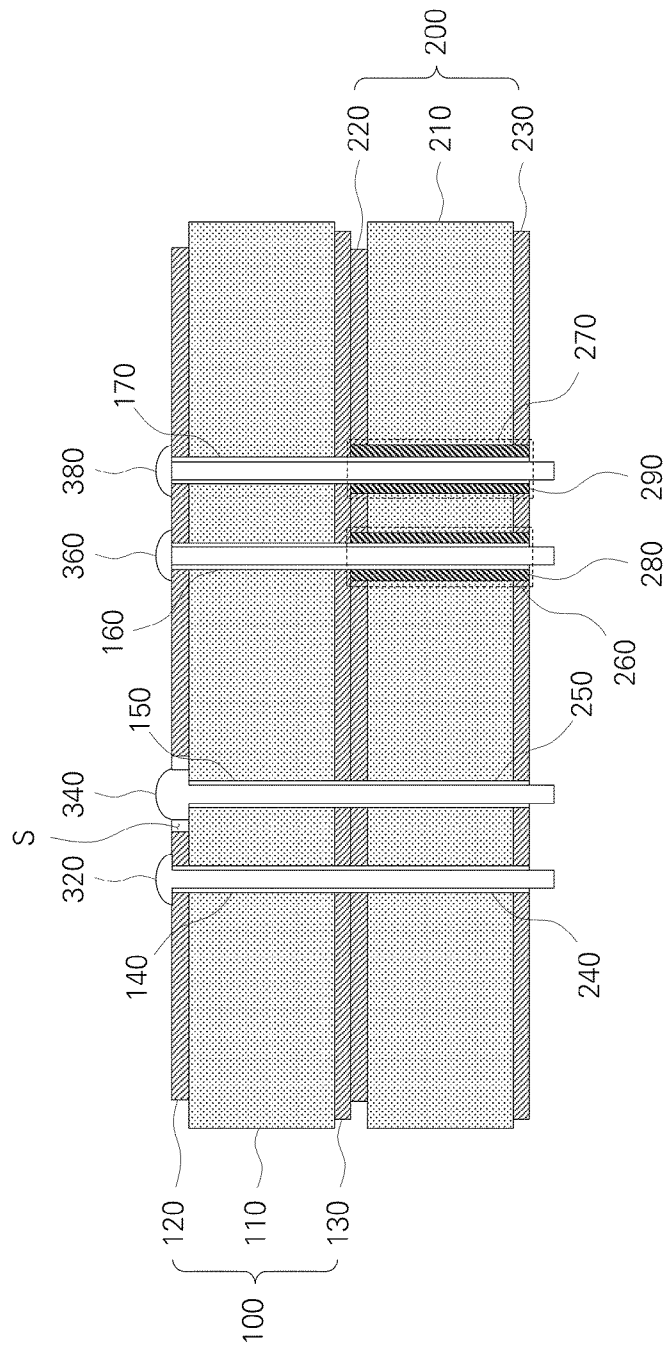
[도8]



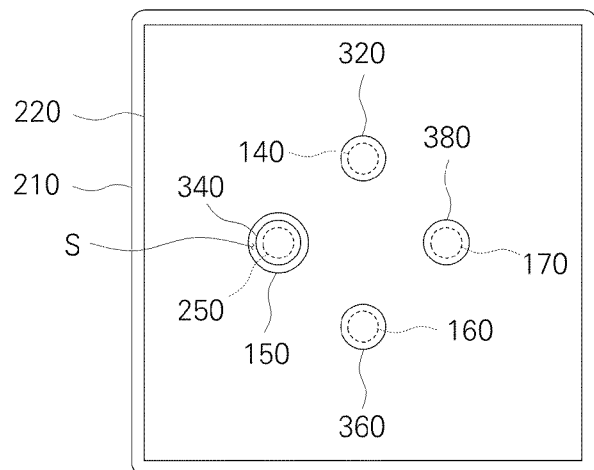
[도9]



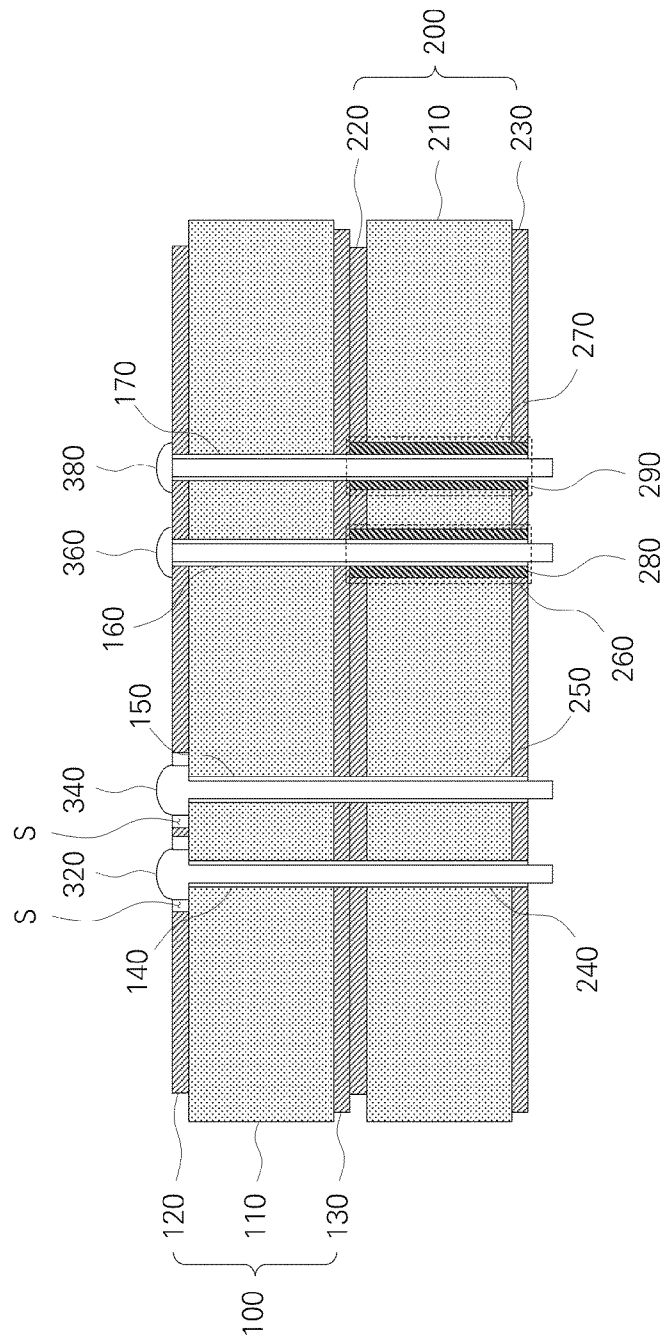
[도10]



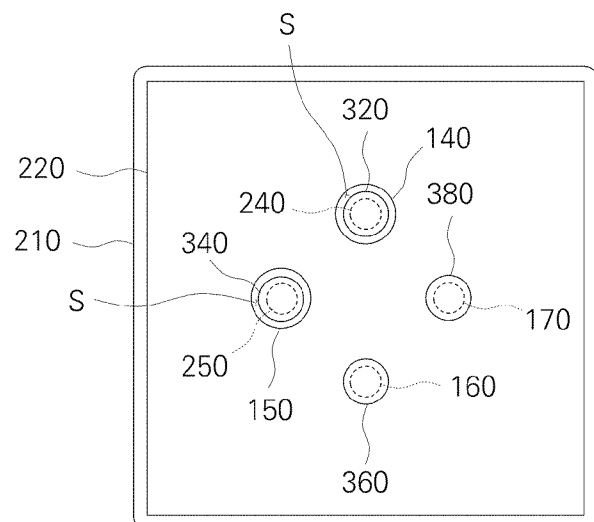
[도11]



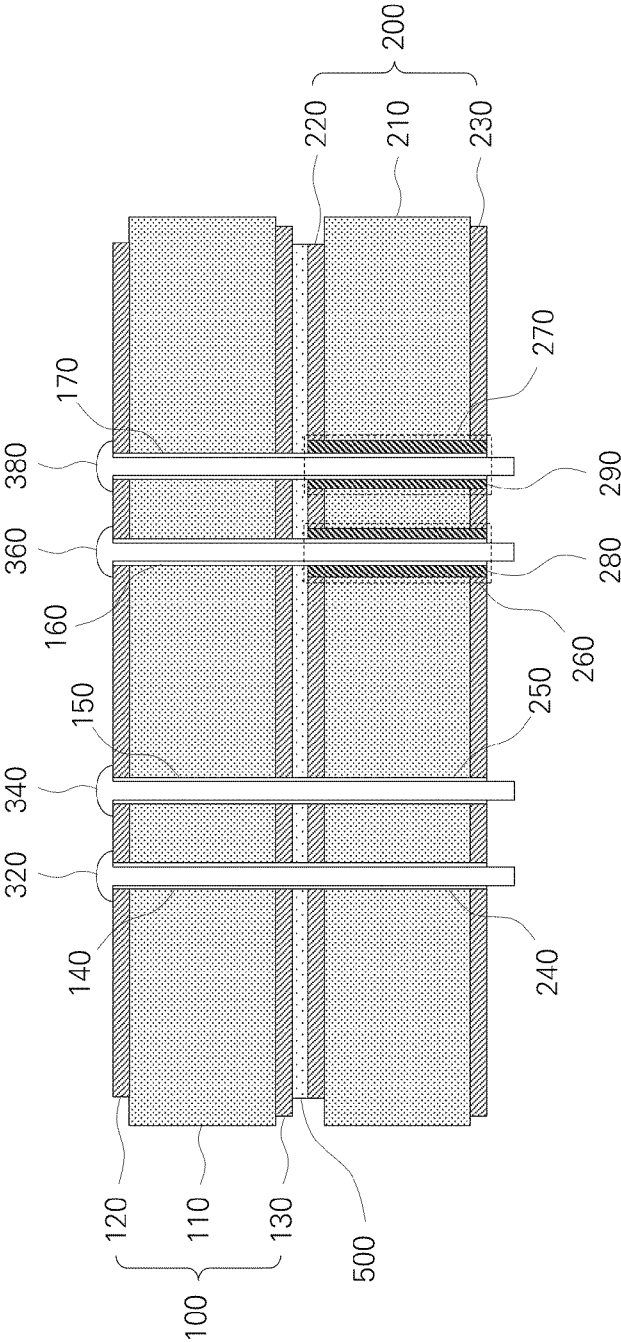
[도12]



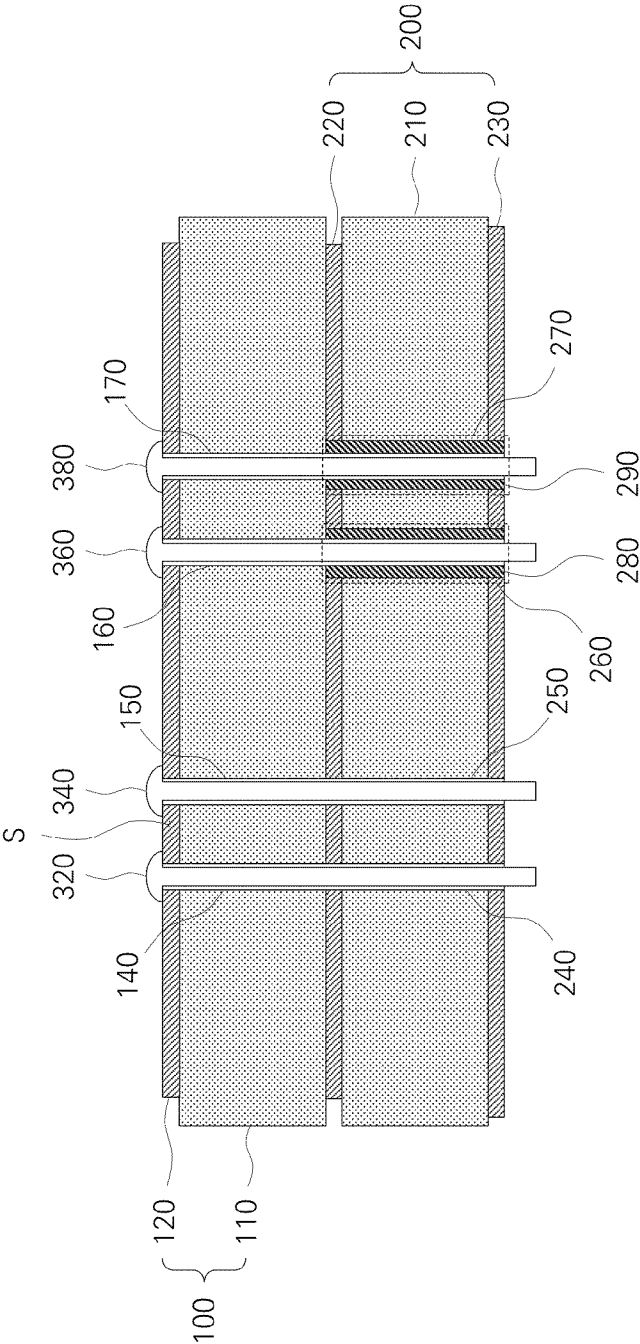
[도13]



[도14]



[도15]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/009377

A. CLASSIFICATION OF SUBJECT MATTER H01Q 9/04(2006.01)i; H01Q 1/38(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC		
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01Q 9/04(2006.01); H01Q 1/22(2006.01); H01Q 13/08(2006.01); H01Q 21/06(2006.01); H01Q 5/00(2006.01) Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Korean utility models and applications for utility models: IPC as above Japanese utility models and applications for utility models: IPC as above Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) eKOMPASS (KIPO internal) & keywords: 패치 안테나(patch antenna), 적층(stack), 급전 핀(feeding pin), 비아 홀(via hole)		
C. DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	KR 10-2011-0089901 A (HANYANG NAVICOM CO., LTD.) 10 August 2011 (2011-08-10) See paragraphs [0027]-[0039] and figures 1-5.	1-16
Y	KR 10-2021-0025457 A (AMOTECH CO., LTD.) 09 March 2021 (2021-03-09) See paragraphs [0079] and [0103]-[0104] and figures 29-30 and 37-38.	1-16
Y	KR 10-2020-0030462 A (AMOTECH CO., LTD.) 20 March 2020 (2020-03-20) See paragraph [0067] and figures 6-10.	8
Y	KR 10-2022-0015924 A (AMOTECH CO., LTD.) 08 February 2022 (2022-02-08) See paragraphs [0047]-[0048] and figures 2-7.	14-16
A	US 2019-0267697 A1 (TAOGLAS GROUP HOLDINGS LIMITED et al.) 29 August 2019 (2019-08-29) See claims 1-17 and figures 1-57.	1-16
☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.		
* Special categories of cited documents: “A” document defining the general state of the art which is not considered to be of particular relevance “D” document cited by the applicant in the international application “E” earlier application or patent but published on or after the international filing date “L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) “O” document referring to an oral disclosure, use, exhibition or other means “P” document published prior to the international filing date but later than the priority date claimed “T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention “X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone “Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art “&” document member of the same patent family		
Date of the actual completion of the international search 10 October 2024		Date of mailing of the international search report 11 October 2024
Name and mailing address of the ISA/KR Korean Intellectual Property Office Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208 Facsimile No. +82-42-481-8578		Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2024/009377

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
KR	10-2011-0089901	A	10 August 2011	KR	10-1085871	B1	22 November 2011
KR	10-2021-0025457	A	09 March 2021	CN	114391199	A	22 April 2022
				KR	10-2323000	B1	09 November 2021
				US	2022-0311142	A1	29 September 2022
				WO	2021-040366	A1	04 March 2021
KR	10-2020-0030462	A	20 March 2020	CN	112913080	A	04 June 2021
				EP	3852196	A1	21 July 2021
				EP	3852196	A4	22 June 2022
				JP	2021-536201	A	23 December 2021
				JP	7232324	B2	02 March 2023
				KR	10-2154226	B1	09 September 2020
				US	2022-0102861	A1	31 March 2022
				US	2024-0030611	A1	25 January 2024
				WO	2020-055065	A1	19 March 2020
KR	10-2022-0015924	A	08 February 2022	KR	10-2577888	B1	13 September 2023
				US	2023-0307838	A1	28 September 2023
				WO	2022-025438	A1	03 February 2022
US	2019-0267697	A1	29 August 2019	EP	3547447	A1	02 October 2019
				TW	201935753	A	01 September 2019
				TW	201935754	A	01 September 2019
				TW	201935755	A	01 September 2019
				TW	201935756	A	01 September 2019
				TW	201935757	A	01 September 2019
				TW	201935760	A	01 September 2019
				TW	201935761	A	01 September 2019
				TW	201935766	A	01 September 2019
				US	11139550	B2	05 October 2021

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01Q 9/04(2006.01)i; H01Q 1/38(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01Q 9/04(2006.01); H01Q 1/22(2006.01); H01Q 13/08(2006.01); H01Q 21/06(2006.01); H01Q 5/00(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 패치 안테나(patch antenna), 적층(stack), 급전 핀(feeding pin), 비아 홀(via hole)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	KR 10-2011-0089901 A (한양네비콤주식회사) 2011.08.10 단락 [0027]-[0039] 및 도면 1-5	1-16
Y	KR 10-2021-0025457 A (주식회사 아모텍) 2021.03.09 단락 [0079], [0103]-[0104] 및 도면 29-30, 37-38	1-16
Y	KR 10-2020-0030462 A (주식회사 아모텍) 2020.03.20 단락 [0067] 및 도면 6-10	8
Y	KR 10-2022-0015924 A (주식회사 아모텍) 2022.02.08 단락 [0047]-[0048] 및 도면 2-7	14-16
A	US 2019-0267697 A1 (TAOGLAS GROUP HOLDINGS LIMITED 등) 2019.08.29 청구항 1-17 및 도면 1-57	1-16



추가 문헌이 C(계속)에 기재되어 있습니다.



대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2024년10월10일(10.10.2024)

국제조사보고서 발송일

2024년10월11일(11.10.2024)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동,
정부대전청사)

팩스 번호 +82-42-481-8578

심사관

이강하

전화번호 +82-42-481-5687

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-2011-0089901 A	2011/08/10	KR 10-1085871 B1	2011/11/22
KR 10-2021-0025457 A	2021/03/09	CN 114391199 A	2022/04/22
		KR 10-2323000 B1	2021/11/09
		US 2022-0311142 A1	2022/09/29
		WO 2021-040366 A1	2021/03/04
KR 10-2020-0030462 A	2020/03/20	CN 112913080 A	2021/06/04
		EP 3852196 A1	2021/07/21
		EP 3852196 A4	2022/06/22
		JP 2021-536201 A	2021/12/23
		JP 7232324 B2	2023/03/02
		KR 10-2154226 B1	2020/09/09
		US 2022-0102861 A1	2022/03/31
		US 2024-0030611 A1	2024/01/25
		WO 2020-055065 A1	2020/03/19
KR 10-2022-0015924 A	2022/02/08	KR 10-2577888 B1	2023/09/13
		US 2023-0307838 A1	2023/09/28
		WO 2022-025438 A1	2022/02/03
US 2019-0267697 A1	2019/08/29	EP 3547447 A1	2019/10/02
		TW 201935753 A	2019/09/01
		TW 201935754 A	2019/09/01
		TW 201935755 A	2019/09/01
		TW 201935756 A	2019/09/01
		TW 201935757 A	2019/09/01
		TW 201935760 A	2019/09/01
		TW 201935761 A	2019/09/01
		TW 201935766 A	2019/09/01
		US 11139550 B2	2021/10/05