

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2013-118367  
(P2013-118367A)

(43) 公開日 平成25年6月13日(2013.6.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 29/786 (2006.01)	HO 1 L 29/78 6 1 6 V	2 H O 9 2
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 1 6 L	4 K O 2 9
HO 1 L 29/417 (2006.01)	HO 1 L 29/78 6 1 9 A	4 M 1 0 4
HO 1 L 21/28 (2006.01)	HO 1 L 29/78 6 1 8 B	5 F O 5 8
C 2 3 C 14/34 (2006.01)	HO 1 L 29/50 M	5 F 1 1 0

審査請求 未請求 請求項の数 15 O L (全 27 頁) 最終頁に続く

(21) 出願番号 特願2012-242080 (P2012-242080)  
 (22) 出願日 平成24年11月1日 (2012.11.1)  
 (31) 優先権主張番号 特願2011-241272 (P2011-241272)  
 (32) 優先日 平成23年11月2日 (2011.11.2)  
 (33) 優先権主張国 日本国(JP)

(71) 出願人 000005120  
 日立電線株式会社  
 東京都千代田区内神田二丁目15番2号  
 (74) 代理人 100091096  
 弁理士 平木 祐輔  
 (74) 代理人 100105463  
 弁理士 関谷 三男  
 (74) 代理人 100102576  
 弁理士 渡辺 敏章  
 (72) 発明者 浅沼 春彦  
 茨城県日立市大みか町七丁目1番1号 株  
 式会社日立製作所日立研究所内  
 (72) 発明者 楠 敏明  
 茨城県日立市大みか町七丁目1番1号 株  
 式会社日立製作所日立研究所内  
 最終頁に続く

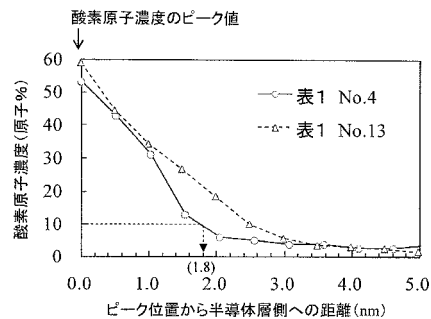
(54) 【発明の名称】 薄膜トランジスタ及びその製造方法、並びに薄膜トランジスタを備えた表示装置、スパッタリングターゲット材

(57) 【要約】 (修正有)

【課題】配線にCu合金を用いるTFTの電気特性値の低下を抑制する薄膜トランジスタ及びその製造方法、並びに薄膜トランジスタを備えた表示装置、スパッタリングターゲット材を提供する。

【解決手段】ゲート絶縁膜とSi系半導体層と、Cu合金層を有するソース/ドレイン電極と、前記ソース電極及びドレイン電極と前記Si系半導体層との界面に形成される酸化物膜と、を備えたTFTであって、Cu合金層は、Cuと少なくとも1種類の添加元素を含み、酸化物膜中の酸素の原子濃度の深さ分布が、ピーク値は40原子%以上66原子%以下であり、且つ、酸素の原子濃度のピーク値からのまたはソース・ドレイン電極とSi系半導体層の界面からの酸素分布が10原子%となる距離を酸化物膜の膜厚と定義した際、酸化物膜の膜厚は1.8nm以下であることを特徴とする。

【選択図】 図4



## 【特許請求の範囲】

## 【請求項 1】

基板上に、ゲート絶縁膜と、Si系半導体層と、Cu合金層を有するソース/ドレイン電極と、前記ソース電極及びドレイン電極と前記Si系半導体層との界面に形成される酸化膜と、を備えた薄膜トランジスタであって、

前記Cu合金層は、Cuと少なくとも1種類の添加元素とを含み、

前記酸化膜中の酸素の原子濃度の深さ分布が、ピーク値は40原子%以上66原子%以下であって、且つ、前記酸素の原子濃度のピーク値からの若しくは前記ソース電極及びドレイン電極と前記Si系半導体層の界面からの酸素の分布が10原子%となる距離を前記酸化膜の膜厚と定義した際、前記酸化膜の膜厚は1.8nm以下であることを特徴とする薄膜トランジスタ。

10

## 【請求項 2】

前記ソース電極及びドレイン電極と前記Si系半導体層の界面で、前記ソース電極及びドレイン電極の構成材料が前記Si系半導体層へ拡散している箇所の線密度が、距離480nm当たり平均7個以下であることを特徴とする請求項1に記載の薄膜トランジスタ。

## 【請求項 3】

前記Cu合金層は、CuとMn、Mg、Ca、Ni、Zn、Si、Al、Be、Ga、In、Fe、Ti、V、Co、Zr、Hf、Ceから選択される少なくとも1種類以上の添加元素からなり、添加元素の濃度は0.5~20at%であることを特徴とする請求項1又は請求項2の薄膜トランジスタ。

20

## 【請求項 4】

基板上に、ゲート絶縁膜と、Si系半導体層と、Cuと少なくとも1種類の添加元素とを含むCu合金層を有するソース/ドレイン電極と、前記ソース電極及びドレイン電極と前記Si系半導体層との界面に形成される酸化膜と、を備えた薄膜トランジスタの製造方法であって、

前記基板上に、ゲート電極構造を形成し、その上にゲート絶縁膜を堆積した後に、

前記ゲート絶縁膜上に前記Si系半導体膜を堆積するステップと、

プラズマ酸化法により前記Si系半導体層の表面に極薄酸化膜を形成するステップと、

前記Cu合金層を有するソース/ドレイン電極を形成するステップと、を有し、

前記酸化膜は、プラズマ酸化法により形成され、前記プラズマ酸化法におけるRFパワー密度は0.22~0.67W/cm<sup>2</sup>以下で、且つ、処理時間は60秒以上240秒以下であることを特徴とする薄膜トランジスタの製造方法。

30

## 【請求項 5】

基板上に、ゲート絶縁膜と、Si系半導体層と、Cuと少なくとも1種類の添加元素とを含むCu合金層を有するソース/ドレイン電極と、前記ソース電極及びドレイン電極と前記Si系半導体層との界面に形成される酸化膜と、を備えた薄膜トランジスタの製造方法であって、

前記基板上に、ゲート電極構造を形成し、その上にゲート絶縁膜を堆積した後に、

前記ゲート絶縁膜上に前記Si系半導体膜を堆積するステップと、

プラズマ酸化法により前記Si系半導体層の表面に極薄酸化膜を形成するステップと、

前記Cu合金層を有するソース/ドレイン電極を形成するステップと、を有し、

前記酸化膜は、プラズマ酸化法により形成され、

前記プラズマ酸化法におけるRFパワー密度と前記処理時間の積の値が、26.4~52.8W・sec/cm<sup>2</sup>であることを特徴とする薄膜トランジスタの製造方法。

40

## 【請求項 6】

請求項1から3までのいずれか1項に記載の薄膜トランジスタの銅合金からなるソース/ドレイン電極の形成に使用されるスパッタリングターゲット材であって、銅合金層中の添加元素濃度よりも(添加元素濃度×15%以上50%未満)の範囲で濃度が高いことを特徴とするスパッタリングターゲット材。

## 【請求項 7】

50

基板上に、酸化物膜を有するゲート絶縁膜と、酸化物半導体層と、Cuと少なくとも1種類の添加元素とを含むCu合金層を有するソース/ドレイン電極と、前記ソース電極及びドレイン電極と前記酸化物半導体層との界面に形成される酸化物膜と、全体を保護する保護膜と、を備えた薄膜トランジスタであって、

前記酸化物膜において、前記ソース電極及びドレイン電極中の添加元素および酸素の原子濃度はピークを有し、酸素のピーク値が添加元素のピーク値より大きいことを特徴とする薄膜トランジスタ。

【請求項8】

前記ソース電極及びドレイン電極中の添加元素の酸化物生成反応の平衡酸素ポテンシャルが、前記酸化物半導体層を構成する少なくとも1つの元素の平衡酸素ポテンシャルより小さいことを特徴とする請求項7に記載の薄膜トランジスタ。

10

【請求項9】

前記ソース電極及びドレイン電極のCu合金層は、CuとMn、Mg、Ca、Zn、Si、Al、Be、Ga、Ti、V、Zr、Hf、Ceから選択される少なくとも1種類以上の添加元素からなり、添加元素の濃度は0.5~20at%であることを特徴とする請求項7又は請求項8の薄膜トランジスタ。

【請求項10】

前記保護膜の一部は窒化シリコン膜より成ることを特徴とする請求項7から9までのいずれか1項に記載の薄膜トランジスタ。

【請求項11】

基板上に、酸化物膜を有するゲート絶縁膜と、酸化物半導体層と、Cuと少なくとも1種類の添加元素とを含むCu合金層を有するソース/ドレイン電極と、前記ソース電極及びドレイン電極と前記酸化物半導体層との界面に形成される酸化物膜と、全体を保護する保護膜と、を備えた薄膜トランジスタの製造方法であって、

20

前記保護膜を形成するステップにおいて、

前記酸化物膜において、前記ソース電極及びドレイン電極中の添加元素および酸素の原子濃度はピークを有し、酸素のピーク値が添加元素のピーク値より大きくなる条件とすることを特徴とする薄膜トランジスタの製造方法。

【請求項12】

請求項7から10までのいずれか1項に記載の薄膜トランジスタの銅合金からなるソース/ドレイン電極の形成に使用されるスパッタリングターゲット材であって、銅合金層中の添加元素濃度よりも、添加元素濃度×15%以上50%未満、の範囲で濃度が高いことを特徴とするスパッタリングターゲット材。

30

【請求項13】

請求項1、2、3、7、8、9、10のうちいずれか1項に記載の薄膜トランジスタを用いた表示装置。

【請求項14】

CuとMn、Mg、Ca、Ni、Zn、Si、Al、Be、Ga、In、Fe、Ti、V、Co、Zr、Hf、Ceから選択される少なくとも1種類以上の添加元素からなり、添加元素の濃度は0.7~40at%であることを特徴とするスパッタリングターゲット材。

40

【請求項15】

0.7~29at%のMnと、残部がCuからなる、スパッタリングターゲット材。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、薄膜トランジスタ及びその製造方法、並びに薄膜トランジスタを用いたアクティブマトリクス型の表示装置、スパッタリングターゲット材に関する。

50

## 【背景技術】

## 【0002】

近年、薄膜トランジスタ (TFT: Thin Film Transistor) を画素回路に用いたアクティブマトリクス型表示装置において、その大型化、画素の高精細化、フレーム周波数の倍増による動画性能の向上、さらに民生用3D表示装置の画質向上などが要求されている。一方、表示装置の価格は予想を上回るペースで下落を続けており、エネルギー資源やレアメタル等の価格の高騰など製造コストを押し上げる要因も増大しつつある。従って、更なる製造コスト低減のための技術を開発することが急務となっている。

## 【0003】

上述の要求を満足するために、例えば液晶表示装置 (LCD: Liquid Cystal Displays) では、TFTの半導体層を、アモルファスシリコン膜から微結晶シリコンや多結晶シリコンまたは酸化物半導体に替えること、また、その配線材料を、アルミニウム (Al) またはAl合金から銅 (Cu) に替える試みがある。微結晶シリコンや多結晶シリコンまたは酸化物半導体は、アモルファスシリコンと比較して高いキャリア移動度を有するため、駆動電圧を大幅に低減することができ、画素の高精細化、消費電力の削減が可能であり、更には表示装置の周辺部にドライバ回路を形成することが可能となる。

10

## 【0004】

Cu配線はAl配線よりも電気抵抗が低いため、配線を伝わる電気信号が遅れる伝播遅延現象を抑制することができ、表示装置の更なる大型化やフレーム周波数の増加による動画質の向上が可能になる。また、Al配線は、ヒロックの発生抑制と透明導電膜との電気的接続を確保するために、Al膜の上下を高価なモリブデン (Mo) で挟んだMo/Al/Moの積層膜構造とするのが一般的であるが、Cuは透明導電膜との直接接続が可能であるために、省モリブデン化を図ることが可能である。従って、製造コストを低減することができる。

20

## 【0005】

また、有機EL表示装置の大型化と画質向上のためには、高移動度の半導体層を適用することに加え、Al配線よりも低抵抗な配線材料が求められる。有機EL表示装置の画素回路に設けられる駆動トランジスタは、飽和領域を用いて有機EL層に流れる電流を制御し、その輝度を調整するが、表示装置の大型化に伴い配線抵抗による電圧降下の影響が無視できなくなると、想定された電圧が駆動トランジスタに供給されず飽和領域での駆動が不可能になり、その結果、輝度むらの原因となる。そこで、表示品位向上のためCu配線の適用が検討されている。

30

## 【0006】

しかしながら、Cu配線をTFTに適用する際には、以下の問題が存在する。Cuはガラス基板や半導体層との密着性が悪い。更に、Cuが半導体層と接する場合、配線形成後の製造工程で加わる熱により、半導体層内部にCuが拡散しTFT特性を劣化させ、表示品位を下げる。このような密着性および拡散バリア性問題の対処として、下地膜とCu膜との間にMoやMo合金を形成する方法がある。しかしながら、前述のようにMoは高価であり、また、電気化学的性質の異なる金属の積層構造はエッチングを困難にするため、製造コストが増大する。

40

## 【0007】

そこで、熱工程を利用して、自己の添加元素を界面に析出させ、密着性および拡散バリア性に優れた添加元素酸化物膜を形成させるCu合金を採用する方法が提案されている。ここで熱工程は、CVD (Chemical Vapor Deposition) 工程や液晶表示装置での配向膜焼成工程、酸化物半導体膜のキュアの為のアニール処理など、配線形成後に薄膜トランジスタ基板が経験する温度を想定している。添加元素酸化物膜の自己形成には、Cu合金とそれに接する膜の界面に必要な酸素原子が予め存在する必要がある。

## 【0008】

下記特許文献1ではCuMn合金を推奨し、TFTのソース・ドレイン (SD: Source Drain) 電極にCu合金を適用する方法として、例えば、Cu合金の成膜前に酸素プラズ

50

マ処理を行い、シリコン膜上層を改質させ一時的に酸化シリコン層  $\text{SiO}_x$  を形成し、添加元素酸化物膜の形成に必要な酸素を付与する方法を提案している。

【0009】

また、下記特許文献2では、Cu合金を酸化物半導体へ適用する方法を開示している。酸化物半導体膜は、添加元素酸化物膜の自己形成に必要な酸素を予め含有している。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開2008-282887号公報

【特許文献2】特開2011-91364号公報

10

【発明の概要】

【発明が解決しようとする課題】

【0011】

しかしながら、特許文献1のように、配線にCu合金を用いる場合、シリコン膜からなる半導体層へ酸素プラズマによる酸化処理を行うと、酸素プラズマ処理に起因するダメージがシリコン膜からなる半導体層に導入され、TFTの移動度の低下が生じる等の問題がある。

【0012】

また、特許文献2のように、配線にCu合金を用いる場合、酸化物半導体膜からなる半導体層にCu合金を接触させ加熱すると、サブスレシヨルド係数の増加や閾値電圧の負方向へのシフトが発生し、TFTがノーマリーオン動作となるなどの問題がある。

20

本発明は、配線にCu合金を用いるTFTの電気特性値の低下を抑制することを目的とする。

【課題を解決するための手段】

【0013】

本発明の一観点によれば、基板上に、基板側から順番に、ゲート絶縁膜と、Si系半導体層と、Cu合金層を有するソース/ドレイン電極と、前記ソース電極及びドレイン電極と前記Si系半導体層との界面に形成される酸化物膜と、を備えた薄膜トランジスタであって、前記Cu合金層は、Cuと少なくとも1種類の添加元素とを含み、前記酸化物膜中の酸素の原子濃度の深さ分布が、ピーク値は40原子%以上66原子%以下であって、且つ、前記酸素の原子濃度のピーク値からの若しくは前記ソース電極及びドレイン電極と前記Si系半導体層の界面からの酸素の分布が10原子%となる距離を前記酸化物膜の膜厚と定義した際、前記酸化物膜の膜厚は1.8nm以下であることを特徴とする薄膜トランジスタが提供される。

30

【0014】

ここで、前記Si系半導体層と、前記Cu合金層を有するソース/ドレイン電極殿界面に形成される前記酸化物膜は、密着性及び拡散バリア性に優れ、かつ、低電気抵抗な酸化物膜酸化シリコン膜により形成されている自己形成膜である。この際、ゲート絶縁膜直上の極薄酸化膜でも同様に密着性及び拡散バリア性に優れる酸化物膜を自己形成するため、ソース電極及びドレイン電極の膜剥がれは起きにくい。また、Si半導体層へCu原子の拡散が抑制されていること、ソース電極及びドレイン電極とSi半導体層との界面付近に寄生抵抗としてはたらく酸化シリコン膜がないことが示唆される(移動度の低下、即ちオン電流の低下が観察されない)。

40

【0015】

また、ピーク値からもしくはCu合金層とSi半導体層の界面から酸素の分布が15原子%となる距離を酸化シリコン膜厚と定義した場合、その膜厚は1.6nm以下であり、ピーク値からもしくはCu合金層とSi半導体層の界面から酸素の分布が20原子%となる距離を酸化シリコン膜厚と定義した場合、その膜厚は1.4nm以下であり、ピーク値からもしくはCu合金層とSi半導体層の界面から酸素の分布が25原子%となる距離を酸化シリコン膜厚と定義した場合、その膜厚は1.2nm以下、であるようにすると良い

50

。

## 【0016】

また、前記ソース電極及びドレイン電極と前記Si系半導体層の界面で、前記ソース電極及びドレイン電極の構成材料が前記Si系半導体層へ拡散している箇所の線密度が、距離480nm当たり平均7個以下であることが好ましい。

## 【0017】

換言すれば、前記ソース電極及びドレイン電極の構成材料が前記Si半導体層へ拡散している箇所の面密度 $7 \times 7$ 個/ $480 \times 480 \text{ nm}^2$ 以下(212.6個/ $\mu\text{m}^2$ 以下)であれば、密着性が確保できることがわかる。

## 【0018】

本発明の他の観点によれば、基板上に、基板側から順番に、ゲート絶縁膜と、Si系半導体層と、Cuと少なくとも1種類の添加元素とを含むCu合金層を有するソース/ドレイン電極と、前記ソース電極及びドレイン電極と前記Si系半導体層との界面に形成される酸化膜と、を備えた薄膜トランジスタであって、前記基板上に、ゲート電極構造を形成し、その上にゲート絶縁膜を堆積した後に、前記ゲート絶縁膜上に前記Si系半導体膜を堆積するステップと、プラズマ酸化法により前記Si系半導体層の表面に極薄酸化膜を形成するステップと、前記Cu合金層を有するソース/ドレイン電極を形成するステップと、を有し、前記酸化膜は、プラズマ酸化法により形成され、前記プラズマ酸化法におけるRFパワー密度は $0.22 \sim 0.67 \text{ W/cm}^2$ 以下で、且つ、処理時間は60秒以上240秒以下であることを特徴とする薄膜トランジスタの製造方法が提供される。

10

20

## 【0019】

また、基板上に、基板側から順番に、ゲート絶縁膜と、Si系半導体層と、Cuと少なくとも1種類の添加元素とを含むCu合金層を有するソース/ドレイン電極と、前記ソース電極及びドレイン電極と前記Si系半導体層との界面に形成される酸化膜と、を備えた薄膜トランジスタであって、前記基板上に、ゲート電極構造を形成し、その上にゲート絶縁膜を堆積した後に、前記ゲート絶縁膜上に前記Si系半導体膜を堆積するステップと、プラズマ酸化法により前記Si系半導体層の表面に極薄酸化膜を形成するステップと、前記Cu合金層を有するソース/ドレイン電極を形成するステップと、を有し、前記酸化膜は、プラズマ酸化法により形成され、前記プラズマ酸化法におけるRFパワー密度と前記処理時間の積の値が、 $26.4 \sim 52.8 \text{ W} \cdot \text{sec/cm}^2$ であることを特徴とする薄膜トランジスタの製造方法が提供される。

30

## 【0020】

また、本発明は、基板上に、基板側から順番に、酸化膜を有するゲート絶縁膜と、酸化半導体層と、Cuと少なくとも1種類の添加元素とを含むCu合金層を有するソース/ドレイン電極と、前記ソース電極及びドレイン電極と前記酸化半導体層との界面に形成される酸化膜と、全体を保護する保護膜と、を備えた薄膜トランジスタであって、前記酸化膜において、前記ソース電極及びドレイン電極中の添加元素および酸素の原子濃度はピークを有し、酸素のピーク値が添加元素のピーク値より大きいことを特徴とする薄膜トランジスタである。

40

## 【0021】

前記保護膜の形成温度において、前記ソース電極及びドレイン電極下層にある前記Cu中のCu原子と添加元素が界面に析出され、前記酸化半導体層上に事前に形成した絶縁膜と化合し、前記酸化半導体層からの酸素の拡散を抑制する。すなわち、Cu合金の成膜前に酸化半導体膜に酸化処理を施し、その表面を一時的に絶縁体に改質することにより、Cu合金を成膜し熱を伴う処理で添加元素が拡散し添加元素酸化膜を形成しても、Cu合金と酸化半導体膜の界面には必要十分な酸素が存在するため、酸化半導体膜の深部からの酸素の拡散は生じない。また、酸素の原子濃度のピーク値が添加元素のピーク値より大きいため、TFETの電流立ち上がり特性が良好であり、酸化半導体TFETへの前記Cu合金の配線適用が可能になる。

## 【0022】

50

また、酸素が化合し低電気抵抗な酸化物膜が自己形成されるため、前記ソース電極及びドレイン電極と、前記酸化物半導体層との密着性及び拡散バリア性に良くなる。従って、上記薄膜トランジスタによれば、酸化物半導体層からの酸素の拡散を抑制し、酸化物半導体 T F T への C u 合金の配線適用が可能になる。

【 0 0 2 3 】

加えて、ゲート絶縁膜直上の極薄の前記酸化膜でも密着性及び拡散バリア性に優れる酸化物膜を自己形成するため、ソース電極及びドレイン電極の膜剥がれは生じにくい。

【 0 0 2 4 】

また、上記において、前記ソース電極及びドレイン電極中の添加元素の酸化物生成反応の平衡酸素ポテンシャルが、前記酸化物半導体層を構成する少なくとも 1 つの元素の平衡酸素ポテンシャルより小さいことを特徴とする。

10

前記保護膜の一部は窒化シリコン膜より成っていても良い。

【 0 0 2 5 】

保護膜の少なくとも一部を窒化シリコン膜より形成することで、酸化物半導体層へ水素の拡散が生じ電気特性の低下を起こすことがあるが、酸化物半導体層の上層の絶縁膜がこれを還元して抑制し、酸化物半導体膜への水素の拡散を防止する。

【 0 0 2 6 】

本発明の別の観点によれば、基板上に、基板側から順番に、酸化物膜を有するゲート絶縁膜と、酸化物半導体層と、C u と少なくとも 1 種類の添加元素とを含む C u 合金層を有するソース/ドレイン電極と、前記ソース電極及びドレイン電極と前記酸化物半導体層との界面に形成される酸化物膜と、全体を保護する保護膜と、を備えた薄膜トランジスタの製造方法であって、前記保護膜を形成するステップにおいて、前記酸化物膜において、前記ソース電極及びドレイン電極中の添加元素および酸素の原子濃度はピークを有し、酸素のピーク値が添加元素のピーク値より大きくなる条件とすることを特徴とする薄膜トランジスタの製造方法が提供される。

20

【 0 0 2 7 】

前記保護膜の形成温度において、前記ソース電極及びドレイン電極下層にある前記 C u 中の C u 原子と添加元素が界面に析出され、前記酸化物半導体層上に事前に形成した絶縁膜と化合し、前記酸化物半導体層からの酸素の拡散を抑制する。すなわち、C u 合金の成膜前に酸化物半導体膜に酸化処理を施し、その表面を一時的に絶縁体に改質することにより、C u 合金を成膜し熱を伴う処理で添加元素が拡散し添加元素酸化物膜を形成しても、C u 合金と酸化物半導体膜の界面には必要十分な酸素が存在するため、酸化物半導体膜の深部からの酸素の拡散は生じない。

30

また、本発明は、上記のうちいずれか 1 に記載の薄膜トランジスタを用いた表示装置であっても良い。

【 発明の効果 】

【 0 0 2 8 】

本発明の T F T によれば、T F T の電気特性値の低下を生じさせずに C u 合金の配線適用を実現することが可能になる。

【 図面の簡単な説明 】

40

【 0 0 2 9 】

【 図 1 】 移動度に関する要因効果図である。

【 図 2 】 規格化移動度と R F パワー密度・処理時間の積の対応を示す図である。

【 図 3 】 T E M - E E L S 分析より明らかにした元素組成分布の図である。

【 図 4 】 表 1 の N o . 4 および N o . 1 3 の S i 半導体側の酸素の深さ分布を示す図である。

【 図 5 】 表 1 の N o . 4 および N o . 1 3 の酸素の E E L S スペクトル分析の結果を示す図である。

【 図 6 A 】 T E M による界面観察の様子を示した図である。

【 図 6 B 】 T E M による界面観察の様子を示した図である。

50

【図6C】TEMによる界面観察の様子を示した図である。

【図6D】TEMによる界面観察の様子を示した図である。

【図7】酸化物半導体TFTの酸素と添加元素の原子濃度の分布を示す図である。

【図8】実施例1の薄膜トランジスタの製造工程を示す断面図である。

【図9】表1のNo. 4、No. 13、および従来技術のTFTの伝達特性を示す図である。

【図10】実施例20の薄膜トランジスタの製造工程を示す断面図である。

【図11】実施例20と従来技術のTFTの伝達特性を示す図である。

【図12】実施例35の液晶表示装置の薄膜トランジスタ基板の画素構成例を示す図である。

10

【図13】実施例35の液晶表示装置の構成例を示す断面図である。

【発明を実施するための形態】

【0030】

以下、本発明の実施の形態によるTFTの製造方法と構造およびそれを表示装置に適用する場合の技術について、図面を参照しながら詳細に説明する。

【0031】

まず、詳細な実施例の説明に先立ち、配線にCu合金を用いたTFTにおいて、電気特性値の低下が生じる理由とその改善方法について、半導体層が主としてシリコン膜の場合と、酸化物半導体膜の場合とに分けて説明する。構造の例は、実施例1において説明する。

20

【0032】

<半導体層がシリコン膜の場合>

半導体層がシリコン膜であり、SD電極配線にCu合金を適用する場合、シリコン膜は添加元素酸化物膜の自己形成に必要な酸素を十分に含んでいない為、Cu合金の成膜前に予め酸化処理を行い、シリコン膜上層(表層)を改質させ一時的に酸化シリコン膜( $SiO_x$ )を形成する。特許文献1に記載の方法と同様の手法によりTFTを作製し電気特性を評価したが、その移動度は従来配線のMoを適用したTFTより大幅に低下していた。この移動度の低下はオン電流の低下を招き、駆動電圧の上昇を引き起こすという問題がある。

【0033】

そこで、この移動度低下の要因を決定するため、「酸化処理の強度」、「添加元素量」、「Cu合金の膜厚」、の3つの制御因子からL9直交表を作製し、移動度低下の主要因を調査した。酸化処理の強度は、酸素プラズマ処理のRFパワー密度で調整し、Cu中の添加元素としてマンガン(Mn)を用いた。各水準は、RFパワー密度は0.22、0.44、0.89 W/cm<sup>2</sup>であり、Cu合金中のMn濃度は、2、4、10原子%とし、そして、Cu合金の膜厚は17、33、50 nmとした。

30

【0034】

評価した素子のサイズは、チャンネル長(L)が10 μmおよびチャンネル幅(W)が100 μmであり、移動度はソース・ドレイン電圧( $V_{ds}$ )が10 Vの飽和領域より算出した。この素子サイズを選んだ理由は、実際に表示装置に適用されるサイズに近く、また、チャンネル長Lが1~100 μmで寄生抵抗の影響が明確に観測できるためである。

40

【0035】

加えて、移動度は従来配線のMoを適用したTFTの移動度の値で規格化し、同値の場合を1.0とした。

【0036】

図1は、移動度の要因効果図である。その結果、異なるパラメータ(A1~A3、B1~B3、C1~C3)によって、規格化移動度が大きく変動する要因、すなわち、酸化処理の強度が移動度低下の主要因であり、即ち、シリコン膜中の酸素の深さ分布が重要であることが判明した。

【0037】

50



そこで、酸素の深さ分布とTFTの移動度の対応を調査し、移動度低下を生じない最適な酸素の深さ分布を求めた。酸素プラズマ処理のRFパワー密度および処理時間を調整し、酸素の深さ分布を調整した。TFTの詳細な製造方法は、以下の実施例1の欄で説明する。上述と同じ理由で、評価素子のサイズは、チャンネル長(L)が10 $\mu$ mおよびチャンネル幅(W)が100 $\mu$ mである。また、Cu合金配線を適用したTFTの移動度は、従来配線のMoを適用したTFTの移動度値で規格化し、同値の場合を1.0とした。加えて、酸化処理の強度を表す指標として、RFパワー密度と処理時間の積を定め、その値と規格化移動度の対応を求めた。さらに、従来配線のMoを適用したTFTの移動度より大きい場合を、およそ同等の場合を、明確な低下(劣化)が見られる場合をxと判定した。表1にそれらの結果を示す。

【0038】

【表1】

No.	RF/パワー密度 (W/cm <sup>2</sup> )	処理時間 (sec)	RF/パワー密度×処理時間 (W·sec/cm <sup>2</sup> )	規格化移動度	判定
1	0.22	60	13.2	1.10	○
2	0.22	120	26.4	1.10	○
3	0.22	240	52.8	1.11	○
4	0.44	60	26.4	1.08	○
5	0.44	120	52.8	0.96	△
6	0.44	240	105.6	0.68	x
7	0.67	60	40.2	1.12	○
8	0.67	120	80.4	0.79	x
9	0.67	240	160.8	0.52	x
10	0.89	60	53.4	0.77	x
11	0.89	120	106.8	0.53	x
12	0.89	240	213.6	0.41	x
13	1.11	60	66.6	0.62	x
14	1.11	120	133.2	0.39	x
15	1.11	240	266.4	0.46	x

【0039】

表1を見ると、移動度は、主としてRFパワー密度に大きく依存し、RFパワー密度が大きくなるほど低下することがわかった。これは、RFパワー密度の増加に伴い、酸化種の打ち込みが強くなり、酸素原子がシリコン半導体膜の奥深くまで導入され、その結果、添加元素酸化物膜に化合せず半導体層側で残存した酸化シリコン膜が寄生抵抗になるためと推測される。また、No.5のRFパワー密度が0.44W/cm<sup>2</sup>で処理時間が120秒の時に、はじめて従来配線のTFTより移動度が低下することが分かる。

【0040】

したがって、例えば、短処理時間で膜質のばらつきが比較的小さく移動度低下を生じない最適な酸素の深さ分布は、No.4のRFパワー密度が0.44W/cm<sup>2</sup>、処理時間が60秒で実現される。No.7のRFパワー密度が0.67W/cm<sup>2</sup>、処理時間が60秒でも、従来配線より優れた移動度を得たが、No.8の処理時間が120秒の移動度で明確な低下が見られるため、工程裕度を考慮するとNo.4の方が望ましい。

【0041】

図2は、表1の規格化移動度とRFパワー密度・処理時間の積の対応を示した図である。図2に示すように、規格化移動度は、RFパワー密度と処理時間との積の値に依存することがわかった。そして、RFパワー密度と処理時間との積の値が52.8W·sec/cm<sup>2</sup>以下において、従来配線と同等以上の移動度を得ることができることが分かった。バラツキを考慮すると、60W·sec/cm<sup>2</sup>以下であることが好ましく、50W·sec/cm<sup>2</sup>であれば、より好ましいことがわかる。

【0042】

そこで、次に、酸素の深さ分布とその化学的結合状態を、透過型電子顕微鏡電子エネルギー損失分光法(TEM-EELS: Transmission Electron Microscopy and Electron Energy Loss Spectroscopy)により比較調査した。比較に用いたサンプルは、表1のNo.1、

10

20

30

40

50

No. 4、No. 13であり、参考のためにCu原子がシリコン半導体膜の奥深くまで拡散していたサンプルも併せて示した。まず、図3にTEM-EELS分析より明らかにした元素組成分布を示す((a)のCu拡散あり)。

【0043】

ここで、Cu合金層とSi半導体層のオーミックコンタクトを取るために導入されるリン(P)は、EELS分析では検出できないため、エネルギー分散型X線分析法(EDX: Energy Dispersive X-ray spectroscopy)を用い、EELS分析の結果に併せ込んで示している。

【0044】

図3(a)に示すように、Cu原子がシリコン半導体膜の奥深くまで拡散していたサンプルでは、酸素原子のピーク値が30原子%程度と低く、図3(b)、(c)、(d)で示したCu原子の拡散を抑制している箇所における表1のNo. 1、No. 4、No. 13のサンプルのピーク値は40原子%以上であった。図3(d)の表1のNo. 13では、電気的特性が明らかに劣化している。図3(b)、図3(c)の表1のNo. 1、表1のNo. 4では、電気的特性は良好であり、また、Si半導体膜の界面で酸素原子が40原子%、58%であり、これらの酸素濃度では、良好な値が得られている。

【0045】

したがって、Si半導体層へのCu原子の拡散を抑制には、Cu合金層とSi半導体膜の界面で酸素原子が40原子%以上66原子%以下であることが必要である。尚、66原子%は、それ以上酸素が付与できない二酸化シリコン膜( $\text{SiO}_2$ )の形態に由来する値である。

【0046】

次に、移動度の観点から、Si半導体層側での酸素の深さ分布およびその化学的結合状態を比較した。図4に、優れた移動度を有する表1のNo. 4と移動度の低下が観測されたNo. 13のSi半導体側の酸素の深さ分布を示す図である。

【0047】

図4に示すように、酸素のピーク値は、Cu合金とSi半導体層のおよそ界面に存在するため、図の横軸はピーク位置からSi半導体層側への距離とした。規格化移動度が0.62ほどと低くなってしまっていたNo. 13のサンプルの酸素の深さ分布は、図4に示すように、従来配線より移動度が高いNo. 4のそれより明らかに深い位置(1~3nm程度)まで、高い値を示している。したがって、上述の推測の通り、Si半導体膜の界面で酸素原子は40原子%以上66原子%以下の範囲に入っているNo. 13における移動度低下の要因は、Si半導体層側で残存した酸化シリコン膜が寄生抵抗になるためであることがわかった。ここで図4の、Si半導体層の深部(3.0nm以上)で検出される数原子%の酸素はバックグラウンドの引き方によって生じたアーティファクトである。これを踏まえ、移動度低下を生じない酸素の深さ分布度合いを規定すると、ピーク値からもしくはCu合金層とSi半導体層の界面から酸素の分布が10原子%となる距離を酸化シリコン膜厚と定義した場合、その膜厚は1.8nm以下とすると良いことがわかる。また、ピーク値からもしくはCu合金層とSi半導体層の界面から酸素の分布が15原子%となる距離を酸化シリコン膜厚と定義した場合、その膜厚は1.6nm以下、ピーク値からもしくはCu合金層とSi半導体層の界面から酸素の分布が20原子%となる距離を酸化シリコン膜厚と定義した場合、その膜厚は1.4nm以下、ピーク値からもしくはCu合金層とSi半導体層の界面から酸素の分布が25原子%となる距離を酸化シリコン膜厚と定義した場合、その膜厚は1.2nm以下、とすると良いことがわかる。

【0048】

加えて、酸素の化学結合状態からも、表1のNo. 4(図5(a))とNo. 13(図5(b))との比較を行った。図5は、シリコンのEELSスペクトル分析の結果を示す図である。横軸は、エネルギーロス、縦軸は吸収強度である。ビームのスポットサイズは0.7nmである。No. 4のサンプルでは、酸化シリコン膜( $\text{SiO}_x$ )を示唆するエネルギーロス110eV付近のピークが、酸素の深さ分布のピーク値の辺り、即ちCu

10

20

30

40

50

合金層とSi半導体層の界面(C)でのみ弱く見られるが、No. 13のサンプルでは、Cu合金層とSi半導体層の界面から1nm離れた場所でもはっきり観察された(C、及びD)。このことから、移動度低下の要因はSi半導体層側で残存した酸化シリコン膜であることが分かる。

【0049】

図6Aから図6Dまでは、表1の素子の界面子をTEMで観察した結果を示す図である。観察した素子は、図6Aから図6Dに向けて、表1のNo. 1、No. 3、No. 4、No. 13の4つの素子である。

【0050】

素子No. 1では、移動度の値に問題(値の低下)は無かったが、素子を作製してから数カ月後にCu配線の膜の剥がれが発生した。図6A(a)は、200,000倍、図6A(b)は、500,000倍の倍率である。以下、図6Bから図6Dまででも同様である。

【0051】

図6Aに示すように、No. 1の素子では拡散個数(拡散箇所数)の線密度が12個/480nmと、他の素子に比べて多い。このように、拡散部が多い場合、拡散部から生じる応力が増大し膜剥がれが発生するため、製品として用いることが困難となる。したがって、数か月以上の長期に及ぶ密着性の確保を行うためには、拡散箇所の個数を可能な限り小さくする必要がある。表1のNo. 1以外の14素子では、膜剥がれは一切起きていなかった。従って、密着性の確保には、RFパワー密度と処理時間との積の値を、26.4 W・sec/cm<sup>2</sup>以上とする必要があることがわかった。また、図6B、図6Cの結果から、密着性の確保には、拡散個数の線密度が7個/480nm以下となれば良いことがわかる。尚、Cu合金層と半導体層とは、膜質の2次元的な異方性が無いため、拡散個数の面密度で言うと、7×7個/480×480nm<sup>2</sup>以下であれば、密着性が確保できることがわかる。図6DのNo. 13の素子では、拡散箇所が0であるが、上述のように移動度の明らかな低下が見られるため、製品に用いることはできない。

【0052】

以上の結果より、本実施の形態によれば、半導体層は主にシリコン膜であり、酸化物膜中の酸素の原子濃度の深さ分布が、ピーク値は40原子%以上66原子%以下で、かつ、酸素の原子濃度のピーク値からの若しくは前記ソース電極及びドレイン電極と前記半導体層の界面からの酸素の分布が10原子%となる距離を酸化シリコン膜厚と定義した際、前記酸化シリコン膜厚は1.8nm以下、ピーク値からもしくはCu合金層とSi半導体層の界面から酸素の分布が15原子%となる距離を酸化シリコン膜厚と定義した場合、その膜厚は1.6nm以下、ピーク値からもしくはCu合金層とSi半導体層の界面から酸素の分布が20原子%となる距離を酸化シリコン膜厚と定義した場合、その膜厚は1.4nm以下、ピーク値からもしくはCu合金層とSi半導体層の界面から酸素の分布が25原子%となる距離を酸化シリコン膜厚と定義した場合、その膜厚は1.2nm以下、とすると良いことがわかる。

【0053】

また、酸化物膜を形成する為の酸化処理はプラズマ酸化法である場合に、プラズマ酸化法のRFパワー密度は、0.22以上0.67W/cm<sup>2</sup>以下で、かつ、処理時間は60秒以上240秒以下であるか、または、RFパワー密度と前記処理時間の積の値が26.4 W・sec/cm<sup>2</sup>以上52.8 W・sec/cm<sup>2</sup>以下であることが好ましく、さらに、ソース電極及びドレイン電極と前記半導体層の界面で、ソース電極及びドレイン電極の構成材料が前記半導体層へ拡散している箇所の線密度が、距離480nm当たり平均7個以下であることが好ましい。

上記条件を満たすことにより、電気特性と信頼性に優れたCu合金配線適用の薄膜トランジスタ基板を作製できることがわかる。

【0054】

<半導体層が酸化物半導体膜の場合>

10

20

30

40

50

次に、半導体層が酸化物半導体膜の場合について説明する。半導体層が酸化物半導体膜でS D電極配線にCu合金を適用する場合、元素添加酸化物膜はCu合金中の添加元素が酸化物半導体中の酸素を奪うことで形成される。そのため、Cu合金中の添加元素の酸化物生成反応の平衡酸素ポテンシャルは、酸化物半導体層を構成する少なくとも1つの元素のそれより小さい値をとる。この時、酸素を奪われた界面近傍の酸化物半導体膜中では自由電子数が増加し、金属的性質を有する $n^+$ 酸化物半導体膜へ改質する。それにより添加元素酸化物膜と酸化物半導体との間に本来存在するキャリアの注入障壁が低下し、移動度が高くなるという利点がある。

【0055】

しかしながら、Cu合金中の添加元素が酸化物半導体中から酸素を奪うと、それを補うように半導体層からCu合金膜へ向かって酸素の外部拡散が生じ、酸化物半導体膜中に酸素欠陥が増え自由電子数が増加する。これにより閾値電圧の負シフトやサブスレシールド係数の上昇が生じ、電流の立ち上がり特性が悪くなる。

10

【0056】

また、元来、Si半導体などに比べ自由電子数が多い酸化物半導体は、ゲート電圧が0Vでも大きな電流値を有するノーマリーオン（ディプリーション）動作する傾向にあり、添加元素酸化物膜と酸化物半導体とのキャリアの注入障壁が低下すると、この本来の特性が如実に現れる。ノーマリーオン動作するTFTは、回路設計が難しく、例えば、パネル周辺部に設けるドライバ回路や画素のスイッチトランジスタへの適用が困難となる。したがって、 $n^+$ 酸化物半導体膜を生じさせずに、添加元素酸化物膜と酸化物半導体とのキャリアの注入障壁を維持した方が、ノーマリーオフ（エンハンスメント）動作となり、回路設計がし易くなる。

20

【0057】

以上の観点より、半導体層が酸化物半導体膜の場合において、閾値電圧の負シフトやサブスレシールド係数の上昇およびノーマリーオン動作を生じずにCu合金を配線に用いるには、酸化物半導体膜からCu合金層への酸素の拡散を抑制することが求められる。その方法は、Cu合金の成膜前に酸化物半導体膜に酸化処理を施し、その表面を一時的に絶縁体に改質する。これにより、Cu合金を成膜し熱を伴う処理で添加元素が拡散し添加元素酸化物膜を形成しても、Cu合金と酸化物半導体膜の界面には必要十分な酸素が存在するため、酸化物半導体膜の深部からの酸素の拡散は生じない。

30

【0058】

図7は、Cu合金/酸化物膜（例えば、 $MnO_x$ ）/酸化物半導体層における、添加元素を、例えばMnとした場合の、添加元素と酸素との濃度分布を示した図であり、図7（b）は、従来の特許文献2に記載の例を示す図であり、図7（a）は、本実施の形態による例を示す図である。ここで、図7（a）に示すように、酸素の濃度のピーク値が、添加元素の濃度のピーク値よりも高いことが必要である。そうすることで、上記のように、Cu合金と酸化物半導体膜の界面には必要十分な酸素が存在するため、酸化物半導体膜の深部からの酸素の拡散は生じない。

【0059】

最終的な形態として、図7（b）のように、酸素の濃度のピーク値が、添加元素の濃度のピーク値よりも低い場合は、酸素の拡散がCu合金層にまで及んでしまうことがわかる。一方、図7（a）に示すように、酸素の原子濃度分布は酸化物半導体とCu合金との界面でピークを有し、そのピーク値はCu合金中の添加元素のピーク値より大きくすることで、酸素の拡散がCu合金層にまで及ばない添加元素も、酸化物半導体層へ拡散しにくい。従って、添加元素と酸素とが、それぞれ、酸化物膜内に止まっており、それ以上拡散しないことがわかる。このような、TFTの詳細な製造方法は、下記の実施例2で述べる。

40

【0060】

以下に、半導体層がシリコン膜の場合と、半導体層が酸化物半導体膜の場合とにおける、それぞれの実施例について説明する。

【0061】

50

[ 実施例 1 ]

< 半導体層がシリコン膜の場合 >

以下に、実施例 1 の T F T の製造方法について説明する。本実施例 1 の T F T は、半導体層がシリコン膜から成り、ボトムゲート型で、半導体層を形成した後にソース電極及びドレイン電極が形成されるトップコンタクト構造を有する。尚、正確な膜厚や大きさを反映すると T F T 構造が煩雑になるため図は模式的に示すものである。

【 0 0 6 2 】

図 8 は、本実施例による T F T の製造工程を示す図であり、図 8 ( a ) ~ ( d ) は、各工程時の T F T の断面図である。

【 0 0 6 3 】

まず、無アルカリガラスなどの絶縁性材料からなる基板 1 上に、Cu 合金 2 をスパッタリング法等により成膜する。Cu 合金 2 の膜厚は、例えば 1 0 n m ~ 1 5 0 n m の程度であり、2 0 n m ~ 5 0 n m が好適である。ここで、成膜する Cu 合金 2 は、基板 1 との密着性を良くする役割を担う。Cu 合金 2 中の添加元素としては、例えば、マンガン ( M n )、マグネシウム ( M g )、カルシウム ( C a )、ニッケル ( N i )、亜鉛 ( Z n )、シリコン ( S i )、アルミニウム ( A l )、ベリリウム ( B e )、ガリウム ( G a )、インジウム ( I n )、鉄 ( F e )、チタン ( T i )、バナジウム ( V )、コバルト ( C o )、ジルコニウム ( Z r )、ハフニウム ( H f )、セリウム ( C e )、などから 1 種類以上、添加量は 0 . 5 ~ 2 0 原子 % が好ましい。更に、スパッタリングターゲット材の製造が容易になるという理由から、Cu 合金 2 は、リン ( P ) を 0 . 0 1 ~ 1 0 原子 % 含んでも良い。後の熱を伴う製造工程で Cu 合金 2 中の添加元素が界面へ拡散し酸化物を形成するために、基板 1 は必要十分な酸素原子数を予め含有していることが望ましい。例えば、無アルカリガラス基板は、この条件を満たしている。本実施例 1 では、Cu 中に Mn が 4 原子 % 添加された Cu - Mn 合金を 5 0 n m 成膜した。成膜に使用したスパッタリングターゲット材は以下の方法で製作した。それぞれ純度が 3 N 以上の無酸素銅と 3 N 以上の Mn フレック材を 4 . 7 a t % の配合比でつぼ内に装入し 1 1 0 0 ~ 1 2 0 0 の温度で密閉され雰囲気 Ar ガスで置換された炉内で溶解を行った。充分溶湯濃度が均一になったところで、鑄型に出湯した。得られたインゴット表面の酸化皮膜 ( 黒皮 ) を除去し、8 5 0 で熱間圧延を実施し、これを切削加工で所定の寸法に仕上げることで本実施例のスパッタリングターゲット材を得た。ここでスパッタリングターゲット材の添加元素濃度を 4 . 7 a t % としたのは、検討の結果、電極膜中の添加元素濃度はスパッタリングターゲット材中の添加元素濃度よりも 1 5 % ~ 5 0 % 低下することを見出したためである。これはスパッタリング中のプラズマ状態で Cu と添加元素が一度乖離し、Cu のほうが優先的に膜として付着するためと思われる。低下の割合は元素の種類、濃度によって異なるため、それぞれ組み合わせに応じて低下率を算出し、予め低下分をスパッタリングターゲット材に多く添加しておくことで所定の添加元素濃度の電極膜を得ることができる。Cu - Mn 合金膜の成膜の次に、純 Cu 3 を同様にスパッタリング法によって連続成膜する。純 Cu 3 の膜厚は、約 1 0 0 ~ 1 0 0 0 n m の程度で、2 0 0 ~ 5 0 0 n m が好適である。本実施例 1 では、Cu - Mn 合金上に純 Cu を 3 0 0 n m だけ成膜した。これにフォトリソグラフィ工程を行った後、ウェットエッチング法を用いてパターンニングし、レジストを剥離すると、図 8 ( a ) に示すようなゲート電極 4 を形成することができる。基板 1 は無アルカリガラス以外に、フレキシブルなプラスチック基板やステンレス合金などの金属性の基板を用いても良い。基板 1 から Cu 層への不純物拡散を抑制するために、基板 1 上にバリア膜として酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、またはこれらの積層膜を形成しても良い。その際、バリア膜に十分な酸素原子が含まれていない場合には、Cu 合金の成膜前に酸化処理を行い、バリア膜表面に酸化膜を形成する方法を用いると良い。なお、ゲート電極 4 に関しては、バリアメタルに Mo や Ti を用い、導電層は Al や Al 合金から構成されていても良い。

【 0 0 6 4 】

次に、プラズマ C V D 法、スパッタリング法、塗布法等により、例えば、ゲート絶縁膜

10

20

30

40

50

5として酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、またはこれらの積層膜を成膜（堆積）する。その膜厚は10nm～1000nmの程度で、50～400nmが好適である。ゲート絶縁膜5形成時の温度は200～500の程度であり、ゲート電極4下層のCu合金2中の添加元素は界面に析出し、基板1との界面で密着性に優れた酸化物膜（図示せず）を自己形成する。次いで、プラズマCVD法、スパッタリング法、塗布法により、例えば、活性半導体層6として水素化アモルファスシリコン膜（a-Si:H）、コンタクト膜7としてリン（P）をドーブした水素化アモルファスシリコン膜（n<sup>+</sup>a-Si:H）を順次成膜（堆積）し半導体層8を形成する。活性半導体層6の膜厚は10～300nmの程度で30～200nmが好適であり、コンタクト膜7の膜厚は1～100nmの程度で5～60nmが好適である。本実施例1では、プラズマCVD法を用いて、ゲート絶縁膜5に窒化シリコン膜を350nm程度、活性半導体層6として水素化アモルファスシリコン膜を180nm程度、コンタクト膜7としてリン（P）をドーブした水素化アモルファスシリコン膜を25nm程度形成した。次に、図8（b）に示すように、フォトリソグラフィ工程を施し、ドライエッチング法を用いて半導体層8を島状にパターニングし、レジストを剥離する。

10

#### 【0065】

次に、酸化処理を行い、半導体層8へのCu原子拡散を抑制する極薄酸化膜7aを半導体層8の表面に形成する。この時、極薄酸化膜7aはゲート絶縁膜5の表面にも同時に形成される。酸化処理としては、例えば、酸素ガスや亜酸化窒素ガスを用いたプラズマ酸化法、オゾンガスや酸素ガスや亜酸化窒素ガスなど酸化性雰囲気暴露する方法、酸化性雰囲気熱処理を加える熱酸化法、オゾンガスを導入しUV光の照射により励起状態酸素原子を生成させ酸化させるUVオゾン酸化法、オゾン水酸化法などを用いることができる。本実施例1では、酸素ガスを用いたプラズマ酸化法を用い、半導体層8上に約1～2nmほどの極薄酸化膜7aを一時的に形成した。好適な処理条件は、RFパワー密度0.044～0.44W/cm<sup>2</sup>、処理時間60～600秒、基板温度としては、室温～200の範囲であり、信頼性の向上と製造コストの削減から更に好適な条件は、RFパワー密度0.22～0.44W/cm<sup>2</sup>、処理時間60～240秒、基板温度は室温～150である。

20

#### 【0066】

次に、スパッタ法により、Cu合金9、純Cu10からなる積層膜を、この順に成膜（堆積）する。Cu合金9の膜厚は10～150nmの程度で20nm～50nmが好適であり、純Cu10の膜厚は100～1000nmの程度で、約200～500nmが好適である。Cu合金9に添加される元素としては、例えば、Mn、Mg、Ca、Ni、Zn、Si、Al、Be、Ga、In、Fe、Ti、V、Co、Zr、Hf、Ce、などから1種類以上を選択することができ、添加量は0.5～20原子%が好ましい。更に、スパッタリングターゲット材の製造が容易になるという理由から、Cu合金9はリン（P）を0.01～10原子%含んでいても良い。本実施例1では、Cu中にMnが4原子%混入したCu-Mn合金を50nmほど、Cu-Mn合金上に純Cuを300nmほど成膜（堆積）した。その後、フォトリソグラフィ工程を経て、ウェットエッチング法によりパターニングし、ソース電極11、ドレイン電極12を形成する。次いで、図8（c）に示すように、ソース電極11とドレイン電極12形成に使用したフォトレジストをそのまま利用し、ドライエッチング法によりチャンネル上の極薄酸化膜7aとコンタクト膜7を除去し、レジストを剥離する。極薄酸化膜7aは約1～2nmと非常に薄いためドライエッチングの進行を妨げない。

30

40

#### 【0067】

次に、ドライエッチングでダメージを受けた活性半導体層6をキュアするため、水素プラズマ処理を行い、シリコンのダングリングボンドを水素終端する。次いで、図8（d）に示すように、プラズマCVD法、スパッタリング法、塗布法により、例えば、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、またはこれらの積層膜から成る保護膜13を成膜（堆積）する。本実施例1では、水素プラズマ処理と保護膜13の形成は真空を破

50

らずに連続して行った。保護膜13の膜厚は100~1000nmの程度で、200~500nmが好適である。このとき、保護膜13の形成温度は200以上となるため、ソース電極11及びドレイン電極12下層にあるCu合金9中のCu原子と添加元素が界面に析出される。界面に析出したCu原子と添加元素は、コンタクト膜7上に事前に形成した極薄酸化膜7aと化合し、密着性及び拡散バリア性に優れなお且つ低電気抵抗な酸化物膜14を自己形成する。この際、ゲート絶縁膜5直上の極薄酸化膜7aでも同様に密着性及び拡散バリア性に優れる酸化物膜15を自己形成するため、ソース電極11及びドレイン電極12の膜剥がれは起きない。本実施例1では、保護膜13に窒化シリコン膜を300nmほど形成した。これにフォトリソグラフィ工程を行い、外部装置と電気信号のやり取りを行うためのコンタクトホール(図示せず)を開口し、レジストを剥離する。このようにして、実施例1の表示装置向けボトムゲート型トップコンタクト構造のTF Tを作製することができる。

10

#### 【0068】

ここで、本実施例1と、Moを採用した従来技術のTF Tについて、電気特性値を比較評価した結果を述べる。評価したTF Tの素子サイズは、チャンネル幅(ゲート幅とも呼ぶ)Wは100 $\mu$ m、チャンネル長(ゲート長とも呼ぶ)Lは10 $\mu$ mで、実際に表示装置に採用される素子サイズに近く、寄生抵抗が移動度の値を大きく左右する領域である。ソース・ドレイン電圧は10Vであり、移動度や閾値電圧は飽和領域より算出した。

#### 【0069】

図9は、表1のNo.4(実線)、No.13(破線)、およびMoを採用した従来技術(太い破線)のTF Tの伝達特性を示す図である。グラフの縦軸はドレイン電流の対数である。ゲート電極4にMo/Cu/Mo、ソース電極11及びドレイン電極12にMo/Cu/Moを採用し、本実施例1の工程で酸化処理を省略し、他は同様の工程を経て作製した従来技術のTF Tの電気特性を評価すると、飽和移動度は0.71 $\text{cm}^2/\text{Vs}$ 、飽和閾値電圧は1.9V、S値は0.86V/decであった。本実施例1の表1のNo.4のTF Tの電気特性は、飽和移動度は0.76 $\text{cm}^2/\text{Vs}$ 、飽和閾値電圧は1.9V、S値は0.93V/decで、Moを採用した従来技術のTF Tとほぼ同等の性能であった。また、オフ電流の上昇も無く、従来技術のTF Tと同等であった。これは、半導体層8へCu原子の拡散が抑制されていること、ソース電極11及びドレイン電極12と半導体層8の界面付近に寄生抵抗としてはたらく酸化シリコン膜がないことを示唆する。本実施例の工程でRFパワー密度を1.11 $\text{W}/\text{cm}^2$ に設定し、他は同様の工程を経て作製した表1のNo.13の素子は、上述のように寄生抵抗としてはたらく酸化シリコン膜が存在するため、移動度の低下、即ちオン電流の低下が観察される。

20

30

#### 【0070】

このように、本実施例1のTF Tによれば、Cu合金9と半導体層8の界面で酸素原子が40原子%以上66原子%以下存在し、且つ、Cu合金9と半導体層8との界面から酸素の分布が10原子%となる距離を酸化シリコン膜厚と定義した際、その膜厚は1.8nm以下の条件を満足する場合、Cu原子の拡散および移動度の低下を生じずにCu合金の配線適用が可能になることが示された。

#### 【0071】

本実施例1では、ゲート電極4、ソース電極11、ドレイン電極12はCu合金と純Cuの積層から構成されるが、Cu合金の単層でも良い。その場合の添加元素として、低電気抵抗である理由から、例えば、Ca、Mg、Znが好ましい。また、Cu合金/純Cu/Cu合金の3層構造であっても良い。

40

#### 【0072】

ここでは、活性半導体層6として、水素化アモルファスシリコン膜を用いた例を示したが、更に高い移動度を有する微結晶シリコンや多結晶シリコン、これらの積層膜にも本実施例の技術を用いることが有効である。また、コンタクト膜7も微結晶シリコンや多結晶シリコン、或いは、これらの積層膜でも良い。これらを、総称して、Si系半導体層(膜)と称する。

50

## 【0073】

更に、本実施例1の技術は、意図的に酸素を含まない半導体に有効であるため、例えばシリコン膜にゲルマニウム(Ge)が混入されたSiGe膜などでも同様の効果が得られる。更なるTFTE電気特性の改善のために、チャンネル層でエッチングを停止させるチャンネルエッチストップ構造を採用しても構わない。トップゲート型、半導体層を形成する前にソース電極及びドレイン電極が形成されるボトムコンタクト構造であっても良い。

## 【0074】

半導体層8から外に伸びたソース電極11及びドレイン電極12とゲート絶縁膜5との密着性をより強固にしたい場合は、ゲート絶縁膜5を形成した直後に酸化処理を行いゲート絶縁膜5上に酸化膜を形成する手法が有効である。また、ソース電極11及びドレイン電極12と保護膜13との界面からCu原子が拡散し保護膜13の密着性が脆弱になる場合は、保護膜13を形成する直前に酸化処理を行っても良い。

10

## 【0075】

## [実施例1および2~19]

表2に示すように、実施例1では銅合金電極に添加する元素をMoとしたが、実施例2~19ではそれぞれ表2の成分、添加濃度のターゲット材を使用して同じく表2に示す成分、目標添加濃度の銅合金電極を実施例1と同様の方法で成膜し、薄膜トランジスタの製作を行った。ソース/ドレイン銅合金電極の実際の添加元素濃度は、製作過程で基板を取り出しEDX(エネルギー分散型X線分光法)を用いて定量した。製作した薄膜トランジスタは、大気中、25℃に60日間放置し、Si半導体層とソース/ドレイン銅合金電極との剥離の有無を走査型電子顕微鏡で調査した。また、薄膜トランジスタの製作過程のソース/ドレイン銅合金電極をエッチングで形成する際のエッチング残渣の有無をSEMで調査した。エッチング液はリン酸：5wt%、リン酸二水素アンモニウム：5wt%、過酸化水素：2wt%、水：残部を用いた。これらの結果も合わせて表2に示す。

20

## 【0076】

比較例として純Cuターゲット材および添加濃度が本発明の範囲とは異なる銅合金ターゲット材を使用して銅合金電極を成膜し、製作した薄膜トランジスタのSi半導体層とソース/ドレイン銅合金電極の剥離の有無、エッチング残渣の有無を同様に調査した結果を比較例1~3に示す。

## 【0077】

実施例1~19では、スパッタリングターゲット材の添加元素濃度がソース/ドレイン銅合金電極の目標濃度より15%~50%増やしてあるので、実際の電極濃度も目標通りとなっている。また、密着性を向上させる元素が0.5~20at%添加されているので、銅合金電極の剥離も見られなかった。更に0.5~20at%の範囲ではエッチング残渣の発生は見られなかった。

30

## 【0078】

一方、比較例1では添加元素がないため、銅合金電極の剥離が発生した。比較例2ではスパッタリングターゲット材の添加元素濃度が、銅合金電極の目標添加元素濃度と同一のため、実際の銅合金電極の添加元素濃度が0.5at%以下となり、銅合金電極の剥離が見られた。比較例3では電極中の添加元素濃度が20%を超えたため、エッチングの際に残渣を生じてしまった。

40

## 【0079】



【表 2】

	添加元素	ターゲット材の添加元素濃度(at%)	銅合金電極の目標添加元素濃度(at%)	銅合金電極の実測添加元素濃度(at%)	Si半導体層と銅合金電極の剥離	エッチング残渣
実施例1	Mn	4.7	4	4	無し	無し
実施例2	Mn	0.7	0.5	0.5	無し	無し
実施例3	Mn	29	20	20	無し	無し
実施例4	Mg	4	2	2	無し	無し
実施例5	Ca	4	2	2	無し	無し
実施例6	Ni	25	20	20	無し	無し
実施例7	Zn	40	20	20	無し	無し
実施例8	Si	2.9	2	2	無し	無し
実施例9	Al	3.1	2	2	無し	無し
実施例10	Be	1.3	1	1	無し	無し
実施例11	Ga	1.5	1	1	無し	無し
実施例12	In	1.5	1	1	無し	無し
実施例13	Fe	1.4	1	1	無し	無し
実施例14	Ti	1.3	1	1	無し	無し
実施例15	V	1.3	1	1	無し	無し
実施例16	Co	1.3	1	1	無し	無し
実施例17	Zr	1.3	1	1	無し	無し
実施例18	Hf	1.3	1	1	無し	無し
実施例19	Ce	1.3	1	1	無し	無し
比較例1	無し	0	0	0	有り	無し
比較例2	Mn	0.5	0.5	0.4	有り	無し
比較例3	Mn	32	25	25	無し	有り

10

## 【0080】

## [ 実施例 20 ]

20

< 半導体層が酸化物半導体膜の場合 >

以下に、本発明の実施例 20 の T F T の製造方法について説明する。本実施例 20 の T F T は、半導体層が酸化物半導体膜から成り、ボトムゲート型で、半導体層を形成した後にソース電極及びドレイン電極が形成されるトップコンタクト構造を有する。なお、正確な膜厚やサイズを反映すると T F T 構造が煩雑になるため図においては模式的に示す。また、本実施例 20 と実施例 1 とで重複する説明の一部は省略する。

## 【0081】

図 10 ( a ) ~ ( d ) は、各工程時の T F T の断面を示す図である。まず、実施例 1 と同様に、無アルカリガラスなどの絶縁性材料からなる基板 1 上に、Cu 合金 2 をスパッタリング法により成膜 ( 堆積 ) する。次に、純 Cu 3 を同様にスパッタリング法にて連続成膜 ( 堆積 ) する。これにフォトリソグラフィ工程を行った後、ウェットエッチング法を用いてパターニングし、レジストを剥離する。ここで、図 10 ( a ) に示すようなゲート電極 4 が作製される。

30

## 【0082】

次に、プラズマ C V D 法、スパッタリング法、塗布法などにより、例えば、ゲート絶縁膜 5 として酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、酸化アルミニウム膜、酸化タンタル膜またはこれらの積層膜を成膜 ( 堆積 ) する。膜厚は 10 n m ~ 1000 n m の程度で、50 ~ 400 n m が好適である。このとき、膜形成時の温度は 200 ~ 500 の程度で、ゲート電極 4 下層の Cu 合金 2 中の添加元素は界面に析出し、基板 1 との界面で密着性に優れた酸化物膜 ( 図示せず ) を自己形成する。

40

## 【0083】

次に、必要に応じて、酸化処理を行い極薄酸化膜 ( 図示せず ) をゲート絶縁膜 5 の表面に形成する。その理由は、ゲート絶縁膜 5 への Cu 原子拡散の抑制に加え、ゲート絶縁膜 5 から酸化物半導体膜へ混入する水素を低減させる為である。

## 【0084】

次いで、プラズマ C V D 法、スパッタリング法、塗布法などにより、活性半導体層 6 として酸化物半導体を成膜 ( 堆積 ) する。酸化物半導体は、例えば、酸化亜鉛、酸化インジウム、酸化ガリウム、酸化錫、酸化銅、酸化ジルコニウム、酸化チタン、酸化アルミニウム銅、酸化亜鉛錫、酸化亜鉛インジウム、酸化ガリウムインジウム、酸化亜鉛ガリウム錫、酸化インジウムマグネシウム、酸化亜鉛インジウムハフニウム、酸化亜鉛ガリウムイン

50

ジウムなどがあり、Zn、In、Ga、Sn、Al、Ti、Mg、Zr、Cu、Hfから少なくとも1種以上の元素を含む酸化物より成る。その中でもTFETの電気特性の均一性に優れるアモルファス酸化亜鉛ガリウムインジウム(a-InGaZnO)系の酸化物半導体を用いるのが好ましい。活性半導体層6の膜厚は1~200nmの程度で、オフ状態にするゲート電圧を0V付近に調整する為に10~100nmが好適である。

#### 【0085】

次に、図10(b)に示すように、フォトリソグラフィ工程を施し、ドライエッチング法またはウェットエッチング法を用いて活性半導体層6を島状にパターンニングし、レジストを剥離する。島状のパターンニングはリフトオフ法を用いても形成しても良い。その場合は、活性半導体層6の成膜前にフォトリソグラフィ工程を施すことになる。

10

#### 【0086】

次に、酸化処理を行い、活性半導体層6およびゲート絶縁膜5の上層を絶縁膜6aに一時的に改質させる。本実施例20では、酸化力の強さから亜酸化窒素ガスを用いたプラズマ酸化法を採用する。これにより、その後、Cu合金2中の添加元素が拡散し添加元素酸化物膜を形成しても、Cu合金2と活性半導体層6の界面には必要十分な酸素が存在するため、酸化物半導体膜6の深部からの酸素の拡散は生じない。

#### 【0087】

次に、実施例1と同様に、スパッタ法により、Cu合金9、純Cu10からなる積層膜を、この順に成膜する。Cu合金9の膜厚は10~150nmの程度で20nm~50nmが好適であり、純Cu10の膜厚は100~1000nmの程度で、約200~500nmが好適である。このとき、添加元素酸化物膜を形成させる為、Cu合金9中の添加元素の酸化物生成反応の平衡酸素ポテンシャルは、活性半導体層6を構成する少なくとも1つの元素のそれより小さい値をとるように選択する。例えば、Mn、Mg、Ca、Zn、Si、Al、Be、Ga、Ti、V、Zr、Hf、Ce、などから1種類以上を選択することができ、添加量は0.5~20原子%が好ましい。更に、スパッタリングターゲット材の製造が容易になるという理由から、Cu合金9はリン(P)を0.01~10原子%含んでいても良い。スパッタリングターゲット材の製造方法は実施例1と同様の方法を取ることができ、スパッタリングターゲット材の添加元素濃度は銅合金電極中の目標添加元素濃度より15%~50%増加させるのが良い。本実施例20では、Cu合金9にCu-Mn合金を採用した。Mnの酸化物生成反応の平衡酸素ポテンシャルは、活性半導体層6の構成元素In、Ga、Znのそれより小さく条件を満足する。その後、図10(c)に示すように、フォトリソグラフィ工程を経て、ウェットエッチング法またはドライエッチング法によりパターンニングし、ソース電極11、ドレイン電極12を形成する。このとき、活性半導体層6上の絶縁膜6aはエッチング工程で生じるダメージから活性半導体層6を保護し、エッチストップ層としての役割も担う。

20

30

#### 【0088】

次に、図10(d)に示すように、プラズマCVD法、スパッタリング法、塗布法などにより、例えば、酸化シリコン膜、窒化シリコン膜、酸窒化シリコン膜、またはこれらの積層膜から成る保護膜13を成膜(堆積)する。保護膜13の膜厚は100~1000nmの程度で、200~500nmが好適である。このとき、保護膜13の形成温度は200以上となるため、ソース電極11及びドレイン電極12下層にあるCu合金9中のCu原子と添加元素が界面に析出され、活性半導体層6上に事前に形成した絶縁膜6aと化合し、密着性及び拡散バリア性に優れ、なお且つ、低電気抵抗な酸化物膜14を自己形成する。なお、保護膜13の一部が窒化シリコン膜より成る場合、活性半導体層6へ水素の拡散が生じ電気特性の低下を起すことがあるが、活性半導体層6の上層の絶縁膜6aがこれを還元して抑制し、酸化物半導体膜への水素の拡散を防止する効果もある。加えて、ゲート絶縁膜5直上の絶縁膜6aでも密着性及び拡散バリア性に優れる酸化物膜15を自己形成するため、ソース電極11及びドレイン電極12の膜剥がれは生じにくい。さらに、これにフォトリソグラフィ工程を行い、外部装置と電気信号のやり取りを行うためのコンタクトホール(図示せず)を開口し、レジストを剥離する。このようにして、実施例2

40

50

0の酸化物半導体TFTを作製することができる。

【0089】

ここで、本実施例20と、酸素の原子濃度のピーク値が添加元素のそれより小さい従来技術のTFTについて、電気特性の比較評価をする。図11は、本実施例20と従来技術のTFTの伝達特性の模式図を示す図である。グラフの縦軸はドレイン電流の対数である。従来技術のTFTの伝達特性を見ると、オン電流は大きい、閾値電圧の負シフトやサブスレシヨルド係数の上昇が起きており、ノーマリーオン動作となっている。しかしながら、酸素の原子濃度のピーク値が添加元素のピーク値より大きい本実施例20のTFTは、ゲート電圧0V付近で急峻に立ち上がるノーマリーオフ動作となる。したがって、本実施例20によれば、活性半導体層6からの酸素の拡散を抑制し、酸化物半導体TFTへのCu合金の配線適用が可能になることが示された。

10

【0090】

本実施例20では、ゲート電極4、ソース電極11、ドレイン電極12はCu合金と純Cuの積層から構成されるが、Cu合金の単層でも良い。その場合の添加元素として、低電気抵抗である理由から、例えば、Ca、Mg、Znが好ましい。また、Cu合金/純Cu/Cu合金の3層構造であっても良い。また、活性半導体層6に用いる酸化物半導体はアモルファスでも多結晶でもよく、これらの積層膜にも適用可能である。更なるTFT電気特性の改善を狙い、チャンネルエッチストップ構造を採用しても構わない。トップゲート型やボトムコンタクト構造であっても良い。

【0091】

ソース電極11及びドレイン電極12と保護膜13との界面からCu原子が拡散し保護膜13の密着性が脆弱になる場合は、保護膜13を形成する直前に酸化処理を行っても良い。

20

【0092】

また、TFT電気特性を安定かつ均一にするため、酸化物半導体の形成後に熱処理を別途に加えてもよい。熱処理はソース電極11及びドレイン電極12の形成後に行うのが好ましい。ソース電極11及びドレイン電極12中の添加元素の拡散が促進され酸化物膜14、酸化物膜15が得やすくなるためである。

【0093】

[実施例20および21~34]

表3に示すように、実施例20では銅合金電極に添加する元素をMoとしたが、実施例21~34ではそれぞれ表3の成分、添加濃度のターゲット材を使用して同じく表3に示す成分、目標添加濃度の銅合金電極を実施例20と同様の方法で成膜し、薄膜トランジスタの製作を行った。ソース/ドレイン銅合金電極の実際の添加元素濃度は、製作過程で基板を取り出しEDX(エネルギー分散型X線分光法)を用いて定量した。製作した薄膜トランジスタは、大気中、25℃に60日間放置し、酸化物半導体層とソース/ドレイン銅合金電極層との剥離の有無を走査型電子顕微鏡で調査した。また、薄膜トランジスタの製作過程のソース/ドレイン銅合金電極をエッチングで形成する際のエッチング残渣の有無をSEMで調査した。エッチング液は燐酸：5wt%、リン酸二水素アンモニウム：5wt%、過酸化水素：2wt%、水：残部を用いた。これらの結果も合わせて表3に示す。

30

40

【0094】

比較例として純Cuターゲット材および添加濃度が本発明の範囲とは異なる銅合金ターゲット材および添加元素の酸化物生成反応の平衡酸素ポテンシャルが、酸化物半導体層を構成する元素のそれより大きい値が等しい値をとるNi、In、Fe、Coを添加した銅合金ターゲット材を使用して銅合金電極を成膜し、製作した薄膜トランジスタの酸化物半導体層とソース/ドレイン電極層の剥離の有無、エッチング残渣の有無を同様に調査した結果を比較例6~12に示す。

【0095】

実施例20~34では、スパッタリングターゲット材の添加元素濃度がソース/ドレイン電極の目標濃度より15%~50%増やしてあるので、実際の電極濃度も目標通りとな

50

っている。また、密着性を向上させる元素が 0.5 ~ 20 at% 添加されているので、銅合金電極の剥離も見られなかった。更に 0.5 ~ 20 at% の範囲ではエッチング残渣の発生は見られなかった。

【0096】

一方、比較例 6 では添加元素がないため、銅合金電極の剥離が発生した。比較例 7 ではスパッタリングターゲット材の添加元素濃度が、電極の目標添加元素濃度と同一のため、実際の電極の添加元素濃度が 0.5 at% 以下となり、銅合金電極の剥離が見られた。比較例 8 では電極中の添加元素濃度が 20% を超えたため、エッチングの際に残渣を生じてしまった。比較例 9 ~ 12 では添加元素の酸化物生成反応の平衡酸素ポテンシャルが、活性半導体層 6 を構成する元素のそれより大きい、あるいは等しいため、酸化物半導体層との界面に添加元素酸化物層が生成せず密着性が低下し銅合金電極の剥離が見られた。

【表 3】

	添加元素	ターゲット材の添加元素濃度(at%)	銅合金電極の目標添加元素濃度(at%)	銅合金電極の実測添加元素濃度(at%)	酸化物半導体層と銅合金電極の剥離	エッチング残渣
実施例20	Mn	4.7	4	4	無し	無し
実施例21	Mn	0.7	0.5	0.5	無し	無し
実施例22	Mn	29	20	20	無し	無し
実施例23	Mg	4	2	2	無し	無し
実施例24	Ca	4	2	2	無し	無し
実施例25	Zn	40	20	20	無し	無し
実施例26	Si	2.9	2	2	無し	無し
実施例27	Al	3.1	2	2	無し	無し
実施例28	Be	1.3	1	1	無し	無し
実施例29	Ga	1.5	1	1	無し	無し
実施例30	Ti	1.3	1	1	無し	無し
実施例31	V	13	1	1	無し	無し
実施例32	Zr	1.3	1	1	無し	無し
実施例33	Hf	1.3	1	1	無し	無し
実施例34	Ce	1.3	1	1	無し	無し
比較例6	無し	0	0	0	有り	無し
比較例7	Mn	0.5	0.5	0.4	有り	無し
比較例8	Mn	32	25	25	無し	有り
比較例9	Ni	25	20	20	有り	無し
比較例10	In	1.5	1	1	有り	無し
比較例11	Fe	1.4	1	1	有り	無し
比較例12	Co	1.3	1	1	有り	無し

【0097】

[ 実施例 35 ]

< 表示装置 >

図 12 および図 13 は、実施例 35 の内容を図示するものであり、液晶表示装置を例にして、実施例 1 及び実施例 20 の TFT を表示装置へ用いる方法を説明するものである。なお、煩雑さを避けるため TFT の詳細な構造の図示は省略する。

【0098】

図 12 は、実施例 35 のアクティブマトリクス型液晶表示装置 100 における TFT 基板 101 上の画素構成例を図示した図である。図 12 に示すように、TFT 基板 101 上に走査線 102 と、これとは垂直に交差する方向に形成される信号線 103 とを有している。走査線 102 と信号線 103 との交差するポイントには TFT 104 が設けられ、TFT 104 の配線の一部が TFT 104 に接続される画素電極 105 へ接続される。また、画素電極 105 及び走査線 102 の一部を用いてストレージキャパシタ 106 が形成されている。尚、走査線 102 を形成する工程で、実施例 1 および実施例 20 の TFT のゲート電極 4 ( 図示せず ) が、信号線 103 を形成する工程で実施例 1 および実施例 20 の TFT のソース電極 11 ( 図示せず ) 及びドレイン電極 12 ( 図示せず ) が形成される。

【0099】

図 13 は、実施例 35 のアクティブマトリクス型液晶表示装置の構成例を示す断面図である。図 13 に示すように、液晶表示装置 100 は、光源 111、偏光板 112、TFT 基板 101、TFT 104、絶縁膜 113、画素電極 105、配向膜 114、液晶層 115、スペーサ 116、共通電極 117、カラーフィルタ 118、ブラックマトリクス 11

9、カラーフィルタ基板120、偏光フィルム121を有している。

【0100】

ここで、液晶表示装置100の表示制御方法について簡単に説明する。光源111から放たれた光は偏光板112により特定の偏光成分のみが通過し、液晶層115へ向かう。液晶層115は画素電極105と共通電極117に供給される電圧に応じて、偏光フィルム121を通過する光透過率を調整することで画素の階調を制御する。

【0101】

次に、液晶層115の制御方法について、図12も参照しながら簡単に述べる。まず、走査線102からTFT104にゲート信号が印加されるとTFT104はオン状態になり、信号線103に加えられている信号電圧がTFT104を經由し画素電極105とストレージキャパシタ106に印加される。これにより、液晶層115に所望の電圧が印加され、液晶分子が動作し光透過率を制御する。このとき、ストレージキャパシタ106は、電圧信号を保持する役割をもつ。すなわち、TFT104がオフになっても次の信号が印加されるまで、液晶層115に供給されている電圧レベルを一定に調整する。

【0102】

本実施例のTFTによれば、TFTの電気特性値の低下を生じずにCu合金の配線適用を実現することが可能になる。この際、電気抵抗の低下を抑制する最適な酸素の深さ分布を提示することで、Cu合金を薄膜トランジスタの電極に適用することが可能になる。上記の実施の形態において、添付図面に図示されている構成等については、これらに限定されるものではなく、本発明の効果を発揮する範囲内で適宜変更することが可能である。その他、本発明の目的の範囲を逸脱しない限りにおいて適宜変更して実施することが可能である。

【産業上の利用可能性】

【0103】

本発明は、薄膜トランジスタに利用可能である。

【符号の説明】

【0104】

- 1：基板
- 2：Cu合金
- 3：純Cu
- 4：ゲート電極
- 5：ゲート絶縁膜
- 6：活性半導体層
- 6a：絶縁膜
- 7：コンタクト膜
- 7a：極薄酸化膜
- 8：半導体層(6・7)
- 9：Cu合金
- 10：純Cu
- 11：ソース電極
- 12：ドレイン電極
- 13：保護膜
- 14：酸化膜(SD電極11・12と半導体層8(6・7)の界面に形成)
- 15：酸化膜(SD電極11・12とゲート絶縁膜5の界面に形成)
- 100：液晶表示装置
- 101：TFT基板
- 102：走査線
- 103：信号線
- 104：TFT
- 105：画素電極

10

20

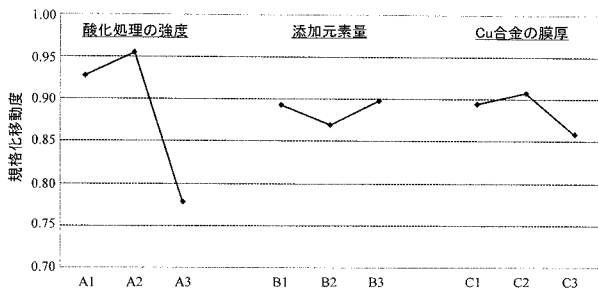
30

40

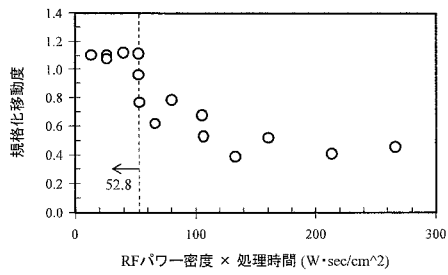
50

- 1 0 6 : ストレージキャパシタ
- 1 1 1 : 光源
- 1 1 2 : 偏光板
- 1 1 3 : 絶縁膜
- 1 1 4 : 配向膜
- 1 1 5 : 液晶層
- 1 1 6 : スペーサ
- 1 1 7 : 共通電極
- 1 1 8 : カラーフィルタ
- 1 1 9 : ブラックマトリクス
- 1 2 0 : カラーフィルタ基板
- 1 2 1 : 偏光フィルム

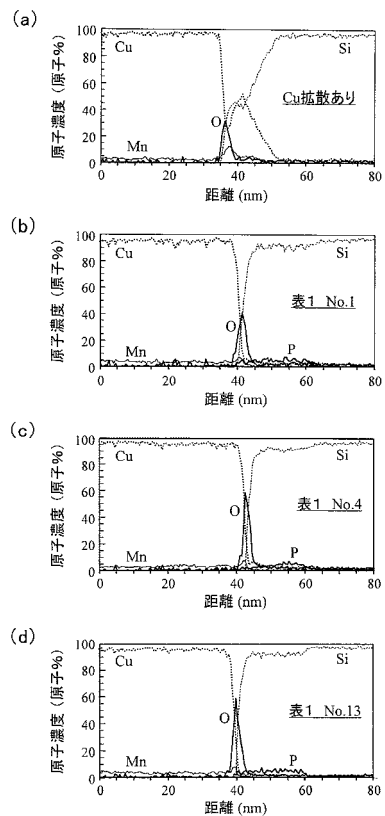
【 図 1 】



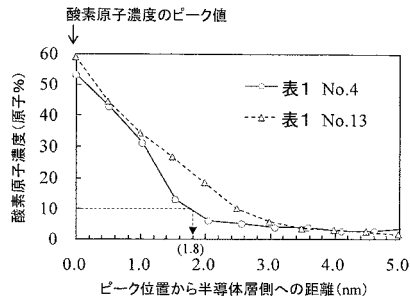
【 図 2 】



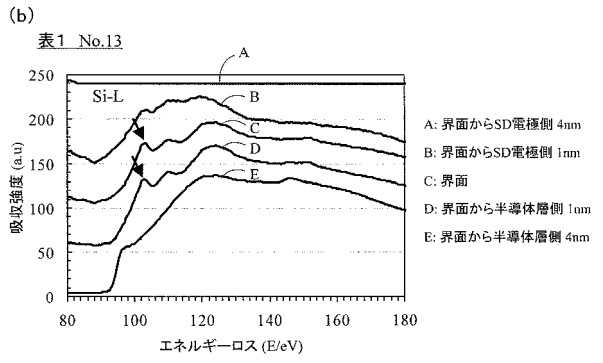
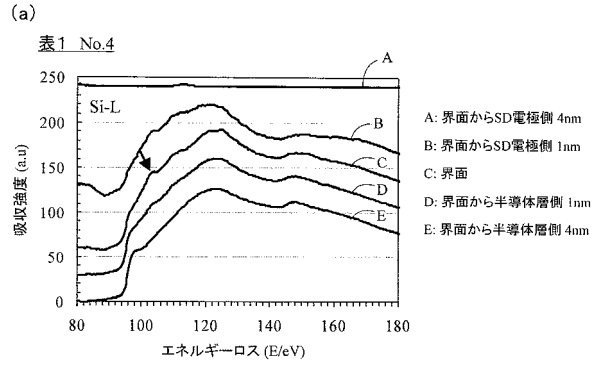
【 図 3 】



【 図 4 】

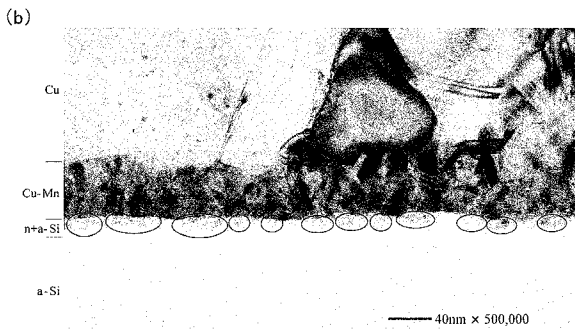
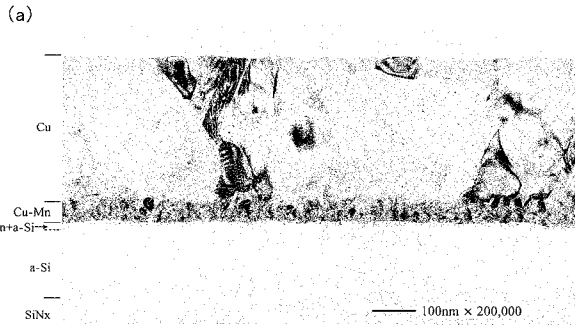


【 図 5 】



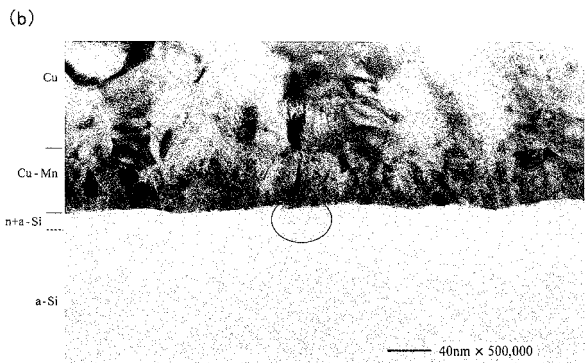
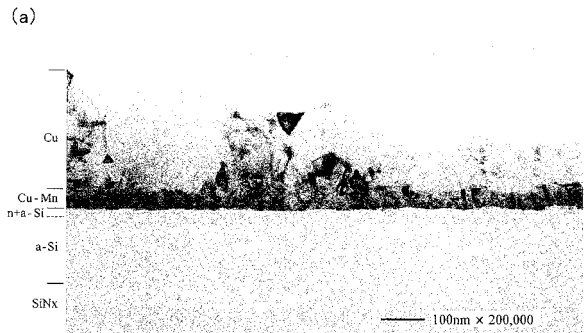
【 図 6 A 】

表1 No.1



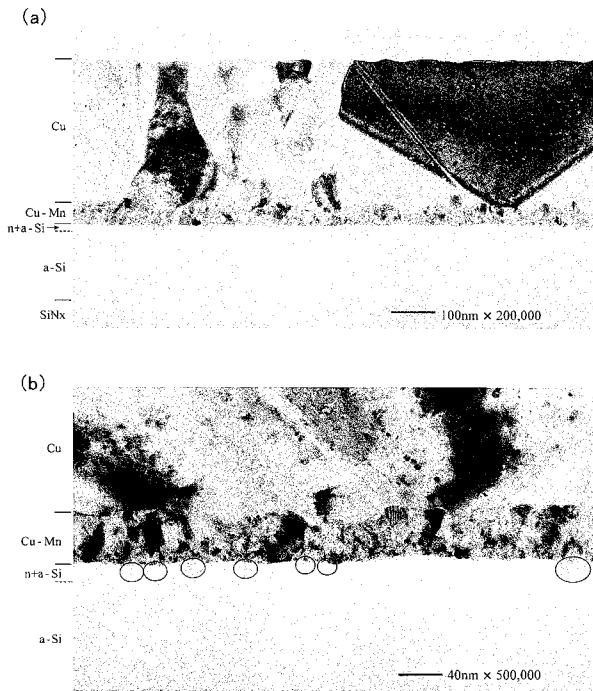
【 図 6 B 】

表1 No.3



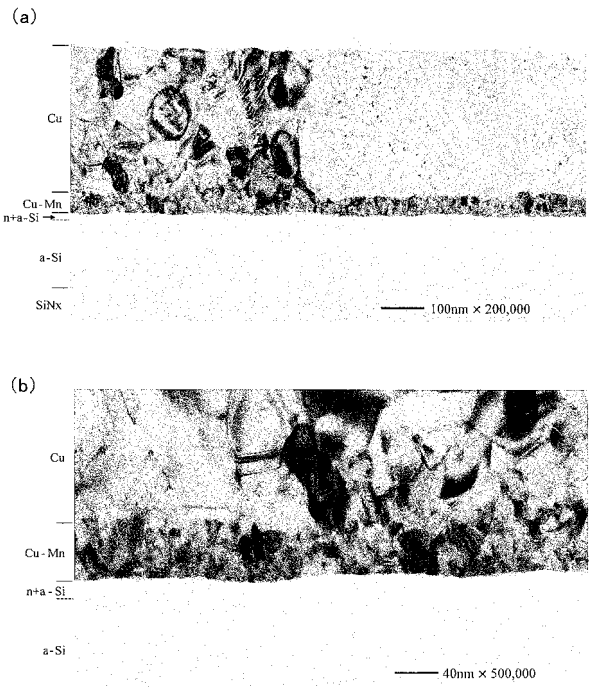
【図 6 C】

表1 No.4

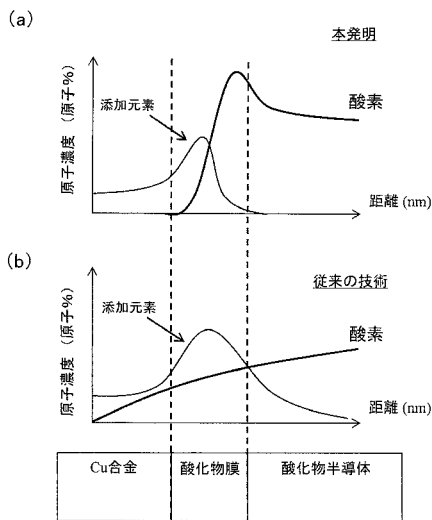


【図 6 D】

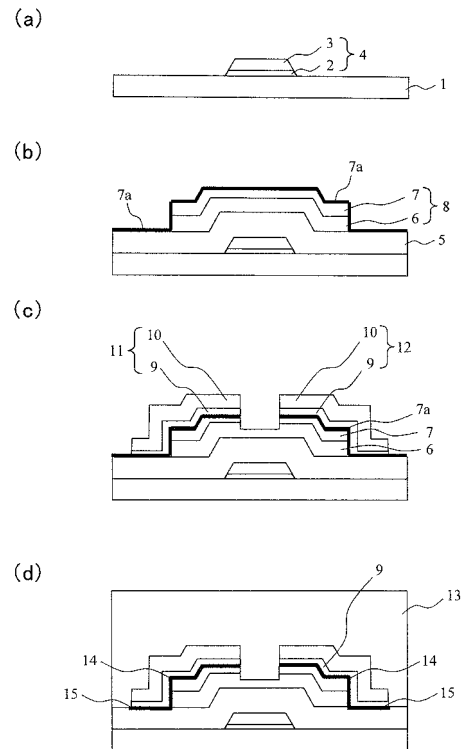
表1 No.13



【図 7】

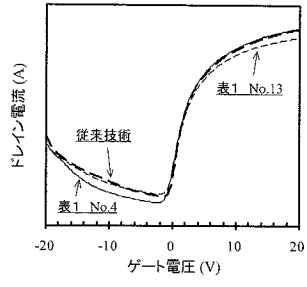


【図 8】

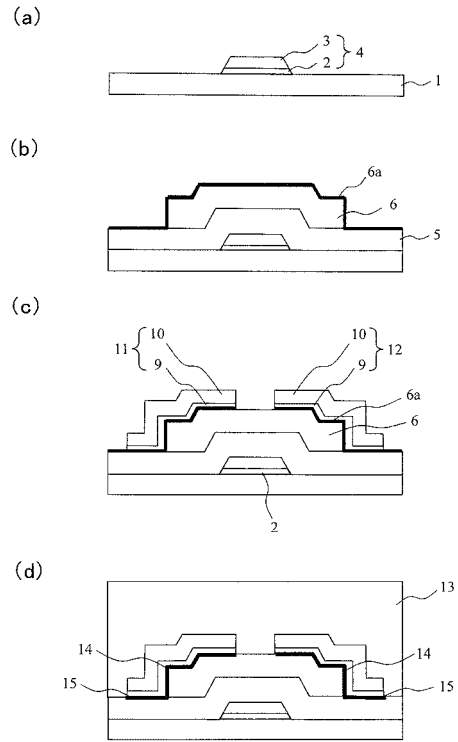




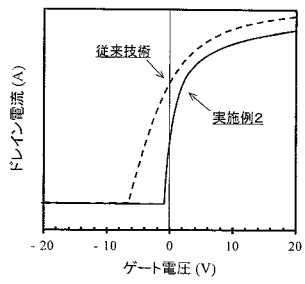
【 図 9 】



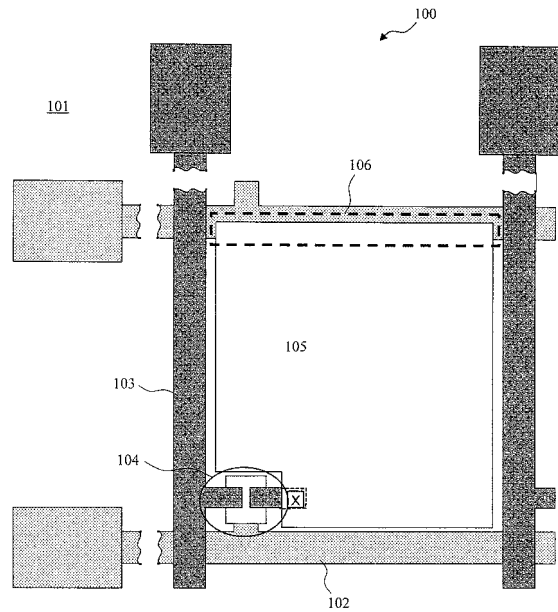
【 図 1 0 】



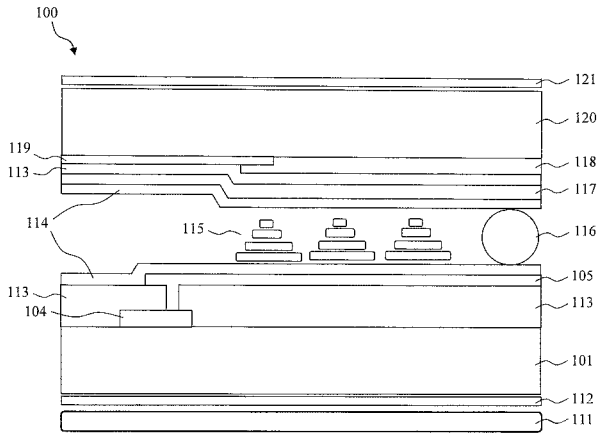
【 図 1 1 】



【 図 1 2 】



【図 13】



## フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
<b>G 0 2 F 1/1368 (2006.01)</b>	H 0 1 L 21/28 3 0 1 R	
<b>H 0 1 L 21/316 (2006.01)</b>	C 2 3 C 14/34 A	
<b>H 0 1 L 21/285 (2006.01)</b>	G 0 2 F 1/1368	
	H 0 1 L 21/316 A	
	H 0 1 L 21/285 S	

(72)発明者 外木 達也

東京都千代田区外神田四丁目14番1号 日立電線株式会社内

(72)発明者 辰巳 憲之

東京都千代田区外神田四丁目14番1号 日立電線株式会社内

Fターム(参考) 2H092 JA26 JA40 KA08 KA18 MA05 MA07 MA10 MA13 MA18 MA19  
 MA23 NA21  
 4K029 AA09 AA24 BA08 BB02 BD02 CA05 DC03 DC04 GA00  
 4M104 AA01 AA03 AA08 AA09 BB04 BB14 BB16 BB39 CC01 DD28  
 DD37 DD64 DD79 DD90 EE02 FF08 FF09 FF13 GG09 GG14  
 HH04 HH08  
 5F058 BC02 BC03 BF29 BF73 BJ01  
 5F110 AA03 AA26 BB01 CC05 CC07 DD02 EE02 EE06 EE14 EE44  
 FF02 FF03 FF04 FF09 FF27 FF28 FF30 GG01 GG02 GG13  
 GG14 GG15 GG19 GG28 GG29 GG42 GG43 GG45 HK02 HK04  
 HK06 HK08 HK09 HK14 HK15 HK16 HK17 HK18 HK21 HK25  
 HK27 HK41 NN03 NN04 NN05 NN12 NN16 NN22 NN23 NN24  
 NN33 NN34 NN35 NN39 QQ09 QQ14 QQ25