(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第3603438号
(P3603438)
(45)発行日　平成16年12月22日(2004.12.22)　(24)登録日　平成16年10月8日(2004.10.8)

(51)Int.Cl.[7]　F I
H01L 27/146　H01L 27/14　A
H01L 21/822　H01L 27/04　C
H01L 27/04

請求項の数 5　(全 13 頁)

(21)出願番号　特願平8-968
(22)出願日　平成8年1月8日(1996.1.8)
(65)公開番号　特開平9-186309
(43)公開日　平成9年7月15日(1997.7.15)
審査請求日　平成13年6月8日(2001.6.8)

前置審査

(73)特許権者　000002185
ソニー株式会社
東京都品川区北品川６丁目７番３５号
(74)代理人　100122884
弁理士　角田　芳末
(74)代理人　100113516
弁理士　磯山　弘信
(72)発明者　阿部　秀司
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　粟野　正明

最終頁に続く

(54)【発明の名称】増幅型固体撮像素子及びその製造方法

(57)【特許請求の範囲】
【請求項１】
第１のＭＯＳトランジスタのゲート絶縁膜及びゲート電極と同じ材料で構成した第１容量素子部と、
該第１容量素子部上にシリコン窒化膜からなる絶縁膜を介して第２のＭＯＳトランジスタのゲート電極の材料を対向電極として設けてなる第２容量素子部とを並列接続して構成した容量素子が、信号電荷をサンプルホールドする容量素子として内蔵されて成る
ことを特徴とする増幅型固体撮像素子。
【請求項２】
前記第１のＭＯＳトランジスタが周辺ＭＯＳトランジスタ又は画素ＭＯＳトランジスタであり、
前記第２のＭＯＳトランジスタが画素ＭＯＳトランジスタ又は周辺ＭＯＳトランジスタである
ことを特徴とする請求項１に記載の増幅型固体撮像素子。
【請求項３】
第１のＭＯＳトランジスタのゲート絶縁膜及びゲート電極と同じ材料で構成した第１容量素子部と、該第１容量素子部上に絶縁膜を介して第２のＭＯＳトランジスタのゲート電極の材料を対向電極として設けてなる第２容量素子部とを並列接続して構成した容量素子が、信号電荷をサンプルホールドする容量素子として内蔵されて成る増幅型固体撮像素子において、

前記第２のＭＯＳトランジスタのゲート酸化工程で生ずる前記第１容量素子部の上部側の電極の表面酸化膜を前記第２容量素子部の絶縁膜として用いて成る
ことを特徴とする増幅型固体撮像素子。
【請求項４】
半導体領域上に、第１のＭＯＳトランジスタのゲート絶縁膜及びゲート電極と同じ材料による第１絶縁膜及び第１電極材料層を形成する工程と、
前記第１電極材料層上に、シリコン窒化膜を形成する工程と、
前記シリコン窒化膜及び前記第１電極材料層を同時にパターニングして第２絶縁膜及び第１電極を形成し、前記半導体領域、前記第１絶縁膜及び第１電極から成る第１容量素子部を形成する工程と、
第２のＭＯＳトランジスタのゲート酸化後に、前記第２絶縁膜上に前記第２のＭＯＳトランジスタのゲート電極の材料による第２電極を形成して前記第１電極と、前記第２絶縁膜と前記第２電極から成る第２容量素子部を形成する工程と、
前記第１容量素子部と前記第２容量素子部を並列接続して、信号電荷をサンプルホールドする容量素子を形成する
ことを特徴とする増幅型固体撮像素子の製造方法。
【請求項５】
半導体領域上に、第１のＭＯＳトランジスタの第１絶縁膜とゲート電極と同じ材料による第１絶縁膜及び第１電極を形成し、前記半導体領域と前記第１絶縁膜と前記第１電極とから成る第１容量素子部を形成する工程と、
第２のＭＯＳトランジスタのゲート酸化時に生ずる前記第１電極の表面酸化膜を第２絶縁膜とする工程と、
前記第２絶縁膜に前記第２のＭＯＳトランジスタのゲート電極の材料による第２電極を形成し、前記第１電極と前記第２絶縁膜と前記第２電極とから成る第２容量素子部を形成する工程と、
前記第１容量素子部と前記第２容量素子部とを並列接続して信号電荷をサンプルホールドする容量素子を形成する
ことを特徴とする増幅型固体撮像素子の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、信号電荷をサンプルホールドする容量素子を内蔵した増幅型固体撮像素子及びその製造方法に関する。
【０００２】
【従来の技術】
ＣＣＤ固体撮像素子は、通常、出力回路として数段のソースフォロア回路からなる電荷検出回路を内蔵するのみである。
近年、固体撮像素子の高解像度化の要求に従って、スミアが無く、微細画素の実現が可能である増幅型固体撮像素子が開発されている。この増幅型固体撮像素子は、画素毎に光信号を増幅するためのＭＯＳトランジスタ、即ち画素ＭＯＳトランジスタを備え、この画素ＭＯＳトランジスタに蓄積された電荷をＭＯＳトランジスタの電流変調として信号を読み出すものである。
【０００３】
図４は、増幅型固体撮像素子の回路構成の一例を示す。この増幅型固体撮像素子１は、複数の単位画素を構成する受光素子、即ち画素トランジスタ、例えば画素ＭＯＳトランジスタ２が行列状に配列され、各画素ＭＯＳトランジスタ２の行毎のゲートがシフトレジスタ等から構成される垂直走査回路３からの垂直走査信号（即ち垂直選択パルス）φＶ〔φＶ$_{1}$，‥‥φＶ$_{i}$，φＶ$_{i+1}$，‥‥〕にて選択される垂直選択線４に接続され、そのドレインが電源Ｖ$_{DD}$に接続され、その列毎のソースが垂直信号線５に接続される。
【０００４】

垂直信号線５には、動作ＭＯＳスイッチ６を介して信号電圧（電荷）をサンプルホールドする負荷容量素子７が接続される。負荷容量素子７は、垂直信号線５と接地電位との間に接続される。動作ＭＯＳスイッチ６のゲートには動作パルスϕ_{OPS}が印加される。

【０００５】

画素ＭＯＳトランジスタ２のソースと動作ＭＯＳスイッチ６間の垂直信号線５には、負荷容量素子７のリセットと垂直信号線５のリセットを兼ねるリセットＭＯＳスイッチ８を介してリセットバイアス電圧V_{RB}を供給するためのリセットバイアス電圧供給端子１３に接続される。リセットＭＯＳスイッチ８のゲートにはリセットパルスϕ_{RST}が供給されるようになされる。

【０００６】

９は、シフトレジスタ等から構成された水平走査回路であり、この水平走査回路９は水平信号線１０に接続された水平ＭＯＳスイッチ１１のゲートへ順次水平走査信号（即ち水平走査パルス）φＨ〔ϕH_1，‥‥ϕH_n，ϕH_{n+1}，‥‥〕が供給される。

【０００７】

画素ＭＯＳトランジスタ２は、ソースがゲート電極に囲まれた形の環状ゲート電極構造のＭＯＳトランジスタが用いられ、光電変換した電荷がゲート電極下のシリコン基板中に蓄積されるようになされる。

【０００８】

図５は、単位画素（即ち画素ＭＯＳトランジスタ）２の半導体構造を示す断面図である。この図において、２１は第１導電型例えばｐ型のシリコン半導体基板、２２は光電変換された信号電荷、この例ではホール２０を蓄積するｐ型ウエル領域、２３は第２導電型即ちｎ型のウエル領域である。ｐ型ウエル領域２２にｎ型のソース領域２４及びドレイン領域２５が形成され、ソース領域を囲むように両領域２４及び２５間のｐ型ウエル領域２２上にゲート絶縁膜を介して、例えば光を透過し得る薄膜の多結晶シリコンからなるゲート電極２６が形成される。ゲート電極２６直下のｐ型ウエル領域２２に光電変換によって蓄積されたホール２０は、読み出し動作時におけるチャネル電流（ドレイン電流）を制御し、そのチャネル電流の変化量が信号出力となる。

【０００９】

この増幅型固体撮像素子では、受光期間において光電変換した電荷がゲート電極下のｐ型ウエル領域に蓄積される。そして、水平ブランキング期間において、画素ＭＯＳトランジスタ２の読み出し動作期間の前に、即ちリセット期間で垂直信号線５と負荷容量素子７をリセットバイアス電圧V_{RB}にリセットする。即ち、リセットパルスϕ_{RST}と動作パルスϕ_{OPS}を与えてリセットＭＯＳスイッチ８と動作ＭＯＳスイッチ６とを同時にオンする。この結果、画素ＭＯＳトランジスタ２の読み出し動作期間の前の垂直信号線５と負荷容量素子２の初期電圧が、リセットバイアス電圧V_{RB}にリセットされる。

【００１０】

この後、リセットＭＯＳスイッチ８をオフして、垂直選択線、例えばｉ行の垂直選択線４に垂直選択パルスϕV_iが与えられる。このとき動作パルスϕ_{OPS}は引き続き与えられ、動作ＭＯＳスイッチ６はオン状態となっている。

この時点で、選択されたｉ行の画素ＭＯＳトランジスタ２がオンし、ソースへの電流の変調としてこれにつながる垂直信号線５へ電流が流れ、動作ＭＯＳスイッチ６を通して負荷容量素子７に一時的に電荷として蓄積される。即ち、画素ＭＯＳトランジスタ２に蓄積された信号電荷量（ホール量）に応じたチャネルポテンシャルに相当する信号電圧が負荷容量素子７に保持される。この信号の読み出し動作は、１水平ブランキング期間に１回行われ、水平一行を同時に読み出して、各負荷容量素子７に読み出した電荷をサンプルホールドする。

【００１１】

次に、水平有効期間中に、これら負荷容量素子７に保持された信号電荷が、水平走査回路９からの水平走査信号φＨ〔ϕH_1，‥‥ϕH_n，ϕH_{n+1}，‥‥〕で順に水平ＭＯＳスイッチ１１をオンすることによって水平信号線１０に流れ、出力回路を通じて信

号電圧として外部に出力される。

【００１２】

このように、増幅型固体撮像素子では、信号電荷を一度負荷容量素子７に蓄積した後、水平ＭＯＳスイッチ１１を通じて外部に読み出している。そのため、出力信号のランダムノイズは、水平ＭＯＳスイッチ１１と負荷容量素子７の容量で決定される。そして、スイッチングＭＯＳトランジスタの駆動能力にもよるが、一般に信号対ノイズの比、即ちＳ／Ｎ比は負荷容量素子７の容量が大きいほど良い。例えば、画像素子として必要なＳ／Ｎ比５０ｄＢを満足するには、負荷容量素子７として、少なくとも１ｐＦ程度の容量が必要である。

【００１３】

【発明が解決しようとする課題】

従来、かかる容量の負荷容量素子７を実現するには、図６に示すように、周辺回路を構成するＭＯＳトランジスタ（以下周辺ＭＯＳトランジスタという）と同時に形成したＭＯＳ構造で構成していた。即ちフィールド絶縁膜３１で囲まれたシリコン半導体領域、例えばｐ型ウエル領域２２の一面に形成されたｎ$^{-}$　領域３２上に周辺ＭＯＳトランジスタの形成と同時にゲート絶縁膜（例えばゲート酸化膜）３３を介して多結晶シリコンによるゲート電極３４を形成し、このゲート電極３４とｎ$^{-}$　領域３２間で負荷容量素子７が構成される。

【００１４】

このため、例えば、一般的なトランジスタ長０．８μｍに用いられるゲート酸化膜厚２０ｎｍを用いた場合、１ｐＦの容量を確保するためには、負荷容量素子の幅を５μｍとすると、長さは４５０μｍ必要となる。この負荷容量素子が各垂直信号線毎に接続されるため、周辺回路の面積を非常に大きなものとしていた。

【００１５】

特に、固定パターンノイズ除去を内蔵するには、この容量素子が２個必要であり、さらに、フィールド読み出しで垂直方向の隣り合う画素の信号を加算するため、さらに２倍の容量素子が必要となる。その結果、合計４個の容量素子が水平画素毎に必要である。

【００１６】

例えば、１／２インチの２００万画素の増幅型固体撮像素子であれば、水平画素ピッチは３．６５μｍであるため、３μｍ幅しかとれず、容量素子のパターン幅は６００μｍ以上となってしまう。これが４個で、チップサイズの垂直方向に２．４ｍｍ以上占有することになる。

【００１７】

従って、小さな画角の固体撮像素子を実現しようとすると、画素領域をせっかく小さくしても、Ｓ／Ｎ比の良い画質の固体撮像素子を実現するには、周辺回路が相対的に大きくなり、その結果、チップとしては大きくなってしまうという問題があった。

【００１８】

本発明は、上述の点に鑑み、信号電荷をサンプルホールドするため容量素子の容量をチップ面積を広げることなく増加し、小型でＳ／Ｎ比の良い増幅型固体撮像素子及びその製造方法を提供するものである。

【００１９】

【課題を解決するための手段】

本発明に係る増幅型固体撮像素子は、第１のＭＯＳトランジスタのゲート絶縁膜及びゲート電極と同じ材料で構成した第１容量素子部と、この第１容量素子部上にシリコン窒化膜からなる絶縁膜を介して第２のＭＯＳトランジスタのゲート電極の材料を対向電極として設けてなる第２容量素子部とを並列接続して構成した容量素子を、信号電荷をサンプルホールドする容量素子として内蔵させた構成とする。

本発明に係る増幅型固体撮像素子は、第１のＭＯＳトランジスタのゲート絶縁膜及びゲート電極と同じ材料で構成した第１容量素子部と、該第１容量素子部上に絶縁膜を介して第２のＭＯＳトランジスタのゲート電極の材料を対向電極として設けてなる第２容量素子部

とを並列接続して構成した容量素子が、信号電荷をサンプルホールドする容量素子として内蔵されて成る増幅型固体撮像素子において、前記第２のＭＯＳトランジスタのゲート酸化工程で生ずる前記第１容量素子部の上部側の電極の表面酸化膜を前記第２容量素子部の絶縁膜として用いて成る構成とする。

【００２０】

この固体撮像素子においては、積層され且つ並列接続された第１容量素子部と第２容量素子部によって容量素子を構成するので、実効的に容量素子の容量を増加させることができ、その分、２次元的な面積を縮小することが可能となり、Ｓ／Ｎ比を劣化させることなく固体撮像素子の小型化を図ることができる。

【００２１】

本発明に係る増幅型固体撮像素子の製造方法は、半導体領域上に、第１のＭＯＳトランジスタのゲート絶縁膜及びゲート電極と同じ材料による第１絶縁膜及び第１電極材料層を形成する工程と、第１電極材料層上に、シリコン窒化膜を形成する工程と、シリコン窒化膜及び第１電極材料層を同時にパターニングして第２絶縁膜及び第１電極を形成し、半導体領域、第１絶縁膜及び第１電極から成る第１容量素子部を形成する工程と、第２のＭＯＳトランジスタのゲート酸化後に、第２絶縁膜上に第２のＭＯＳトランジスタのゲート電極の材料による第２電極を形成して第１電極と、第２絶縁膜と第２電極から成る第２容量素子部を形成する工程と、第１容量素子部と第２容量素子部を並列接続して、信号電荷をサンプルホールドする容量素子を形成するようになす。

この製法によれば、シリコン窒化膜の形成工程が１つ増すのみで増幅型固体撮像素子で用いられる製造工程を殆ど変更することなく、信号電荷をサンプルホールドするための容量の大きい容量素子を作成できる。

【００２２】

本発明に係る他の増幅型固体撮像素子の製造方法は、半導体領域上に、第１のＭＯＳトランジスタの第１絶縁膜とゲート電極と同じ材料による第１絶縁膜及び第１電極を形成し、半導体領域と第１絶縁膜と第１電極とから成る第１容量素子部を形成する工程と、第２のＭＯＳトランジスタのゲート酸化時に生ずる第１電極の表面酸化膜を第２絶縁膜とする工程と、第２絶縁膜に第２のＭＯＳトランジスタのゲート電極の材料による第２電極を形成し、第１電極と第２絶縁膜と第２電極とから成る第２容量素子部を形成する工程と、第１容量素子部と第２容量素子部とを並列接続して、信号電荷をサンプルホールドする容量素子を形成する。この製法によれば、従来の増幅型固体撮像素子が用いられる製造工程を全く変更することなく信号電荷をサンプルホールドする容量の大きな容量素子を作成できる。

【００２４】

【発明の実施の形態】

本発明に係る増幅型固体撮像素子は、第１のＭＯＳトランジスタのゲート絶縁膜及びゲート電極と同じ材料で構成した第１容量素子部と、この第１容量素子部上にシリコン窒化膜からなる絶縁膜を介して第２のＭＯＳトランジスタのゲート電極の材料を対向電極として設けてなる第２容量素子とを並列接続して構成した容量素子を、信号電荷をサンプルホールドする容量素子として内蔵する構成とする。

【００２５】

本発明は、上記増幅型固体撮像素子において、第１のＭＯＳトランジスタが周辺ＭＯＳトランジスタ又は画素ＭＯＳトランジスタであり、第２のＭＯＳトランジスタが画素ＭＯＳトランジスタ又は周辺ＭＯＳトランジスタである構成とする。

【００２６】

本発明に係る増幅型固体撮像素子は、第１のＭＯＳトランジスタのゲート絶縁膜及びゲート電極と同じ材料で構成した第１容量素子部と、該第１容量素子部上に絶縁膜を介して第２のＭＯＳトランジスタのゲート電極の材料を対向電極として設けてなる第２容量素子部とを並列接続して構成した容量素子が、信号電荷をサンプルホールドする容量素子として内蔵されて成る増幅型固体撮像素子において、前記第２のＭＯＳトランジスタのゲート酸

化工程で生ずる前記第１容量素子部の上部側の電極の表面酸化膜を前記第２容量素子部の絶縁膜として用いて成る構成とする。

【００２７】

本発明は、上記増幅型固体撮像素子において、第２のＭＯＳトランジスタのゲート酸化工程で生ずる第１容量素子分の上部側の電極の表面酸化膜を第２容量素子部の絶縁膜として用いる構成とする。

【００２８】

本発明に係る増幅型固体撮像素子の製造方法は、半導体領域上に、第１のＭＯＳトランジスタのゲート絶縁膜及びゲート電極と同じ材料による第１絶縁膜及び第１電極材料層を形成する工程と、第１電極材料層上に、シリコン窒化膜を形成する工程と、シリコン窒化膜及び第１電極材料層を同時にパターニングして第２絶縁膜及び第１電極を形成し、半導体領域、第１絶縁膜及び第１電極から成る第１容量素子部を形成する工程と、第２のＭＯＳトランジスタのゲート酸化後に、第２絶縁膜上に第２のＭＯＳトランジスタのゲート電極の材料による第２電極を形成して第１電極と、第２絶縁膜と第２電極から成る第２容量素子部を形成する工程と、第１容量素子部と第２容量素子部を並列接続して、信号電荷をサンプルホールドする容量素子を形成する。

【００２９】

また、本発明に係る増幅型固体撮像素子の製造方法は、半導体領域上に、第１のＭＯＳトランジスタの第１絶縁膜とゲート電極と同じ材料による第１絶縁膜及び第１電極を形成し、半導体領域と第１絶縁膜と第１電極とから成る第１容量素子部を形成する工程と、第２のＭＯＳトランジスタのゲート酸化時に生ずる第１電極の表面酸化膜を第２絶縁膜とする工程と、第２絶縁膜に第２のＭＯＳトランジスタのゲート電極の材料による第２電極を形成し、第１電極と第２絶縁膜と第２電極とから成る第２容量素子部を形成する工程と、第１容量素子部と第２容量素子部とを並列接続して、信号電荷をサンプルホールドする容量素子を形成する。

【００３０】

以下、図面を参照して本発明の実施例について説明する。

【００３１】

本例の増幅型固体撮像素子においても、前述の図４に示す回路構成をとる。

即ち、図４に示すように、複数の単位画素を構成する受光素子、即ち画素トランジスタ、例えば画素ＭＯＳトランジスタ２が行列状に配列され、各画素ＭＯＳトランジスタ２の行毎のゲートがシフトレジスタ等から構成される垂直走査回路３からの垂直走査信号（即ち垂直選択パルス）φＶ〔φV_1，‥‥φV_i，φV_{i+1}，‥‥〕にて選択される垂直選択線４に接続され、そのドレインが電源V_{DD}に接続され、その列毎のソースが垂直信号線５に接続される。

【００３２】

垂直信号線５には、動作ＭＯＳスイッチ６を介して信号電圧（電荷）をサンプルホールドする負荷容量素子７が接続される。負荷容量素子７は、垂直信号線５と接地電位との間に接続される。動作ＭＯＳスイッチ６のゲートには動作パルスφ$_{OPS}$が印加される。

【００３３】

画素ＭＯＳトランジスタ２のソースと動作ＭＯＳスイッチ６間の垂直信号線５には、負荷容量素子７のリセットと垂直信号線５のリセットを兼ねるリセットＭＯＳスイッチ８を介してリセットバイアス電圧V_{RB}を供給するためのリセットバイアス電圧供給端子１３に接続される。リセットＭＯＳスイッチ８のゲートにはリセットパルスφ$_{RST}$が供給されるようになされる。

【００３４】

そして、シフトレジスタ等から構成された水平走査回路９より、水平信号線１０に接続された水平ＭＯＳスイッチ１１のゲートへ順次水平走査信号（即ち水平走査パルス）φＨ〔φH_1，‥‥φH_n，φH_{n+1}，‥‥〕が供給されるようになされる。

【００３５】

画素ＭＯＳトランジスタ２は、ソースがゲート電極に囲まれた形の環状ゲート電極構造のＭＯＳトランジスタが用いられ、光電変換した電荷がゲート電極下のシリコン基板中に蓄積されるようになされる。単位画素（即ち画素ＭＯＳトランジスタ）の半導体構造の一例は、図５で示す通りである。

【００３６】

この増幅型固体撮像素子の動作は、前述と同様であるので説明を省略する。

【００３７】

そして、本発明の実施例では、かかる増幅型固体撮像素子において信号電荷をサンプルホールドする負荷容量素子を、従来の周辺ＭＯＳトランジスタに用いられるＭＯＳ構造、即ち電極材となる多結晶シリコン層と半導体基板との間の容量だけでなく、画素ＭＯＳトランジスタを構成する電極材である例えば薄膜多結晶シリコン層をも用いて互いに並列接続した容量素子で構成するものである。

【００３８】

図１は、本発明による容量素子構造の基本的で簡単な実施例を示す。

本例の容量素子、即ち負荷容量素子７０１は、シリコン基板、即ちｐ型ウエル領域２２の表面に形成したｎ$^-$　半導体領域４２上に、例えば周辺ＭＯＳトランジスタのゲート絶縁膜（例えばゲート酸化膜）及び多結晶シリコンによるゲート電極の形成と同時工程で、同様のゲート絶縁膜４１及び多結晶シリコンによる電極（いわゆる下部電極）４３を形成して、このゲート絶縁膜４１を挟むｎ$^-$　半導体領域４２と多結晶シリコンの電極４３によって構成されるＭＯＳ構造の容量素子部、即ち第１容量素子部４４を形成すると共に、この第１容量素子部４４上、即ち電極４３上にさらに薄い絶縁膜（例えば酸化膜或いはＳｉＮ膜）４６を介して画素ＭＯＳトランジスタ２の薄膜多結晶シリコンによるゲート電極の形成と同時工程で薄膜多結晶シリコン層を形成し、パターニングしてこの薄膜多結晶シリコンによる対向電極（いわゆる上部電極）４７を形成し、絶縁膜４６を挟んで下部の電極４３と上部の対向電極４７間で第２容量素子部４８を形成し、この第１容量素子部４４と第２容量素子部４８とを電気的に並列に接続して構成する。即ち、ｎ$^-$　半導体領域４２と対向電極４７を共通接続し、下部の電極４３を垂直信号線５に接続する。４９はフィールド酸化膜である。

【００３９】

ここで第２容量素子部４８を構成する絶縁膜４６は、画素ＭＯＳトランジスタ２のゲート絶縁膜を形成するときのゲート酸化工程によって、電極４３の多結晶シリコンが酸化されて出来る表面酸化膜によって形成することができる。

【００４０】

上述の負荷容量素子７０１によれば、周辺ＭＯＳトランジスタと同時に形成したＭＯＳ構造の第１容量素子部４４の多結晶シリコンによる電極４３上に、さらに薄い絶縁膜４６及び画素ＭＯＳトランジスタのゲート電極と同時形成の薄膜多結晶シリコンによる対向電極４７を形成して第２容量素子部４８を設け、両容量素子部４４及び４８を並列接続することで、面積は従来と同じで容量のみを独立に増加させることができる。このように、実効的に負荷容量素子７０１の容量が増加することで、その分、２次元的な面積を縮小することが可能となり、Ｓ／Ｎ比を劣化させることなく、増幅型固体撮像素子の小型化を図ることができる。

【００４１】

通常、この多結晶シリコンの表面酸化膜は、リンを高濃度に含んでいるため、ゲート絶縁膜の１．５倍から３倍に厚く成長してしまう。従って、第２容量素子部４８の絶縁膜４６を多結晶シリコンの電極４３の表面酸化膜を用いる場合、第２容量素子部４８は、必ずしも大きな容量を付与することにはならないが、従来の製造プロセスを全く変更することなく容量を増加させることができる。

【００４２】

次に、容量を効果的により大きくするように構成した本発明の他の実施例について説明する。本例は、第２容量素子部の絶縁膜に薄いＳｉＮ膜を用いた場合であり、その構造と製

造方法を図２及び図３を用いて説明する。
【００４３】
先ず、図２に示すように、負荷容量素子７０２を形成すべき領域、即ちフィールド酸化膜４９で囲まれたｎ⁻　半導体領域２２を含んで上面に絶縁膜４１を介して、電極となる多結晶シリコン層４３ＡをＣＶＤ（化学気相成長）法により成長する。
絶縁膜４１は、周辺ＭＯＳトランジスタのゲート絶縁膜の形成と同時に形成され、また多結晶シリコン層４３Ａも周辺ＭＯＳトランジスタのゲート電極となる多結晶シリコン層の形成と同時に成長される。この多結晶シリコン層は、キャリア不純物のリン（Ｐ）などがドーピングされた状態で形成される。
【００４４】
次に、この多結晶シリコン層４３Ａ上に負荷容量素子の容量となる絶縁膜、例えばＳｉＮ膜５１を例えばＣＶＤ法により薄く形成する。この膜厚は、負荷容量素子に係る電位差下での絶縁リーク電流とサンプルホールドしていなければならない期間を考慮して決定する。膜厚は例えば５ｎｍから３０ｎｍ程度がよい。
【００４５】
ここで、ＳｉＮ膜５１は一般に電圧を印加した際のリーク電流がシリコン酸化膜より大きく、駆動電圧的に問題である場合は、ＳｉＮ膜成長前に２ｎｍ程度の熱酸化膜を、希釈酸素雰囲気などで形成しておけばよい。ＳｉＮ膜５１を用いた理由は、ＳｉＮ膜は誘電率が高く、且つ絶縁耐圧にも優れていることに加え、特に、耐酸化性と耐フッ酸エッチング性を有していることによる。これについては後述する。
【００４６】
次に、図２Ｂに示すように、レジストマスク５２を用いて、初めにＳｉＮ膜５１を選択的にエッチング除去し、次いで同じレジストマスク５２を用いて多結晶シリコン層４３Ａを連続して選択的にエッチング除去する。これによって、負荷容量素子を形成する領域に、容量素子用のＳｉＮ膜５１と多結晶シリコン層４３Ａによる電極４３（いわゆる下部電極）とが形成される。
ここで、エッチング装置は、ＳｉＮ膜５１と多結晶シリコン層４３Ａで分けても良いし、連続的にエッチング出来るならば同一のエッチング装置で絶縁膜のエッチング条件でエッチングする工程と、多結晶シリコンをエッチングする工程とを連続的に施すことも可能である。
【００４７】
次に、画素ＭＯＳトランジスタのゲート絶縁膜を形成するためのゲート酸化に先だって、先の周辺ＭＯＳトランジスタ用のゲート酸化膜を画素部に該当する領域では、このゲート酸化膜をエッチング除去する必要がある。このとき、負荷容量素子を構成するＳｉＮ膜５１は耐フッ酸エッチング性に優れているため、何の特別な配慮をすることなく、ＳｉＮ膜５１を有する領域を含んだウエハ全面をフッ酸を含む溶液によってエッチング処理し、その画素部の領域のゲート酸化膜を除去することを、従来通り行うことができるという利点がある。このエッチング工程の後に、画素ＭＯＳトランジスタのゲート絶縁膜の形成、即ちゲート酸化を行う。
【００４８】
このゲート酸化工程で、図２Ｃに示すように、ＳｉＮ膜５１は耐酸化性があるため、多結晶シリコン層の電極４３が酸化されて絶縁膜が厚くなることはない。ただ、表面に露出している多結晶シリコンの電極４３の側面は酸化され酸化膜５３が形成される。かかるゲート酸化をウエット雰囲気で行うことで、ＳｉＮ膜５１上にわずかながら酸化膜が形成され、負荷容量素子として用いたとき、電圧による漏れ電流を低減できるという利点もある。この分、ＳｉＮ膜５１をさらに薄くすることが可能となっている。
【００４９】
次に、図３Ｄに示すように、全面に画素ＭＯＳトランジスタのゲート電極用薄膜多結晶シリコンの形成と同時に薄膜多結晶シリコン層５５を成長する。多結晶シリコン層による電極４３のエッジ部での薄膜多結晶シリコン層５５との耐圧は、図２Ｃの酸化工程によって

多結晶シリコン層の電極４３の側面が酸化され、充分厚い酸化膜５３が形成されているため、全く問題がなくなる。この点も本例の製造プロセスの優れた特徴である。

【００５０】

次に、図３Ｅに示すように、薄膜多結晶シリコン層５５上にレジストマスク５６を形成し、通常の画素ＭＯＳトランジスタのゲート電極のパターニング工程で、同時にレジストマスク５６を介して薄膜多結晶シリコン層５５をエッチングし、対向電極（いわゆる上部電極）５５１を形成する。

【００５１】

通常、ＳｉＮ膜は、SiO_2　膜に比べて多結晶シリコンのエッチングストッパとしてはややエッチングレートが大きいため、不利ではあるが、ここでは薄膜多結晶シリコン層５５のエッチングであるため、画素の薄膜多結晶シリコン層の膜厚が１００ｎｍ以内であれば、ＳｉＮ膜５１が５ｎｍ程度でも十分なストッパとなる。

【００５２】

また、多結晶シリコン層による下部電極４３を囲むようにして薄膜多結晶シリコン層５５をパターニングしても、先に述べたように耐圧は全く問題ない。

よって、薄膜多結晶シリコン層５５を下部電極４３の端の内側又は外側でパターニングしても全く構わない。このためパターニングの自由度が大きい。

【００５３】

このようにして、基板上に、n^-　領域２２と絶縁膜４１と多結晶シリコンによる下部電極４３とによる第１容量素子部５７と、下部電極４３と、ＳｉＮ膜５１と多結晶シリコンによる上部電極５５１とによる第２容量素子部５８との積層体が得られる。

【００５４】

然る後、第１容量素子部５７及び第２容量素子部５８を電気的に並列接続して、即ち、n^-　領域２２と上記電極５５１とを共通接続して接地し、下部電極４３を垂直信号線に接続して目的の負荷容量素子７０２を形成する。

【００５５】

この実施例の負荷容量素子７０２によれば、容量素子部５７及び５８を積層して設けることにより、負荷容量素子の面積を増すことなく、容量を増加させることができる。そして、第２の容量素子部５８としてその絶縁膜を誘電率の高いＳｉＮ膜５１を用いることによって、より容量の大きい負荷容量素子を構成することができる。

【００５６】

製造プロセスとしては、ＳｉＮ膜５１を成長させるという１工程を追加するのみで、ほぼ通常の増幅型固体撮像素子の製造プロセスを変更せず、大容量の負荷容量素子７０２を形成することができる。

容量増に用いるＳｉＮ膜５１は、独立に厚くすることもできるし、薄くすることもできるため、容量の設計の自由度が大きいという利点がある。

【００５７】

そして、本実施例においても、容量の大きい負荷容量素子が得られるので、固体撮像素子におけるＳ／Ｎ比を改善することができる。また、周辺回路の面積を縮小でき、チップ面積を小さくできるため、固体撮像素子の実装面積を小さくできるという商品価値の向上と、１ウエハ当たりのチップ数が増えるため製造コストの低減が図れる。

【００５８】

上例では、容量負荷動作方式の増幅型固体撮像素子、特にその負荷容量素子の構造について説明したが、その他、その他の動作方式における信号電荷をサンプルホールドする容量素子の構成にも適用できる。

【００５９】

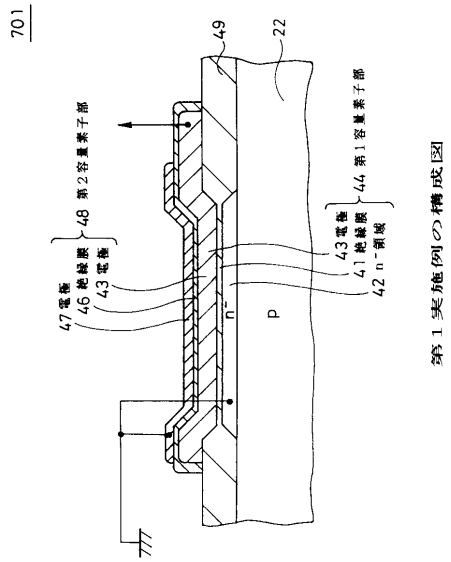
上例では、増幅型固体撮像素子において、容量回路を形成する場合に特に効果的であるため増幅型固体撮像素子への適用例について説明したが、２層多結晶シリコンゲート構造で容量素子を形成する回路には、本発明は十分適用可能である。

【００６０】

【発明の効果】
本発明に係る増幅型固体撮像素子によれば、その信号電荷をサンプルホールドする容量素子の容量を、面積を増やすことなく増加させることができる。従って、この容量が増加した分、固体撮像素子におけるＳ／Ｎ比を改善することができる。
【００６１】
また、この容量が増加した分、周辺回路の面積を縮小でき、チップ面積を小さくできるため、固体撮像素子の実装面積を小さくできるという商品価値の向上と、１ウエハ当たりのチップ数が増えるため製造コストを低減することができる。
【００６２】
容量素子として第２容量素子部を構成する絶縁膜としてシリコン窒化膜を用いるときは、さらなる容量の増加が可能となる。この場合、ＳｉＮ膜は他部の膜の形成と兼用せず独立した工程で成長されるので、膜厚を自由に設定することができるので、容量値の設計の自由度が大きい。
第２容量素子部を形成する絶縁膜として、第２ＭＯＳトランジスタのゲート酸化工程で生じる第１容量素子部の上部側の電極の表面酸化膜を用いるときは、従来の製造プロセスを全く変更することなく、信号電荷をサンプルホールドする容量素子の容量を増加させることができる。
【００６３】
本発明に係る増幅型固体撮像素子の製造方法によれば、従来の固体撮像素子の製造プロセスを全く変更することなく、従来と同じ面積で容量を増加した容量素子、即ち信号電荷をサンプルホールドする容量素子を形成することができる。
【００６４】
また、本発明に係る増幅型固体撮像素子の製造方法によれば、シリコン窒化膜を成長させるという１工程のみ追加し、他は製造プロセスを変更することなく、従来と同じ面積で容量を増加した容量素子、即ち信号電荷をサンプルホールドする容量素子を形成することができる。従って、Ｓ／Ｎ比が改善され、且つチップ面積の小さい増幅型固体撮像素子を、従来の製造プロセスを殆ど変更させることなく容易に製造することができる。
【図面の簡単な説明】
【図１】本発明に係る増幅型固体撮像素子における負荷容量素子の一例を示す構成図である。
【図２】Ａ　本発明に係る増幅型固体撮像素子における負荷容量素子の他の例を示す製造工程図である。
Ｂ　本発明に係る増幅型固体撮像素子における負荷容量素子の他の例を示す製造工程図である。
Ｃ　本発明に係る増幅型固体撮像素子における負荷容量素子の他の例を示す製造工程図である。
【図３】Ｄ　本発明に係る増幅型固体撮像素子における負荷容量素子の他の例を示す製造工程図である。
Ｅ　本発明に係る増幅型固体撮像素子における負荷容量素子の他の例を示す製造工程図である。
Ｆ　本発明に係る増幅型固体撮像素子における負荷容量素子の他の例を示す製造工程図である。
【図４】増幅型固体撮像素子の回路構成図である。
【図５】画素ＭＯＳトランジスタの半導体構造を示す断面図である。
【図６】従来の増幅型固体撮像素子における負荷容量素子の構成図である。
【符号の説明】
７，７０１，７０２　負荷容量素子
４１　絶縁膜
４２　n^-
４３　多結晶シリコンによる電極

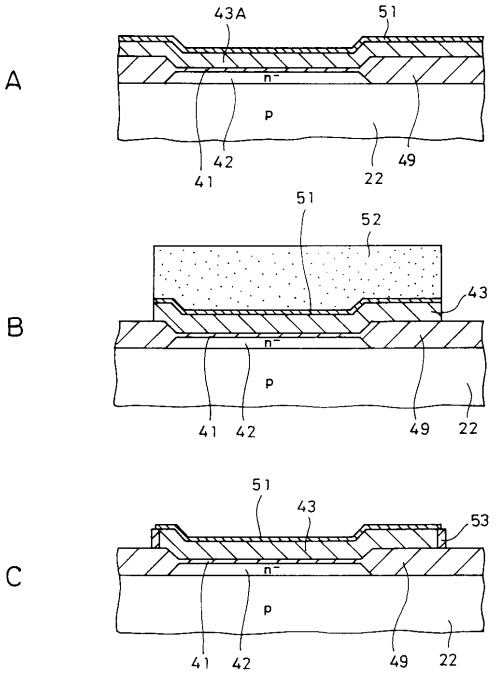
４４，５７　第１容量素子部
４６　絶縁膜
４７　多結晶シリコンによる電極
４８，５８　第２容量素子部
５１　ＳｉＮ膜
５５１　多結晶シリコンによる電極

【図１】



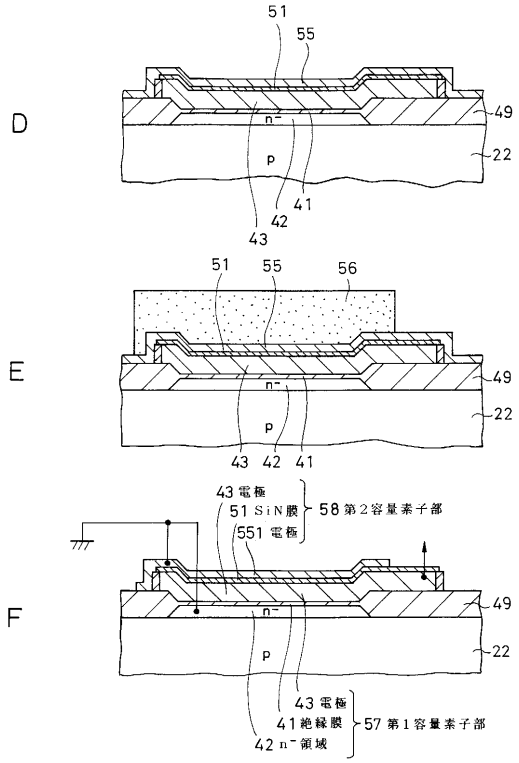
第１実施例の構成図

【図２】



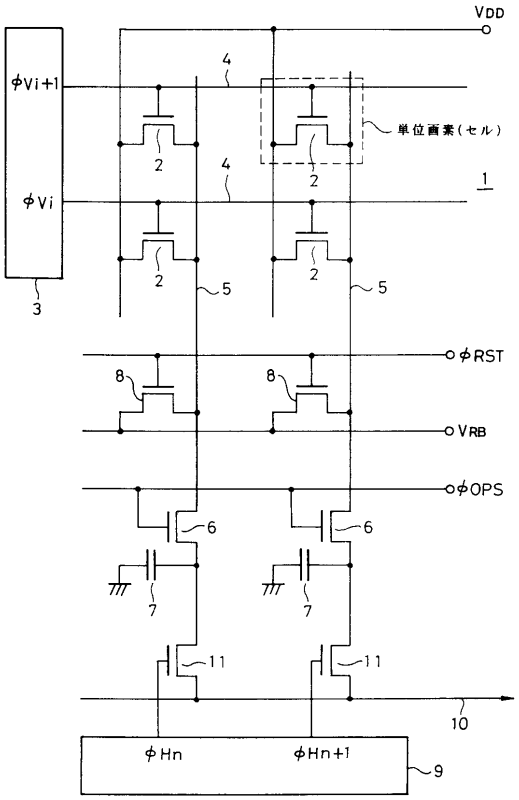
第２実施例の製造工程図（その１）

【図３】



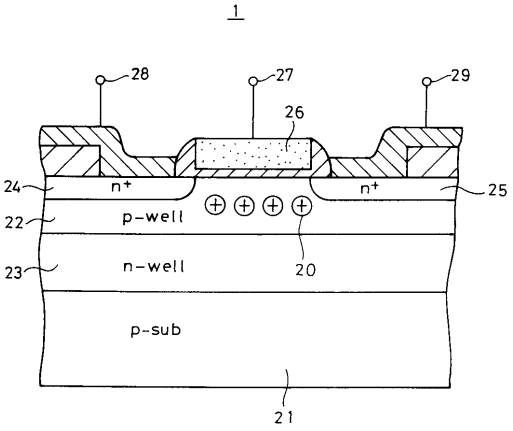
第２実施例の製造工程図（その２）

【図４】



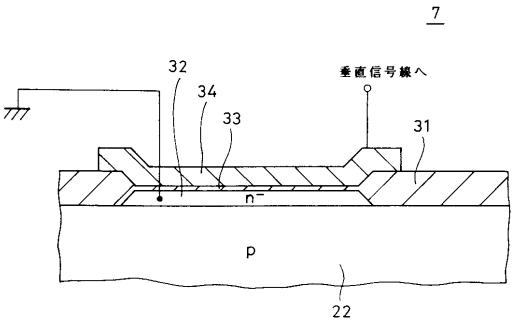
増幅型固体撮像素子の回路構成図

【図５】



画素ＭＯＳトランジスタの半導体構造

【図６】



従来例の構成図

フロントページの続き

(56)参考文献 特開平０７－１７０４５８（ＪＰ，Ａ）
特開昭５８－００２０５８（ＪＰ，Ａ）
特開昭５７－０１５４６３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.[7]，ＤＢ名)
H01L 27/146
H01L 21/822
H01L 27/04
H04N 5/335