



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0039210  
(43) 공개일자 2016년04월08일

(51) 국제특허분류(Int. Cl.)  
H03K 3/017 (2006.01) H02M 3/07 (2006.01)  
H03K 5/00 (2014.01) H03K 5/156 (2006.01)  
H03L 7/089 (2006.01)  
(52) CPC특허분류  
H03K 3/017 (2013.01)  
H02M 3/07 (2013.01)  
(21) 출원번호 10-2016-7003951  
(22) 출원일자(국제) 2014년07월24일  
심사청구일자 없음  
(85) 번역문제출일자 2016년02월16일  
(86) 국제출원번호 PCT/US2014/047959  
(87) 국제공개번호 WO 2015/017233  
국제공개일자 2015년02월05일  
(30) 우선권주장  
13/954,691 2013년07월30일 미국(US)

(71) 출원인  
퀄컴 인코포레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775  
(72) 발명자  
헨리퀴스, 제프리 마크  
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775 퀄컴 인코포레이티드 (내)  
(74) 대리인  
특허법인 남앤드남

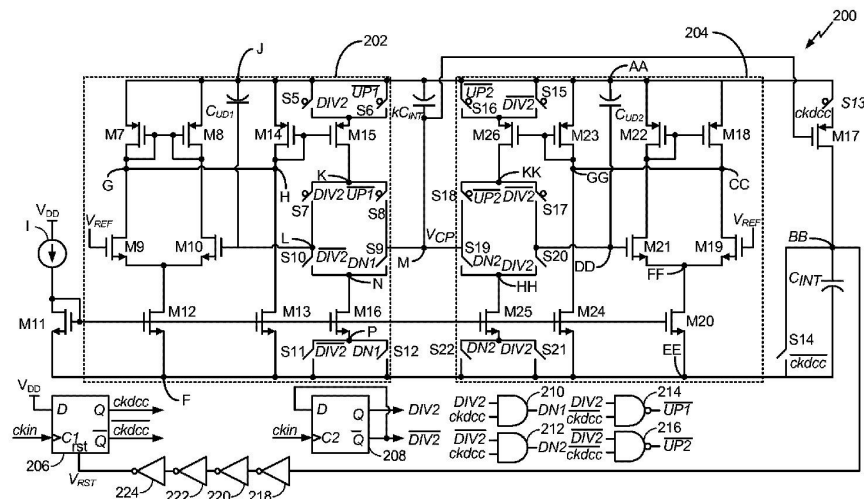
전체 청구항 수 : 총 25 항

(54) 발명의 명칭 듀티 사이클 정정을 포함하는 클럭 더블러

(57) 요약

예시적 실시예들은 클럭 더블러에 관련된다. 디바이스는 입력 클럭 신호를 수신하고, 정정된 클럭 신호를 전달하도록 구성된 듀티 사이클 정정 회로를 포함할 수 있다. 듀티 사이클 정정 회로는, 입력 클럭 신호의 제 1 사이클 동안 출력 전압을 전달하고 입력 클럭 신호의 제 2 사이클 동안 제 1 회로의 전류 미스매치를 정정하기 위한 제 1 회로를 포함할 수 있다. 듀티 사이클 정정 회로는 또한, 제 2 사이클 동안 출력 전압을 전달하고 제 1 사이클 동안 제 2 회로의 전류 미스매치를 정정하기 위한 제 2 회로를 포함할 수 있다. 또한, 디바이스는 정정된 클럭 신호를 수신하고 출력 클럭을 생성하기 위한 클럭 생성기를 포함할 수 있다.

대표도



(52) CPC특허분류

*H03K 5/00006* (2013.01)

*H03K 5/1565* (2013.01)

*H03L 7/089* (2013.01)

---

## 명세서

### 청구범위

#### 청구항 1

디바이스로서,

입력 클럭 신호를 수신하고, 정정된 클럭 신호를 전달하도록 구성된 듀티 사이클 정정 회로; 및

상기 정정된 클럭 신호를 수신하고, 출력 클럭을 생성하기 위한 클럭 생성기를 포함하고,

상기 듀티 사이클 정정 회로는,

상기 입력 클럭 신호의 제 1 사이클 동안 출력 전압을 전달하고, 상기 입력 클럭 신호의 제 2 사이클 동안 상기 제 1 회로의 전류 미스매치를 정정하기 위한 제 1 회로; 및

상기 제 2 사이클 동안 상기 출력 전압을 전달하고, 상기 제 1 사이클 동안 상기 제 2 회로의 전류 미스매치를 정정하기 위한 제 2 회로를 포함하는,

디바이스.

#### 청구항 2

제 1 항에 있어서,

상기 제 1 사이클 및 상기 제 2 사이클 각각 동안 상기 출력 전압을 수신하도록 구성된 출력 캐패시터를 더 포함하는,

디바이스.

#### 청구항 3

제 1 항에 있어서,

상기 출력 클럭은, 실질적으로 50%의 듀티 사이클 및 상기 정정된 클럭 신호의 주파수에 비해 증가된 주파수를 갖는,

디바이스.

#### 청구항 4

제 1 항에 있어서,

상기 제 1 회로는, 상기 제 2 사이클 동안 제 1 전류 및 제 2 전류를 수신하도록 구성된 캐패시터에 걸친 전압과 기준 전압을 비교하기 위한 트랜지스터들의 차동 쌍을 포함하는,

디바이스.

#### 청구항 5

제 4 항에 있어서,

상기 캐패시터에 걸친 전압이 상기 기준 전압과 상이할 경우, 전류 미스매치를 정정하기 위한 피드백 루프를 더 포함하는,

디바이스.

#### 청구항 6

제 1 항에 있어서,

상기 제 2 회로는, 상기 제 1 사이클 동안 제 1 전류 및 제 2 전류를 수신하도록 구성된 캐패시터에 걸친 전압

과 기준 전압을 비교하기 위한 트랜지스터들의 차동 쌍을 포함하는,  
디바이스.

#### 청구항 7

제 6 항에 있어서,

상기 캐패시터에 걸친 전압이 상기 기준 전압과 상이할 경우, 전류 미스매치를 정정하기 위한 피드백 루프를 더 포함하는,

디바이스.

#### 청구항 8

디바이스로서,

입력 클럭 신호의 위상(phase) 동안 출력 전압을 생성하도록 구성된 제 1 차지 펌프;

상기 입력 클럭 신호의 또 다른 상이한 위상 동안 상기 출력 전압을 생성하기 위한 제 2 차지 펌프 - 상기 제 1 차지 펌프 및 상기 제 2 차지 펌프 각각은 상기 입력 클럭 신호에 기초하여 정정된 클럭 신호를 생성하도록 구성됨 - ; 및

상기 제 1 차지 펌프 및 상기 제 2 차지 펌프 각각에 커플링되며, 상기 정정된 클럭 신호를 수신하고 상기 정정된 클럭 신호의 주파수에 비해 2배인 주파수를 갖는 출력 클럭 신호를 생성하도록 구성된 클럭 생성기를 포함하는,

디바이스.

#### 청구항 9

제 8 항에 있어서,

상기 제 1 차지 펌프는, 상기 입력 클럭 신호의 또 다른 상이한 위상 동안 상기 제 1 차지 펌프의 제 1 전류와 제 2 전류 사이의 미스매치를 검출 및 정정하도록 추가로 구성되는,

디바이스.

#### 청구항 10

제 8 항에 있어서,

상기 제 2 차지 펌프는, 상기 입력 클럭 신호의 위상 동안 상기 제 2 차지 펌프의 제 1 전류와 제 2 전류 사이의 미스매치를 검출 및 정정하도록 추가로 구성되는,

디바이스.

#### 청구항 11

제 8 항에 있어서,

상기 출력 클럭 신호는 실질적으로 50%의 듀티 사이클을 갖는,

디바이스.

#### 청구항 12

제 8 항에 있어서,

상기 제 1 차지 펌프는, 상기 입력 클럭 신호의 또 다른 상이한 위상 동안 상기 제 1 차지 펌프의 업 전류 및 다운 전류를 수신하도록 구성된 캐패시터를 더 포함하는,

디바이스.

#### 청구항 13

제 12 항에 있어서,

상기 제 1 차지 펌프는, 상기 캐패시터에 걸친 전압과 기준 전압 사이의 차를 측정하도록 구성된 트랜지스터들의 차동 쌍을 더 포함하는,

디바이스.

#### 청구항 14

제 13 항에 있어서,

상기 캐패시터에 걸친 전압이 상기 기준 전압과 상이할 경우, 전류 미스매치를 정정하기 위한 피드백 루프를 더 포함하는,

디바이스.

#### 청구항 15

제 8 항에 있어서,

상기 제 2 차지 펌프는, 상기 입력 클럭 신호의 위상 동안 상기 제 2 차지 펌프의 업 전류 및 다운 전류를 수신하도록 구성된 캐패시터를 더 포함하는,

디바이스.

#### 청구항 16

제 15 항에 있어서,

상기 제 2 차지 펌프는, 상기 캐패시터에 걸친 전압과 기준 전압 사이의 차를 측정하도록 구성된 트랜지스터들의 차동 쌍을 더 포함하는,

디바이스.

#### 청구항 17

제 16 항에 있어서,

상기 캐패시터에 걸친 전압이 상기 기준 전압과 상이할 경우, 전류 미스매치를 정정하기 위한 피드백 루프를 더 포함하는,

디바이스.

#### 청구항 18

방법으로서,

복수의 차지 펌프들에 의해, 정정된 클럭 신호를 생성하는 단계 - 상기 복수의 차지 펌프들의 각각의 차지 펌프는 입력 클럭 신호의 사이클의 일부 동안 전류 미스매치를 정정하도록 구성됨 - ; 및

상기 정정된 클럭 신호의 주파수보다 큰 주파수를 갖는 출력 클럭을 생성하는 단계를 포함하는,

방법.

#### 청구항 19

제 18 항에 있어서,

상기 정정된 클럭 신호를 생성하는 단계는,

상기 입력 클럭 신호의 제 1 사이클 동안 상기 복수의 차지 펌프들의 제 1 차지 펌프에 의해 출력 전압을 생성하는 단계;

상기 입력 클럭 신호의 제 2 사이클 동안 상기 복수의 차지 펌프들의 제 2 차지 펌프의 제 1 전류와 제 2 전류 사이의 미스매치를 정정하는 단계;

상기 제 2 사이클 동안 상기 제 2 차지 펌프에 의해 상기 출력 전압을 생성하는 단계; 및

상기 제 1 사이클 동안 상기 제 1 차지 펌프의 제 1 전류와 제 2 전류 사이의 미스매치를 정정하는 단계를 포함하는,

방법.

#### 청구항 20

제 19 항에 있어서,

상기 제 1 차지 펌프의 제 1 전류와 제 2 전류 사이의 미스매치를 검출하는 단계; 및

상기 제 2 차지 펌프의 제 1 전류와 제 2 전류 사이의 미스매치를 검출하는 단계를 더 포함하는,

방법.

#### 청구항 21

제 20 항에 있어서,

상기 제 1 차지 펌프에서 미스매치를 검출하는 단계 및 상기 제 2 차지 펌프에서 미스매치를 검출하는 단계는, 캐패시터에 걸쳐 저장된 전압과 기준 전압을 비교하는 단계를 포함하는,

방법.

#### 청구항 22

방법으로서,

입력 클럭 신호를 수신하고, 정정된 클럭 신호를 생성하는 단계;

상기 입력 클럭 신호의 제 1 사이클 동안 제 1 차지 펌프에 의해 출력 전압을 생성하는 단계;

상기 입력 클럭 신호의 제 2 사이클 동안 제 2 차지 펌프의 제 1 전류와 제 2 전류 사이의 미스매치를 정정하는 단계;

상기 제 2 사이클 동안 상기 제 2 차지 펌프에 의해 상기 출력 전압을 생성하는 단계;

상기 제 1 사이클 동안 상기 제 1 차지 펌프의 제 1 전류와 제 2 전류 사이의 미스매치를 정정하는 단계; 및

상기 정정된 클럭 신호에 기초하여 2배의 클럭 신호를 생성하는 단계를 포함하는,

방법.

#### 청구항 23

제 22 항에 있어서,

상기 2배의 클럭 신호를 생성하는 단계는, 실질적으로 50%의 듀티 사이클 및 상기 2배의 클럭 신호의 주파수보다 적은 주파수를 갖는 상기 정정된 클럭 신호에 기초하여 실질적으로 50%의 듀티 사이클을 갖는 상기 2배의 클럭 신호를 생성하는 단계를 포함하는,

방법.

#### 청구항 24

디바이스로서,

정정된 클럭 신호를 생성하기 위한 수단 - 상기 생성하기 위한 수단은 입력 클럭 신호의 사이클의 일부 동안 전류 미스매치를 정정하도록 구성됨 - ; 및

상기 정정된 클럭 신호의 주파수보다 큰 주파수를 갖는 출력 클럭 신호를 생성하기 위한 수단을 포함하는,

디바이스.

## 청구항 25

디바이스로서,

입력 클럭 신호를 수신하고, 정정된 클럭 신호를 생성하기 위한 수단;

상기 입력 클럭 신호의 각각의 사이클 동안 출력 전압을 생성하기 위한 수단;

상기 입력 클럭 신호의 각각의 사이클 동안 전류 미스매치를 정정하기 위한 수단; 및

상기 정정된 클럭 신호에 기초하여 출력 클럭 신호를 생성하기 위한 수단을 포함하는,

디바이스.

## 발명의 설명

### 기술 분야

[0001] 본 출원은 2013년 7월 30일자로 출원된 "CLOCK DOUBLER INCLUDING DUTY CYCLE CORRECTION"이라는 명칭의 미국 정식출원 일련번호 제13/954,691호에 대한 우선권을 주장하고, 상기 가출원은 그 전체 내용이 본원에 인용에 의해 명백하게 포함된다.

[0002] 본 발명은 일반적으로 듀티 사이클 정정을 포함하는 클럭 더블러(clock doubler)에 관한 것이다. 더 구체적으로, 본 발명은 정정된 듀티 사이클에 기초하여 클럭 신호를 생성하기 위한 실시예들에 관한 것이다.

### 배경 기술

[0003] 다양한 타입들의 발진기 및 지원(supporting) 회로에 의해 생성될 수 있는 클럭 신호들은 통상적으로, 많은 전자 회로들에서 그리고 다양한 목적들을 위해 이용된다. 예를 들어, 클럭 신호들은 디지털 회로들, 이를테면, 프로세서들, 메모리 디바이스들 등에서의 동기식 회로들(예를 들어, 플립-플롭들)을 트리거하는데 이용될 수 있다.

[0004] 로직 하이에서의 시간 듀레이션 및 로직 로우에서의 시간 듀레이션에 의해 결정되는 듀티 사이클을 갖는 클럭 신호는 계속적으로, 로직 하이와 로직 로우 사이에서 트랜지션한다. 로직 하이 시간 듀레이션이 로직 로우 시간 듀레이션에 근접하도록, 가능한 한 50%에 가까운 듀티 사이클을 갖는 클럭 신호를 생성하는 것이 바람직할 수 있다. 디지털 회로는 더 빠른 동작 속도를 달성하도록 동기식 회로들을 트리거하기 위해 클럭 신호의 상승 에지 및 하강 에지 둘 다를 이용할 수 있다. 클럭 신호에 대한 50% 듀티 사이클은 이후 최대 타이밍 마진들을 동기식 회로들에 제공할 수 있다.

[0005] 클럭 신호의 듀티 사이클은 클럭 신호를 생성하는데 이용되는 트랜지스터 디바이스들에서 다양한 현상들, 이를테면, 미스매치들로 인해 왜곡될 수 있다. 디바이스 미스매치들을 최소화시키기 위해 클럭 생성 및 분배 회로들을 설계하는데 엄청난 주의(great care)가 종종 이용된다. 어드밴스드 IC 프로세스들로 제조된 디지털 회로들은 전형적으로 고속, 예를 들어, 1 기가-헤르츠(GHz) 또는 그 초과로 동작한다. 고속은 더 작은 클럭 기간, 예를 들어, 1 GHz에 대해 1 나노초(nsec)에 대응한다. 그 다음, 작은 회로 미스매치들은 더 작은 클럭 기간을 갖는 듀티 사이클에서 비교적 큰 에러로 변형될 수 있다.

[0006] 클럭 듀티 사이클 문제는 종종, 양호한 듀티 사이클을 갖는 클럭 신호를 생성하기 위해 원하는 주파수의 2배로 발진기를 실행시키고 발진기 출력 신호를 2로 나눴으로써 처리된다. 그러나, 이 접근법은 몇몇 이유들로 인하여 바람직하지 않거나 부적절할 수 있다. 첫째, 원하는 주파수의 2배로 발진기 및 2분주 회로(divide-by-2 circuit)를 동작시키는데 더 많은 전력이 소비된다. 둘째, 2분주 회로에서의 랜덤한 디바이스 미스매치들로 인하여 클럭 신호에 상당한 듀티 사이클 왜곡이 여전히 존재할 수 있다.

[0007] 클럭 더블러에 대한 필요성이 존재한다. 더 구체적으로, 정정된 듀티 사이클에 기초하여 클럭 신호를 생성하기 위한 클럭 더블러에 관련된 실시예들에 대한 필요성이 존재한다.

### 도면의 간단한 설명

[0008] 도 1은 듀티 사이클 정정기를 예시한다.

[0009] 도 2a는 본 발명의 예시적 실시예에 따른 듀티 사이클 정정기를 도시한다.

[0010] 도 2b는 도 2a의 듀티 사이클 정정기와 연관된 타이밍도이다.

[0011] 도 3a는 본 발명의 예시적 실시예에 따른 클럭 생성기를 예시한다.

[0012] 도 3b는 도 3a의 클럭 생성기와 연관된 타이밍도이다.

[0013] 도 4는 본 발명의 예시적 실시예에 따른, 듀티 사이클 정정기 및 클럭 생성기를 포함하는 클럭 더블러의 블록도이다.

[0014] 도 5는 본 발명의 예시적 실시예에 따른 방법을 도시하는 흐름도이다.

[0015] 도 6은 본 발명의 예시적 실시예에 따른 또 다른 방법을 도시하는 흐름도이다.

[0016] 도 7은 본 발명의 예시적 실시예에 따른, 듀티 사이클 정정기 및 클럭 생성기를 포함하는 디바이스를 예시한다.

### 발명을 실시하기 위한 구체적인 내용

[0009] [0017] 첨부된 도면들과 관련하여 아래에서 기술되는 상세한 설명은 본 발명의 예시적 실시예들의 설명으로서 의도되며, 본 발명이 실시될 수 있는 유일한 실시예들만을 표현하는 것으로 의도되지는 않는다. 본 설명 전반에 걸쳐 이용되는 "예시적"이라는 용어는, "예, 예증 또는 예시로서 역할을 하는"을 의미하며, 반드시 다른 예시적 실시예들에 비해 선호되거나 유리한 것으로서 해석되어서는 안 된다. 상세한 설명은 본 발명의 예시적 실시예들의 철저한 이해를 제공하기 위해 특정 세부사항들을 포함한다. 본 발명의 예시적 실시예들은 이 특정 세부사항들 없이도 실시될 수 있다는 것이 당업자들에게 명백할 것이다. 일부 예들에서, 본원에 제시되는 예시적 실시예들의 신규성을 모호하게 하는 것을 회피하기 위해, 잘 알려진 구조들 및 디바이스들은 블록도 형태로 도시된다.

[0010] [0018] 당업자에 의해 인식될 바와 같이, 종종, 단지 하나의 수정 발진기 기준 클럭(예를 들어, 19.2 MHz)만이 PLL(phase-locked loop) 기반 주파수 신시사이저(synthesizer)에 이용가능하다. 링-발진기 VCO(voltage controlled oscillator)들을 이용하는 PLL들에 대해, 출력 위상 잡음은 PLL의 대역폭을 증가시킴으로써 크게 개선될 수 있다. PLL이 주어진 기준 주파수에 대한 그것의 최대 안정적 대역폭에 대해 이미 설계된 경우, 대역폭은 단지 기준 주파수를 증가시킴으로써 추가로 증가될 수 있다.

[0011] [0019] 도 1은 듀티 사이클 정정기(100)를 도시한다. 듀티 사이클 정정기(100)는 차지 펌프(102), 플립-플롭(104) 및 로직 디바이스들(106, 108, 110 및 112)을 포함한다. 예시된 바와 같이, 로직 디바이스들(106, 108, 110 및 112) 각각은 인버터(inverter)를 포함할 수 있다. 플립-플롭(104)은 50%가 아닌 듀티-사이클을 갖는 입력 클럭 신호  $ck_{in}$ 을 수신하도록 구성된다. 또한, 플립-플롭(104)은 포트 D를 통해 공급 전압  $V_{DD}$ 를 그리고 리셋 포트  $rst$ 를 통해 피드백 신호를 수신하도록 구성된다. 플립-플롭(104)은 포트 Q를 통해 클럭 출력  $ck_{dcc}$ 를 그리고 포트  $\overline{Q}$ 를 통해 클럭 출력  $\overline{ck_{dcc}}$ 를 출력하도록 추가로 구성된다.

[0012] [0020] 차지 펌프(102)는 전류 소스  $I_{SOURCE}$ , 트랜지스터들 M1-M6, 캐패시터들  $kC_{INT}$  및  $C_{INT}$  및 스위치들 S1-S4를 포함한다. 전류 소스  $I_{SOURCE}$ 는 공급 전압  $V_{DD}$ 와 트랜지스터 M1의 드레인 사이에 커플링되고, 트랜지스터 M1의 드레인은 트랜지스터 M1의 게이트, 트랜지스터 M2의 게이트 및 트랜지스터 M5의 게이트에 추가로 커플링된다. 트랜지스터 M1의 소스는 노드 A에 커플링되고, 노드 A는 노드 B 및 트랜지스터 M2의 소스에 추가로 커플링된다. 트랜지스터 M2의 드레인은 트랜지스터 M3의 드레인에 커플링되고, 트랜지스터 M3의 드레인은 트랜지스터 M3의 게이트 및 트랜지스터 M4의 게이트에 추가로 커플링된다. 트랜지스터 M3의 소스는 공급 전압  $V_{DD}$ 에 커플링되고, 트랜지스터 M4의 소스는 스위치 S1을 통해 공급 전압  $V_{DD}$ 에 스위칭가능하게(예를 들어, 선택적으로) 커플링된다. 트랜지스터 M4의 드레인은 트랜지스터 M5의 드레인에 커플링되고, 트랜지스터 M5의 소스는 스위치 S2를 통해 노드 B에 스위칭가능하게 커플링된다.

[0013] [0021] 캐패시터  $kC_{INT}$ 는 공급 전압  $V_{DD}$ 와 노드 E 사이에 커플링되고, 노드 E는 트랜지스터 M5의 드레인 및 트랜지스터 M6의 게이트에 커플링된다. 캐패시터  $C_{INT}$ 는 노드 D를 통해 노드 C와 트랜지스터 M6의 드레인 사이에 커플링된다. 트랜지스터 M6은 스위치 S3를 통해 공급 전압  $V_{DD}$ 에 스위칭가능하게 커플링되고, 노드들 C 및 D는 스



위치 S4를 통해 함께 커플링될 수 있다. 노드 D는 로직 디바이스(112)의 입력에 커플링된다. 또한, 스위치들 S1 및 S2는 플립-플롭(104)의 포트 Q로부터 전달되는 신호를 수신하도록 구성되고, 스위치들 S3 및 S4는 플립-플롭(104)의 포트  $\overline{Q}$ 로부터 전달되는 신호를 수신하도록 구성된다.

[0014] [0022] 공칭적으로 동일한 업 및 다운 전류들 및 적분 캐패시터를 갖는 차지 펌프는 입력 클럭의 하이 및 로우 시간 사이의 임의의 미스매치를 검출하는데 이용된다. 캐패시터  $kC_{INT}$ (즉, 전압  $V_{CP}$ ) 상의 전압은 트랜지스터 M6을 통해 캐패시터  $C_{INT}$ 에 전달되는 전류를 제어한다. 캐패시터  $C_{INT}$  상의 전압이 인버터 임계치에 도달하는데 걸리는 시간의 양은 정정된 클럭의 하이 시간을 세팅하는데 이용된다. 이상적으로, 전압  $V_{CP}$ 가 정상 상태에 도달하는 경우, 정정된 클럭 듀티 사이클은 50%이어야 한다. 이러한 접근법의 하나의 단점은 그것이 차지 펌프의 업 및 다운 전류들의 정확한 매칭에 의존한다는 것이다.

[0015] [0023] 본원에 설명되는 바와 같은 예시적 실시예들은 듀티 사이클 미스매치 제거를 포함하는 클럭 더블러에 관련된다. 일 예시적 실시예에 따라, 디바이스는 입력 클럭 신호를 수신하고 정정된 출력 클럭 신호를 전달하도록 구성된 듀티 사이클 정정 회로를 포함할 수 있다. 듀티 사이클 정정 회로는, 입력 클럭 신호의 제 1 사이클 동안 출력 전압을 전달하고 입력 클럭 신호의 제 2 사이클 동안 제 1 회로의 전류 미스매치를 정정하기 위한 제 1 회로를 포함할 수 있다. 듀티 사이클 정정 회로는 또한, 제 2 사이클 동안 출력 전압을 전달하고 제 1 사이클 동안 제 2 회로의 전류 미스매치를 정정하기 위한 제 2 회로를 포함할 수 있다. 또한, 디바이스는 정정된 클럭 신호를 수신하고 출력 클럭 신호를 생성하기 위한 클럭 생성기를 포함할 수 있다.

[0016] [0024] 또 다른 예시적 실시예에 따라, 본 발명은 클럭 신호를 생성하기 위한 방법들을 포함한다. 이러한 방법의 다양한 실시예들은 복수의 차지 펌프들에 의해 정정된 클럭 신호를 생성하는 단계를 포함할 수 있고, 여기서, 복수의 차지 펌프의 각각의 차지 펌프는 입력 클럭 신호의 사이클의 일부 동안 전류 미스매치를 정정하도록 구성된다. 방법은 또한, 정정된 클럭 신호의 주파수보다 큰 주파수를 갖는 출력 클럭을 생성하는 단계를 포함할 수 있다.

[0017] [0025] 본 발명의 다른 양상들 뿐만 아니라, 다양한 양상들의 특징들 및 이점들은 다음의 상세한 설명, 첨부한 도면들 및 첨부된 청구항들의 고려사항을 통해 당업자들에게 명백해질 것이다.

[0018] [0026] 도 2a는 본 발명의 예시적 실시예에 따른 디바이스(200)를 도시한다. 듀티 사이클 정정기를 포함할 수 있는 디바이스(200)는 듀얼 차지 펌프들을 포함한다. 더 구체적으로, 디바이스(200)는 차지 펌프(202) 및 차지 펌프(204)를 포함한다. 디바이스(200)는 플립-플롭(206), 플립-플롭(208), AND 게이트들(210 및 212), NAND 게이트들(214 및 216) 및 인버터들(218, 220, 222 및 224)을 더 포함한다. 또한, 전류 소스 I는 디바이스(200)에 대한 바이어스 전류를 제공하도록 구성된다.

[0019] [0027] 차지 펌프(202)는 트랜지스터들 M7-M16, 스위치들 S5-S12 및 캐패시터  $C_{D1}$ 를 포함한다. 전류 소스 I는 공급 전압  $V_{DD}$ 와 트랜지스터 M11의 드레인 사이에 커플링되고, 트랜지스터 M11의 드레인은 트랜지스터 M11의 게이트, 트랜지스터 M12의 게이트, 트랜지스터 M13의 게이트 및 트랜지스터 M16의 게이트에 추가로 커플링된다. 트랜지스터 M11의 소스는 노드 F에 커플링되고, 노드 F는 트랜지스터 M12의 소스 및 트랜지스터 M13의 소스에 추가로 커플링된다. 트랜지스터 M12의 드레인은 트랜지스터 M9의 소스 및 트랜지스터 M10의 소스에 커플링된다. 트랜지스터 M9의 게이트는 기준 전압  $V_{REF}$ 를 수신하도록 구성되고, 트랜지스터 M9의 드레인은 노드 G에 커플링되고, 노드 G는 트랜지스터 M7의 드레인에 추가로 커플링된다. 트랜지스터 M7의 소스는 트랜지스터 M8의 소스에 커플링되고, 트랜지스터 M7의 게이트는 트랜지스터 M8의 게이트에 커플링된다. 트랜지스터 M8의 게이트는 트랜지스터 M8의 드레인에 커플링되고, 트랜지스터 M8의 드레인은 트랜지스터 M10의 드레인에 추가로 커플링된다.

[0020] [0028] 트랜지스터 M13의 드레인은 노드 H를 통해 트랜지스터 M14의 드레인에 커플링된다. 예시된 바와 같이, 노드 H는 노드 G에 커플링된다. 트랜지스터 M14의 드레인은 트랜지스터 M14의 게이트에 추가로 커플링되고, 트랜지스터 M14의 게이트는 또한, 트랜지스터 M15의 게이트에 커플링된다. 트랜지스터 M14의 소스는 노드 J에 커플링된다. 트랜지스터 M15의 소스는 스위치 S5, 스위치 S6 또는 둘 다를 통해 공급 전압 노드 J에 스위칭가능하게(예를 들어, 선택적으로) 커플링된다. 트랜지스터 M15의 드레인은 노드 K에 커플링되고, 노드 K는 스위치 S7를 통해 노드 L에 스위칭가능하게 커플링된다. 노드 K는 또한, 스위치 S8을 통해 디바이스(200)의 노드 M에 커플링될 수 있다. 노드 L은 스위치 S10를 통해 노드 N에 커플링될 수 있고, 노드 M은 스위치 S9를 통해 노드 N에 커플링될 수 있다. 노드 N은 트랜지스터 M16의 드레인에 추가로 커플링되고, 트랜지스터 M16의 소스는 노

드 P에 커플링되고, 노드 P는 스위치 S11, 스위치 S12 또는 둘 다를 통해 노드 F에 선택적으로 커플링된다. 또한, 캐패시터  $C_{D1}$ 는 노드 J와 트랜지스터 M10의 게이트 사이에 커플링되고, 트랜지스터 M10의 게이트는 또한 노드 L에 커플링된다.

[0021] [0029] 차지 펌프(204)는 트랜지스터들 M17-M26, 스위치들 S13-S22 및 캐패시터들  $C_{D2}$  및  $C_{INT}$ 를 포함한다. 트랜지스터 M17의 소스는 스위치 S13을 통해 노드 AA에 스위칭가능하게(예를 들어, 선택적으로) 커플링되고, 트랜지스터 M17의 게이트는 디바이스(200)의 노드 M에 커플링되고, 트랜지스터 M17의 드레인은 노드 BB에 커플링된다.

[0022] [0030] 트랜지스터 M20은 노드 EE에 커플링된 소스 및 트랜지스터 M24의 게이트에 커플링된 게이트를 갖고, 트랜지스터 M24의 게이트는 트랜지스터들 M25, M11, M12, M13 및 M16의 게이트들에 추가로 커플링된다. 트랜지스터 M20의 드레인은 노드 FF에 커플링되고, 노드 FF는 또한, 트랜지스터 M21의 소스 및 트랜지스터 M19의 소스에 커플링된다. 트랜지스터 M19의 게이트는 기준 전압  $V_{REF}$ 를 수신하도록 구성되고, 트랜지스터 M19의 드레인은 트랜지스터 M18의 드레인 및 노드 CC에 커플링되고, 노드 CC는 트랜지스터 M23의 드레인에 추가로 커플링된다. 트랜지스터 M21의 게이트는 노드 DD에 커플링되고, 트랜지스터 M21의 드레인은 트랜지스터 M22의 드레인에 커플링되고, 트랜지스터 M22의 드레인은 트랜지스터 M22의 게이트 및 트랜지스터 M18의 게이트에 추가로 커플링된다. 트랜지스터 M22의 소스 및 트랜지스터 M18의 소스는 각각 노드 AA에 커플링된다.

[0023] [0031] 또한, 트랜지스터 M24의 소스는 노드 EE에 커플링되고, 트랜지스터 M25의 소스는 스위치 S22, 스위치 S21 또는 둘 다를 통해 노드 EE에 커플링될 수 있다. 트랜지스터 M24의 드레인은 트랜지스터 M23의 드레인에 커플링되고, 트랜지스터 M23의 드레인은 트랜지스터 M23의 게이트 및 노드 GG에 추가로 커플링된다. 트랜지스터 M23의 게이트는 또한, 트랜지스터 M26의 게이트에 커플링되고, 트랜지스터 M23의 소스는 노드 AA에 커플링된다. 게다가, 트랜지스터 M25의 드레인은 노드 HH에 커플링되고, 노드 HH는 스위치 S20를 통해 노드 DD에 그리고 스위치 S19를 통해 노드 M에 커플링될 수 있다. 더욱이, 트랜지스터 M26의 드레인은 노드 KK에 커플링되고, 노드 KK는 스위치 S17을 통해 노드 DD에 그리고 스위치 S18를 통해 노드 M에 커플링될 수 있다. 추가적으로, 트랜지스터 M26의 소스는 스위치 S15, 스위치 S16 또는 둘 다를 통해 노드 AA에 커플링될 수 있다.

[0024] [0032] 노드 J 및 노드 AA는 함께 커플링되고, 디바이스(200)의 캐패시터  $kC_{INT}$ 는 노드 MM과 노드 M 사이에 커플링된다는 점이 주목된다. 차지 펌프 전압  $V_{CP}$ 는 노드 M을 통해 전달될 수 있다는 점이 추가로 주목된다.

[0025] [0033] 더욱이, 플립-플롭(206)은 공급 전압  $V_{DD}$ 에 커플링된 입력 포트 D, 로직 디바이스(224)의 출력에 커플링되고 리셋 전압  $V_{RST}$ 를 수신하도록 구성된 리셋 포트 rst 및 입력 클럭  $ckin$ 을 수신하도록 구성된 또 다른 포트 C1을 포함한다. 플립-플롭(206)은 신호  $ckdcc$ 를 전달하도록 구성된 출력 포트 Q를 더 포함하고, 신호  $ckdcc$ 는 스위치 S13의 동작을 제어하는데 이용될 수 있다. 신호  $ckdcc$ 는 또한, 아래에서 더 충분히 설명되는 바와 같이, AND 디바이스들(210 및 212)에 전달될 수 있다. 플립-플롭(206)은 또한, 신호  $\overline{ckdcc}$ 를 전달하도록 구성된 또 다른 출력 포트  $\overline{Q}$ 를 포함하고, 신호  $\overline{ckdcc}$ 는 스위치 S14의 동작을 제어하는데 이용될 수 있다. 신호  $\overline{ckdcc}$ 는 또한, 아래에서 더 충분히 설명되는 바와 같이, NAND 디바이스들(214 및 216)에 전달될 수 있다.

[0026] [0034] 플립-플롭(208)은 입력 클럭  $ckin$ 을 수신하도록 구성된 포트 C2를 포함한다. 플립-플롭(206)은 신호  $DIV2$ 를 전달하도록 구성된 출력 포트 Q를 더 포함하고, 신호  $DIV2$ 는 스위치들 S5, S7, S20 및 S21의 동작을 제어하는데 이용될 수 있다. 신호  $DIV2$ 는 또한, 아래에서 더 충분히 설명되는 바와 같이, AND 디바이스(210) 및 NAND 디바이스(214)에 전달될 수 있다. 플립-플롭(206)은 또한, 신호  $\overline{DIV2}$ 를 전달하는데 구성된 또 다른 출력 포트  $\overline{Q}$ 를 포함하고, 신호  $\overline{DIV2}$ 는 스위치들 S10, S11, S15 및 S17의 동작을 제어하는데 이용될 수 있다. 신호  $\overline{DIV2}$ 는 또한, 아래에서 더 충분히 설명되는 바와 같이, AND 디바이스(212) 및 NAND 디바이스(216)에 전달될 수 있다. 또한, 도 2a에 예시된 바와 같이, 출력 포트  $\overline{Q}$ 는 플립-플롭(208)의 입력 포트 D에 커플링된다.

- [0027] [0035] AND 게이트(210)는 신호  $DIV2$  및 신호  $ckdcc$ , 및 출력 신호  $DN1$ 을 수신하도록 구성되고, 출력 신호  $DN1$ 은 스위치 S9를 제어하는데 이용될 수 있다. AND 게이트(212)는 신호  $\overline{DIV2}$  및 신호  $ckdcc$ , 및 출력 신호  $DN2$ 를 수신하도록 구성되고, 출력 신호  $DN2$ 는 스위치들 S19 및 S22를 제어하는데 이용될 수 있다. 또한, NAND 게이트(214)는 신호  $DIV2$  및 신호  $\overline{ckdcc}$ , 및 출력 신호  $\overline{UP1}$ 을 수신하도록 구성되고, 출력 신호  $\overline{UP1}$ 은 스위치들 S6 및 S8을 제어하는데 이용될 수 있다. 또한, NAND 게이트(216)는 신호  $\overline{DIV2}$  및 신호  $\overline{ckdcc}$ , 및 출력 신호  $\overline{UP2}$ 를 수신하도록 구성되고, 출력 신호  $\overline{UP2}$ 는 스위치들 S16 및 S18을 제어하는데 이용될 수 있다.
- [0028] [0036] 따라서, 디바이스(200)는 2개의 차지 펌프들(즉, 차지 펌프들(202 및 204))을 포함하고, 각각은 자기 자신의 업/다운 미스매치 정정 회로를 갖는다. 차지 펌프들(202 및 204)은 입력 클럭의 교번 사이클들 상에서 동작하도록 구성된다. 더 구체적으로, 제 1 사이클(즉, 위상) 동안, 차지 펌프(202)는 전압  $V_{CP}$ 를 구동시킬 수 있고, 차지 펌프(204)는 자신의 미스매치를 검출 및 정정할 수 있다. 또한, 또 다른 위상(즉, 사이클) 동안, 차지 펌프(204)는 전압  $V_{CP}$ 를 구동시킬 수 있고, 차지 펌프(202)는 자신의 미스매치를 검출 및 정정할 수 있다.
- [0029] [0037] 더 특정한 예로서, 하나의 사이클(예를 들어, 이븐(even) 사이클) 동안, 입력 클럭은 캐패시터  $kC_{INT}$  상으로 통합되는 차지 펌프(202)의 업 및 다운 전류들의 듀레이션을 제어한다. 동시에, 차지 펌프(204)의 업/다운 전류 미스매치는 캐패시터  $C_{UD2}$  상으로 통합된다. 차지 펌프(204)의 업 및 다운 전류들이 동일하지 않으면, GM 스테이지(즉, 트랜지스터들 M21 및 M19를 포함하는 차동 쌍)는 기준 전압  $V_{REF}$ (이는, 예를 들어, 전압  $V_{CP}$ 의 고정(settled) 값과 공칭적으로 동일할 수 있음)과 캐패시터  $C_{UD2}$  상의 전압 사이의 차를 측정하며, 차지 펌프(204)의 업 전류가 차지 펌프(204)의 다운 전류와 매칭될 때까지 차지 펌프(204)의 업 전류를 조정한다. 더 구체적으로, 정정 전류(즉, 트랜지스터 M23의 드레인과 트랜지스터 M18의 드레인 사이에서 흐르는 전류)는 차지 펌프(204)의 업 전류 및 차지 펌프(204)의 다운 전류를 실질적으로 동일하게 강제(force)하는데 이용될 수 있다.
- [0030] [0038] 유사하게, 또 다른 상이한 사이클(예를 들어, 오드(odd) 사이클) 동안, 입력 클럭은 캐패시터  $kC_{INT}$  상으로 통합되는 차지 펌프(204)의 업 및 다운 전류들의 듀레이션을 제어한다. 동시에, 차지 펌프(202)의 업/다운 전류 미스매치는 캐패시터  $C_{UD1}$  상으로 통합된다. 차지 펌프(202)의 업 및 다운 전류들이 동일하지 않으면, GM 스테이지(즉, 트랜지스터들 M9 및 M10을 포함하는 차동 쌍을 포함함)는 기준 전압  $V_{REF}$ (이는, 예를 들어, 전압  $V_{CP}$ 의 고정 값과 공칭적으로 동일함)과 캐패시터  $C_{UD1}$  상의 전압 사이의 차를 측정하며, 차지 펌프(202)의 업 전류가 차지 펌프(202)의 다운 전류와 매칭될 때까지 차지 펌프(202)의 업 전류를 조정한다. 더 구체적으로, 정정 전류(즉, 트랜지스터 M7의 드레인과 트랜지스터 M14의 드레인 사이에서 흐르는 전류)는 차지 펌프(202)의 업 전류 및 차지 펌프(202)의 다운 전류를 실질적으로 동일하게 강제하는데 이용될 수 있다.
- [0031] [0039] 도 2b는 도 2a의 디바이스(200)를 동작시키기 위한 예시적 타이밍도(250)이다. 타이밍도(250)는 클럭 입력 신호  $ckin$ , 클럭 신호  $ckdcc$ , 신호  $DIV2$ , 신호들  $DN1$  및  $DN2$ , 신호들  $\overline{UP1}$  및  $\overline{UP2}$ , 차지 펌프 전압  $V_{CP}$  및 리셋 전압  $V_{RST}$ 에 대한 타이밍 신호들을 포함한다. 타이밍도(250)에 도시된 바와 같이, 디바이스(200)는, 듀티 사이클 정정을 통해, 실질적으로  $0^\circ$  및  $180^\circ$  도 위상들에서 각각, 클럭 신호  $ckdcc$ 의 상승 및 하강 에지들을 포지셔닝하도록 구성된다.
- [0032] [0040] 또한, 예시적 실시예에 따라, 듀티 사이클 정정된 클럭(예를 들어, 클럭 신호  $ckdcc$ )의 상승 및 하강 에지들에서의 쿼터 기간 펄스들은 클럭 생성기를 통해 생성될 수 있다. 도 3a는 예시적 실시예에 따른 클럭 생성기(300)를 예시한다. 클럭 생성기(300)는 트랜지스터들 M27 및 M28, 캐패시터들  $C1$ ,  $C2$  및  $C3$ , 레지스터 R, 스위치들 S23-S26, 플립-플롭들(302 및 304), NAND 게이트(306) 및 인버터들(308, 310, 312, 314 및 316)을 포함한다.
- [0033] [0041] 트랜지스터 M27의 게이트는 트랜지스터 M28의 게이트 및 노드 NN에 커플링되고, 노드 NN은 레지스터 R을 통해 입력에 추가로 커플링된다. 캐패시터  $C1$ 은 노드 NN과 노드 PP 사이에 커플링되고, 노드 PP는 공급 전압

$V_{DD}$ 에 커플링되며, 스위치 S23을 통해 트랜지스터 M27의 소스에 커플링될 수 있다. 트랜지스터 M27의 드레인은 캐패시터 C2의 하나의 측에 커플링된 노드 QQ에 커플링된다. 캐패시터 C2의 또 다른 측은 접지 전압 GRND에 커플링된다. 스위치 S25를 통해 접지 전압 GRND에 커플링될 수 있는 노드 QQ는 또한, 인버터(312)의 입력에 커플링된다. 인버터(312)의 출력은 인버터(310)의 입력에 커플링되고, 인버터(310)는 플립-플롭(302)의 리셋 포트 rst에 커플링된 출력을 갖는다.

[0034] [0042] 트랜지스터 M28의 소스는 스위치 S24를 통해 공급 전압  $V_{DD}$ 에 커플링될 수 있다. 더욱이, 트랜지스터 M28의 드레인은 캐패시터 C3의 하나의 측에 커플링된 노드 RR에 커플링된다. 캐패시터 C3의 또 다른 측은 접지 전압 GRND에 커플링된다. 또한, 스위치 S26을 통해 접지 전압 GRND에 커플링될 수 있는 노드 RR은 또한, 인버터(316)의 입력에 커플링된다. 인버터(316)의 출력은 플립-플롭(304)의 리셋 포트 rst에 커플링된 출력을 갖는 인버터(314)의 입력에 커플링된다. 일 예에 따라, 캐패시터들 C2 및 C3은 각각 캐패시터  $C_{INT}$ 의 캐패시턴스 값의 1/2인 캐패시턴스 값들을 포함할 수 있다(도 2 참조)(즉, 예를 들어,  $C2 = C3 = 1/2 C_{INT}$ ).

[0035] [0043] 플립-플롭(302 및 304) 각각은 공급 전압  $V_{DD}$  및 클럭 신호  $ckdcc$ 를 수신하도록 구성된다. 또한, 플립-플롭(302)은 신호  $ck\_cs1$ 을 NAND 게이트(306)의 포트에 전달하도록 구성된다. 신호  $ck\_cs1$ 은 또한, 스위치들 S23 및 S25의 동작을 제어하기 위해 스위치들 S23 및 S25에 의해 수신될 수 있다. 플립-플롭(304)은 신호  $ck\_cs2$ 를 NAND 게이트(306)의 또 다른 포트에 전달하도록 구성된다. 신호  $ck\_cs2$ 는 또한, 스위치들 S24 및 S26의 동작을 제어하기 위해 스위치들 S24 및 S26에 의해 수신될 수 있다. NAND 게이트(306)는, 실질적으로 50%의 듀티 사이클 및 클럭 신호  $ckdcc$ 의 주파수에 비해 2배인 주파수를 갖는 클럭 신호  $ck2x$ 를 출력하도록 구성된다.

[0036] [0044] 따라서, 클럭 생성기(300)는, 디바이스(200)의 최종 스테이지(즉, 트랜지스터 M17 및 캐패시터  $C_{INT}$ 을 포함하는 스테이지)와 유사한, 2개의 전류 소스 및 캐패시터 스테이지들(즉, 트랜지스터 M27 및 캐패시터 C2를 포함하는 스테이지 및 트랜지스터 M28 및 캐패시터 C3을 포함하는 스테이지)을 포함한다. 그러나, 위에서 주목한 바와 같이, 캐패시터들 C2 및 C3은 캐패시터  $C_{INT}$ 의 캐패시턴스의 1/2인 캐패시턴스를 포함할 수 있고, 따라서, 캐패시터들 C2 및 C3은 입력 클럭 사이클의 1/4에서 인버터 임계치로 통합시킬 것이다. 클럭 생성기(300)의 하나의 스테이지는 정정된 클럭의 이븐 위상에서 동작하고, 하나의 스테이지는 정정된 클럭의 역 위상에서 동작한다. 플립-플롭(302 및 304) 각각의 출력은, 클럭 신호  $ckdcc$ 와 동일하지만 25% 듀티 사이클을 갖는 주파수에서의 클럭이다. 클럭 신호들  $ck\_cs1$ 의 반전 및 클럭 신호  $ck\_cs2$ 의 반전은 클럭 신호  $ck2x$ 를 생성하기 위해 NAND 게이트(306)를 통해 결합될 수 있다. RC 필터(즉, 레지스터 R 및 캐패시터 C1)는 전압  $V_{CP}$  상에서의 리플(ripple)이 2배의 클럭의 듀티 사이클에 과도하게 영향을 미치는 것을 방지하기 위해 전압  $V_{CP}$ 의 삼각형(triangularity)을 제거할 수 있다는 점이 주목된다.

[0037] [0045] 도 3b는 도 3a의 디바이스(300)를 동작시키기 위한 예시적 타이밍도(350)이다. 타이밍도(350)는 클럭 신호  $ckdcc$ , 신호  $ck\_cs1$ , 신호  $ck\_cs2$ , 리셋 전압  $V_{RST1}$ , 리셋 전압  $V_{RST2}$  및 클럭 신호  $ck2x$ 에 대한 타이밍 신호들을 포함한다.

[0038] [0046] 도 4는 본 발명의 예시적 실시예에 따른 디바이스(400)를 도시한다. 미스매치 제거를 갖는 클럭 더블러를 포함할 수 있는 디바이스(400)는 클럭 생성기(404)에 커플링된 듀티 사이클 정정기(402)를 포함한다. 단지 예로서, 듀티 사이클 정정기(402)는 도 2에 예시된 디바이스(200)(예를 들어, 듀티 사이클 정정기)를 포함할 수 있고, 클럭 생성기(404)는 도 3에 예시된 클럭 생성기(300)를 포함할 수 있다. 디바이스(402)는 클럭 신호를 수신하고 정정된 클럭 신호를 출력하도록 구성될 수 있다. 또한, 클럭 생성기(404)는 정정된 클럭 신호를 수신하고 정정된 클럭 신호의 주파수에 대해 2배인 주파수를 갖는 클럭 신호를 출력하도록 구성될 수 있다.

[0039] [0047] 도 5는 하나 또는 둘 이상의 예시적 실시예들에 따른 방법(500)을 예시하는 흐름도이다. 방법(500)은 복수의 차지 펌프들에 의해 정정된 클럭 신호를 생성하는 단계를 포함할 수 있고, 복수의 차지 펌프들의 각각의 차지 펌프는 입력 클럭 신호의 사이클의 일부 동안 전류 미스매치를 정정하도록 구성된다(참조번호 502로 도시됨). 또한, 방법(500)은 또한, 정정된 클럭 신호의 주파수보다 큰 주파수를 갖는 출력 클럭을 생성하는 단계를 포함할 수 있다(참조번호 504로 도시됨).

[0040] [0048] 도 6은 하나 또는 둘 이상의 예시적 실시예들에 따른 또 다른 방법(600)을 예시하는 흐름도이다. 방법(600)은 입력 클럭 신호를 수신하고, 정정된 클럭 신호를 생성하는 단계를 포함할 수 있다(참조번호 602로 도시됨). 또한, 방법(600)은 또한, 입력 클럭 신호의 제 1 사이클 동안 제 1 차지 펌프에 의해 출력 전압을 생성하



는 단계를 포함할 수 있다(참조번호 604로 도시됨). 방법(600)은 또한, 입력 클럭 신호의 제 2 사이클 동안 제 2 차지 펌프의 제 1 전류와 제 2 전류 사이의 미스매치를 정정하는 단계를 포함할 수 있다(참조번호 606으로 도시됨). 방법(600)은 제 2 사이클 동안 제 2 차지 펌프에 의해 출력 전압을 생성하는 단계를 더 포함할 수 있다(참조번호 608로 도시됨). 또한, 방법(600)은 제 1 사이클 동안 제 1 차지 펌프의 제 1 전류와 제 2 전류 사이의 미스매치를 정정하는 단계를 포함할 수 있다(참조번호 610으로 도시됨). 더욱이, 방법(600)은 정정된 클럭 신호에 기초하여 2배의 클럭 신호를 생성하는 단계를 포함할 수 있다(참조번호 612로 도시됨).

[0041] [0049] 도 7은 셀룰러 폰, 단말, PDA(personal digital assistant), 핸드셋 또는 일부 다른 디바이스일 수 있는 무선 디바이스(700)의 블록도를 도시한다. 무선 디바이스(700)는 CDMA, TDMA, FDMA, GSM, OFDMA, GPS 및/또는 당해 기술 분야에 공지된 다른 시스템들과 같은 다양한 무선 통신 시스템들과 통신할 수 있다.

[0042] [0050] 수신 경로 상에서, 안테나(712)는 기지국들 및/또는 위성들에 의해 송신된 신호들을 수신하며, 수신된 신호를 수신기(RCVR)(714)에 제공한다. 수신기(714)는 수신된 신호를 프로세싱(예를 들어, 필터링, 증폭, 주파수 하향변환 및 디지털화)하며, 추가 프로세싱을 위해 샘플들을 디지털 모듈(720)에 제공한다. 송신 경로 상에서, 디지털 모듈(720)은 송신될 데이터를 프로세싱하며, 데이터 칩들을 송신기(TMTR)(716)에 제공한다. 송신기(716)는 데이터 칩들을 프로세싱(예를 들어, 아날로그로의 변환, 필터링, 증폭 및 주파수 상향 변환)하며, 안테나(712)를 통해 송신된 변조된 신호를 생성한다.

[0043] [0051] 디지털 모듈(720)은 통신 및/또는 다른 기능들을 지원하는 다양한 프로세싱 유닛들을 포함한다. 디지털 모듈(720) 내에서, DSP(digital signal processor) 코어(734)는 송신 경로에 대한 프로세싱(예를 들어, 인코딩 및 변조), 수신 경로에 대한 프로세싱(예를 들어, 복조 및 디코딩), 및/또는 다른 애플리케이션들 및 기능들에 대한 프로세싱을 수행한다. 프로세서 코어(736)는 비디오, 오디오, 그래픽들, 게이밍 등과 같은 다양한 기능들을 지원한다. 제어기/프로세서(730)는 디지털 모듈(720) 내의 프로세싱 유닛들의 동작을 지시한다. 메모리(732)는 프로세싱 유닛들에 대한 프로그램 코드들 및 데이터를 저장한다. 외부 인터페이스 유닛(738)은 디지털 모듈(720) 외부의 다른 유닛들과 인터페이싱한다.

[0044] [0052] 디바이스(400)(도 4 참조)를 포함할 수 있는 클럭 생성기(740)는 디지털 모듈(720) 내의 프로세싱 유닛들에 의해 이용되는 클럭 신호들을 생성한다. 클럭 더블러를 포함할 수 있는 클럭 생성기(740)는 클럭 신호들을 생성하기 위한 하나 또는 둘 이상의 VCO들 및/또는 PLL들을 포함할 수 있다. 클럭 생성기(740)는 클럭 신호들을 디지털 모듈(720) 내의 다른 프로세싱 유닛들로 분배한다. 클럭 분배 네트워크는 클럭 생성기(740)로부터 다른 프로세싱 유닛들로 진행되는 선들에 의해 표현된다. 클럭 생성기(740)는 제어기/프로세서(730), 메모리(732), DSP 코어(734), 프로세서 코어(736), 인터페이스 유닛(738), 및/또는 다른 유닛들로 구현될 수 있다.

[0045] [0053] 본원에 설명되는 클럭 생성기는 발진기, PLL, 클럭 분배 네트워크 또는 일부 다른 클럭 소스로부터의 클럭 신호의 듀티 사이클을 개선하는데 이용될 수 있다. 클럭 생성기는 양호한 듀티 사이클(예를 들어, 50%에 근접함)을 갖는 출력 클럭 신호를 생성할 수 있다. 듀티 사이클은 클럭 신호의 중요한 사양일 수 있으며, 많은 현대의 전자 디바이스들에서 이용되는 더 높은 클럭 레이트들에 대해 더 중요할 수 있다. 클럭 생성기는 편의상 집적 회로의 임의의 부분으로 구현되고, 필요한 곳 어디에서든 클럭 듀티 사이클을 정정하는데 이용될 수 있다. 임의의 수의 클럭 생성기 회로들이 주어진 집적 회로 상에서 구현될 수 있다.

[0046] [0054] 본원에 설명되는 클럭 생성기는 IC(integrated circuit), ASIC(application specific integrated circuit), DSP(digital signal processor), DSPD(digital signal processing device), PLD(programmable logic device), FPGA(field programmable gate array), 프로세서, 제어기, 마이크로-제어기, 마이크로프로세서, 및 다른 전자 유닛들로 구현될 수 있다. 클럭 생성기는 또한, CMOS, N-MOS, P-MOS, BJT, GaAs 등과 같은 다양한 IC 프로세스 기술들을 이용하여 제조될 수 있다. 클럭 생성기는 또한, 이산 컴포넌트들로 구현될 수 있다.

[0047] [0055] 당업자들은 정보 및 신호들이 다양한 상이한 기술들 및 기법들 중 임의의 것을 이용하여 표현될 수 있다는 것을 이해할 것이다. 예를 들어, 상기 설명의 전체에 걸쳐 참조될 수 있는 데이터, 명령들, 커맨드들, 정보, 신호들, 비트들, 심볼들 및 칩들은 전압들, 전류들, 전자기파들, 자기장들 또는 자기 입자들, 광 펄스들 또는 광 입자들 또는 이들의 임의의 결합으로 표현될 수 있다.

[0048] [0056] 당업자들은 본원에 개시된 예시적 실시예들과 관련하여 설명된 다양한 예시적 논리 블록들, 모듈들, 회로들 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어 또는 이 둘의 결합들로서 구현될 수 있다는 것을 추가로 인식할 것이다. 하드웨어 및 소프트웨어의 이러한 상호교환가능성을 명백하게 예시하기 위해, 다양한

예시적 컴포넌트들, 블록들, 모듈들, 회로들 및 단계들이 일반적으로 그들의 기능에 관하여 위에서 설명되었다. 이러한 기능이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지는 전체 시스템 상에 부과되는 설계 제약들 및 특정 애플리케이션에 의존한다. 당업자들은 각각의 특정 애플리케이션에 대해 다양한 방식으로 설명된 기능을 구현할 수 있지만, 이러한 구현 결정들은 본 발명의 예시적 실시예들의 범위를 벗어나게 하는 것으로 해석되어서는 안 된다.

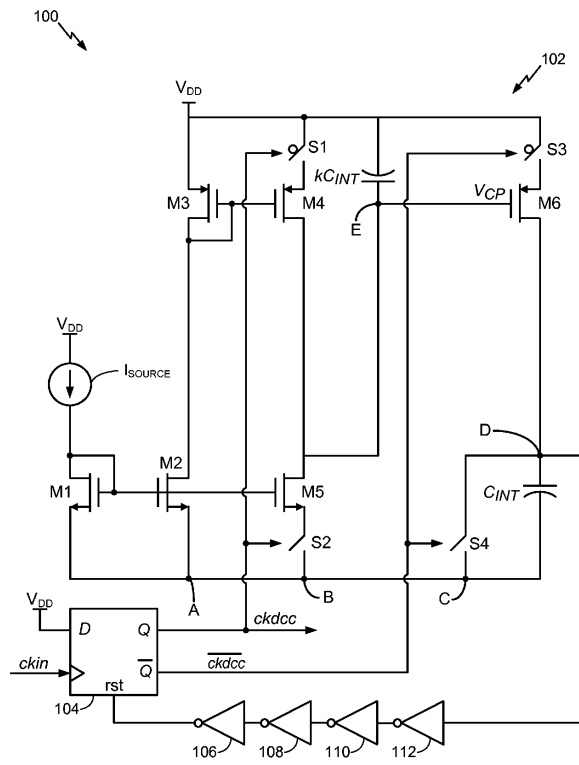
[0049] [0057] 본원에 개시된 예시적 실시예들과 관련하여 설명된 다양한 예시적 논리 블록들, 모듈들 및 회로들은 범용 프로세서, DSP(Digital Signal Processor), ASIC(Application Specific Integrated Circuit), FPGA(Field Programmable Gate Array) 또는 다른 프로그래머블 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본원에 설명된 기능들을 수행하도록 설계되는 이들의 임의의 결합으로 구현 또는 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기 또는 상태 머신일 수 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 결합 예를 들어, DSP 및 마이크로프로세서의 결합, 복수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 둘 이상의 마이크로프로세서들, 또는 임의의 다른 이러한 구성으로서 구현될 수 있다.

[0050] [0058] 하나 또는 둘 이상의 예시적 실시예들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어 또는 이들의 임의의 결합으로 구현될 수 있다. 소프트웨어로 구현되는 경우, 기능들은 컴퓨터 판독가능한 매체 상에 하나 또는 둘 이상의 명령들 또는 코드로서 저장되거나 이를 통해 송신될 수 있다. 컴퓨터 판독가능한 매체들은 하나의 장소에서 다른 장소로 컴퓨터 프로그램의 이전을 가능하게 하는 임의의 매체를 포함하는 통신 매체들 및 컴퓨터 저장 매체들 둘 모두를 포함한다. 저장 매체들은 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체들일 수 있다. 제한이 아닌 예로서, 이러한 컴퓨터 판독가능한 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 스토리지, 자기 디스크 스토리지 또는 다른 자기 저장 디바이스들, 또는 원하는 프로그램 코드를 명령들 또는 데이터 구조들의 형태로 전달 또는 저장하기 위해 이용될 수 있고 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 연결은 컴퓨터 판독가능한 매체로 적절히 지칭된다. 예를 들어, 소프트웨어가 웹사이트, 서버, 또는 다른 원격 소스로부터 동축 케이블, 광섬유 케이블, 꼬임 쌍선, DSL(digital subscriber line), 또는 (적외선, 라디오 및 마이크로파와 같은) 무선 기술들을 이용하여 송신되는 경우, 동축 케이블, 광섬유 케이블, 꼬임 쌍선, DSL, 또는 (적외선, 라디오 및 마이크로파와 같은) 무선 기술들이 매체의 정의 내에 포함된다. 본원에서 이용되는 바와 같은 디스크(disk) 및 디스크(disc)는 CD(compact disc), 레이저 디스크(disc), 광 디스크(disc), DVD(digital versatile disc), 플로피 디스크(disk) 및 블루레이 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 통상적으로 데이터를 자기적으로 재생하는 반면, 디스크(disc)들은 광학적으로 레이저들을 이용하여 데이터를 재생한다. 위의 것들의 결합들이 또한, 컴퓨터 판독가능한 매체들의 범위 내에 포함되어야 한다.

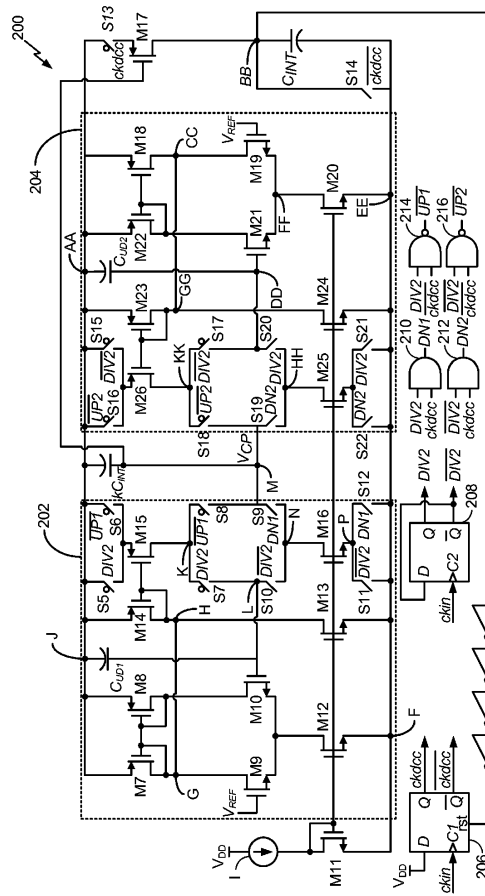
[0051] [0059] 개시된 예시적 실시예들의 이전 설명은 임의의 당업자가 본 발명을 실시하거나 또는 이용할 수 있도록 제공된다. 이러한 예시적 실시예들에 대한 다양한 수정들은 당업자들에게 쉽게 명백할 것이고, 본원에서 정의된 일반적 원리들은 본 발명의 사상 또는 범위를 벗어나지 않으면서 다른 실시예들에 적용될 수 있다. 따라서, 본 발명은 본원에 도시된 예시적 실시예들에 제한되는 것으로 의도된 것이 아니라, 본원에 개시된 원리들 및 신규한 특징들과 일치하는 가장 넓은 범위를 따를 것이다.

도면

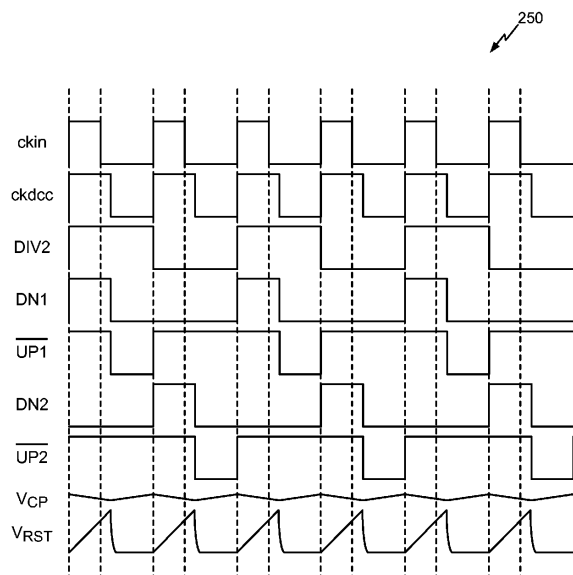
도면1



도면2a

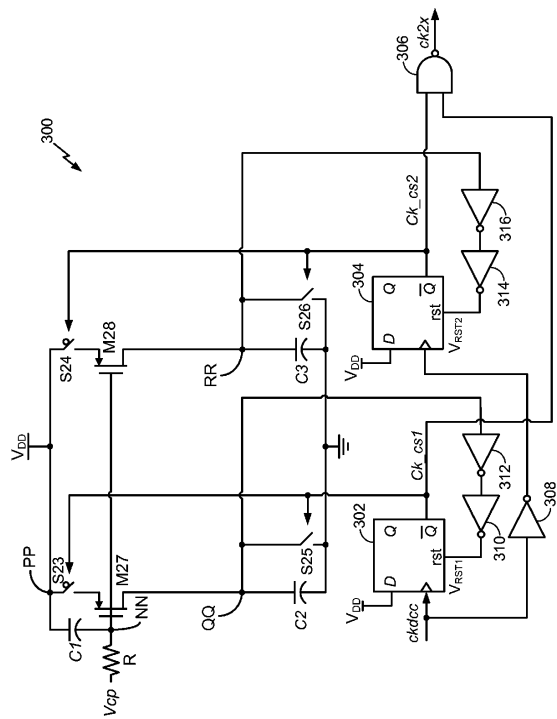


도면2b

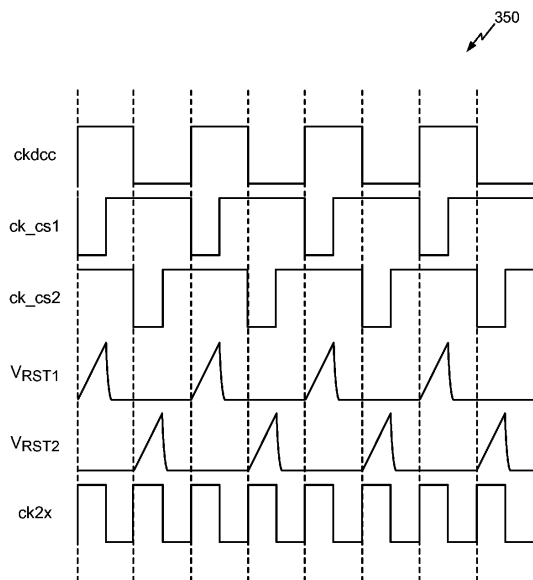




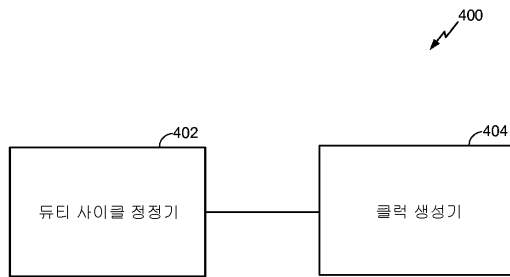
도면3a



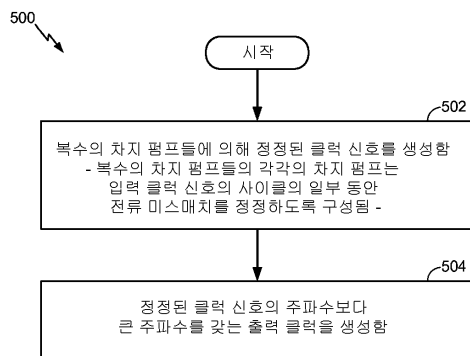
도면3b



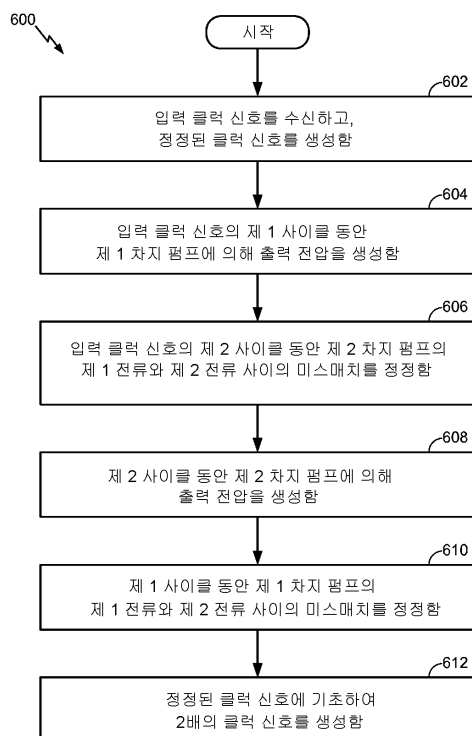
도면4



도면5



도면6



도면7

