

기존의 플래시 메모리 장치는 단일 스택-게이트 트랜지스터(single stack-gate transistor)가 메모리 셀을 구성하는 스택-게이트 플래시 EEPROM이다. 이 장치는 부동 게이트에 고온 전자 주사 방식을 사용하여 종래의 자외선 소거 EPROM으로 프로그래밍하고, 소스 지역으로부터 Fowler-Nordheim 터널링(tunneling) 방식을 통해 소거한다. 이러한 장치는 과소거 감도(over-erase sensitivity)와 높은 프로그래밍 전류의 단점을 가진다. 상기 과소거 감도에서는, 메모리 셀의 게이트가 선택되지 아니하고 접지 전위로 바이어스될 때조차 음의 한계전압에 메모리 셀이 소거될 수 있어, 셀을 전도 상태로 바꿀 수 있다. 상기 높은 프로그래밍 전류는 메모리 셀이 분리된 전원 공급 장치 전압에 의해 프로그래밍되는 것을 요구한다. 일례로 미국 특허 제 4,698,787 호를 참조할 수 있다.

다른 형태의 플래시 메모리 장치는 분리된 게이트 구조를 사용한다. 이 장치는 과소거 감도를 제거할 수 있다. 이는 부동 게이트가 과소거되더라도, 채널의 전도는 다른 채널 위의 전도 게이트를 바이어스시켜야 하기 때문이다. 그러나, 프로그래밍 및 소거 메카니즘은 스택-게이트 구조와 동일하다. 이 구조의 단점은, 셀 크기가 증가하는 것이고, 분리된 게이트 조립체로 인해 얼라인먼트 감도(alignment sensitivity)로 고생하는 것이다. 일례로 미국 특허 제 5,029,130 호를 참조할 수 있다.

또다른 종류의 플래시 메모리 셀은 소스-측부 주사 방식을 사용한다. 상기 방식은 고온 전자 프로그래밍 전류를 최소화시켜서, 5 V 또는 3.5 V의 단일 전원 공급 장치로부터 충분한 프로그래밍 전류를 공급하는 데 칩 전압 멀티플라이어(on-chip voltage multiplier)를 사용할 수 있다. 그러나, 이 셀의 구조는 얼라인먼트 감도와 낮은 스케일성(scalability), 셀 크기와 결합비 사이의 조화 등의 문제점을 가진다. 이는 미국 특허 제 5,194,925 호를 참조로 할 수 있다.

마지막으로 미국 특허 제 5,303,187 호와 4,462,920 호와 5,280,446 호를 참조로 할 때, 선택 게이트, 제어 게이트, 소스, 그리고 드레인이 있는 네 개의 터미널을 가지는 단일 트랜지스터 메모리 셀이 공개된다. 그러나, 미국 특허 제 5,303,187 에 공개된 메모리 셀은 부동 게이트로부터 기관까지 전자 터널링을 이용하여 소거된다(제 5 컬럼, 64-68 열 참조). 부동 게이트와 기관 사이의 큰 커패시턴스로 인한 낮은 결합비 때문에 이는 바람직하지 못하다. 그 결과, 소거에 필요한 더 높은 전압이 요구된다. 또한, n-타입 셀의 소거 작용을 위한 전위를 공급하기 위해 음의 전압이 요구된다. 이는 상기 공정에 높은 PMOS 정션 브레이크다운 전압과 고전기장 분리 한계전압, 그리고 낮은 PMOS 트랜지스터 마디 효과를 제공하도록 하여, 상기 회로가 만족스런 소거 작용을 얻기 위해 충분한 양의 음전압을 공급할 수 있다.

미국 특허 4,462,090 호와 5,280,446 호 각각은 선택 게이트를 위한 분리 게이트 구조를 공개한다. 이러한 선택 게이트를 위한 분리 게이트 구조는 미스얼라인먼트(misalignment)로 인한 감도에 일격을 가한다.

발명의 상세한 설명

본 발명에서, 전기적으로 소거 및 프로그래밍 가능한 ROM 셀은 제 1 영역, 공간상 이격된 제 2 영역, 그리고 그 사이의 채널이 있는 반도체 기관을 가진다. 채널은 제 1 도전율형(first conductivity type)이고, 상기 제 1 영역은 제 2 도전율형(second conductivity type)의 도펀트(dopant)를 주입함으로써 만들어지며, 상기 제 2 영역은 상기 제 2 도전율형의 도펀트를 제 1 레벨까지 주입함으로써 만들어지고, 또한 상기 제 1 레벨보다 깊은 제 2 레벨에 상기 제 2 도전율형의 도펀트를 주사함으로써 만들어진다. 선택 게이트는 기관위에 위치하고 기관으로부터 절연되며 상기 채널의 제 1 부분 너머로 연장된다. 부동 게이트는, 선택 게이트 위의 제 1 부분을 가지고 선택 게이트로부터 절연되고, 기관위의 제 2 부분을 가지고 기관으로부터 또한 절연되고, 선택 게이트와 소스 사이의 채널 제 2 부분 너머로 연장된다.

메모리 어레이는 다수의 행과 열에 의해 형성되는 행열에 배열되는 전기적으로 소거 및 프로그래밍 가능한 다수의 ROM 셀을 가지고, 상기 행열은, 같은 행 내 각각의 메모리 셀의 같은 터미널을 연결하는 다수의 행 라인을 가지고, 같은 열 내 각각의 메모리 셀의 같은 터미널을 연결하는 다수의 열 라인을 가진다. 행 디코딩 수단은 행 주소 신호를 수신하고 상기 신호에 따라 다수의 행 라인 중 한 개를 선택한다. 열 디코딩 수단은 열 주소 신호를 수신하고 상기 신호에 따라 다수의 열 라인 중 한 개를 선택한다.

도면의 간단한 설명

도 1(a)는 본 발명의 메모리 셀 제 1 실시예의 단면도.

도 1(b)는 1 μ m CMOS 설계 규칙에 따라 도 1(a)에 도시되는 본 발명 메모리 셀 제 1 실시예의 평면도.

도 2는 원칙 결합 커패시터(principle coupling capacitor)를 도시하면서 도 1(a)에서 도시되는 메모리 셀 제 1 실시예의 단면도.

도 3은 본 발명 메모리 셀 제 2 실시예의 단면도.

도 4는 본 발명 메모리 셀 제 3 실시예의 단면도.

도 5(a)는 본 발명 메모리 셀 제 4 실시예의 단면도.

도 5(b)는 1 μ m CMOS 설계 규칙을 사용하여 도 5(a)에 도시되는 본 발명 메모리 셀 제 4 실시예의 평면도.

도 6은 본 발명 메모리 셀 제 5 실시예의 단면도.

도 7은 도 1(a), 3, 또는 4에 도시되는 본 발명 메모리 셀의 실시예 중 하나를 사용하는, 본 발명 메모리 어레이의 제 1 실시예의 블록 선도.

도 8은 도 5(a) 또는 6에 도시되는 본 발명의 메모리 셀의 실시예 중 하나를 사용하는, 본 발명의 메모리 어레이의 제 2 실시예의 블록 선도.

도 9는 도 5(a) 또는 6에 도시되는 본 발명의 메모리 셀의 실시예 중 하나를 사용하는, 본 발명의 메모리 어레이의 제 3 실시예의 블록 선도.

(참조 번호 설명)

10, 110, 210, 310, 410 ... 메모리 셀

12 ... 기관 14 ... 소스

16 ... 드레인 18 ... 채널

20 ... 선택 게이트 22 ... 제 1 절연 레이어

24 ... 부동 게이트 26 ... 제 2 절연 레이어

28 ... 제 3 절연 레이어 30 ... 제어 게이트

32 ... 제 4 절연 레이어 38 ... 채널의 제 1 부분

50, 150, 250 ... 메모리 어레이

52 ... 행 디코더 54 ... 열 디코더

56 ... 고압 디코더 58 ... PRE 신호

60 ... 제 3 행 라인 62 ... 제 1 행 라인

64 ... 제 2 행 라인 66 ... 열 라인

72 ... 고압 소스

실시예

본 발명의 메모리 셀(10)의 선호되는 실시예는 도 1(a)에 도시된다. 메모리 셀(10)은 소스(14), 드레인(16), 그리고 그 사이의 채널(18)을 가지는 반도체 기관(12)으로 구성된다. 선택 게이트(20)는 채널(18)의 제 1 부분(38) 위에 위치하고, 제 1 절연 레이어(22)에 의해 채널(18)로부터 분리된다. 선택 게이트(20)가 도 1(a)의 드레인(16) 부분과 겹쳐지는 것으로 도시됨에도 불구하고, 선택 게이트(20)가 드레인(16)과 겹쳐지는 것은 중요하지 않다. 선택 게이트(20)는 기관(12)에 증착되는 제 1 다결정 실리콘 레이어이다. 미국 특허 4,462,090 호에 도시되고 기술된 어드레싱 게이트(addressing gate)와는 달리, 본 발명의 메모리 셀(10)에 사용되는 선택 게이트(20)는 평면형태이어서 미스얼라인먼트(misalignment)가 생기지 않는다. 제 1 절연 레이어(22)는 산화규소(silicon oxide)와 같은 일반적인 절연 물질로 이루어진다.

제 2 다결정 실리콘 레이어로부터 만들어지는 부동게이트(24)는 두 개의 부분을 가진다. 선택 게이트(20) 위의 제 1 부분은 제 2 절연 레이어(26)D 의해 선택 게이트로부터 분리되고, 기관(12) 위의 제 2 부분은 제 3 절연 레이어(28)에 의해 기관으로부터 분리된다. 부동 게이트(24)의 제 2 부분은 선택 게이트(20)와 소스(14) 사이에서 채널(18) 부분 너머로 연장된다. 또한, 부동 게이트(24)의 제 2 부분은 소스(14) 너머로 연장된다.

제어 게이트(30)는 선택 게이트(20)와 부동 게이트(24) 위에 있고 제 4 절연 레이어(32)에 의해 부동 게이트로부터 분리된다. 메모리 셀(10)은 네 개의 터미널에 공급된 전압에 의해 제어된다. 상기 네 개의 터미널은 소스(14), 드레인(16), 선택 게이트(20), 그리고 제어 게이트(24)이다.

메모리 셀(10)의 배치도가 도 1(b)에 도시되는 데, 이는 1 μ m CMOS 방식의 설계규칙에 기초하여 그려진다. 후에 논의될 셀의 스케일러빌리티(scalability) 때문에, 셀 치수는 스케일링(scaling)된 방식의 라인폭과 거의 비례하게 감소한다. 예를 들어 1 μ m CMOS 방식을 사용하면, n+ 드레인 영역(16)은 0.3 μ m의 깊이를 가질 수 있다. n+ 소스 영역(14)은 0.5-0.6 μ m의 깊이를 가질 수 있다. 제 1 절연 필름 영역(22)은 180Å의 열적으로 성장한 SiO₂ 필름일 수 있다. 제 3 절연 필름 영역(28)은 100Å의 열적으로 성장한 SiO₂ 필름일 수 있다. 제 2 절연 필름 영역(26)은 SiO₂와 같은 두께 250Å의 ONO 필름일 수 있다. 제 4 절연 필름 영역(32)은 SiO₂와 같은 두께 250Å의 다른 하나의 ONO 필름일 수 있다. 선택 게이트(20)의 길이는

1 μ m이고, 전체 부동 게이트(24)의 길이는 1.1 μ m이며 선택 게이트(20)와 겹쳐지는 부분이 0.5 μ m이고, 기판과 겹쳐지는 부분이 0.6 μ m이다. 제어 게이트(30)의 길이는 1.1 μ m이고, 선택 게이트(20)와 겹쳐지는 부분이 0.25 μ m이고, 부동 게이트(24)와 겹쳐지는 부분이 0.85 μ m이다. 본 발명의 메모리 셀(10)은 일반적으로 다음의 단계에 따라 제작된다.

- a) 제 1 도전층형의 반도체 기판(12) 상에 고립된 액티브 장치 영역을 형성하고,
- b) 반도체 기판(12)의 액티브 장치 영역 위에 제 1 절연 필름(22)을 형성하고,
- c) 제 1 절연 필름(22)을 통해, 제 1 채널 영역을 형성하는 기판의 액티브 장치 영역 상에, 선택 게이트(20)를 형성하며,
- d) 선택 게이트(20)에 의해 덮여지지 않는 액티브 장치 영역 상에 제 3 절연 필름(28)을 형성하고, 선택 게이트(20) 상에 제 2 절연 필름(26)을 형성하며,
- e) 제 3 절연 필름(28)을 통해 제 2 채널 영역을 형성하는 반도체 기판(12) 상에, 그리고 제 2 절연 필름(26)을 통해 선택 게이트(20) 상에 부동 게이트(24)를 형성하고,
- f) 선택 게이트(20)와 부동 게이트(24) 상에 제 4 절연 필름(32)을 형성하며,
- g) 제 4 절연 필름(32)을 통해 선택 게이트(20)와 부동 게이트(24) 상에 제어 게이트(30)를 형성하고,
- h) 비소(arsenic)와 같은 제 2 도전층형의 이온 주입(ion implantation)에 의해 소스, 드레인 영역을 도핑함으로써 소스 영역(14)과 드레인 영역(16)을 형성한다. 일반적으로, 스페이서(spacer)는 부동 게이트(24)와 선택 게이트(20)에 인접하게 위치한다. 비소는 10¹⁵-10¹⁶ 이온/cm²의 농도와 30-80 keV의 주입 전압에서 주입된다. 짧은 채널 트랜지스터의 고온 전자 효과를 감소시키는 주변 트랜지스터의 LDD 정션을 형성하는 데 필요한 스페이서가 존재하기 때문에, 주입된 비소는 부동 게이트(24)와 거의 겹쳐지지 않는다. 그러므로, 비소 주입의 측면 확산은 비소 도펀트를 부동 게이트(24)와 선택 게이트(20)의 측면 가까운 영역에 이동시킬 것이다. 그러나, 부동 게이트(24)와 소스 영역(14) 사이의 겹쳐짐은 본 발명의 메모리 셀의 작동에 필요한 양의 Fowler-Nordheim 터널링을 일으키기에 충분하지 않다. 그러므로, 부동 게이트(24)와 더 많이 겹쳐지는, 더 깊은 소스 영역(14)을 형성하기 위해 2차 주입이 필요하다.

I) 부동 게이트(24)의 측벽에 인접한 스페이서의 존재에 상관없이 인과 같은 제 2 도전층형의 이온 주입을 통해 부동 게이트(24)의 부분에 의해 겹쳐지는 소스 영역(14)을 형성하고, 그 후 열확산을 통해 소스 영역(14) 내에 이온 주입의 측면 확산을 일으킨다. 인은 30-80 keV의 전압에서 10¹⁴-10¹⁶ 이온/cm²의 농도로 주입된다. 주입된 인은 드레인 영역(16)보다 더 깊은 소스 영역(14)을 형성한다. 이는 인이 비소보다 1.5-2배 더 깊은 주입 범위를 가지고 2-3배 더 높은 확산계수를 가지기 때문이다. 더 깊은 소스 정션은 부동 게이트(24)와 더 크게 겹쳐진다. 이는 소거 작용을 위한 터널링 영역을 제공한다. 인 주입으로 인한 소스 영역의 더 높은 농도는 소스 노드와 소스-터널 산화물 계면 영역 사이의 전압 강하를 최소화시켜서 더 높은 터널링 전류가 유도된다. 더 깊은 소스 정션을 가지는 또다른 이유는 더 높은 접지 게이트나 음 게이트 과과 전압을 가진다는 점이며, 더욱 중요한 이유는 소스 정션으로부터 기판까지 누출을 일으키는 낮은 밴드-밴드 터널링 전류를 가지는 것이다. 밴드-밴드 터널링 전류는 낮은 Vcc작동에 대해 어려움을 가지는 칩 전압 멀티플라이어에 과도한 로우드(load)를 줄 것이다.

"1"의 소거 또는 기록

메모리 셀(10)을 전도 상태로 이끄는 "1"을 기록 및 소거하기 위하여, 예를 들어 12 V의 고압이 소스 S(14)에 가해진다. 드레인 D(16), 선택 게이트 SEL(20), 그리고 제어 게이트 CG(30)은 모두 접지 전위에 있다. 부동 게이트(24)와 선택 게이트(20) 사이의, 그리고 부동 게이트(24)와 제어 게이트(30) 사이의 높은 축전 결합 때문에, 그리고 소스 영역(16)과 부동 게이트(24) 사이의 매우 작은 축전 결합 때문에, 그리고 소스 영역(14)과 부동 게이트(24)사이의 겹쳐짐 때문에, 가해진 전압의 대부분이 소스(14)와 부동 게이트(24) 사이에 나타난다. 이는 전자가 부동 게이트(24)로부터 소스(14)까지(기판까지는 이르지 못하고) Fowler-Nordheim 터널링 메커니즘을 통해 터널링을 일으키는 것을 유발한다.

축전 결합 요소는 도 2에 도시된다. 부동 게이트와 소스 사이의 전압차 ΔVf-s는 아래와 같이 표현된다.

$$\Delta V_{f-s} = V_s(C(f-cg) + C(f-sel)) / (C(f-cg) + C(f-sel) + C(f-s))$$

$$= V_s R_e$$

이때 Re는 소거 작용시 결합비, 그리고

$$R_e = (C(f-cg) + C(f-sel)) / (C(f-cg) + C(f-sel) + C(f-s))$$

Vs는 소스 전압.

C(f-cg)는 부동 게이트와 제어 게이트 사이의 전체 결합 커패시턴스.

C(f-sel)은 부동 게이트와 선택 게이트 사이의 전체 결합 커패시턴스. C(f-s)는 부동 게이트와 소스 사이의 전체 결합 커패시턴스.

위에 주어진 치수에서, 소거 결합비 Re 는 89%이다. V_s 가 12V이므로, 전체 10.68V의 전압이 100Å의 터널링 산화물(즉 제 3 절연 필름(28)) 사이에 나타난다. 이는 소스(14)로부터 부동 게이트(28)까지 주목할만한 터널링 전류를 유도하기에 충분하고, 부동 게이트(28)를 양으로 대전시키기에 충분하다.

12V의 소스 전압에서, 밴드-밴드 터널링 메카니즘은 소스 전류의 크기를 증가시키는 소스 정션에서 일어난다. 칩 전압 멀티플라이어 고압을 공급하기 위해 자주 사용되기 때문에, 밴드-밴드 터널링 전류는 더욱 강한 전압 멀티플라이어 설계를 요구한다.

메모리 셀(10)을 소거하는 또다른 방법은, 선택 게이트(20)를 접지 전위나 제어 게이트(30)와 같은 음의 게이트 바이어스로 유지하면서 제어 게이트(30)에 음의 바이어스(-8~-10V)를 가하는 것이고, 그리고 소스(14)의 전압을 5V까지만, 또는 V_{cc} 에 가깝게 6-7V로 올리는 것이다. 이러한 접근법의 장점은 소스 전압이 매우 낮은 전위에 있다는 것이다. 소스 전압을 줄임으로서, 더 높은 전압을 위한 몇안되는 펌핑 스테이지에 V_{cc} 전원 공급 장치로부터 또는 전압 멀티플라이어로부터 직접 소스 전압을 공급할 수 있다.

"0"의 프로그래밍 또는 기록

메모리 셀(10)에 "0"을 기록하기 위해("0"을 기록한다는 것은 메모리 셀(10)을 비전도 상태로 만드는 것을 의미함), 고압의, 예를 들어 5-8V의 전압이 소스 S(14)에 가해진다. 10-12V의 제 2 고압이 제어 게이트(30)에 가해진다. 드레인 전압은 0V 또는 0.3-1.0V의 작은 바이어스 전압으로 유지된다. 선택 게이트(20) 하에서 트랜지스터의 파괴전압(V_t) 바로 위의 작은 전압(즉, $V_t + \Delta V$, 이때 ΔV 는 0.1-5V)이 선택 게이트(20)에 가해진다. 선택 게이트(20)의 전압은 드레인(16)으로부터 소스(14)까지 마이크로암페어 수준의 작은 전압을 트랜지스터에 흐르게 한다. 제어 게이트(30)와 소스 영역(14)에 가해지는 높은 전압으로 인해, 부동 게이트(24)의 전위는 높게 결합된다. 부동 게이트 전압 V_f 는 다음 방정식에 의해 얻을 수 있다.

$$V_f = (V_{cg} * C(f-cg) + V_{sel} * C(f-sel) + V_s * C(f-s)) / (C(f-cg) + C(f-sel) + C(f-s))$$

이때 V_{cg} 는 제어 게이트(30)에 가해진 전압.

V_{sel} 은 선택 게이트(20)에 가해진 전압.

V_s 는 소스(14)에 가해진 전압.

$C(f-cg)$, $C(f-sel)$, $C(f-s)$ 는 앞서 언급한 바와 같다.

$V_{cg} = 12V$, $V_s = 8V$, $V_{sel} = 1V$ 일 때, $V_f = 9.1V$ 이다. 이 전위는 채널 주변 영역(34)의 전압을 높인다. 채널(18) 위 부동 게이트(24)의 좌측변부 바로 아래의 기관(12)의 표면 전위는 부동 게이트 전압의 1V 아래, 또는 8V로 추정된다. 선택 트랜지스터가 파괴 전압 바로 위로 바이어스되기 때문에 선택 게이트(20) 아래의 채널 전위는 드레인 전압 아래의 채널 전위에 근접한다. 이는 앞서 언급한 바와 같이 0V 또는 작은 바이어스 전압을 의미한다. 그러므로 약 8V의 전압차가 두 영역 사이에 생긴다. 즉, 선택 게이트(20) 바로 아래의 채널(18) 내의 영역과 부동 게이트(24) 바로 아래의 채널(18) 내의 영역 사이에 생긴다. 두 영역 사이의 갭(gap)의 폭은 약 200-400Å이다. 이로 인해 2-4MV/cm의 전기장이 생기고, 이 전기장은 충분히 커서 채널(18)로부터 부동 게이트(24)까지 고온 전자 인젝션이 유발되고, 부동 게이트(24)를 비전도 상태로 유도한다.

메모리 셀(10)의 축전 결합 요소는 선택 게이트(20)와 부동 게이트(24) 사이의, 그리고 부동 게이트(24)와 제어 게이트(30) 사이의, 그리고 소스 영역(14)과 부동 게이트(24) 사이의 겹쳐진 영역에 의해 형성된다. 이 영역들은 수직으로 적층되거나 측벽을 따라 형성된다. 메모리 셀(10)의 결합비는 스케일링(scaling)으로 인해 종래의 셀의 결합비와 같이 저하되지 않을 것이다. 왜냐하면, 수직으로 적층된 구성성분비는 스케일링과 관계없으며, 측벽 구성성분의 커패시턴스는 다결정 실리콘 게이트의 두께에만 좌우되고, 스케일링 치수에는 관계가 없다.

선택 게이트(20)와 제어 게이트(30) 둘 모두에 의해 부동 게이트(24)에 제공되는 높은 결합비 때문에, 부동 게이트(24)의 폭은 도 1(b)에 도시되는 바와 같이 액티브 확산 영역의 폭보다 넓지 않다. 이러한 이유로, 메모리 셀(10)의 크기는 종래의 스택-게이트 형태의 플래시 셀에 비해 약간 작다. 이는 결합비를 증가시키기 위해 부동 게이트와 필드 옥사이드 영역 사이에서 어떤 겹쳐짐을 필요로 한다.

더욱이, 분리된 게이트 구조로 인해, 메모리 셀(10)은 스택-게이트 셀의 과소거 문제점을 갖지 않는다. 또한, 메모리 셀(10)의 고유한 특성은 선택 게이트(20) 길이가 최소 라인 폭으로 형성된다는 점에 있다. 종래의 분리된 게이트 구조와는 달리, 메모리 셀(10)은 얼라인먼트 변화에 전혀 좌우되지 않는다. 이는, 미국 특허 제 5,029,130 호에 볼수 있는 종래의 분리된 게이트 형태 플래시 메모리 셀에서 자주 나타나는 펀치-쓰루우(punch through)와 누출 문제점을 제거한다.

낮은 프로그래밍 및 소거 전류로 인해, 프로그래밍 및 소거 작용에 필요한 높은 전압이 칩 전압 멀티플라이어에 공급된다. 전압 멀티플라이어는 단일한 5v, 3.3V, 또는 더 낮은 전원 공급 장치로부터 작동된다. 그러므로 이 셀은 메모리 어레이가 5V, 3.3V, 또는 더 낮은 전압의 단일 전원 공급 장치에 의해 작동되게 한다.

본 발명의 메모리 셀(110)의 제 2 실시예가 도 3의 단면도로 도시된다. 메모리 셀(110)은 도 1(a)에 도시되는 실시예의 메모리 셀과 같은 구성성분을 가진다. 그러므로, 같은 참조번호가 유사 부분을 표시한다. 도 3에 도시되는 제 2 실시예와 도 1(a)에 도시되는 제 1 실시예의 차이점은, 제어 게이트(30)가 부동 게이트(24) 주위를 감고, 소스 영역(14) 너머로 연장되거나 소스 영역으로부터 절연되는 것이다. 메모리 셀(110)의 장점은 두 가지이다. (1): 제어 게이트(30)는 부동 게이트(24)

주위를 완전히 감아서, 부동 게이트(24)와 제어 게이트(30) 사이의 미스얼라인먼트가 셀(110)의 결합비에 영향을 미치지 않는다. (2): 소스 영역(14) 위의 터널링 옥사이드 영역(즉, 부동 게이트(24)의 변부 주위에 위치하는 제 3 절연 레이어(28) 부분)는 소스 영역 이온 주입 공정에 의해 유도되는 손상에 매우 약하다. 부동 게이트(24) 주위로 구석까지 완전히 감은 제어 게이트(30)로 터널링 옥사이드의 일체성을 보호할 수 있다. 그러나, 터널링 옥사이드 영역 아래의 레벨에 소스 정션이 도달하기 위하여, n 영역(14a)이 제어 게이트(30)가 증착되기 전에 형성된다. 부동 게이트(24)가 형성된 후에 그리고 네 개의 절연 레이어(32)가 형성되기 전이나 후에 n 영역(14a)이 이온 직접 주입에 의해 형성된다. 주입된 층은 As나 P+ 이다. 부동 게이트 아래의 영역에 주입 층을 확산시키기 위해 열 드라이브(thermal drive)가 이어진다.

본 발명의 메모리 셀(210)의 제 3 실시예가 도 4에 단면도의 형태로 도시된다. 메모리 셀(210)이 (110)과 (10)과 유사하기 때문에 유사 부분은 유사 참조번호를 사용할 것이다. 메모리 셀(210)과 메모리 셀(110,10)의 차이점은, 1) 메모리 셀(210)의 제어 게이트(30)가 드레인 영역(16) 위의 선택 게이트(20)의 변부와 정렬되는 변부를 가지는 것이고, 그리고 2) 메모리 셀(210)의 제어 게이트(30)가 소스 영역(14) 위의 부동 게이트(24)의 변부와 정렬되는 또하나의 변부를 가지는 것이다.

제어 게이트(30)의 형성 이전에, 선택 게이트(20)과 부동 게이트(24)는, 선택 게이트(20)의 좌측변부와 부동 게이트(24)의 우측변부가 제어 게이트(30)의 최종 영역 너머로 연장되도록, 형성된다. 제어 게이트(30)가 형성된 후에, 제어 게이트(30)는 에칭 마스크로 사용되어, 부동 게이트(24)의 우측변부와 선택 게이트(20)의 좌측변부를 에칭한다. 메모리 셀(210)의 가장 중요한 장점은 셀 크기가 메리 셀(110,10)의 크기보다 작다는 것이다. 단점은, 선택 게이트(20)의 길이가 제어 게이트(30)와 선택 게이트(20) 사이의 미스얼라인먼트의 함수이고, 부동 게이트(24)의 길이가 제어 게이트(30)와 부동 게이트(24) 사이의 미스얼라인먼트의 함수라는 점이다.

메모리 셀(310)의 제 4 실시예가 도 5(a)에 단면도로 도시된다. 메모리 셀(310)은 셀(210,110,10)과 유사하므로, 유사 부분은 유사 참조번호를 사용하여 표시할 것이다. 차이점은, 채널(18)이 세 영역으로 나뉘어진다는 것이다. 앞서와 같이, 선택 게이트(20)는 제 1 절연 레이어(22)에 의해 채널(18)으로부터 분리되어 채널(18)의 제 1 부분 위에 위치한다. 부동 게이트(24)는 선택 게이트(20) 위의 제 1 부분을 가지고, 선택 게이트(20)로부터 절연되며, 기판(12) 위의 제 2 부분을 가지고, 기판으로부터 절연되며, 선택 게이트(20)와 소스(14) 사이에서 채널(18)의 제 2 부분(37) 너머로 연장된다. 제어 게이트(30)는 부동 게이트(24) 위의 부분을 가지고, 부동 게이트로부터 절연되며, 채널(18)의 제 3 부분(36) 위에 놓이고, 그로부터 절연된다. 또한, 제어 게이트(30)는 드레인 영역(16) 너머로 연장되고, 드레인 영역(16)의 접촉부는 제거된다. 드레인 영역(16)에 접속하는 것은 기판(12) 내의 드레인 라인에 의해 이루어진다. 제 4 실시예의 배치도가 도 5(b)에 도시된다. 메모리 셀(310)에서, 제어 게이트(30)는 메모리 어레이의 워드 라인의 역할도 한다. 제어 게이트(30)가 높은 전압, Vcc로 바이어스될 때 메모리 셀(310)이 선택되고, 제어 게이트(30) 바로 아래에 있는 채널(18)의 부분(36)을 켜다. 선택 게이트(20)는 바이어스되어, 채널(18)의 부분(38)이 읽는 동안 항상 켜져 있다. 메모리 셀(310)은 메모리 셀(210,110,10)에서 기술된 바와 같은 메카니즘으로 프로그래밍되고 소거된다.

본 발명의 메모리 셀(410)의 제 5 실시예가 도 6에 단면도의 형태로 도시된다. 메모리 셀(410)은 메모리 셀(310)과 유사하다. 둘 사이의 차이점은, 선택 게이트(20)가 메모리 셀(210)에서 기술된 바와 유사한 자동 정렬 방식을 사용하여, 부동 게이트의 변부와 정렬되는 변부를 가지는 점이다. 그러므로, 제어 게이트(30)는 부동 게이트(24)와 채널(18)의 바로 위에 위치하고, 선택 게이트(20) 바로 위에 있지는 않다. 메모리 셀(310)과 유사하게, 메모리 셀(410)은 세 부분(36,37,38)을 가지는 채널을 가지고, 세 부분(38,37,36) 위에는 선택 게이트(20), 부동 게이트(24), 그리고 제어 게이트(30)가 각각 위치한다. 메모리 셀(410)의 작동 원칙은 메모리 셀(310)의 작동 원칙과 같다.

메모리 어레이

다수의 다른 메모리 어레이가 메모리 셀(410,310,210,110,10)에 대해 구축된다. 메모리 어레이(50)의 제 1 실시예가 도 7에 도시된다. 메모리 어레이(50)는 메모리 셀(10,110,210)과 함께 사용하기에 적합하다.

메모리 어레이(50)는 다수의 행과 열을 가지는 행열로 배열된 다수의 메모리 셀(10,110,210)으로 구성된다. 메모리 어레이(50)는 다수의 열 라인 $66_{1,...,n}$, 다수의 제 1 행 라인 $62_{1,...,n}$, 다수의 제 2 행 라인 $64_{1,...,n}$, 그리고 다수의 제 3 행 라인 $60_{1,3,...,(2n-1)}$ 을 가진다. 각 열 라인(66)은 상기 행에 배열되는 메모리 셀(10,110,210)의 드레인 영역(16)에 연결된다. 다수의 제 1 행 라인(62) 중 한 개는 같은 행에 배열되는 모든 메모리 셀의 선택 게이트(20)를 연결한다. 다수의 제 2 행 라인(64) 중 한 개는 같은 행에 배열되는 모든 메모리 셀의 제어 게이트(30)를 연결한다. 마지막으로, 다수의 제 3 행 라인(60) 중 한 개는 같은 행에 배열되는 모든 메모리 셀의 소스 영역(14)을 연결한다. 그러므로, 메모리 셀의 각각의 행에 대해, 세 개의 행 라인이 있다. 제 1 행 라인(62)은 모든 선택 게이트(20)를 연결하고, 제 2 행 라인(64)은 모든 제어 게이트(30)를 연결하며, 제 3 행 라인(60)은 모든 소스 영역(14)을 연결한다. 그러나, 도 7에 도시되는 바와 같이, 메모리 셀의 두 개의 인접한 행은 공통의 제 3 행 라인(60)을 공유하고, 상기 제 3 행 라인은 두 행의 메모리 셀의 소스 영역(14)에 연결한다.

어레이(50)는 열 디코더(54)를 또한 포함하고, 상기 열 디코더는 열 주소 신호를 수신하고 해독하며, 다수의 열 라인(66) 중 하나를 선택한다. 어레이(50)는 행 디코더(52)를 가지고, 상기 행 디코더는 행 주소 신호를 수신하고 해독하며, 제 1,2,3 행 라인을 선택한다. 어레이(50)는 고압 소스(72)로부터 선택된 셀의 제 2 행 라인(64)과 제 3 행 라인(60)까지 높은 전압을 공급하는 고압 디코더(56)를 또한 가진다. PRE(프로그래밍/기록/소거) 선택 회로(56)는 셀 어레이(50) 내의 기선 택된 행(68)에 PRE 신호를 공급한다. 일반적으로 모든 16개 셀 행 중 하나가 PRE 신호(58)를 수신하도록 선택된다. 같은 열(68) 내의 모든 메모리 셀은 부동 게이트 메모리 셀(10,110,210)과 같은 종류로, 열(66)에 연결된다. 또한, 열(68)에 연결되는 메모리 셀은 같은 전도 상태로 프로그래밍되고, 사용자에 의해 전기적 변경을 일으킬 수 없다. PRE 작동동안 PRE 회로(56)로부터 여러 행 라인(62,64,60)까지 전압을 공급하는 기능을 메모리 셀이 수행한다. 그러므로, 본 발명의 다른 하나의 실시예에서, 열(68) 내의 메모리 셀은 도전율을 증가시키기 위해서 다른 열(66) 내의 메모리 셀보다 넓다. 셀 어레이(50)의 작용 조건은 다음과 같다.

어레이 바이어스 조건과 외란 고려사항

소거 작용

두 개의 가능한 소거 작용이 있다.

제 1 소거 작용은 같은 소스 라인(60)을 공유하는 메모리 셀의 두 인접한 행만을 소거하게 한다. "1"을 기록하고 소거하는 상기 작용은 선택된 제 3 행 라인 중 한 개(즉, 60₁)에 고압(10-12V)을 가함으로서 얻을 수 있다. 상응하는 제 2 행 라인(62₁, 62₂)와 제 1 행 라인(64₁, 64₂)은, 그 소스가 높은 전압을 가지며, 접지 전위로 유지된다. 모든 열 라인(66)과 PRE 라인(68)은 Vcc나 부동으로 바이어스된다. 선택되지 않은 모든 행은 제 1(실렉터), 제 2(게이트), 제 3 행 라인(소스)을 똑같이 0V로 바이어스된다. 이러한 방식으로, 선택된 제 3 행 라인(60₁)에 연결하는 두 행 내의 모든 메모리 셀은 동시에 소거된다. 이러한 제 1 소거 작용으로, 나머지 선택되지 않은 행 라인은 외란(disturb)을 일으키지 않는다.

제 2 소거 작용은 같은 소스 라인(14)을 공유하는 메모리 셀의 두 인접한 행 중 하나만 소거시킨다. 음의 바이어스(-8~-10V)가 메모리 셀의 선택된 행의 제 2 행 라인 중 하나(64₁)에만(즉, 제어 게이트에만) 가해지고, 이때 메모리 셀의 선택된 행의 상응하는 제 1 행 라인은 선택된 제 3 행 라인(60₁)과 접지 전위(즉, 5V나 Vcc와 가까운 전압에서의 60₁)로 유지된다. 같은 선택된 제 3 행 라인(60₁)을 공유하는 셀의 열의 나머지 제 1 행 라인(62₂)와 제 2 행 라인(64₂)은 접지되거나 0V로 바이어스된다. 모든 열 라인(66)과 PRE 라인(68)은 Vcc나 부동으로 바이어스된다. 모든 나머지 선택되지 않은 행은 소스 라인, 선택 라인, 제어 라인을 0V로 바이어스시킨다. 상기 작용에서, 같은 선택된 제 3 행 라인(60₁)을 공유하는 셀의 행에는 작은 외란(disturb)이 있다. 그러나, 상기 외란은, 선택된 제 2 행 라인(64₁) 상의 음의 바이어스의 크기가 상응하는 선택된 제 3 행 라인(60₁)의 크기보다 크기 때문에, 일반적으로 무시할 수 있다. 제 2 방법의 장점은 제거 섹터가 더 작게 만들어질 수 있는 점이다. 물론, 같은 선택된 제 3 행 라인(60₁)을 공유하는 셀의 행의 나머지 제 1 행 라인(62₂)와 제 2 행 라인(64₂)에 가해진 전압은 선택된 제 1 행 라인(62₁)과 제 2 행 라인(64₁)과 같다. 공통으로 선택된 제 3 행 라인(60)을 공유하는 두 행의 메모리 셀은 상기 제 1 방법에서와 같이 동시에 소거된다.

프로그래밍 작용

프로그래밍 작용은, 선택된 제 2 행 라인, 즉 제어 라인(64₁)을 10-12V로 상승시킴으로서, 그리고 선택된 상응하는 제 1 행 라인, 즉 선택 라인(62₁)을 선택 트랜지스터의 한계 전압보다 약간 크게(즉, Vt+ ΔV) 상승시킴으로서, 행해진다. 상응하는 제 3 행 라인, 즉 소스 라인(60₁)은 5-10V로 바이어스된다. 선택된 행 라인(즉, 66₂)은 0V로 바이어스된다. 모든 선택되지 않은 열과 모든 PRE 라인은 Vcc 또는 Vcc-Vt로 유지되어, 선택된 행 내의 선택되지 않은 셀의 선택 트랜지스터가 켜지는 것을 막는다. 그러므로, 어떤 프로그래밍 작용도 선택된 행 내의 선택되지 않은 셀에 일어나지 않는다. 모든 선택되지 않은 행의 상기 제 2 행 라인(62), 즉 선택 라인은 0V로 바이어스되어, 셀이 프로그래밍되는 것을 막는다. PRE 행(68) 내의 메모리 셀은 절대로 프로그래밍되지 않으며, 소거나 전도 상태를 유지한다.

두 개의 전위 외란 조건이 존재한다. 한 개는 선택된 행 내의 선택되지 않은 셀에 관계한다. 선택되지 않은 셀의 부동 게이트 전위는 제어 라인과 소스 라인에 의해 높게 결합되고, 이때 선택 라인은 Vt+ ΔV에 있다. 선택 라인과 부동 게이트 사이의 차이점은 선택 게이트에서 부동 게이트까지 음전하 주입을 유발할 수 있다는 점이다. 외란 조건은 부동 게이트와 선택 게이트의 측면 사이에서 얇은 절연 레이어(20-40nm)를 형성함으로써 성공적으로 제거된다. 선택 게이트 변부의 날카로운 부분에 의해 터널링이 증가하는 현상은 중요하지만, 공정 단계를 통해 변부와 토너 프로파일을 제어함으로써 막을 수 있다.

다른 하나의 전위 외란 조건은 선택된 행과 같은 소스 라인을 공유하는 행 내의 셀에 관계한다. 5-8V까지 상승한 소스 라인으로, 선택되지 않은 셀의 부동 게이트 전하는 부동 게이트로부터 소스 라인까지 전자 터널링에 의해 외란을 일으킬 수 있다. 선택되지 않은 행의 제어 게이트가 10-12V로 또한 바이어스되기 때문에, 부동 게이트와 소스 사이의 전압차는 전체 행을 프로그래밍하는 기간에 걸쳐 선택되지 않은 셀을 극단적으로 외란시킬만큼 중요하지 않다.

읽기 작용

읽는 동안, 전체 어레이의 소스 라인, 즉 제 3 행 라인(60)은 행 디코더(52)나 PRE 라인(68)을 통해 접지되고, 이는 차후에 기술된다. 전체 어레이(50)의 제어 게이트, 즉 모든 제 2 행 라인(64)은 0-2V로 바이어스된다. 선택되지 않은 열 라인(66)은 접지되거나 부동으로 바이어스된다. PRE 라인은 접지된다. 선택된 제 1 행 라인(62), 즉 선택 라인(62₁)은 Vcc나 Vcc-Vt로 바이어스된다. 선택된 열 라인(66), 즉 (66₂)는 1-3V로 바이어스된다. 선택되지 않은 모든 다른 제 1 행 라인(62)은 0V로 바이어스된다. 선택된 셀이 "0"으로 프로그래밍된 부동 게이트를 가지면, 부동 게이트 상의 음전하, 특히 채널 영역(18) 윗부분은 채널의 전도를 막아서, 드레인(16)으로부터 소스(14)까지 전자가 흐르지 않게 한다. 선택된 셀이 "1"로 프로그래밍된 부동 게이트를 가지면, 부동 게이트 상의 양전하, 특히 채널 영역(18)의 윗부분은 채널을 전도시켜서, 드레인(16)으로부터 소스(14)까지 전자를 흐르게 한다. 상기 두 조건 중 하나는 센스 증폭기(70)에 의해 감지된다.

PRE 라인(68)에 연결되는 열 내의 셀이 프로그래밍된 바가 없으며 전도 상태를 항상 유지하기 때문에, PRE 열(68)의 비트 라인은 선택된 셀을 위해 부가적인 접지 라인으로 작용한다. 소스 라인(60)은 PRE 라인(68)에, 그리고 PRE 회로(56)의 PRE 선택 신호 라인(58)에 연결되고, 이는 읽기 작용시 접지부에 연결된다. PRE 열 라인(68)은 어레이(50)의 엄청난 소스 라인 저항을 크게 감소시키고, 읽기 작용의 성능을 증가시킨다.

낮은 바이어스로 인해, 읽기 외란은 낮게 유지되어 전형적인 플래시 메모리 제품의 수명을 10년 이상으로 증가시킨다.

선택된 셀	선택 #1	선지	선택 #2	포화전압	압기
선택 라인 (62 ₁)	0	0	0	Vt + ΔV1	~ Vcc
제어 라인 (64 ₁)	0	~ -8 to -10 V	~ -8 to -10 V	~ 10 to 12 V	~ 0 to 2V
선택된 비트 라인 (66 ₂)	~ Vcc or floating	~ Vcc or floating	~ Vcc or floating	0 or ΔV2	~ 1 to 2V
선택되지 않은 비트 라인 (60 ₁)	~ Vcc or floating	~ Vcc or floating	~ 5V or Vcc	~ Vcc	0 or floating
소스 라인 (60 ₁)	~ 10 to 12 V			~ 5 to 10 V	0
중의 소스라인을 가지는 인접영역					
선택 라인 (62 ₂)	0	0	0	0	0
제어 라인 (64 ₂)	0	~ -8 to -10 V or 0 if unselected	~ -8 to -10 V or 0 if unselected	~ 10 to 12 V	~ 0 to 2V
선택된 비트 라인 (66 ₂)	~ Vcc or floating	~ Vcc or floating	~ Vcc or floating	0 or ΔV2	~ 1 to 2V
선택되지 않은 비트 라인	~ Vcc or floating	~ Vcc or floating	~ Vcc or floating	~ Vcc	0 or floating
다른 모든 선택되지 않은 비트 라인	0	0	0	0	0
선택 라인	0	0	0	0	0
제어 라인	~ Vcc or floating	~ Vcc or floating	~ Vcc or floating	0 or ΔV2	~ 1 to 2V
선택된 비트 라인	~ Vcc or floating	~ Vcc or floating	~ Vcc or floating	~ Vcc	0 or floating
선택되지 않은 비트 라인	0	0	0	0	0
소스 라인	~ Vcc or floating	~ Vcc or floating	~ Vcc or floating	~ Vcc	0

PRE Signal (62)

본 발명의 메모리 어레이(150)의 제 2 실시예의 회로도가 도 8에 도시된다. 메모리 어레이(150)는 메모리 셀(310,410)과 함께 사용하기에 적합하다.

메모리 어레이(150)는 어레이(50)와 유사하고, 같은 참조번호는 유사 부분을 표시할 것이다. 이 어레이(150)는 다수의 행과 열을 가지는 행열 내에 배열되는 다수의 메모리 셀(310,410)로 이루어진다. 메모리 어레이(150)는 다수의 제 1 열 라인 66_{1...n}, 다수의 제 1 열 라인 62_{1...n}, 다수의 행 라인 64_{1...n}을 가진다. 각각의 제 1 열 라인(66)은 상기 열에 배열되는 메모리 셀(310,410)의 드레인 영역(16)에 연결되고, 한 개의 열에 배열되는 메모리 셀(310,410)의 소스 영역(14)에 연결된다. 그러므로, 한 개의 열 라인(66₂)은 1열의 셀(상기 행의 셀의 소스 영역(14)에 연결되는 역할)과 2열의 셀(상기 행의 셀의 드레인 영역(16)에 연결되는 역할) 사이에서 공유된다. 제 2 열 라인(62)의 각각은 상기 열의 메모리 셀의 선택 게이트(20)에 연결된다. 그러므로, 같은 열, 즉 열_x 내에 배치되는 메모리 셀의 각각에 대해, 세 개의 열 라인이 존재한다. 제 1 열 라인(66_x)은 상기 열_x의 셀의 드레인 영역(16)을 연결하고, 제 2 열 라인(62_x)은 상기 열_x의 셀의 선택 게이트(20)를 연결하며, 다른 하나의 제 1 열 라인(66_{x+1})은 상기 열_x의 셀의 소스 영역(14)을 연결한다. 각각의 행 라인(64)은 상기 행의 메모리 셀의 제어 게이트(30)에 연결된다. 그러므로, 같은 행, 즉 행_y에 배열되는 각각의 메모리 셀에 대해, 행 라인(64_y)은 상기 행_y의 모든 셀의 제어 게이트(30)의 모두를 연결한다.

어레이(150)는 열 디코더(54)를 또한 포함하고, 상기 열 디코더(54)는 열 주소 신호를 수신하고 해독하며 다수의 제 1 열 라인(66) 중 하나를 선택한다. 어레이(150)는 행 디코더(52)를 또한 포함하고, 상기 행 디코더(52)는 행 주소 신호를 수신

하고 해독하며 행 라인(64)을 선택한다. 어레이(150)는 선택 디코더(74)를 또한 포함하며, 상기 선택 디코더(74)는 열 주소 신호를 또한 수신하고 제 2 열 라인(62) 중 한 개를 선택한다. 행 고압 디코더(56)는 행 라인(64)에 연결되고 고압 소스(72)로부터 선택된 행 라인(64)까지 고압을 공급한다. 열 고압 디코더(76)는 제 1 열 라인(66)에 연결되고 고압 소스(72)로부터 선택된 제 1 열 라인(66)까지 고압을 공급한다. 메모리 어레이의 작동 조건은 다음과 같다.

소거

소거 작용은 한번에 한 열씩, 또는 동시에 여러 열을 소거할 수 있다. 선택된 셀(C12)에 의해 나타나는 열을 소거하기 위하여, 셀의 열 우측의 제 1 열 라인(66₃)은 10-12V까지 상승되고, 이때 모든 다른 제 1 열 라인(66)은 부동으로 유지된다. 모든 행 라인(64)(즉 어레이(150) 내의 모든 셀의 제어 게이트(30)에 연결시키는 라인)은 접지된다. 또한, 모든 제 2 열 라인(62)(즉, 어레이 내의 셀의 선택 게이트(20)에 연결시키는 라인)은 접지에 있다.

이미 논의된 바와 같이, 밴드-밴드 터널링 전류로 인해 칩 전압 멀티플라이어의 부하를 최소화시키는 선택적인 소거법에서, -8 ~ -10V의 음전위는 선택된 행 라인(64₁)에 가해진다. 또한, 같은 열 내의 선택된 셀의 소스 영역(14)을 연결하는 선택된 비트 라인(66₃)에 가해지는 전압은 5V나 Vcc로 감소된다. 이러한 경우, 선택되지 않은 열은, 제어 게이트(30)에 연결시키는 행 라인 상의 음의 전압으로 인해, 외란(disturb)을 일으킨다. 이때 모든 열을 포함하여 소거 블록 크기를 증가시킬 수 있다. 이 접근법은 메모리 셀의 대형 블록을 소거하기에 적합하다. 메모리 어레이(150)는 분할되어, 이러한 소거 블록을 구성한다.

프로그래밍

셀(C12)을 프로그래밍하기 위하여, 선택된 행 라인, 즉 (64₁)은 10-12V까지 상승된다. 선택된 셀의 소스 영역(14)을 연결시키는 제 1 열 라인(66), 즉 (66₃)은 5-10V까지 상승된다. 선택된 셀의 선택 게이트(20)를 연결시키는 제 2 열 라인(62), 즉 (66₂)는 Vt+ ΔV로 바이어스되어, 셀이 프로그래밍되도록 한다. 선택되지 않은 행 라인(64) 모두는 접지되고, 선택되지 않은 행의 셀이 프로그래밍되는 것을 막는다. 선택되지 않은 제 2 열 라인(62) 모두는 접지되어, 선택되지 않은 열의 셀이 프로그래밍되는 것을 막는다. 선택된 행에서 열을 바꾸면서 여러 셀이 좌측 열 비트 라인(66_x)을 접지 전위로 바이어스시킴으로서, 그리고 우측 열 비트 라인(66_{x+1})을 5-10V로 바이어스시킴으로서, 또한 제 2 열 라인(62_x)를 Vt+ ΔV로 바이어스시킴으로서 동시에 프로그래밍될 수 있다.

읽기

셀(C12)을 읽기 위하여, 선택된 행 라인(64₁)은 Vcc까지 상승된다. 제 1 열 라인(66) 모두는 선택된 좌측 열 비트 라인(66₂)을 제외하고 접지된다. 선택된 제 2 열 라인(62₂)은 Vcc까지 상승된다. 모든 선택되지 않은 제 2 열 라인(62)은 접지된다. 이미 논의한 바와 같이, 똑같이 선택된 행이지만 열을 바꿔갈 때의 셀은 동시에 읽을 수 있다.

PATIENT

	선택 #1	상기	선택 #2	포화상태임	상기
선택된 제어 라인 (64 ₁)	0		~ -8 to -10 V	~ 10 to 12 V	~ Vcc
선택되지 않음 제어 라인	0		0	0	0
선택된 선택 라인 (62 ₂)	0		0	Vt + ΔV1	~ Vcc
선택되지 않음 선택 라인	0		0	0	0
선택된 짝수 비트 라인 (66 ₂)	~ Vcc or floating		~ Vcc or floating	0 or ΔV2	~ 1 to 2V
선택된 홀수 비트 라인 (66 ₃)	~ 10 to 12 V		~ 5V or Vcc	~ 5 to 10 V	0
선택되지 않음 비트 라인	~ Vcc or floating		~ Vcc or floating	~ Vcc	0

본 발명의 메모리 어레이(250)의 제 3 실시예의 회로도가 도 9에 도시된다. 메모리 어레이(250)는 메모리 셀(310,410)과 함께 사용하기에 적합하다.

메모리 어레이(250)는 어레이(150)와 유사하고, 같은 참조번호는 유사 부분을 표시한다. 어레이(150)는 다수의 메모리 셀(310,410)을 구성하고, 상기 메모리 셀은 다수의 행과 열을 가지는 행열 내에 배열된다. 메모리 어레이(250)는 다수의 제 1 열 라인(66_{1...n})과 다수의 제 2 열 라인(62_{1...m}) 및 다수의 행 라인(64_{1...n})을 가진다. 홀수 번호의 제 1 열 라인(66)의 각각(66₁, 66₃, 등)은 두 열에 배열되는 메모리 셀(310,410)의 소스 영역(14)에 연결된다. 그러므로, 한 개의 드레인 열 라인(즉, 66₃)은 2 열과 3 열의 셀 사이에서 공유된다. 유사한 방식으로, 한 개의 소스 열 라인(66₂)은 1 열과 2 열의 셀 사이에서 공유된다. 제 2 열 라인(62)의 각각은 상기 열의 메모리 셀의 선택 게이트(20)에 연결된다. 그러므로, 같은 열, 즉 열_x에 배열되는 메모리 셀의 각각에 대해, 세 개의 열 라인이 존재한다. 제 1 열 라인(66_x)은 상기 열_x의 셀의 드레인 영역(16)을 연결하고, 제 2 열 라인(62_x)은 같은 열, 즉 열_x의 셀의 선택 게이트(20)를 연결하며, 그리고 또다른 제 1 열 라인(66_{x+1})은 열_x의 셀의 소스 영역(14)을 연결한다. 이때 메모리 셀의 인접 열은 들인 열 라인과 소스 열 라인을 공유한다. 행 라인(64)의 각각은 상기 행의 메모리 셀의 제어 게이트(30)에 연결된다. 그러므로, 같은 행, 즉 행_y에 배열되는 각각의 메모리 셀에 대해, 행 라인(64_y)은 상기 행_y의 모든 셀의 모든 제어 게이트(30)를 연결한다.

어레이(250)는 또한 열 디코더(54)를 포함한다. 상기 열 디코더는 열 주소 신호를 수신하고 해독하며 다수의 제 1 열 라인(66) 중 하나를 선택한다. 어레이(250)는 또한 행 디코더(52)를 가진다. 상기 행 디코더는 행 주소 신호를 수신하고 해독하며 행 라인(64)을 선택한다. 어레이(250)는 선택 디코더(74)를 또한 포함한다. 상기 선택 디코더는 열 주소 신호를 수신하고 제 2 열 라인(62) 중 하나를 선택한다. 행 고압 디코더(56)는 행 라인(64)에 연결되고 고압 소스(72)로부터 선택된 행 라인(64)까지 고압을 공급한다. 열 고압 디코더(76)는 제 1 열 라인(66)에 연결되며 고압 소스(72)로부터 선택된 제 1 열 라인(66)까지 고압을 공급한다.

메모리 어레이(250)의 작동 조건은 메모리 어레이(150)과 유사하다. 그러나, 소거시에 소스 라인과 드레인 라인을 공유하기 때문에, 인접 메모리 셀의 열의 각각의 쌍은 동시에 소거될 것이다. 또한, 공통 소스 라인을 공유하는 인접 열 메모리 셀 쌍은 동시에 입력될 수 있다. 또한, 어레이(150)를 위한 작동과 유사한 방식으로, 같은 선택된 행에서 계속 번갈아가는 열의 쌍은 동시에 프로그램되거나 입력될 수 있다. 더욱이, 앞서 논의된 바와 같이, 제어 라인, 즉 행 라인(64)의 음 바이어스가 소거 작용을 위해 사용된다면, 블록 소거 모드는 외란 조건을 막기 위해 선택될 것이다. 작동 조건은 아래 목록에 나타난다.

PATENT	소거		프로그램	읽기
	선택 # 1	선택 # 2		
선택된 제어 라인 (64 ₁)	0	~ -8 to -10 V	~ 10 to 12 V	~ Vcc
선택되지 않은 제어라인	0	0	0	0
선택된 선택 라인 (62 ₂)	0	0	Vt + ΔV1	~ Vcc
선택되지 않은 선택 라인	0	0	0	0
선택된 비트 라인 (66 ₁ and/or 66 ₂)	~ Vcc or floating	~ Vcc or floating	0 or ΔV2	~ 1 to 2V
선택되지 않은 비트 라인	~ Vcc or floating	~ Vcc or floating	~ Vcc	0 or floating
선택된 간 라인 (66 ₃)	~10 to 12 V	~ 5V or Vcc	~ 5 to 10 V	0
선택되지 않은 간 라인 (66 ₄ , 66 ₆ , etc.)	0	N/A ¹	0	0

1. 등의 블록내의 모든 인스라이니 선택되며 블록내는 인스라이니이다.

앞서의 내용으로부터 본 플래시 EEPROM 메모리 셀 및 어레이가 매우 낮은 프로그래밍 전류로 가동되어 단일 전원 공급 장치로부터 칩 전압 멀티플라이어에 의해 지지될 수 있다는 것을 알 수 있다. 또한, 상기 셀과 상기 어레이는 향상된 제작 편이도와 치수를 가진다.

추가적으로, 각 메모리 셀은 네 개의 터미널을 가진다. 상기 네 개의 터미널이란 소스, 드레인, 선택 게이트, 그리고 제어 게이트를 말한다. 프로그래밍을 위해 특정 셀을 선택하는 것은 특정 선택 게이트와 특정 소스에 가해지는 전압에만 의존한다. 따라서, 프로그래밍 동안 제어 게이트에 가해지는 전압을 가변적으로 조절할 수 있다. 이는 부동 게이트 상에 주사되는 전자의 양을 조절한다. 이는 한 레벨 이상의 전하를 각 메모리 셀의 부동 게이트 상에 저장되게 한다. 부동 게이트 상에 저장되는 전하량은 셀의 도전율과 한계전압을 결정하고, 이는 센스 증폭기(70)에 의해 감지된다. 프로그래밍 작용 이후의 셀의 한계 전압은 제어 게이트의 결합비(Rc)에 의해 불어나는 제어 게이트 전압에 1차 함수의 형태로 비례한다.

$Rc = C(f-cg)/(C(f-cg)+C(f-sel)+C(f-s))$, 여기서 각 커패시턴스 요소는 이전에 정의되었다. 그래서, 본 발명의 메모리 셀과 메모리 어레이로, 다중 레벨 비트를 나타내는 전자의 가변적인 양은 각 메모리 셀의 부동 게이트로부터 저장되고 읽을 수 있다. 회로 작동에서, 이는 메모리 어레이의 모든 셀을 소거된 상태로 1차 소거함으로써, 충족되고, 바람직한 다중 레벨 입력 데이터에 따라 제어 게이트의 전압 레벨을 조절함으로써 선택된 셀을 프로그래밍할 수 있다.

더욱이, 본 발명의 메모리 셀과 미국 특허 제 5,303,187 호에 공개된 메모리 셀을 비교하면, 소거 작용을 위한 전위는 1) 제어 게이트에서의 작은 음의 전압과 소스에서의 양의 전압 사이의 전압차에 의해, 또는 2) 소스에서의 단일 양의 전압에 의해, 제공된다. NMOS 트랜지스터의 더 높은 정션 파괴 전압과 필드 고립 전압이 PMOS 트랜지스터의 경우보다 쉽게 제공될 수 있으므로, 둘 모두는 전형적인 CMOS 공정에서 이루기 쉽다.

(57) 청구의 범위

청구항 1.

드레인, 소스, 드레인과 소스 사이의 채널을 가지는 반도체 기판 - 상기 소스는 상기 드레인보다 더 큰 도펀트 농도를 가지며;

상기 기판 위에 위치하고 상기 기판으로부터 절연되는 선택 게이트 - 상기 선택 게이트는 상기 채널의 제 1 부분 너머로 연장되며;

상기 선택 게이트 위의 제 1 부분을 가지고 상기 선택 게이트로부터 절연되는 부동 게이트 - 상기 부동 게이트는 상기 기판으로부터 절연되는 제 2 부분을 가지고, 상기 제 2 부분은 상기 채널의 제 2 부분과 상기 소스의 부분 너머로 연장되고, 상기 선택 게이트와 상기 소스 사이에 놓이고;

상기 부동 게이트 위에 위치하고 상기 부동 게이트로부터 절연되는 제어 게이트 - 상기 제어 게이트는 상기 선택 게이트 위에 제 1 변부와 제 2 변부를 가지는 부분을 포함하고, 상기 제 1 변부는 상기 선택 게이트의 변부와 정렬되고 상기 선택 게이트의 변부로부터 절연되며, 상기 제 2 변부는 상기 부동 게이트의 변부와 정렬됨;로 이루어지는 것을 특징으로 하는 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 2.

제 1 항에 있어서, 상기 선택 게이트는 상기 드레인 위의 부분을 가지고, 상기 드레인으로부터 절연되는 것을 특징으로 하는 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 3.

제 1 항에 있어서, 상기 제어 게이트는 상기 선택 게이트 위의 부분을 가지고, 상기 선택 게이트로부터 절연되는 것을 특징으로 하는 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 4.

제 3 항에 있어서, 상기 제어 게이트는 제 1 변부와 제 2 변부를 가지고, 상기 제 1 변부는 상기 선택 게이트의 변부와 정렬하고, 상기 제 2 변부는 상기 부동 게이트의 변부와 정렬하는 것을 특징으로 하는 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 5.

제 1 항에 있어서, 상기 제어 게이트는 상기 소스의 부분 너머로 연장되는 부분을 가지고, 상기 소스로부터 절연되는 것을 특징으로 하는 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 6.

제 5 항에 있어서, 상기 제어 게이트는 소스 전체 너머로 연장되는 것을 특징으로 하는 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 7.

제 5 항에 있어서, 상기 제어 게이트는 상기 기판 위의 부분을 가지고, 상기 기판으로부터 절연되며, 상기 채널의 제 3 부분 너머로 연장되고, 상기 채널의 상기 제 3 부분은 상기 선택 게이트와 상기 드레인 사이에 위치하는 것을 특징으로 하는 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 8.

제 7 항에 있어서, 상기 선택 게이트는 상기 부동 게이트의 상기 제 1 부분의 변부와 정렬되는 변부를 가지는 것을 특징으로 하는 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 9.
삭제

청구항 10.

드레인, 소스, 그리고 드레인인 소스 사이의 채널을 가지는 부동 게이트 메모리 트랜지스터를 소거하는 방법으로서, 상기 트랜지스터는 선택 게이트, 부동 게이트, 그리고 제어 게이트를 또한 포함하고, 상기 선택 게이트는 상기 채널의 제 1 부분 너머로 연장되고 상기 채널에 충전할 수 있게 결합되고, 상기 부동 게이트는 상기 선택 게이트에 충전할 수 있게 결합되고 상기 선택 게이트와 상기 소스 사이의 상기 채널의 제 2 부분에 충전할 수 있게 결합되며 그리고 상기 소스에 충전할 수 있게 결합되고, 상기 제어 게이트는 상기 부동 게이트에 충전할 수 있게 결합될 때, 상기 방법은:

상기 소스에 제 1 양의 전압을 가하고;

상기 선택 게이트에 제 2 전압을 가하고 - 상기 제 2 전압은 접지 전압 이하이며; 그리고

상기 부동 게이트 상의 전자를 상기 소스까지 Fowler-Nordheim 터널링을 일으키기 위해 상기 제어 게이트에 음의 전압을 가하는; 이상의 세 단계로 이루어지는 것을 특징으로 하는 부동 게이트 메모리 트랜지스터를 소거하는 방법.

청구항 11.

제 10 항에 있어서, 상기 제 2 전압은 접지 전압인 것을 특징으로 하는 부동 게이트 메모리 트랜지스터를 소거하는 방법.

청구항 12.

제 10 항에 있어서, 상기 제 2 전압은 음의 전압인 것을 특징으로 하는 부동 게이트 메모리 트랜지스터를 소거하는 방법.

청구항 13.

네 개의 터미널과 단일 트랜지스터 부동 게이트를 가지는 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀을 제작하는 방법으로서,

고립된 액티브 장치 영역을 형성하고 - 상기 액티브 장치 영역은 제 1 도전율형의 반도체 기판 상에 채널을 가지며;

상기 액티브 장치 영역 상에 제 1 절연 레이어를 형성하고;

상기 기판의 상기 액티브 장치 영역 상의 상기 제 1 절연 레이어 위에 선택 게이트를 형성하며 - 상기 선택 게이트는 상기 채널의 제 1 부분 위에 위치하고;

상기 선택 게이트에 인접하게 위치하는 상기 액티브 장치 영역 위에 제 2 절연 레이어를 형성하며;

제 1 부분과 제 2 부분을 가지는 부동 게이트를 형성하고 - 상기 제 1 부분은 상기 제 3 절연 레이어 위에 형성되고, 상기 제 2 부분은 상기 제 2 절연 레이어 위에 형성되며 상기 채널의 제 2 부분 위에 형성되고;

상기 선택 게이트와 상기 부동 게이트 상에 제 4 절연 레이어를 형성하며;

상기 선택 게이트와 상기 부동 게이트 위의 상기 제 4 절연 레이어 위에 제어 게이트를 형성하고;

제 2 도전율형의 이온 주입에 의해 소스와 드레인 영역을 각각 도핑하며 - 상기 채널의 상기 제 1 부분과 제 2 부분은 상기 드레인인 소스 사이에 위치하여 드레인 영역을 형성하고;

제 2 도전율형의 이온 주입에 의해 소스 영역을 다시 도핑하고; 그리고

상기 소스 내에 주입되는 제 2 도전율형의 이온을 측면으로 확산시켜서, 상기 부동 게이트의 부분에 의해 중복되는 상기 소스의 부분을 형성하는; 이상의 11 단계로 이루어지는 것을 특징으로 하는, 네 개의 터미널과 단일 트랜지스터 부동 게이트를 가지는 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀을 제작하는 방법.

청구항 14.

제 1 영역, 제 1 영역에 공간적으로 이격된 제 2 영역, 그리고 두 영역 사이의 채널을 포함하는 반도체 기판 - 상기 채널은 제 1 도전층형이고, 상기 제 1 영역은 제 2 도전층형의 도펀트를 주입함으로써 제작되며, 상기 제 2 영역은 상기 제 2 도전층형의 도펀트를 제 1 레벨까지 주입함으로써 제작되고, 그리고 상기 제 1 레벨보다 더 깊은 제 2 레벨까지 상기 제 2 도전층형의 도펀트를 주입함으로써 제작되며;

상기 기판 위에 위치하고 상기 기판으로부터 절연되는 선택 게이트 - 상기 선택 게이트는 상기 채널의 제 1 부분 너머로 연장되고;

제 1 부분과 제 2 부분을 가지는 부동 게이트 - 상기 제 1 부분은 상기 선택 게이트의 위에 위치하고 상기 선택 게이트로부터 절연되며, 상기 제 2 부분은 상기 기판으로부터 절연되고 상기 채널의 제 2 부분과 상기 제 2 영역의 부분 너머로 연장되며 상기 선택 게이트와 상기 제 2 영역 사이에 놓이고; 그리고

상기 부동 게이트 위에 위치하고 상기 부동 게이트로부터 절연되는 제어 게이트;로 이루어지는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 15.

제 14 항에 있어서, 상기 제 1 영역은 드레인이고, 상기 제 2 영역은 소스인 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 16.

제 15 항에 있어서, 상기 선택 게이트는 상기 드레인의 위에 위치하는 부분을 가지고, 상기 선택 게이트는 상기 드레인으로부터 절연되는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 17.

제 15 항에 있어서, 상기 제어 게이트는 상기 선택 게이트 위에 위치하는 부분을 가지고, 상기 제어 게이트는 상기 선택 게이트로부터 절연되는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 18.

제 17 항에 있어서, 상기 제어 게이트는 제 1 변부와 제 2 변부를 가지고, 상기 제 1 측부는 상기 선택 게이트의 변부와 정렬되고, 상기 제 2 변부는 상기 부동 게이트의 변부와 정렬되는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 19.

제 15 항에 있어서, 상기 제어 게이트는 상기 소스의 부분 너머로 연장되는 부분을 가지고, 상기 제어 게이트는 상기 소스로부터 절연되는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 20.

제 19 항에 있어서, 상기 제어 게이트는 상기 전체 소스 너머로 연장되는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 21.

제 19 항에 있어서, 상기 제어 게이트는 상기 기판 위의 부분을 가지고, 상기 기판으로부터 절연되며, 그리고 상기 채널의 제 3 부분 너머로 연장되고, 상기 채널의 상기 제 3 부분은 상기 선택 게이트와 상기 드레인 사이에 위치하는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 22.

제 21 항에 있어서, 상기 선택 게이트는 상기 부동 게이트의 제 1 부분의 변부와 정렬하는 변부를 가지는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 23.

제 1 영역, 제 1 영역에 공간적으로 이격된 제 2 영역, 그리고 두 영역 사이의 채널을 가지는 반도체 기관 - 상기 채널은 제 1 도전층형이고, 상기 제 1 영역은 제 1 레벨까지 연장되는 제 2 도전층형이며, 상기 제 2 영역은 상기 제 1 레벨보다 깊은 제 2 레벨까지 연장되는 제 2 도전층형이고;

상기 기관 위에 위치하고 상기 기관으로부터 절연되며 상기 채널의 제 1 부분 너머로 연장되는 선택 게이트;

제 1 부분과 제 2 부분을 가지는 부동 게이트 - 상기 제 1 부분은 상기 선택 게이트 위에 위치하고 상기 선택 게이트로부터 절연되며, 상기 제 2 부분은 상기 기관으로부터 절연되고 상기 채널의 제 2 부분 너머로 그리고 상기 제 2 영역의 부분 너머로 연장되며, 상기 선택 게이트와 상기 제 2 영역 사이에 놓이고; 그리고

상기 부동 게이트 위에 위치하고 상기 부동 게이트로부터 절연되는 제어 게이트;로 이루어지는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 24.

제 23 항에 있어서, 상기 제 1 영역은 드레인이고, 상기 제 2 영역은 소스인 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 25.

제 24 항에 있어서, 상기 선택 게이트는 상기 드레인 위의 부분을 가지고 상기 드레인으로부터 절연되는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 26.

제 24 항에 있어서, 상기 제어 게이트는 상기 선택 게이트 위의 부분을 가지고 상기 선택 게이트로부터 절연되는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 27.

제 26 항에 있어서, 상기 제어 게이트의 부분은 상기 부동 게이트의 부분 위에 위치하고, 상기 제어 게이트의 다른 부분은 상기 선택 게이트의 부분 위에 놓이는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 28.

제 26 항에 있어서, 상기 제어 게이트는 제 1 변부와 제 2 변부를 가지고, 상기 제 1 변부는 상기 선택 게이트의 변부와 정렬되고, 상기 제 2 변부는 상기 부동 게이트의 변부와 정렬되는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 29.

제 24 항에 있어서, 상기 제어 게이트는 상기 소스의 부분 너머로 연장되는 부분을 가지고 상기 소스로부터 절연되는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 30.

제 29 항에 있어서, 상기 제어 게이트는 상기 소스 전체 너머로 연장되는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 31.

제 29 항에 있어서, 상기 제어 게이트는 상기 기판 위의 부분을 또한 가지고, 상기 기판으로부터 절연되며, 그리고 상기 채널의 제 3 부분 너머로 연장되고, 상기 채널의 상기 제 3 부분은 상기 선택 게이트와 상기 드레인 사이에 위치하는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 32.

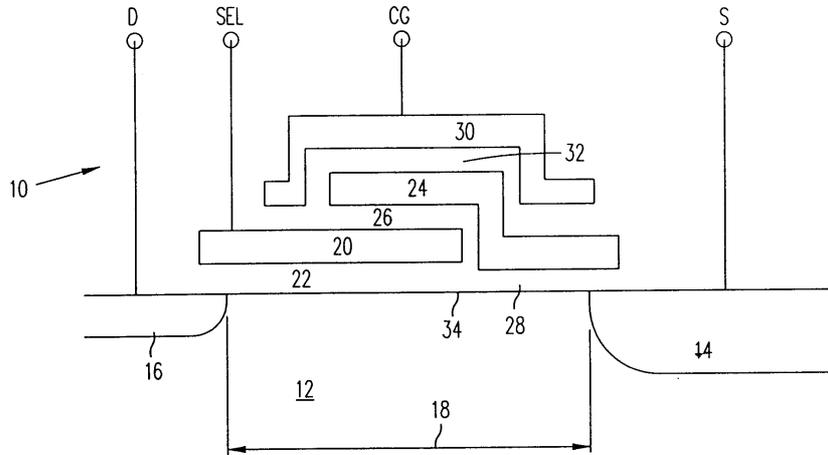
제 31 항에 있어서, 상기 선택 게이트는 상기 부동 게이트의 제 1 부분의 변부와 정렬되는 변부를 가지는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

청구항 33.

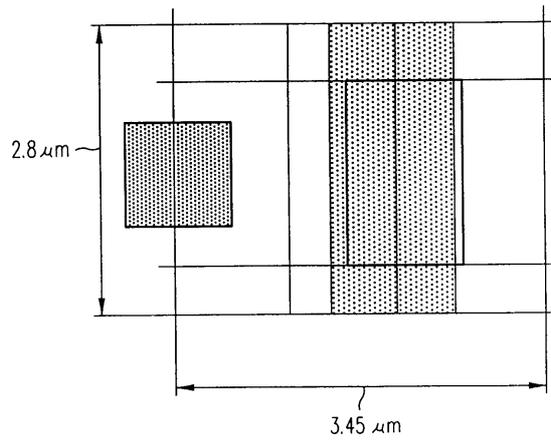
제 16 항에 있어서, 상기 제어 게이트의 부분은 상기 부동 게이트의 부분 위에 위치하고, 상기 제어 게이트의 다른 부분은 상기 선택 게이트의 부분 위에 위치하는 것을 특징으로 하는, 전기적으로 소거 및 프로그래밍 가능한 읽기 전용 메모리 셀.

도면

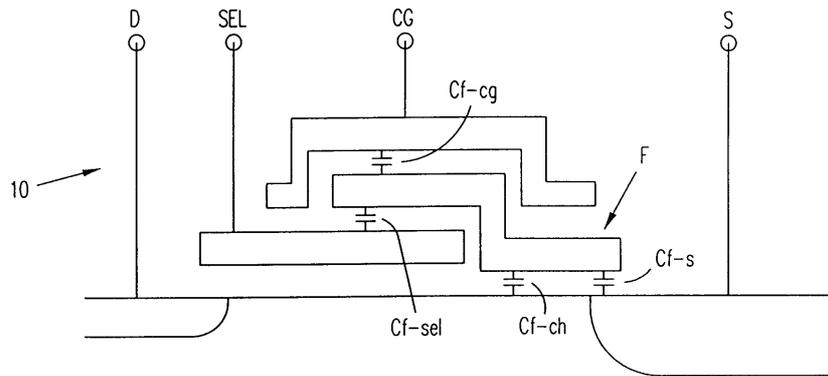
도면1a



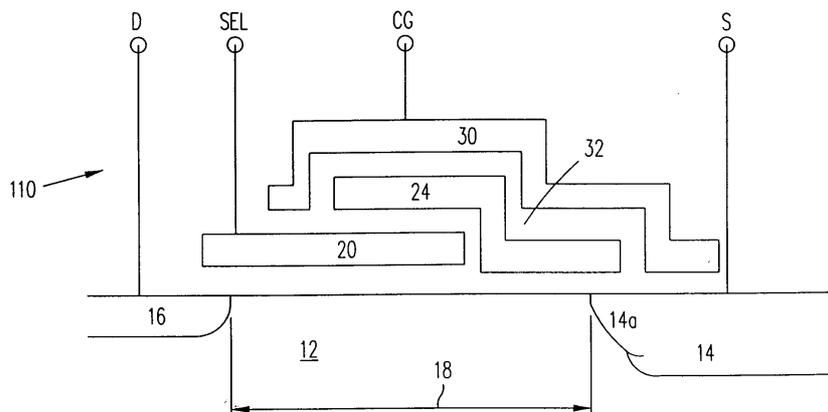
도면1b



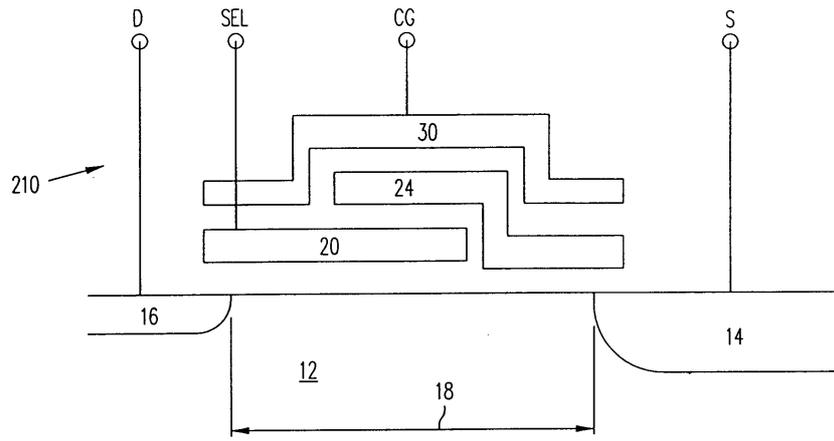
도면2



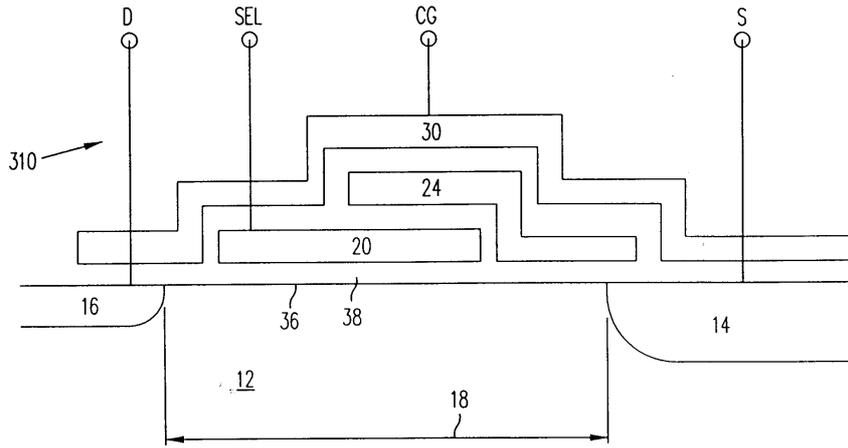
도면3



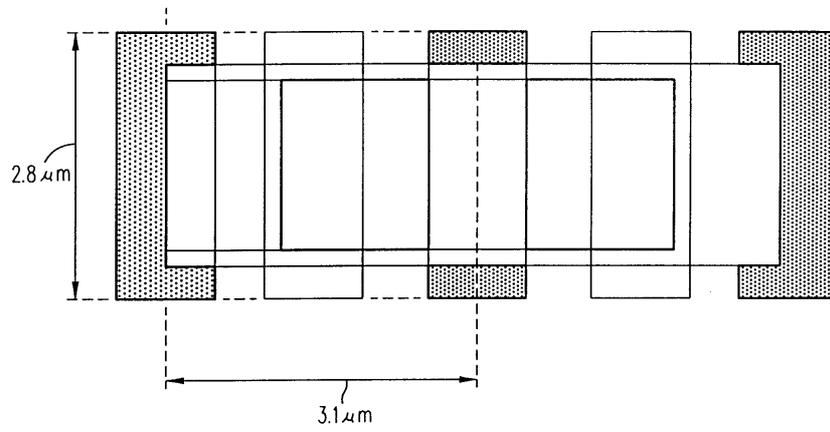
도면4



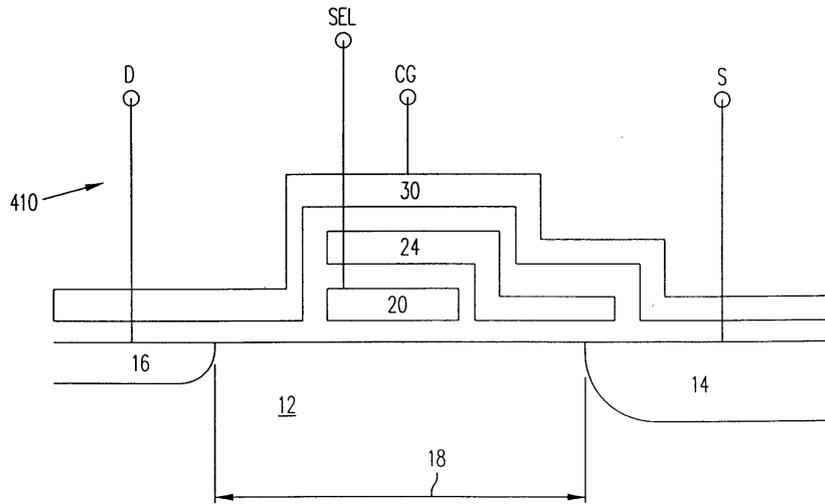
도면5a



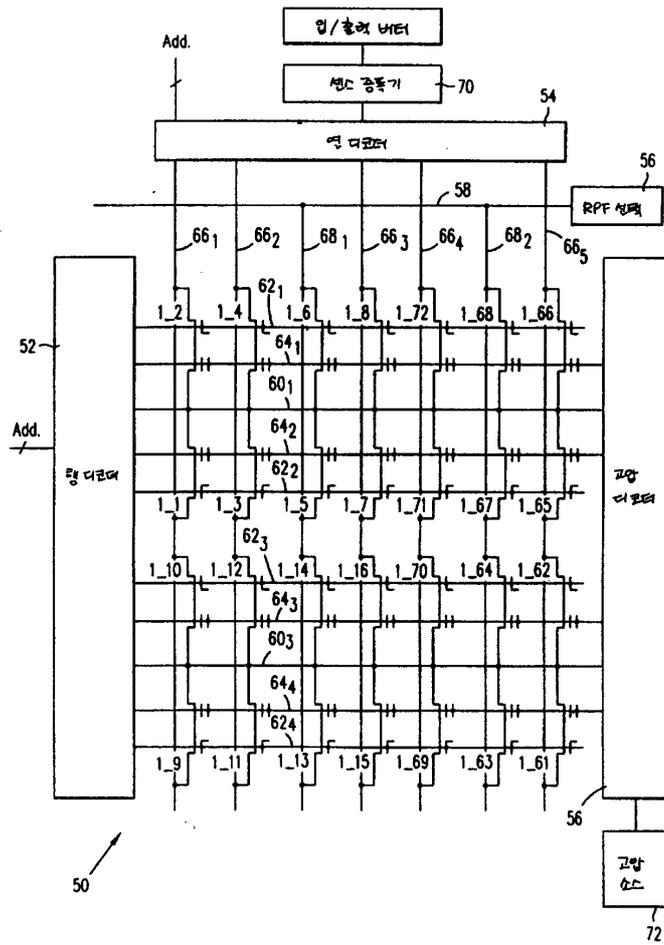
도면5b



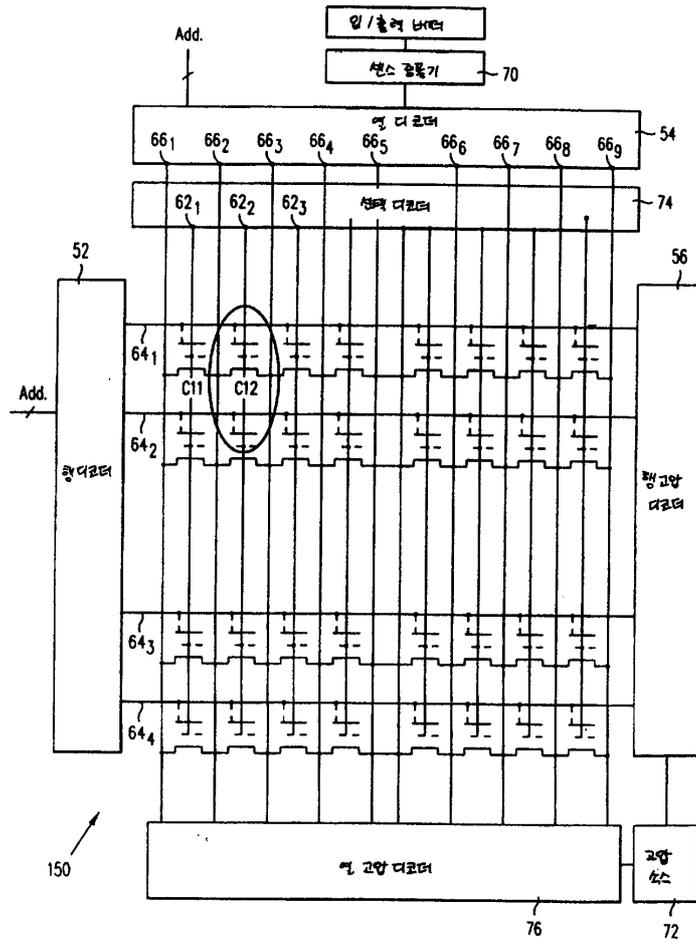
도면6



도면7



도면8



도면9

