(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 106575611 A
(43)申请公布日 2017.04.19

(21)申请号 201580042075.9

(22)申请日 2015.07.31

(30)优先权数据
14/454,204 2014.08.07 US

(85)PCT国际申请进入国家阶段日
2017.02.04

(86)PCT国际申请的申请数据
PCT/US2015/043287 2015.07.31

(87)PCT国际申请的公布数据
WO2016/022435 EN 2016.02.11

(71)申请人 高通股份有限公司
地址 美国加利福尼亚州

(72)发明人 M·斯塔博

(74)专利代理机构 上海专利商标事务所有限公司 31100
代理人 亓云

(51)Int.Cl.
H01L 21/30(2006.01)

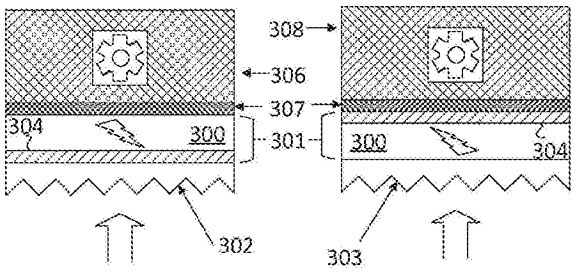
权利要求书3页 说明书9页 附图10页

(54)发明名称

针对高频层转移器件的EMI屏蔽

(57)摘要

公开了涉及对射频层转移器件的EMI屏蔽的各种方法和设备。一种方法包括在绝缘体上覆半导体式晶片的有源层中形成射频场效应晶体管。绝缘体上覆半导体式晶片具有埋藏绝缘体侧和有源层侧。该方法进一步包括将第二晶片结合至该绝缘体上覆半导体式晶片的有源层侧。该方法进一步包括形成对该半导体器件的屏蔽层。该屏蔽层包括导电材料。该方法进一步包括将射频场效应晶体管耦合至包括射频组件的电路。该方法进一步包括将该射频场效应晶体管、射频组件、和该屏蔽层切单为管芯。该屏蔽层位于该射频组件的基板与该射频场效应晶体管之间。



CN 106575611 A

1.一种用于形成半导体器件的方法,包括:

在绝缘体上覆半导体式晶片的有源层中形成射频场效应晶体管,其中所述绝缘体上覆半导体式晶片具有埋藏绝缘体侧和有源层侧;

将第二晶片结合至所述绝缘体上覆半导体式晶片的所述有源层侧;

形成对所述半导体器件的屏蔽层,其中所述屏蔽层包括导电材料;

将所述射频场效应晶体管耦合至包括射频组件的电路;以及

将所述射频场效应晶体管、射频组件和所述屏蔽层切单为管芯;

其中所述屏蔽层位于所述射频组件的基板与所述射频场效应晶体管之间。

2.如权利要求1所述的方法,其特征在于,进一步包括:

在将所述第二晶片结合至所述绝缘体上覆半导体式晶片的所述有源层之前在所述第二晶片中形成所述射频组件。

3.如权利要求1所述的方法,其特征在于,进一步包括:

移除所述绝缘体上覆半导体式晶片的所述基板的至少一部分;以及

在移除所述基板的该部分之后,在所述绝缘体上覆半导体式晶片的所述埋藏绝缘体侧上形成所述射频组件。

4.如权利要求1所述的方法,其特征在于,进一步包括:

移除所述绝缘体上覆半导体式晶片的所述基板的至少一部分;在移除所述基板的该部分之后将第三晶片结合至所述绝缘体上覆半导体式晶片的所述埋藏绝缘体侧;以及

在将所述第三晶片结合至所述绝缘体上覆半导体式晶片的所述有源层之前在所述第三晶片中形成所述射频组件。

5.如权利要求4所述的方法,其特征在于,进一步包括:

在移除所述基板的该部分之时形成所述射频组件腔;

其中所述射频组件利用所述射频组件腔;以及

其中所述射频组件是声学滤波器。

6.如权利要求4所述的方法,其特征在于:

所述屏蔽层包括金属层,所述金属层是在将所述第三晶片结合至所述绝缘体上覆半导体式晶片的所述埋藏绝缘体侧之前在所述第三晶片上形成的。

7.如权利要求1所述的方法,其特征在于,进一步包括:

将所述屏蔽层耦合至包括有源偏置电压发生器的第二电路;

其中所述有源偏置电压发生器向所述屏蔽层提供跟踪提供给所述射频场效应晶体管的大信号偏置信号的偏置电压。

8.如权利要求1所述的方法,其特征在于:

所述屏蔽层包括金属并具有有预定孔隙大小的图案;以及

所述图案的所述预定孔隙大小不超过所述射频场效应晶体管被评定为要处理的信号的波长的10%。

9.一种用于形成半导体器件的方法,包括:

在绝缘体上覆半导体式晶片的有源层中形成射频场效应晶体管,其中所述绝缘体上覆半导体式晶片具有埋藏绝缘体侧和有源层侧;

将第二晶片结合至所述绝缘体上覆半导体式晶片的所述有源层侧;

形成对所述半导体器件的屏蔽层，其中所述屏蔽层包括导电材料；

将所述射频场效应晶体管耦合至包括射频组件的电路；

将所述射频场效应晶体管、所述射频组件和所述屏蔽层切单为管芯；以及

在将所述第二晶片结合至所述绝缘体上覆半导体式晶片的所述有源层之前在所述第二晶片中形成射频组件；

其中所述屏蔽层位于所述射频组件的基板与所述射频场效应晶体管之间。

10.如权利要求9所述的方法，其特征在于，进一步包括：

在所述绝缘体上覆半导体式晶片上形成射频组件腔；

其中所述射频组件利用所述射频组件腔。

11.如权利要求9所述的方法，其特征在于，进一步包括：

将所述屏蔽层耦合至包括有源偏置电压发生器的第二电路；

其中所述有源偏置电压发生器向所述屏蔽层提供跟踪提供给所述射频场效应晶体管的大信号偏置信号的偏置电压。

12.如权利要求9所述的方法，其特征在于：

所述屏蔽层包括金属并具有有预定孔隙大小的图案；以及

所述图案的所述预定孔隙大小不超过所述射频场效应晶体管被评定为要处理的信号的波长的10％。

13.如权利要求9所述的方法，其特征在于：

所述屏蔽层包括金属层，所述金属层是在将所述第二晶片结合至所述绝缘体上覆半导体式晶片的所述有源层之前在所述第二晶片上形成的。

14.如权利要求13所述的方法，其特征在于：

所述屏蔽层包括金属并且具有网状图案。

15.如权利要求9所述的方法，其特征在于：

所述屏蔽层包括在所述绝缘体上覆半导体式晶片的所述互连层中的金属化层。

16.一种用于形成半导体器件的方法，包括：

在绝缘体上覆半导体式晶片的有源层中形成射频场效应晶体管，其中所述绝缘体上覆半导体式晶片具有埋藏绝缘体侧和有源层侧；

将第二晶片结合至所述绝缘体上覆半导体式晶片的所述有源层侧；

形成针对所述半导体器件的屏蔽层，其中所述屏蔽层包括导电材料；

移除所述绝缘体上覆半导体式晶片的所述基板的至少一部分；以及

在移除所述基板的该部分之后，在所述绝缘体上覆半导体式晶片的所述埋藏绝缘体侧上形成射频组件；

将所述射频场效应晶体管耦合至包括所述射频组件的电路；以及

将所述射频场效应晶体管、所述射频组件和所述屏蔽层切单为管芯；

其中所述屏蔽层位于所述射频组件的基板与所述射频场效应晶体管之间。

17.如权利要求16所述的方法，其特征在于，进一步包括：

将所述屏蔽层耦合至包括有源偏置电压发生器的第二电路；

其中所述有源偏置电压发生器向所述屏蔽层提供跟踪提供给所述射频场效应晶体管的大信号偏置信号的偏置电压。

18.如权利要求16所述的方法，其特征在于：

所述屏蔽层包括金属并且具有孔隙大小；以及

所述孔隙大小被设为不超过所述射频场效应晶体管被评定为要处理的信号的波长的10％。

19.如权利要求16所述的方法，其特征在于：

所述屏蔽层包括在形成所述射频组件之前在所述绝缘体上覆半导体式晶片的所述埋藏绝缘体侧上沉积的金属层。

20.如权利要求16所述的方法，其特征在于：

所述射频场效应晶体管经由在所述埋藏绝缘体层的挖出区域中沉积的金属导体来被耦合至所述电路。

21.如权利要求16所述的方法，其特征在于：

所述屏蔽层包括金属层，所述金属层是在将所述第二晶片结合至所述绝缘体上覆半导体式晶片的所述有源层之前在所述第二晶片上形成的。

22.如权利要求16所述的方法，其特征在于：

所述屏蔽层包括金属并且具有网状图案。

针对高频层转移器件的EMI屏蔽

[0001] 相关申请

[0002] 本申请要求2014年8月7日提交且题为“EMI SHIELD FOR HIGH FREQUENCY LAYER TRANSFERRED DEVICES(对高频层转移器件的EMI屏蔽)”的美国非临时专利申请No.14/454,204的优先权,该专利申请由此出于所有目的通过引用纳入于此。

[0003] 发明背景

[0004] 代表超越传统块状硅工艺的进步的绝缘体上覆半导体(SOI)技术在20世纪90年代末期首次被商业化。SOI技术的定义特性在于其中形成电路系统的半导体区域藉由电绝缘层与块状基板隔离开。将电路系统与块状基板隔离开的一个优势是寄生电容的显著减小,这允许通往更为期望的功率-速度性能视野。因此,SOI结构对于高频应用(诸如射频(RF)通信电路等)而言特别有吸引力。随着消费者需求持续收RF通信电路所面对的功率约束,SOI技术在重要性上继续增长。

[0005] 图1中示出了典型的SOI结构100。SOI结构100包括基板层101、绝缘体层102和有源层103。基板层101通常是半导体材料,诸如硅。绝缘体层102是电介质,其通常是在基板层101是硅的情形中通过基板层101的氧化形成的二氧化硅。有源层103包括有源器件层和金属化或金属互连层,并且进一步包括在已于其中形成电路系统之后出现的掺杂物、电介质、多晶硅、金属配线、钝化、和其他层、材料或组件的组合。该电路系统可包括金属配线104(例如,在金属互连层中);无源器件(诸如,电阻器、电容器和电感器);以及有源器件(诸如晶体管)(例如,在有源设备层中)。

[0006] RF晶体管对被以大信号偏置电压来偏置并根据信号电压来从该偏置电压变动的信号进行操作。这两个值都可显著摆动。结果,开关产生了电磁噪声105,其传播通过半导体器件。具体地,电磁噪声可与基板101交互并导致信号电压中的非线性失真。

发明内容

[0007] 所公开的方法包括在绝缘体上覆半导体式晶片的有源层中形成射频场效应晶体管。该绝缘体上覆半导体式晶片具有埋藏绝缘体侧和有源层侧。该方法进一步包括将第二晶片结合至绝缘体上覆半导体式晶片的有源层侧。该方法进一步包括形成对半导体器件的屏蔽层。该屏蔽层包括导电材料。该方法进一步包括将射频场效应晶体管耦合至包括射频组件的电路。该方法进一步包括将射频场效应晶体管、射频组件和屏蔽层切单为管芯。屏蔽层位于射频组件的基板与射频场效应晶体管之间。

[0008] 另一所公开的方法包括在将第二晶片结合至绝缘体上覆半导体式晶片的有源层之前在第二晶片中形成射频组件。另一所公开的方法包括移除绝缘体上覆半导体式晶片的基板的至少一部分。该方法还包括在移除基板的该部分之后,在该绝缘体上覆半导体式晶片的埋藏绝缘体侧上形成该射频组件。另一所公开的方法包括移除绝缘体上覆半导体晶片的基板的至少一部分。该方法还包括在移除基板的该部分之后,将第三晶片结合至该绝缘体上覆半导体式晶片的埋藏绝缘体侧。该方法还包括在将第三晶片结合至绝缘体上覆半导体式晶片的有源层之前在第三晶片中形成射频组件。

[0009] 屏蔽层可以是金属。屏蔽层可具有有预定孔隙大小的图案。该图案可以是网状图案。孔隙大小可被设为在射频场效应晶体管被评定为要处理的信号的波长的10％以下。屏蔽层可被耦合至有源偏置电压发生器。有源偏置电压发生器可向屏蔽层提供跟踪提供给射频场效应晶体管的大信号偏置信号的偏置电压。

[0010] 射频组件允许包括射频场效应晶体管和该射频组件的射频系统的更紧密集成。射频组件可以是集成无源器件、声学滤波器、晶体滤波器、一般意义上的微机电系统(MEMS)、其他晶体管块(诸如数字逻辑块)、或任何其他射频系统组件。

[0011] 附图简述

[0012] 图1解说了根据相关技术的高频SOI器件。

[0013] 图2解说了根据本公开的实施例的用于形成具有屏蔽层的半导体器件的方法的流程图。

[0014] 图3a和3b解说了根据本发明的实施例的在根据来自图2的特定方法的各个生产阶段的半导体器件的框图横截面。

[0015] 图4解说了根据本发明的实施例的在屏蔽层中的孔隙图案以及孔隙大小与屏蔽层遮蔽的电磁干扰的波长之间的关系。

[0016] 图5解说了根据本发明的实施例的根据来自图6的特定方法制造的半导体器件的框图横截面。

[0017] 图6解说了根据本公开的实施例的用于形成具有构建在层转移晶片的埋藏绝缘体侧上的屏蔽层和集成RF组件的半导体器件的方法的流程图。

[0018] 图7解说了根据本发明的实施例的根据来自图8的特定方法制造的半导体器件的框图横截面。

[0019] 图8解说了根据本公开的实施例的用于形成具有构建在层转移晶片的埋藏绝缘体侧上的屏蔽层和集成RF组件的半导体器件的方法的流程图。

[0020] 图9解说了根据本发明的实施例的根据来自图10的特定方法制造的半导体器件的框图横截面。

[0021] 图10解说了根据本公开的实施例的用于形成具有构建在层转移晶片的埋藏绝缘体侧上的屏蔽层和集成RF组件的半导体器件的方法的流程图。

[0022] 实施例详细描述

[0023] 现在将详细参考所公开的发明的各实施例，其一个或多个示例在附图中得以解说。藉由本技术的解释而非作为本技术的限定来提供每个示例。实际上，将对本领域技术人员明显的是，可在本技术中作出修改和变形而不会脱离本技术的精神和范围。例如，作为一个实施例的一部分来解说或描述的特征可与另一实施例联用以产生又进一步的实施例。由此，本主题内容旨在涵盖所附权利要求书及其等效技术方案的范围内的全部此类修改和变形。

[0024] 射频(RF)开关给现代集成电路设计提出了困难的集成挑战。为了让RF开关作为RF系统中的信号处理器足以胜任地执行，需要使每个开关上的输入和输出电压维持线性关系。现代RF系统，以及实际上近乎所有现代通信系统均依赖于线性解码和编码系统以及线性差错减少和噪声消去系统两者。如果在信号路径中的任何地方引入了非线性，则信号可能被噪声不可调和地损坏或被不正当地编码和解码。遗憾的是，从成本角度来看与RF开关

集成可能是有益的许多电路组件具有有害地影响这些开关的线性度的潜在可能。射频组件(诸如集成无源器件、声学滤波器、晶体滤波器、一般意义上的微机电系统(MEMS)、其他晶体管块(诸如数字逻辑块))通常将需要半导体基板,或者在没有半导体基板的情况下在商业上是不可行的。然而,具有半导体基板的RF开关上的偏置电压和RF电压的交互创生了非线性失真的高度似然性。因此,在将RF开关从RF组件的半导体基板屏蔽开的同时将以上提及的任何RF组件与RF开关集成将是有益的。

[0025] 集成RF组件的EMI屏蔽

[0026] 置于RF开关与半导体基板之间的导电材料层可以用作将防止这些RF开关上的偏置电压和RF电压与半导体基板交互的电磁干扰(EMI)屏蔽层。所公开的不同方法和系统寻求在RF开关和另一RF组件两者被集成到单个集成电路中的集成电路中提供此类EMI屏蔽层。因此,这些方法和系统提供了在维持RF电路的期望性能水平的同时以成本有效的方式集成这些本将冲突的元件的途径。

[0027] 可参照图2和图3a-b来描述用于形成半导体器件的方法。方法200始于步骤201,在此RF场效应晶体管(FET)被形成在绝缘体上覆半导体(SOI)式晶片301的有源层300中。SOI晶片具有埋藏绝缘体侧302和有源层侧303。有源层侧和埋藏层侧由其与埋藏绝缘体304和有源层300的界面相对而言的位置来定义。埋藏绝缘体侧在从该界面往埋藏绝缘体的方向,而有源层侧在从该界面往有源层的方向。

[0028] RF FET可使用标准晶体管工艺在有源层300中形成。例如,RF FET可使用互补金属氧化物半导体(CMOS)工艺来产生。形成有源层300的半导体材料可以是硅。埋藏绝缘体304可以是二氧化硅。SOI基板305可以是非晶硅。替换地,SOI基板305和埋藏绝缘体304可以是单层氧化铝从而SOI晶片301是蓝宝石上覆硅(SOS)式晶片。基板还可具有埋藏蚀刻停止层而非埋藏绝缘体。蚀刻停止可以是基板材料的高掺杂区。在这些情形中,有源层可包括外延硅。SOI晶片301可包括在埋藏绝缘体下的富阱层。如以上在背景部分中描述的SOI器件那样,有源层300除实际被激活的半导体材料以外还可包括互连层,该互连层用于在该半导体器件中形成的FET的沟道。有源层300还可包括用于保护该有源层的附加的钝化和绝缘层。

[0029] 方法200随后可继续至步骤202或203。在步骤202,第二晶片306被结合至SOI晶片301的有源层侧303。如图3a中所示,第二晶片可为临时处置晶片或RF组件晶片。该结合由图3a中绘制在各组SOI晶片301与第二晶片306之间的向下箭头解说。所使用的结合方法可以是在行业中使用的任何种类的晶片结合工艺,诸如直接氧化物-氧化物结合(熔融结合)、粘合结合、阳极结合、低温玻璃料结合、分子结合、静电结合、金属-金属结合等。在步骤203中,屏蔽层307被形成用于该半导体器件。该屏蔽层包括导电材料。在方法200于移至步骤202之前前进至步骤203情形中,可在结合工艺中使用屏蔽层。例如,如果步骤203的结合工艺是金属-金属结合,则屏蔽层可提供结合所必须的金属的一部分。

[0030] 方法200随后可继续至步骤204,其中RF FET被耦合至包括RF组件的电路。RF组件将在步骤202中用作第二晶片306的RF晶片中,或可以是在步骤202中处置晶片被结合至SOI晶片之后结合至SOI晶片301的第三晶片308。在其中在步骤202中RF组件晶片被结合至SOI晶片的情形中,结果所得的结构是屏蔽层在SOI晶片的有源层侧上的结构。相反,在其中在步骤202中处置晶片被结合至SOI晶片的情形中,结果所得的结构是屏蔽层在SOI晶片的埋藏绝缘体侧上的结构。这两种办法之间的另一差异是在一种方法中,原始SOI基板305在RF

FET被电耦合至RF组件晶片中的电路之后被移除，而在另一种方法中，处置晶片基板306被移除。该材料的移除在图3a中由定向至有源层侧303和埋藏绝缘体侧302的向上箭头解说。以下更详细讨论了可生产图3a中解说的器件的不同集成技术。

[0031] 方法200可继续至步骤205，其中RF FET、RF组件和屏蔽层全都被切单成管芯。结果所得的半导体器件包括集成RF FET和RF组件，其中用于RF组件的基板被防止在施加于RF FET并由RF FET操作的偏置电压和RF电压中创生非线性。以上提供了RF组件的示例，但尤其从参照图2描述的办法中获益的更多具体示例包括SAW、BAW和FBAR滤波器。

[0032] 屏蔽层在以上描述的任何办法中提供有益效果。然而，屏蔽层还对系统引入某个程度的寄生电容，该寄生电容在一些情形中将导致能量被分流到地以及较为低效的RF器件。将屏蔽层置于更为远离RF FET有助于缓解该有害副作用。如图3a中所解说的，对于在RF组件晶片被结合至SOI晶片的有源层侧303的办法而言某些益处自然增加。因为某些SOI晶片中的埋藏绝缘体非常薄——在数10纳米数量级上——并且有源层可包括相对厚的金属化和钝化层，所以当RF组件晶片被结合至SOI晶片的有源层侧时，在RF组件与RF器件之间提供了更多距离。因为RF FET被形成在埋藏绝缘体与有源层的界面处，所以在这些情形中，与相对薄的埋藏绝缘体相比，有源层的整个其余厚度在RF组件与RF开关之间。

[0033] 屏蔽层

[0034] 屏蔽层包括导电材料并用于掩蔽或保护RF FET免受由偏置电压和RF电压与RF组件晶片的基板的交互而导致的电磁干扰。偏置电压和RF电压具有相对较大的振幅摆动和频率两者，这使得它们从防止或减轻电磁干扰效应的角度看尤成问题。然而，屏蔽层用于为本将已有害地与RF组件晶片基板的基板交互的能量信号提供了替换路径。屏蔽层与RF FET电绝缘，并且任选地可与其中形成该RF FET的SOI晶片的整个有源层电绝缘。

[0035] 屏蔽层可包括各种材料并且可在制造该半导体器件的过程内的各个阶段被形成。材料的选取将受形成该层的点的影响。一般来说，屏蔽层可由任何导电材料制成。屏蔽层可以是纯金属，诸如铜、钨、或钼；金属合金，诸如氮化钛；金属硅化物，诸如硅化钨；或掺杂半导体，诸如硅。

[0036] 屏蔽层可在SOI晶片的互连金属化中被形成。SOI晶片的互连层一般可被用于在该SOI晶片的顶层被结合至RF组件晶片的任何情形中形成屏蔽层，因为互连金属化在其中形成RF开关的有源层之上。在将RF组件形成在分开的晶片中的办法中，还可在RF组件晶片的互连金属化中形成屏蔽层。互连层中用于产生屏蔽层的金属化层可以是对于在其中制造该晶片的工艺而言的顶部金属。一般来说，当最终器件中的RF组件在SOI晶片的有源层侧时，可于在SOI晶片中处于RF开关之上的任何地方处理该晶片之时形成屏蔽层。该工艺的这些前述部分通常称为半导体制造工艺的中部制程或后端制程。屏蔽层可由沉积在SOI晶片的表面上的材料层形成。例如，屏蔽层可包括沉积在SOI晶片的埋藏绝缘体侧上的导电材料层。在这些办法中，屏蔽层可以用作在针对SOI晶片上通过如下所述地在SOI晶片上沉积各种材料形成RF组件的基层。作为另一示例，屏蔽层可包括沉积在SOI晶片的有源层侧上的导电材料层。在这些办法中，SOI晶片的有源层侧可能需要在屏蔽层形成之前被某个种类的绝缘体或钝化所覆盖以防止在SOI晶片的互连金属化之间形成短路。在RF组件被形成在分开的晶片中的办法中，还可通过在RF组件晶片的表面上沉积材料层来形成屏蔽层。作为另一示例，屏蔽层可通过在SOI晶片的埋藏绝缘体侧上使用层转移后金属化来形成。该办法将特

别适于使用层转移后金属化来路由信号的情形，因为形成屏蔽层所需的附加工艺步骤将是可忽略不计的。

[0037] 屏蔽层可在结合工艺中使用。例如，屏蔽层可以是金属的并提供针对两个晶片之间的金属-金属结合的接触表面。为此，屏蔽层还可通过在结合之前在这两个晶片上都沉积导电材料层来形成，从而对该器件的最终屏蔽层是这两个层的熔合组合。

[0038] 屏蔽层可采用各种图案。例如，屏蔽层不是必须为固体层，并且可包括处于不规则或有规则位置处的孔隙。这些图案可有利地减少屏蔽层的寄生电容，而与此同时维持屏蔽层在其掩蔽RF组件的基板免受电磁能量方面的能力上的效力。例如，屏蔽层可包括具有均匀间隔的圆形或四边形形状孔隙的网状。四边形孔隙可通过使布局为网格的金属化条带相交来形成。另外，屏蔽层可包括用于供电导管穿过屏蔽层的缺口。既然屏蔽层被用于将RF开关与RF组件的基板屏蔽开，但屏蔽层仅是因为这两个电路元件被集成而被需要的，所以如果屏蔽层防止的是这些元件之间的电连接，则屏蔽层将是没那么有用的。然而，为了在屏蔽层的效率相对于允许电导管连接屏蔽层的任一侧上的电路元件之间进行平衡，用于这些导管的缺口可被设计成配合在该屏蔽层的预定图案内。例如，可通过屏蔽层的已经被用于限制该屏蔽层的寄生电容的孔隙来形成导管。作为另一示例，可在从RF开关的紧邻域被移除的图案中形成导管。RF开关可位于SOI晶片的中央部分中，而导管在该SOI晶片的外围上被对准。

[0039] 图4解说了使屏蔽层被用于掩蔽电磁波402的屏蔽层400和401。屏蔽层400展示出均匀间隔的圆形孔隙403的图案。屏蔽层401展示出均匀间隔的正方形孔隙404的图案。该图案的规律性不是必须的，并且仅出于解说性目的而被包括。圆形孔隙403的孔隙大小由孔隙半径来设定。正方形孔隙404的孔隙大小由正方形的对角来设定。如先前所提及的，通过控制孔隙的大小和图案，可在降低屏蔽层的寄生电容的同时维持屏蔽层的效力。

[0040] 屏蔽层的与孔隙大小有关的效力由被屏蔽的电磁干扰的频率来设定。进而，电磁干扰的频率由RF开关正在操作的偏置电压和RF信号电压的频率来设定。在处于GHz范围中的典型RF频率，空隙大小在微米数量级的孔隙可降低寄生电容，而同时仍有效地掩蔽基板免受电磁能量。在通过半导体器件传播的电磁干扰的上下文中，可根据下式来表达波长：

[0041] $$\lambda = \frac{c}{n f}$$

[0042] 在该式中，λ是波长，c是光速，n是正在传播该信号的材料的折射率，而f是频率。二氧化硅的相对折射率为约3.9。因此，二氧化硅中的1GHz波的波长为约7.5cm。从下式计算由孔口提供的衰减：

[0043] $$A = 20 \log_{10}\left(\frac{\lambda}{2s}\right)$$

[0044] 在该式中，A是衰减，λ是波长，而孔口大小是s。根据该式，为正被衰减的信号的波长的1/10的开口的衰减是14db。为正被衰减的信号的波长的1/1000的开口提供54db的衰减。因此，与7.5cm波长相比，7.5μm开口给出了54db的衰减。因此，所需要的衰减可被用于确定对于该屏蔽层图案而言可允许的最大孔隙大小。一般来说，屏蔽层中的孔隙的波长和尺寸之间10％的比率将为绝大多数RF应用提供适合的品质因子。然而，确切的比率取决于该半导体器件作为其一部分的整个RF系统的要求。

[0045] 屏蔽层的效力还可通过对屏蔽层引入有源偏置来得到增强。尽管可由设定电压来偏置屏蔽层，但对于该屏蔽由与RF开关相同的大信号电位来驱动的办法而言某些益处自然增加。为此，先前所公开的制造半导体器件的方法可藉由将屏蔽层耦合至包括有源偏置电压发生器的电路的步骤来得到扩增。有源偏置电压发生器可向屏蔽层提供跟踪提供给RF开关的大信号偏置信号的偏置电压。如果施加于RF开关和屏蔽层的偏置电压被保持同相，则屏蔽层与RF开关之间的寄生电容将被消除。结果，在屏蔽层与RF组件基板之间创生的任何非线性仍将被无害地分流至地，但在对于RF开关的寄生电容上将没有增加。实际上，在一些实例中，使用被驱动的屏蔽相对于其中没有引入屏蔽层的半导体器件而言将降低半导体器件中的总寄生电容。

[0046] 集成技术

[0047] 各种集成技术可与参照图2和图3a-b讨论的方法结合应用。可参照图5-10描述这些技术中的几种。这些具体办法不涵盖本公开的全部延及范围。具体地，图5、7和9中的半导体器件的框图涉及声学滤波器与RF开关的集成，但本公开的集成技术可被应用于任何RF组件与RF开关的集成。

[0048] 可参照图5中的器件横截面500和图6中的方法600的流程图来描述用于将半导体器件中的RF开关与RF组件集成的具体办法。方法600包括参照图2描述的许多步骤并且方法200的相关公开在很大程度上适用于方法600。然而，如所绘制的，方法600在步骤203中屏蔽层的形成之前在步骤202中执行第二晶片的结合。参照横截面500，被结合至SOI晶片的第二晶片是处置晶片306。处置晶片306被结合至SOI晶片的有源层侧。处置晶片可包括如在与本申请同日提交的具有代理人案卷号IOSEP009CIP4的美国专利申请__/__,__中公开的富阱层。该专利申请的公开通过引用被整体纳入于此。在该步骤之后，SOI晶片被翻转且在步骤601中SOI晶片的基板通过化学蚀刻或研磨工艺来被至少部分地移除。结果所得结构在横截面500中解说。因为有源层和埋藏绝缘体已经从其先前基板被转移到处置晶片——该处置晶片在实效上用作新基板——所以SOI晶片现在可更具体地被称为层转移晶片。在该点，层转移晶片301在其有源层侧被结合至处置晶片306，并且埋藏绝缘体层304的各部分可被暴露。

[0049] 方法600以层转移晶片的埋藏绝缘体侧上的屏蔽层和集成RF组件的构造来继续。屏蔽层可被沉积在层转移晶片的埋藏绝缘体侧上或者它可通过其他手段来形成。如图5中所解说的，屏蔽层307覆盖层转移晶片301的背侧。然而，屏蔽层可仅覆盖晶片的一部分。而且，图5中的屏蔽层307直接在埋藏绝缘体层304上被形成。然而，屏蔽层还可在SOI晶片的原始基板层的其余部分上被形成，或者附加介电层可在屏蔽层之前被沉积在SOI晶片的埋藏绝缘体侧上。

[0050] 方法600以在步骤602中在层转移晶片的埋藏绝缘体侧上形成集成RF组件来继续。如所绘制的，RF组件501是包括基板502和腔503的FBAR声学滤波器。然而，RF组件可以是先前提及的那些RF组件中的任一种。RF组件可通过在层转移晶片的埋藏绝缘体侧上沉积、蚀刻、研磨、扩散和掺杂多个材料层来进行。处置晶片306将提供支持该工艺所需的稳定性。

[0051] 对于使用低温工艺(因为这将防止对层转移晶片的不希望的改动)来构建在步骤602中构造的RF组件的情形而言某些益处自然增加。具体地，如果层转移晶片包括富阱层，则低温工艺可通过防止富阱层中的阱被退火掉来维持富阱层的效力。出于本公开的目的，

低温工艺是不超过400℃的工艺。

[0052] 可参照图7中的设备横截面700和图8中的方法800的流程图来描述用于将半导体器件中的RF开关与RF组件集成的具体办法。方法800始于步骤202和201，这些步骤与如以上参照方法600所述的步骤201和202保持一致。再一次地，有源层300和埋藏绝缘体304包括具有在步骤202中被结合的处置晶片的层转移晶片301，并且处置晶片可包括如在与本申请同日提交的具有代理人案卷号IOSEP009CIP4的美国专利申请号中公开的富阱层。方法800以SOI基板的至少一部分被移除的步骤601来继续。与横截面500形成对比的是，横截面700解说了SOI基板的其余部分701。然而，方法800并不限于SOI基板的仅一部分已经被移除的办法，因为整个基本也可被移除。

[0053] 方法800以步骤801或步骤203继续，其中在步骤801中在第三晶片702中形成射频组件，在步骤203中如上所述为半导体器件形成屏蔽层。在横截面700，第三晶片702包括声学器件501。然而，第三晶片702可改为包括RF组件。方法800可以任一次序来执行，因为屏蔽层307可于在第三晶片中形成RF组件之后被沉积在第三晶片上，或者屏蔽层可被形成在层转移晶片上，在该情形中步骤801和203的相对执行不是那么重要。例如，屏蔽层可包括在将第三晶片结合至SOI晶片的埋藏绝缘体侧之前在第三晶片上形成的导电材料层。在该情形中，步骤703将需要在步骤203之前进行。如所解说的，已经在层转移晶片301上形成屏蔽层307，从而声学器件501的形成可已在屏蔽层307形成之前或之后被执行。

[0054] 方法800以在步骤601中移除基板的该部分之后将第三晶片结合至SOI晶片的埋藏绝缘体侧的步骤802来继续。结果，SOI基板的其余部分，诸如部分701，可位于第三晶片与层转移晶片301之间。基板的该其余部分可以是该基板的高掺杂蚀刻停止区。然而，步骤802并不限于横截面700且整个SOI基板可于在步骤802中将第三晶片结合至层转移晶片之前被移除。可使用以上关于步骤202描述的任何办法来结合各晶片。具体地并且如先前所提及地，屏蔽层可被部分地形成在层转移晶片和第三晶片702两者(在结合之前)的表面上，从而在针对这两个晶片的金属-金属结合中利用该屏蔽层。尽管已下将讨论结合界面，但在电触点或声学器件腔需要被对准的情形中，结合工艺可比不要求精确对准的那些情形稍微昂贵些。如所解说的，在SOI晶片的基板中形成的腔704将需要与声学器件501对准。

[0055] 方法800随后以如上所述的步骤204和205来继续。在方法800中，204中的耦合步骤可作为步骤802的一部分来进行，其中这两个晶片的触点可被对准并且一使各晶片接触能就形成电连接。在替换方案中，可能需要通过在已经结合各晶片之后蚀穿有源层300的RF组件基板502来形成TSV或其他触点。

[0056] 可参照图9中的设备横截面900和图10中的方法1000的流程图来描述用于将半导体器件中的RF开关与RF组件集成的具体办法。方法1000以类似于方法800的方式前进，除了两个主要差别。第一，SOI基板305不是在执行步骤202之前被移除。第二，第二晶片——它在所解说的情形中是RF组件晶片306——被结合至SOI晶片301的有源层侧而非埋藏绝缘体侧。结果，在有源层300被层转移之前形成RF组件晶片与SOI晶片之间的结合，并且RF组件晶片306可有效地用作用于创建层转移有源层的处置晶片。

[0057] 通过将RF组件晶片306结合至SOI晶片301的有源层侧来执行方法1000中的步骤202。该结合可通过使用沉积在SOI晶片301的有源层侧上的结合层来进行。结合层可包括屏蔽层307的一部分。还可仅在RF组件晶片上形成屏蔽层或者可在这两个表面上都形成屏蔽

层以促成步骤202的金属-金属结合。然而，屏蔽层还可采用如上所述的任何形式以使得该屏蔽层将不参与结合步骤。如所解说的，屏蔽层307包括在将RF组件晶片306结合至SOI晶片301之前在RF组件晶片306上形成的导电材料层。方法1000还可包括附加步骤1002，其中在SOI晶片301被结合至RF组件晶片306之后移除SOI基板305。在此步骤期间，RF组件晶片306将用作对层转移有源层而言的处置晶片。

[0058] 界面特性

[0059] RF组件晶片与层转移晶片之间的界面可呈现各种特性。在RF组件被构建于层转移晶片上的情形中，该界面也可展示各种特性。具体地，该界面可包括用于将RF FET与RF组件耦合的导电导管的触点。在RF组件是声学器件的情形中，该界面还可包括用于该声学器件的腔。可在移除基板的一部分之后在经移除的基板的其余部分中形成这些腔。在屏蔽层位于该界面处的情形中，屏蔽层还可基于其对于结合工艺的参与、通过该界面的电触点的存在、以及在该界面处的用于可能在该系统中的任何声学器件的腔的存在而呈现各种特性。

[0060] 在参照图5讨论的办法中，可按各种方式来进行方法600的步骤204中将RF FET耦合至包括RF组件的电路的步骤。在一种办法中，方法600中的步骤201的一部分将涉及创建TSV触点504，TSV触点504是在处置晶片306的结合之前从SOI晶片301的有源层侧创建的。TSV可终接于位于埋藏绝缘体层304中的结合焊盘处或者在该埋藏绝缘体层的顶表面或底表面上。无论TSV终接于何处，可在RF组件501被构建时作出至该组件的电连接。这些办法可要求屏蔽层307和埋藏绝缘体304被蚀刻以暴露TSV。该蚀刻可从层转移晶片的埋藏绝缘体侧发生。可在步骤203中围绕触点形成屏蔽层304或者可通过在步骤203之后从埋藏绝缘体侧蚀穿屏蔽层304以形成用于步骤602的触点。可通过将导电材料沉积到蚀刻期间的挖出的区域(诸如，当埋藏绝缘体被蚀刻时形成的该埋藏绝缘体的被挖出区域)中来完成从埋藏绝缘体侧或有源层侧的蚀刻。因为RF FET将经由此触点来被耦合至具有RF组件的电路，所以将需要通过使导管穿过屏蔽层的孔隙或者使导管穿过该器件落在屏蔽层的横向范围以外的区域来将屏蔽层与该触点隔离。导管藉以穿过屏蔽层的孔隙可被绝缘体所包围以防止导管与屏蔽层之间的接触。

[0061] 在参照图7描述的办法中，可按各种方式来进行方法800的步骤204中的将RF FET耦合至包括RF组件的电路。与参照图7讨论的办法形成对比的是，还可能需要置备RF组件晶片702以在结合之前形成电触点。可处理RF组件晶片702的结合表面以包括用于与导管703耦合的接触焊盘705。而且，如果在任一晶片上形成屏蔽层，则可能需要蚀刻该屏蔽以暴露触点，或者可能需要以避开这些触点的图案来沉积该屏蔽，如以上参照图5所述。可经由从埋藏绝缘体侧的处理、从有源层侧的处理、或这两者的结合来形成导管703，如参照导管504所述。

[0062] 如图7中所解说的，在移除了SOI基板的一部分的同时形成腔704的情形中，导管还可能需要延伸穿过SOI基板701的其余层。可从SOI晶片301的埋藏绝缘体侧形成导管的该部分并将该部分连接至先前从SOI晶片301的有源层侧形成的TSV。然而，导管的这两个部分都可从SOI晶片301的埋藏绝缘体侧形成，并且可接触有源层300中形成的着陆焊盘。

[0063] 步骤802中进行的晶片结合可能需要将RF组件晶片702的特征与SOI晶片301的特征对准。具体地，如果在SOI晶片301的基板中形成用于声学器件的腔的一部分，则该部分将需要与RF组件晶片702中的RF组件501对准。另外，如果这两个晶片都已经被处理以提供电

触点焊盘，则各焊盘将需要被对准以确保RF开关被耦合至RF组件晶片702中的电路。如果利用大的触点焊盘，则可在一定程度上缓解对准要求。为了避免占据界面上过多的台面空间，可在有源层300中和基板502内形成触点焊盘，并且可在经由RF组件晶片的背侧来结合各晶片之后形成该触点。

[0064] 在参照图9描述的办法中，可按各种方式来进行方法1000的步骤204中的将RF FET耦合至包括RF组件的电路。可根据参照图7描述的任何办法来进行RF组件晶片306的预结合处理。然而，一般将不会应用对SOI晶片301所利用的相同办法，因为需要从绝缘体的有源层侧制作触点。幸运的是，这种种类的触点更容易管理，因为不需要蚀刻埋藏绝缘体，并且可将触点形成为有源层300的互连层的一部分或者触点可以是形成在有源层的顶上的RDL材料。如所解说的，屏蔽层307已经完全被形成在RF组件晶片的表面上，并将通过触点902进行接触。无论屏蔽层被形成在哪个晶片上，屏蔽层图案都将需要在导管的横向范围以外，或者该导管将需要穿过屏蔽层中的孔隙，如上所述。

[0065] 尽管已经参考本发明的具体实施例详细描述了本说明书，但是应领会，本领域技术人员在理解了上述内容之后，可以容易地想到这些实施例的变更、变型或等效方案。对本发明的这些及其他修改和变型可由本领域技术人员实践，而不脱离本发明的精神和范围，这在所附权利要求中更加具体地进行了阐述。

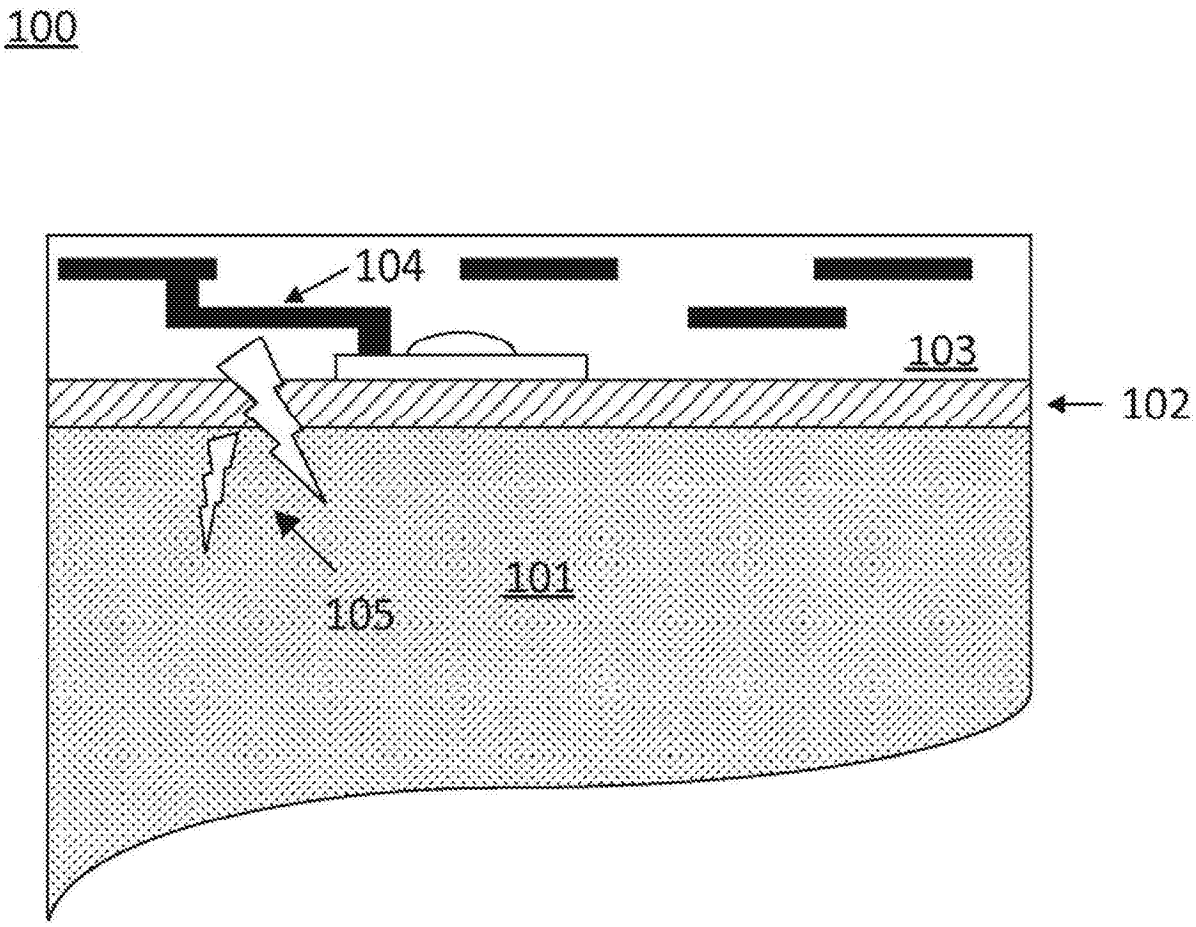


图1
相关技术

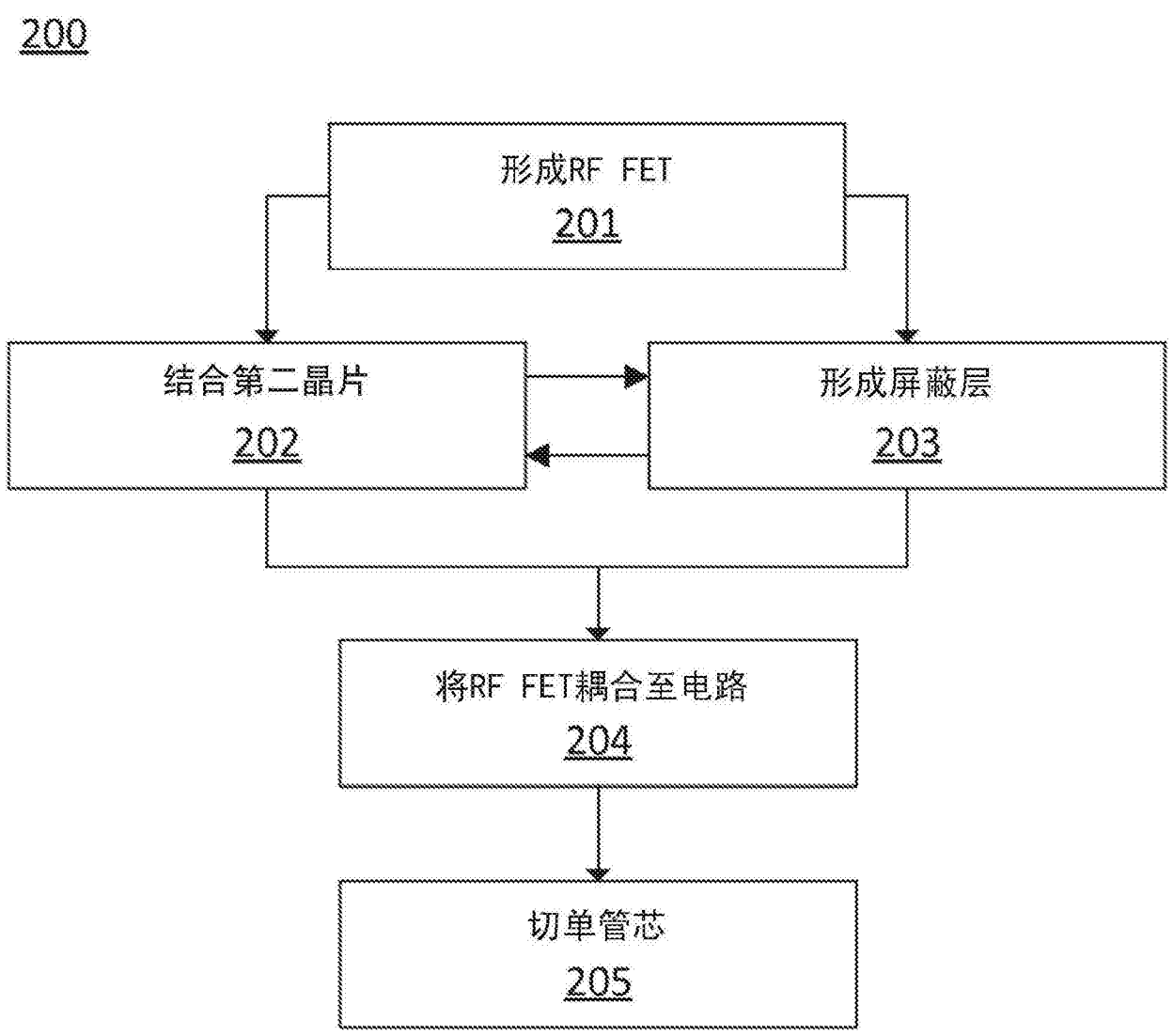

200
形成RF FET
201
结合第二晶片
202
形成屏蔽层
203
将RF FET耦合至电路
204
切单管芯
205

图2

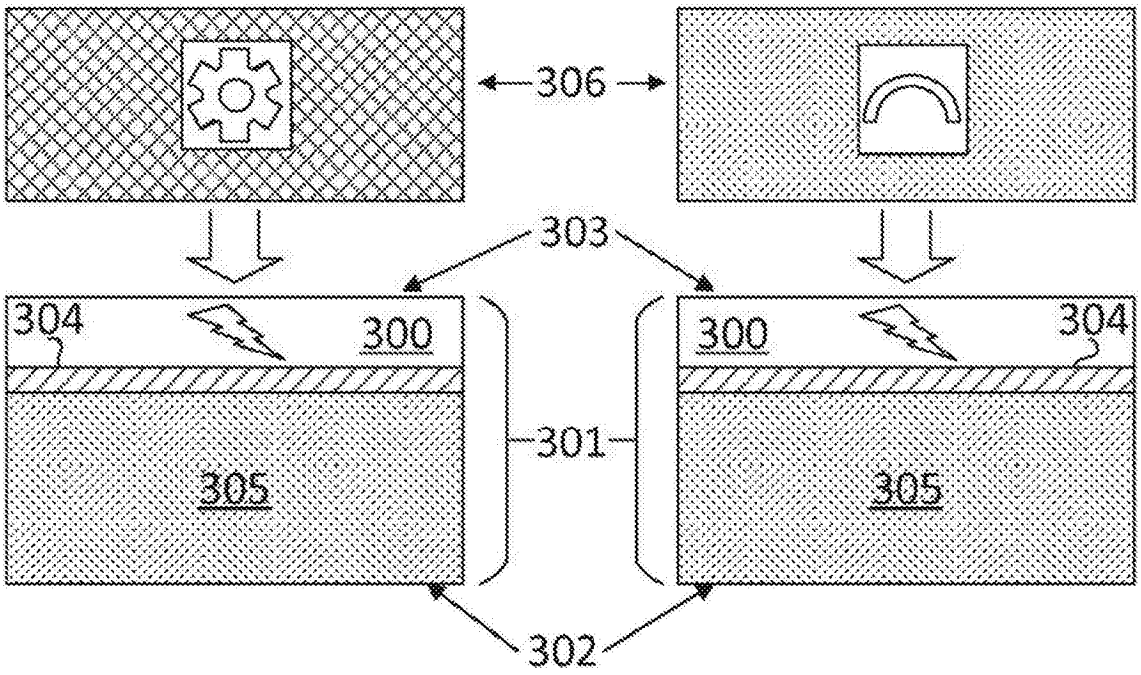

306
303
304
300
300
304
301
305
305
302

图3a

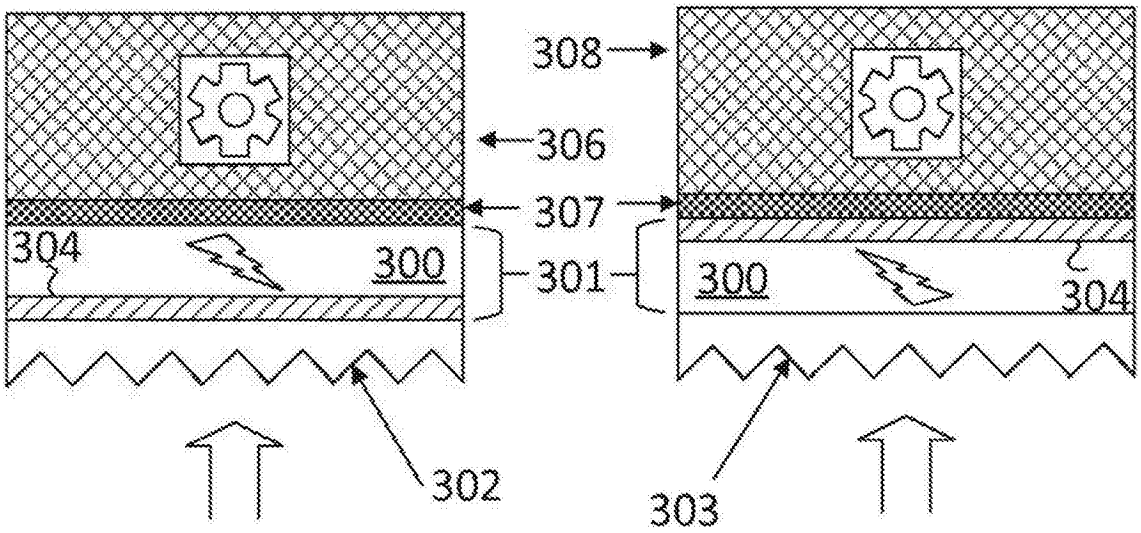

308
306
307
304
300
301
300
304
302
303

图3b

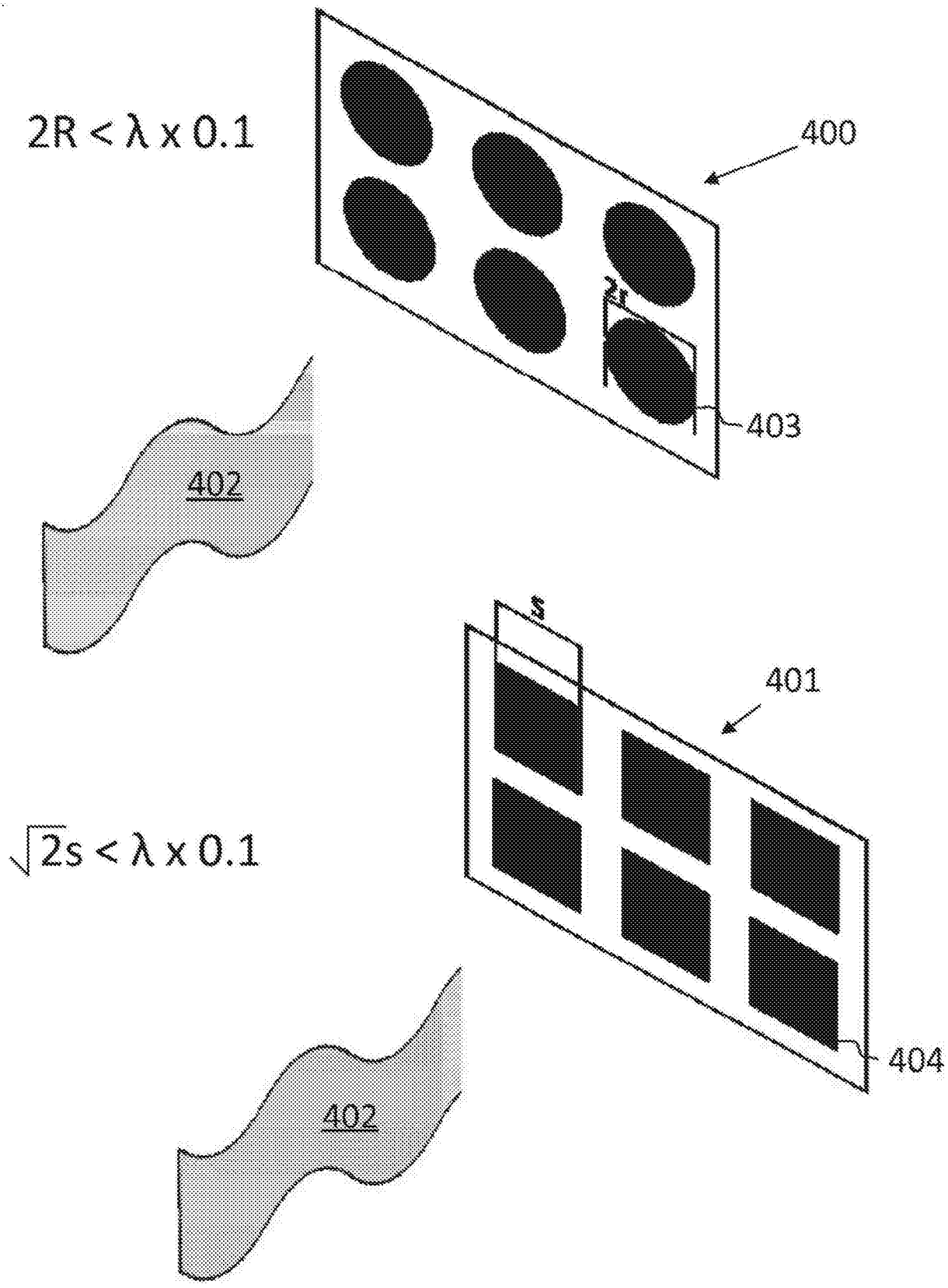


图4

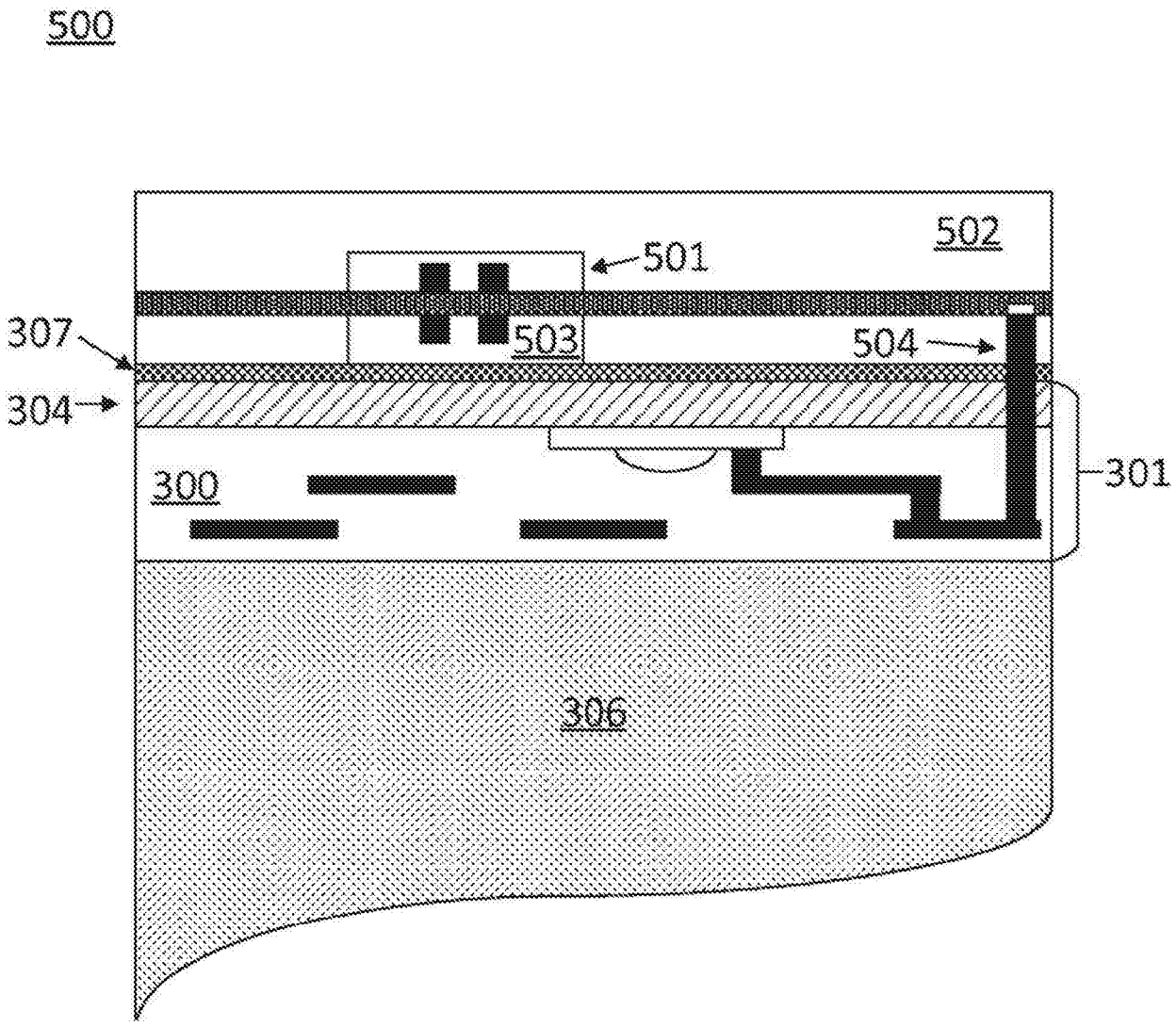


图5

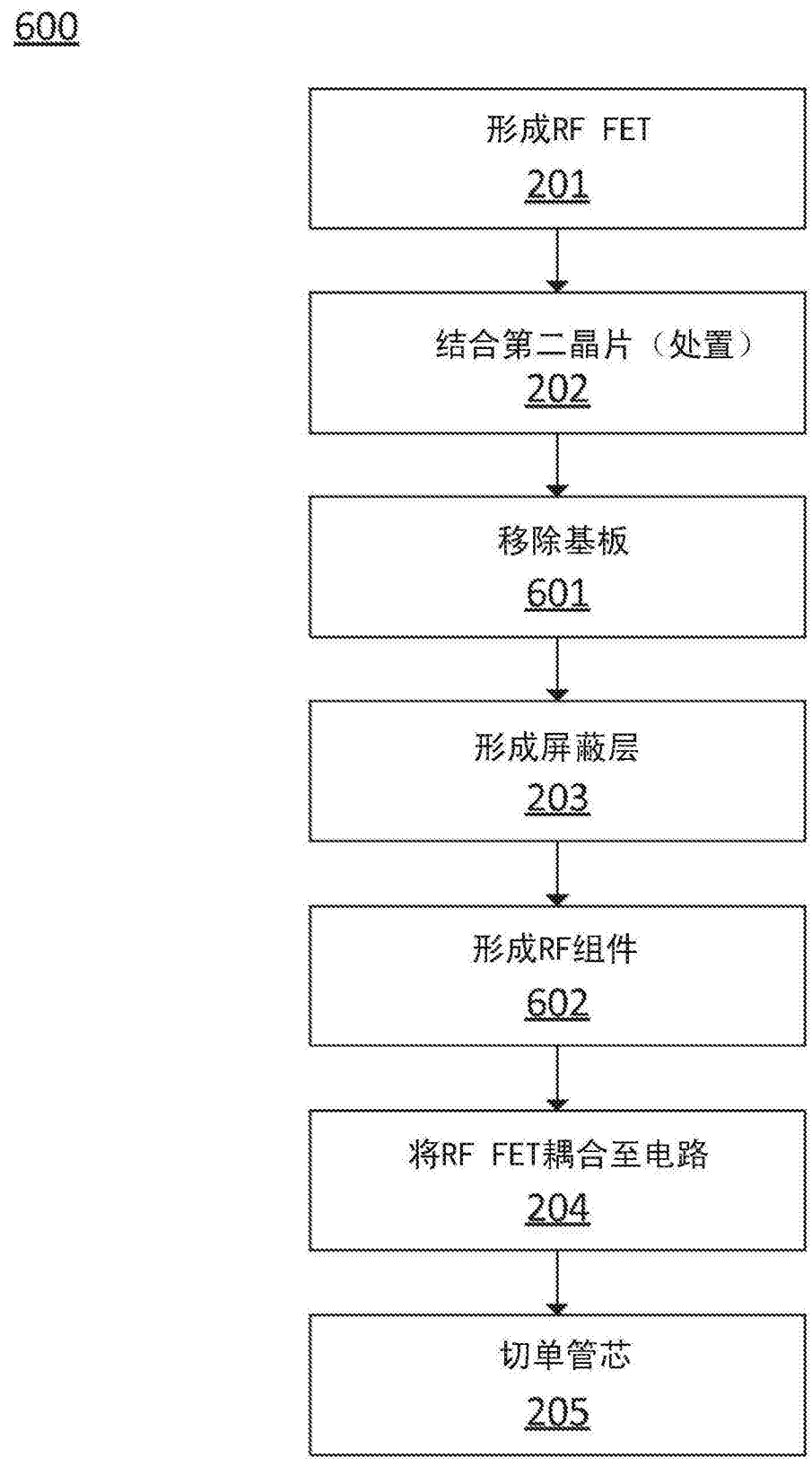

600
形成RF FET
201
结合第二晶片（处置）
202
移除基板
601
形成屏蔽层
203
形成RF组件
602
将RF FET耦合至电路
204
切单管芯
205

图6

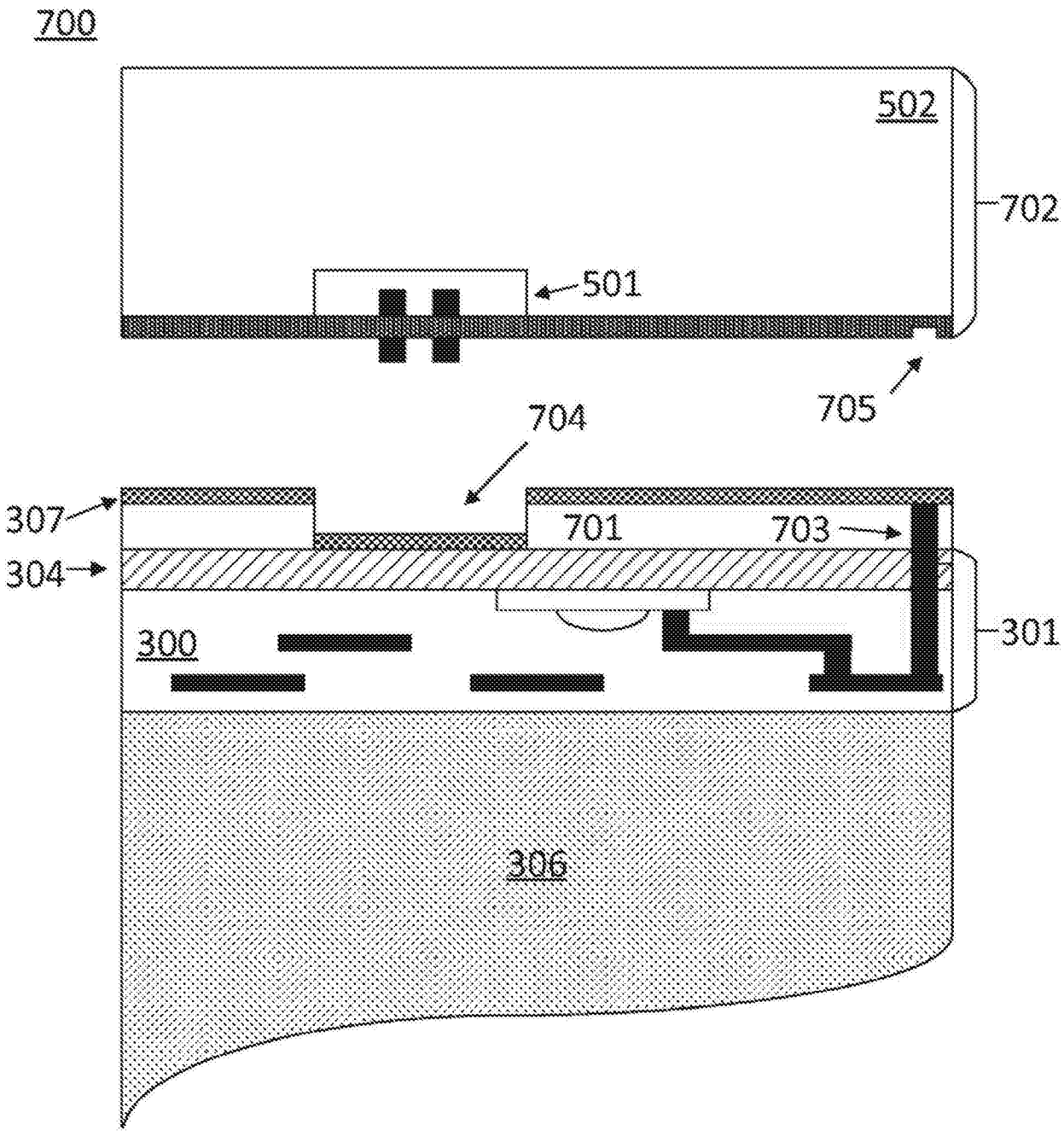


图7

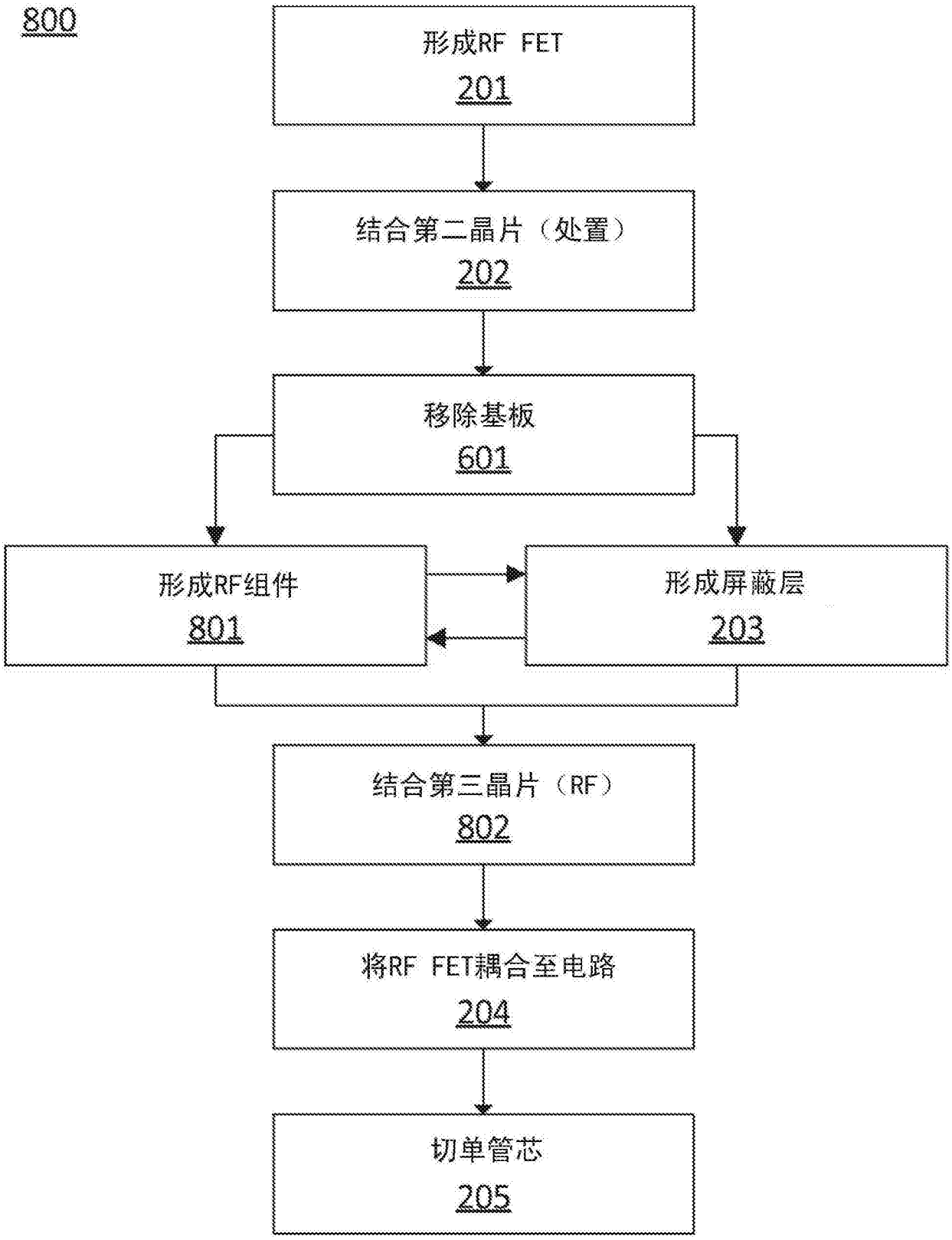

800
形成RF FET
201
结合第二晶片（处置）
202
移除基板
601
形成RF组件
801
形成屏蔽层
203
结合第三晶片（RF）
802
将RF FET耦合至电路
204
切单管芯
205

图8

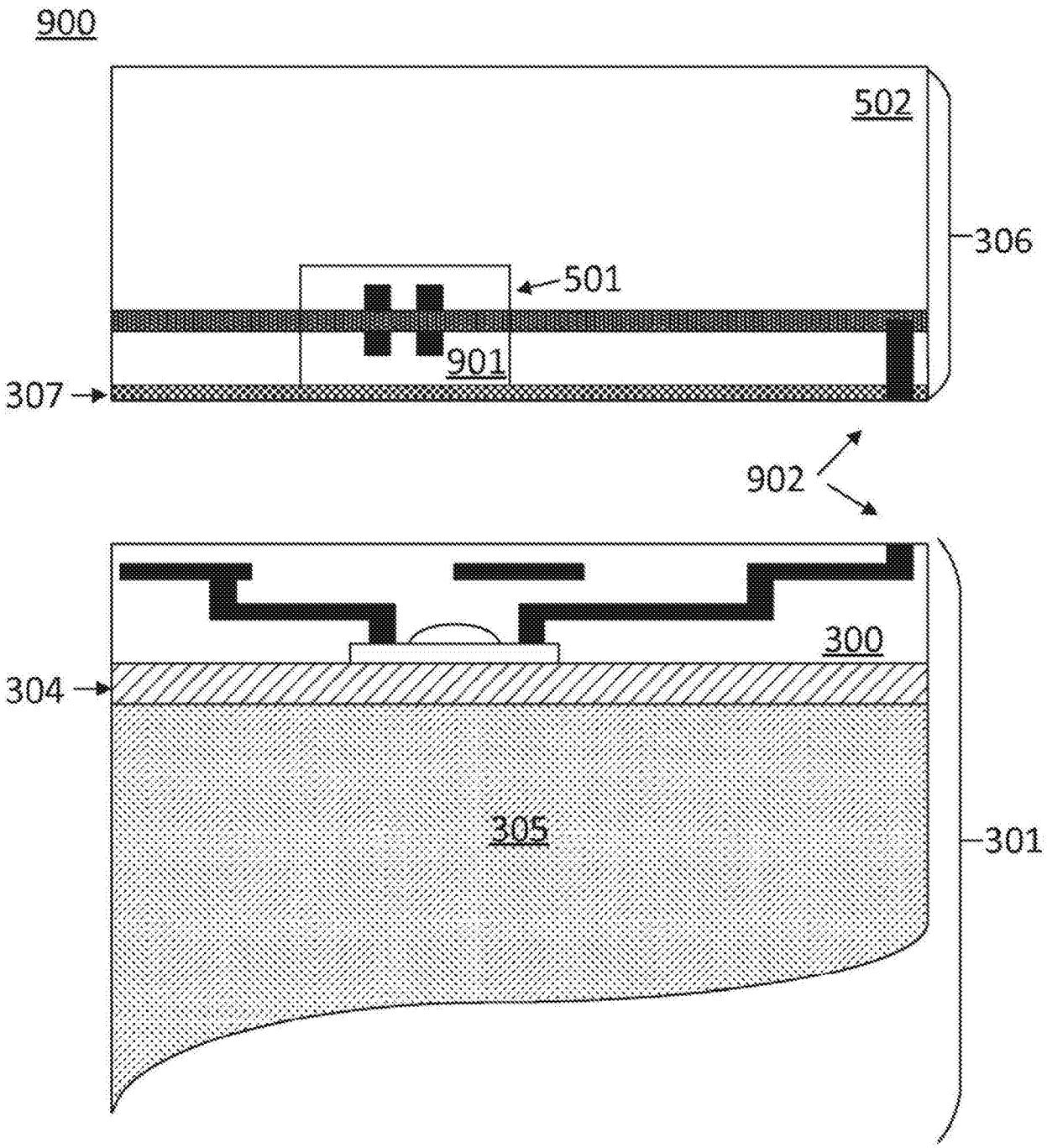


图9

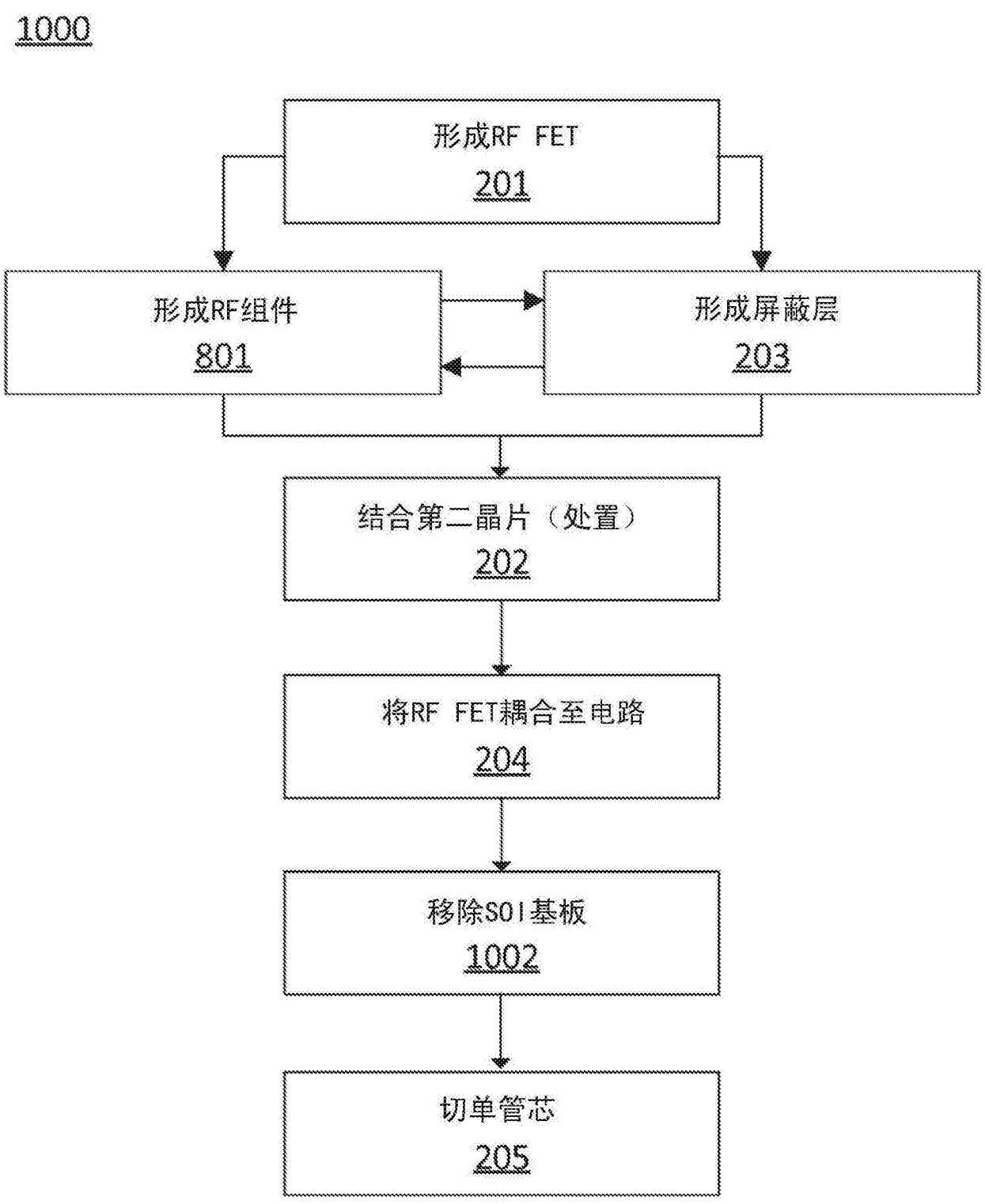

1000
形成RF FET
201
形成RF组件
801
形成屏蔽层
203
结合第二晶片（处置）
202
将RF FET耦合至电路
204
移除SOI基板
1002
切单管芯
205

图10