



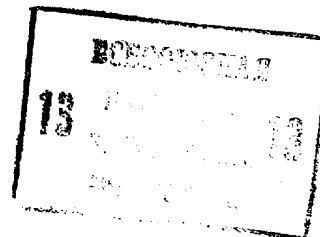
СОЮЗ СОВЕТСКИХ
СОЦИАЛИСТИЧЕСКИХ
РЕСПУБЛИК

(19) **SU** (11) **1166149** **A**

4(5D) G 06 G 7/52

ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 3680772/24-24

(22) 29.11.83

(46) 07.07.85. Бюл. № 25

(72) С. Э. Воробейчиков, Ю. М. Гармаш
и В. В. Конев

(71) Сибирский физико-технический инсти-
тут им. В. Д. Кузнецова при Томском госу-
дарственном университете им. В. В. Куй-
бышева

(53) 621.3(088.8)

(56) Липейка А. Об определении моментов
изменения свойств авторегрессионной по-
следовательности. Сб. Статистические про-
блемы управления», вып. 39, Вильнюс, 1979,
с. 9—24.

Авторское свидетельство СССР
№ 324633, кл. G 06 G 7/52, 1970.

Вальд А. Последовательный анализ. М.,
Физматгиз, 1960.

Андерсон Т. Статистический анализ
временных рядов. М., «Мир», 1976, с. 446.

Справочник по теории вероятностей и
математической статистике. Под ред.
В. С. Корольюка. Киев, Наукова думка, 1978,
с. 248.

Воробейчиков С. Э. Конев В. В. К об-
наружению моментов разладки случайных
процессов. — В кн., «Математическая ста-
тистика и ее приложения». Вып. 8, Томск,
ТГУ, 1982, с. 20—34.

(54) (57) УСТРОЙСТВО ДЛЯ ОПРЕ-
ДЕЛЕНИЯ МОМЕНТА ИЗМЕНЕНИЯ
СВОЙСТВ СЛУЧАЙНОГО ПРОЦЕССА,
содержащее первый элемент задержки,
квадратор, блок вычитания, первый сумма-
тор и блок сравнения, отличающееся тем,
что, с целью расширения класса решаемых
задач и повышения точности и быстродей-
ствия, в него введены блок буферной памя-
ти, формирователь адреса, два элемента
задержки, второй сумматор, два блока по-
стоянной памяти, четыре накапливающих

сумматора, четыре блока умножения, два
регистра константы, блок деления и гене-
ратор тактовых импульсов, вход которого
объединен с входом первого элемента за-
держки, первым входом первого сумматора
и является входом устройства, выход ге-
нератора тактовых импульсов соединен с
тактовыми входами первого и второго на-
капливающих сумматоров, тактовым вхо-
дом блока буферной памяти и входом фор-
мирователя адреса, выход которого соеди-
нен с адресными входами блоков постоян-
ной памяти и блока буферной памяти, ин-
формационный вход которого подключен
к выходу первого элемента задержки, вы-
ход блока буферной памяти подключен к
первым входам первого и второго блоков
умножения, вторые входы которых подклю-
чены соответственно к выходам первого
и второго блоков постоянной памяти, выхо-
ды первого и второго блоков умножения сое-
динены соответственно с информационными
входами первого и второго накапливающих
сумматоров, выход первого из которых сое-
динен с вторым входом первого сумматора,
выход которого соединен с первым входом
третьего блока умножения, второй вход ко-
торого объединен с входом квадратора и под-
ключен к выходу второго накапливающего
сумматора, выход третьего блока умноже-
ния через последовательно соединенные тре-
тий накапливающий сумматор и второй эле-
мент задержки подключен к первому ин-
формационному входу второго сумматора,
второй информационный вход которого под-
ключен к выходу четвертого блока умноже-
ния, управляющий вход второго сумматора
объединен с управляющими входами чет-
вертого блока умножения, блока деления и
подключен к управляющему выходу блока
вычитания, выход второго сумматора сое-
динен с первым входом блока сравнения,
второй вход которого подключен к выходу
первого регистра константы, выход блока

(19) **SU** (11) **1166149** **A**

сравнения является выходом устройства, первый информационный вход четвертого блока умножения подключен к выходу третьего блока умножения, второй информационный вход четвертого блока умножения подключен к выходу блока деления, первый информационный вход которого подключен к выходу третьего элемента задержки, второй информационный вход блока деления

объединен с входом четвертого накапливающего сумматора и подключен к выходу квадратора, выход четвертого накапливающего сумматора соединен с первым входом блока вычитания, второй вход которого подключен к выходу второго регистра константы, информационный выход блока вычитания соединен с входом третьего элемента задержки.

1

Изобретение относится к технической кибернетике и может быть использовано для определения момента скачкообразного изменения вида корреляционной функции случайного процесса в опознающих устройствах различного назначения, системах управления и линиях связи.

Целью изобретения является расширение класса решаемых задач и повышение быстродействия и точности определения момента разладки.

На чертеже представлена блок-схема устройства.

Устройство содержит генератор 1 тактовых импульсов, первый элемент 2 задержки, блок 3 буферной памяти, формирователь 4 адреса, первый сумматор 5, первый накапливающий сумматор 6, первый блок 7 умножения, первый блок 8 постоянной памяти, второй блок 9 постоянной памяти, второй блок 10 умножения, второй накапливающий сумматор 11, третий блок 12 умножения, квадратор 13, третий накапливающий сумматор 14, первый регистр 15 хранения константы, второй регистр 16 хранения константы, второй элемент 17 задержки, третий элемент 18 задержки, блок 19 вычитания, четвертый накапливающий сумматор 20, блок 21 сравнения, второй сумматор 22, блок 23 умножения и блок 24 деления.

Входом предлагаемого устройства является вход генератора 1 тактовых импульсов, объединенного с первым входом первого сумматора 5 и входом элемента 2 задержки, подсоединенного своим выходом к информационному входу блока 3 буферной памяти. Выход генератора 1 тактовых импульсов подключен к тактовому входу блока 3 буферной памяти, к входу формирователя 4 адреса, к тактовому входу первого накапливающего сумматора 6 и к тактовому входу второго накапливающего сумматора 11, выход блока 3 буферной памяти подключен к первому информационному входу первого блока 7 умножения и к пер-

2

вому информационному входу второго блока 1 умножения, выход формирователя 4 адреса подключен к управляющему входу блока 3 буферной памяти, к адресному входу первого блока 8 постоянной памяти и к адресному входу второго блока 9 постоянной памяти, выход первого блока 8 постоянной памяти подсоединен к второму информационному входу первого блока 7 умножения, выход которого подключен к информационному входу первого накапливающего сумматора 6, выход которого подключен к второму входу первого сумматора 5, выход второго блока 9 постоянной памяти подсоединен к второму информационному входу второго блока 10 умножения, выход которого подключен к информационному входу второго накапливающего сумматора 11, выход которого подключен к входу квадратора 13 и к соответствующему информационному входу третьего блока 12 умножения, подключенного другим информационным входом к выходу первого сумматора 5, выход квадратора 13 подсоединен с одному из информационных входов блока 24 деления и к входу четвертого накапливающего сумматора 20, выход которого подключен к первому информационному входу блока 19 вычитания, подсоединенного вторым информационным входом к выходу соответствующего регистра 15 хранения константы, управляющий выход блока 19 вычитания подключен к управляющему входу блока 24 деления, другой информационный вход которого подключен через второй элемент 18 задержки к информационному выходу блока 19 вычитания, к управляющему входу четвертого блока 23 умножения и к управляющему входу второго сумматора 22, выход блока 24 деления подключен к соответствующему информационному входу четвертого блока 23 умножения, выход третьего блока 12 умножения подсоединен к входу третьего накапливающего сумматора 14 и к другому информационному входу

четвертого блока 23 умножения, выход которого подсоединен к одному из информационных входов второго сумматора 22, другой информационный вход которого через другой элемент 17 задержки подключен к выходу третьего накапливающего сумматора 14, выход второго сумматора 22 подключен к первому информационному входу блока 21 сравнения, подключенного вторым информационным входом к выходу первого регистра 15 хранения константы.

В основу работы предложенного устройства положен следующий алгоритм.

Известно (4), что любой стационарный случайный процесс можно описать рекуррентным уравнением порядка P , на этом основании поступающий на вход предлагаемого устройства случайный процесс опишем уравнением

$$x_{j+1} = \lambda_1 x_j + \lambda_2 x_{j-1} + \dots + \lambda_p x_{j-i-p} + \xi_{j+1}, 0 \leq j < \theta,$$

до момента разладки $t = \theta$ и уравнением

$$x_{j+1} = \mu_1 x_j + \mu_2 x_{j-1} + \dots + \mu_p x_{j-i-p} + \xi_{j+1}, j > \theta,$$

после момента разладки $t = \theta$ (отметим, что, как указано в (5), порядок процесса p на практике не превышает двойки, т.е. $P \leq 2$). Здесь отсчеты шума ξ_j независимы, имеют нулевое среднее значение и дисперсию σ_w^2 , причем вероятностное распределение произвольно, два набора известных значений параметров $\lambda_1, \dots, \lambda_p$ и $\mu_1, \dots, \mu_p$ характеризуют корреляционную функцию случайного процесса соответственно до и после момента разладки θ , x_j - j -й отсчет случайного процесса.

Для обнаружения разладки случайного процесса применяется такая модификация метода наименьших квадратов, когда длительность каждого отдельного интервала наблюдения, завершающегося вынесением решения о наличии или отсутствии разладки, не фиксируется заранее, а определяется (последовательно, в ходе наблюдения процесса) величиной, характеризующей различия статистической структуры процесса до и после разладки. Процедура обработки наблюдений (выборочных значений случайного процесса) является последовательной процедурой типа Вальда (3), при этом, как и у Вальда, используется два постоянных порога, предназначенных для выполнения другой роли, чем в процедуре Вальда. Первый порог H служит для определения либо необходимости проведения еще одного наблюдения (или нескольких наблюдений) случайного процесса, либо достаточности имеющегося числа наблюдений для того, чтобы перейти к этапу вынесения решения о наличии либо отсутствии разладки случайного процесса. Собственно решение о наличии разладки случайного процесса выносится при превышении второго порога δ ,

если же второй порог не превышен, выносится решение об отсутствии разладки.

Моменты τ_i , $i = 0, 1, 2, \dots$, в которые может быть принято решение о разладке, определяются последовательно в процессе наблюдения случайного процесса по следующим соотношениям $\tau_0 = 0$,

$$\tau_j = \min \left\{ K \geq \tau_{j-1} + 1 : \sum_{j=\tau_{j-1}+1}^K \Psi^2(j) \geq H \right\},$$

$$\text{где } \Psi(j) = (\mu_1 - \lambda_1) x_j + \dots + (\mu_p - \lambda_p) x_{j-i-p};$$

$H > 0$ — постоянный порог, определяемый допустимым запаздыванием момента обнаружения разладки, которое определяется вероятностью пропуска сигнала, $P_{лс}$ и допустимой величиной вероятности ложной тревоги $P_{лт}$.

В момент τ_i определяется величина

$$y_i = \sum_{j=\tau_{i-1}+1}^{\tau_i} d_i(j) \Psi(j) \left[x_{j+1} - \frac{(\lambda_1 + \mu_1) x_j + \dots + (\lambda_p + \mu_p) x_{j-i-p}}{2} \right],$$

$$d_i(j) = \begin{cases} 1, & \text{если } \tau_{i-1} \leq j < \tau_i, \\ \left[H - \sum_{j=\tau_{i-1}+1}^{\tau_i} \Psi^2(j) \right] / \Psi^2(\tau_i), & \text{если } j = \tau_i, \end{cases}$$

при превышении которой порога δ , т.е. при $y_i \geq \delta$ выносится решение о наличии разладки, в противном же случае (при $y_i < \delta$) выносится решение об отсутствии разладки случайного процесса, поступившего на вход устройства.

Значения порогов H и δ определяются из следующих соотношений (6)

$$P_{лт} \leq \frac{H \sigma_w^2}{(\delta + \frac{H}{2})^2}; \quad P_{лс} \leq \frac{H \sigma_w^2}{(\frac{H}{2} - \delta)^2}.$$

Работа устройства основана на том, что среднее значение величин y_i изменяется после разладки на известную величину H (т.е. с $-\frac{H}{2}$ до разладки на $+\frac{H}{2}$ после разладки), а дисперсия величин y_i не превосходит $H \sigma_w^2$ (8). Знание величины H изменения среднего значения и верхней границы дисперсии последовательности $\{y_i\}$, $i = 1, 2, \dots$ позволяет выбрать такое пороговое значение δ из интервала $(-\frac{H}{2}, \frac{H}{2})$, что превышение величинами y_i выбранного таким образом порога δ будет происходить достаточно редко до разладки (это эквивалентно малому числу ложных тревог) и достаточно часто после разладки (это эквивалентно большой вероятности правильного обнаружения разладки) исследуемого случайного процесса. Такой выбор порогов H и δ обеспечивает по сравнению с предлагаемым устройством более надежное обнаружение одной или нескольких разладок расширенного класса случайных процессов, а также большую быстроту и точность их обнаружения.

Большая быстрота и точность обнаружения разладок предлагаемым устройством обеспечивают тем, что требуемой точности обнаружения разладки соответствует вполне определенная длительность интервала наблюдения, выражающаяся в тех различиях статистических характеристик (до разладки и после разладки) случайного процесса, которые нужно накопить для достижения требуемой точности.

В известном устройстве выбор малого интервала наблюдения обеспечивает быстрое обнаружение разладки, но и обуславливает малую величину накапливаемых различий статистических характеристик исследуемого процесса, что ведет к увеличению числа ложных срабатываний и, следовательно, к ухудшению точности, для увеличения же точности необходимо выбирать интервал наблюдения неопределенно большим, что уменьшает быстроту обнаружения разладки случайного процесса.

Устройство работает следующим образом.

Квантованные по времени и уровню входные реализации наблюдаемого случайного процесса (СП), x_j $j=0,1,2,\dots$ запускают генератор 1 тактовых импульсов (фиг. 1) и одновременно поступают на вход первого элемента 2 задержки и на первый информационный вход первого сумматора 5. Входные сигналы x_j задерживаются первым элементом 2 задержки на один такт, приобретая вид X_{j-1} , $j=1,2,\dots$ и поступают с его выхода на информационный вход блока 3 буферной памяти 7, представляющего собой сдвигающий регистр, где последовательно записывается в p числовых ячеек сдвигающего регистра, запись осуществляется на каждом такте по тактовым импульсам, поступающим с выхода генератора 1 тактовых импульсов на тактовый вход блока 3 буферной памяти. По мере поступления сигналов X_j , $j=0,1,2,\dots$, в p числовых ячеек блока 3 буферной памяти, эти сигналы подаются с выхода блока 3 буферной памяти на первые информационные входы первого и второго блоков 7 и 10 блоков умножения, на вторые информационные входы которых поступают выходные сигналы соответственно с блоков 8 и 9 постоянной памяти. Таким образом, сигнал U в регистре блока 3 буферной памяти на $(j+1)$ -ом такте имеет следующий вид (при чтении слева направо, когда крайняя левая ячейка сдвигающего регистра всегда содержит старший разряд)

$$x_j, \dots, X_{j+p-1}, j=0,1,2,\dots$$

В каждом из блоков 8 и 9 постоянной памяти имеется p -разрядный регистр, в ячейки которых соответственно записываются

следующие априорно известные наборы (при чтении слева направо)

$$\mu_1 - \lambda_1, \dots, \mu_p - \lambda_p, \text{ и } \frac{-\lambda_1 - \mu_1}{2}, \dots, \frac{-\lambda_p - \mu_p}{2},$$

причем наборы констант $\lambda_1, \dots, \lambda_p$ и $\mu_1, \dots, \mu_p$ известны заранее и характеризуют параметры корреляционной функции СП поступающего на вход устройства соответственно до и после разладки.

Выходные сигналы U_4 блока 4 формирования адреса, запускаемого по входу импульсами с выхода генератора 1 тактовых импульсов, являются адресными и поступают на адресные входы блока 3 буферной памяти блоков 8 и 9 постоянной памяти. После поступления адресных сигналов U_4 формируются выходные сигналы U_3 , U_8 и U_9 , причем сигналы U_3 и U_8 перемножаются в первом блоке 7 умножения, а сигналы U_3 и U_9 перемножаются во втором блоке 10 умножения. После окончания умножений выходные сигналы U_7 и U_{10} указанных блоков умножения поступают соответственно на информационные входы накапливающего сумматора 6 и накапливающего сумматора 11, в которых осуществляется последовательное суммирование на каждом такте, причем в конце каждого такта накапливающие сумматоры 6 и 11 должны быть приведены в исходное состояние, соответствующее нулевым выходным сигналам U_6 и U_{11} . На $(j+1)$ -м такте сигналы U_6 и U_{11} имеют следующий вид

$$U_6^j = \sum_{i=1}^p \frac{-\lambda_i - \mu_i}{2} \cdot (x_j - x_{j+1});$$

$$U_{11}^j = \sum_{i=1}^p (-\lambda_i + \mu_i) \cdot x_{j-i+1}.$$

Так как первый сумматор 5 осуществляет параллельное суммирование сигналов x_{j+1} и U_6^j поступающих соответственно на его первый и второй информационные входы, то на первый информационный вход третьего блока 12 умножения поступает сигнал U_5^j следующего вида

$$U_5^j = x_{j+1} + U_6^j,$$

причем на второй информационный вход блока 12 умножения поступает сигнал U_{11}^j . Одновременно сигнал U_{11}^j поступает на вход квадратора 13, где перемножается сам на себя и в виде выходного сигнала $U_{13}^j = (U_{11}^j)^2$ одновременно поступает на вход четвертого накапливающего сумматора 20 и на соответствующий информационный вход блока 24 деления. Накапливающий сумматор 20 в процессе последовательного суммирования входных сигналов формирует, например, на $(j+1)$ -ом такте сигнал $U_{20}^j = \sum (U_{13}^j)$, который поступает на первый вход блока

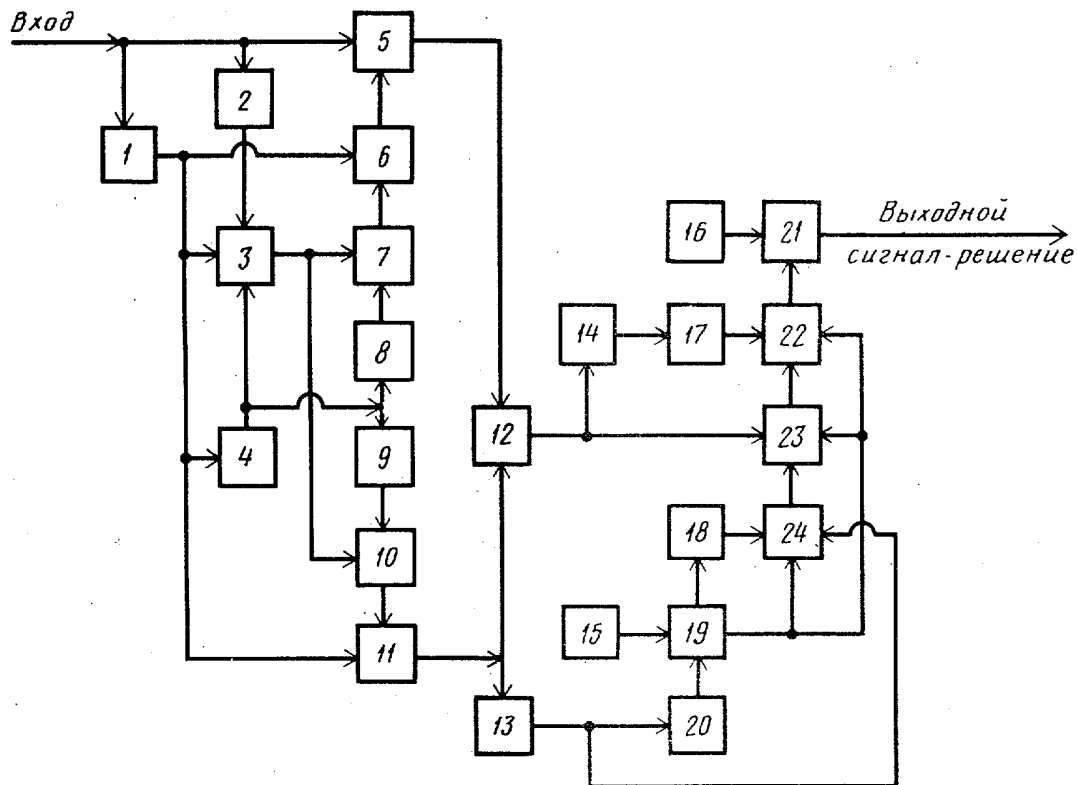
19 вычитания, на второй информационный вход которого подается значение константы H , хранящейся во втором регистре 16 константы. С помощью порогового значения H последовательно формируются интервалы наблюдений, завершающиеся вынесением решения о наличии или отсутствии разладки. Сигнал с информационного выхода блока 19 вычитания имеет на $(j+1)$ -ом такте следующий вид

$$U_{19} = U_{15} - U_{20}.$$

Сигнал U_{19} после задержки на один такт вторым элементом 12 задержки подается на соответствующий информационный вход блока 24 деления, который срабатывает при поступлении на его управляющий вход незадержанного сигнала U_{19} с выхода блока 19 вычитания.

Одновременно управляющие сигналы U_{19} поступают на управляющие входы четвертого блока 23 умножения и второго сумматора 22 для их запуска. Сигнал U_{24} с выхода блока 24 деления поступает на соответствующий информационный вход четвертого блока 23 умножения, на другой информационный вход которого поступает сигнал U_{12} с выхода третьего блока 12 умно-

жения, причем сигнал U_{12} поступает также на вход третьего накапливающего сумматора 14. Сигнал U_{14} с выхода третьего накапливающего сумматора 14 через второй элемент 17 задержки подается на первый информационный вход второго сумматора 22 осуществляющего параллельное суммирование, причем на второй информационный вход второго сумматора 22 поступает сигнал U_{23} с информационного выхода четвертого блока 23 умножения, сигнал U_{22} с выхода сумматора 22 поступает на первый информационный вход блока 21 сравнения, на второй информационный вход которого подается значение константы δ , хранящейся в первом регистре 15 хранения константы, причем к началу следующего такта сигналов U_{22} должно быть осуществлено приведение в исходное состояние (сброс третьего и четвертого накапливающих сумматоров 14 и 20), соответствующее нулевым выходным сигналам U_{14} и U_{20} . Сигнал-решение появляется на выходе блока 21 сравнения лишь в тот момент, когда сигнал U_{22} превышает значение δ , появление сигнала U_{21} означает принятие устройством решения о наличии разладки случайного процесса, поступающего на его вход.



Редактор Н. Пушненко
Заказ 4313/46

Составитель А. Иванова
Техред И. Верес
Тираж 710

Корректор И. Эрдей
Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5
Филиал ППП «Патент», г. Ужгород, ул. Проектная, 4