



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(45) 공고일자 2009년03월20일  
(11) 등록번호 10-0889796  
(24) 등록일자 2009년03월13일

(51) Int. Cl.

H01L 21/335 (2006.01) H01L 29/772 (2006.01)

(21) 출원번호 10-2007-7012790

(22) 출원일자 2007년06월07일

심사청구일자 2007년06월07일

번역문제출일자 2007년06월07일

(65) 공개번호 10-2007-0085828

(43) 공개일자 2007년08월27일

(86) 국제출원번호 PCT/JP2005/020982

국제출원일자 2005년11월09일

(87) 국제공개번호 WO 2006/051995

국제공개일자 2006년05월18일

(30) 우선권주장

JP-P-2004-00326683 2004년11월10일 일본(JP)

(56) 선행기술조사문헌

WO2003098699 A1\*

US20030218222 A1\*

\*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 15 항

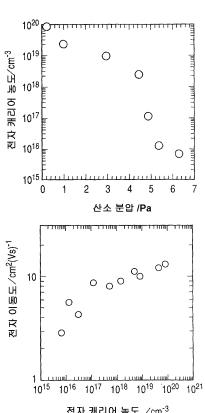
심사관 : 심병로

(54) 비정질 산화물을 사용한 전계 효과 트랜지스터

### (57) 요 약

비정질 산화물을 이용하는 신규 전계 효과 트랜지스터를 제공한다. 본 발명의 실시 예에 있어서, 상기 트랜지스터는  $1 \times 10^{-18} / \text{cm}^3$  미만의 농도의 전자 캐리어를 함유한 비정질 산화물층을 구비하고, 게이트 절연층은, 비정질 산화물과 접촉하고 있는 제1 층과, 상기 제1 층과 다른 제2 층으로 이루어져 있다.

### 대 표 도



(72) 발명자

**호소노 히데오**

일본국 토쿄 메구로쿠 오오카야마 2-12-1 토쿄고교  
다이가꾸 나이

**카미야 토시오**

일본국 토쿄 메구로쿠 오오카야마 2-12-1 토쿄고교  
다이가꾸 나이

---

**노무라 켄지**

일본국 토쿄 메구로쿠 오오카야마 2-12-1 토쿄고교  
다이가꾸 나이

## 특허청구의 범위

### 청구항 1

삭제

### 청구항 2

삭제

### 청구항 3

삭제

### 청구항 4

삭제

### 청구항 5

삭제

### 청구항 6

삭제

### 청구항 7

삭제

### 청구항 8

삭제

### 청구항 9

소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

상기 활성층은, 전자 캐리어 농도가  $10^{18}/\text{cm}^3$  미만인 비정질 산화물로 이루어져 있고, 상기 게이트 절연체는, 상기 비정질 산화물과 접촉하고 있는 제1 층과, 상기 제1 층 위에 적층되어 있는, 상기 제1 층과 다른 제2 층으로 이루어져 있는 것을 특징으로 하는 전계 효과 트랜지스터.

### 청구항 10

제 9 항에 있어서,

상기 제1 층은,  $\text{HfO}_2$ ,  $\text{Y}_2\text{O}_3$ , 혹은  $\text{HfO}_2$ 나  $\text{Y}_2\text{O}_3$ 을 함유한 혼합 결정 화합물로 이루어진 절연층인 것을 특징으로 하는 전계 효과 트랜지스터.

### 청구항 11

제 9 항에 있어서,

상기 비정질 산화물은  $\text{In}$ ,  $\text{Zn}$  및  $\text{Sn}$  중 적어도 하나를 함유한 산화물, 혹은  $\text{In}$ ,  $\text{Zn}$  및  $\text{Ga}$ 을 함유한 산화물인 것을 특징으로 하는 전계 효과 트랜지스터.

### 청구항 12

제 9 항에 있어서,

상기 제1 층은 상기 활성층과의 계면 특성을 개선하기 위한 계면 개선층이고, 상기 제2 층은 전류의 누설을 방

지하기 위한 전류 누설 방지층인 것을 특징으로 하는 전계 효과 트랜지스터.

#### 청구항 13

소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

상기 활성층은, 비정질 산화물로 이루어져 있고, 상기 게이트 절연체는, 상기 비정질 산화물과 접촉하고 있는 제1 층과, 상기 제1 층 위에 적층되어 있는, 상기 제1 층과 다른 제2 층으로 이루어져 있는 것을 특징으로 하는 전계 효과 트랜지스터.

#### 청구항 14

제 13 항에 있어서,

상기 비정질 산화물은 In, Zn 및 Sn을 함유한 산화물과, In 및 Zn을 함유한 산화물과, In 및 Sn을 함유한 산화물과, In을 함유한 산화물로 구성된 그룹으로부터 선택된 어느 하나인 것을 특징으로 하는 전계 효과 트랜지스터.

#### 청구항 15

제 13 항에 있어서,

상기 트랜지스터는 노멀리 오프형의 트랜지스터인 것을 특징으로 하는 전계 효과 트랜지스터.

#### 청구항 16

소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

상기 활성층은, 전자 캐리어 농도가  $10^{18}/\text{cm}^3$  미만인 비정질 산화물, 또는 전자 이동도가 상기 전자 캐리어 농도의 증가와 함께 증가하는 경향이 있는 비정질 산화물로 이루어져 있고,

상기 활성층과 상기 게이트 절연체 사이에는 패시베이션층이 형성되어 있는 것을 특징으로 하는 전계 효과 트랜지스터.

#### 청구항 17

제 16 항에 있어서,

상기 비정질 산화물은 In, Zn 및 Sn 중 적어도 하나를 함유한 산화물, 혹은 In, Zn, 및 Ga을 함유한 산화물인 것을 특징으로 하는 전계 효과 트랜지스터.

#### 청구항 18

제 16 항에 있어서,

상기 패시베이션층은 전류의 누설을 방지하기 위한 전류 누설 방지층인 것을 특징으로 하는 전계 효과 트랜지스터.

#### 청구항 19

소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

상기 활성층은, 비정질 산화물로 이루어져 있고,

상기 활성층과 상기 게이트 절연체 사이에는 패시베이션층이 형성되어 있는 것을 특징으로 하는 전계 효과 트랜지스터

#### 청구항 20

기판 위에 소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

상기 활성층은, 전자 캐리어 농도가  $10^{18}/\text{cm}^3$  미만인 비정질 산화물, 또한 전자 이동도가 상기 전자 캐리어 농도의 증가와 함께 증가하는 경향이 있는 비정질 산화물로 이루어져 있고,

상기 활성층과 상기 기판 사이에는 표면 코팅층이 형성되어 있는 것을 특징으로 하는 전계 효과 트랜지스터.

### 청구항 21

제 20 항에 있어서,

상기 비정질 산화물은 In, Zn 및 Sn 중 적어도 하나를 함유한 산화물, 혹은 In, Zn, 및 Ga을 함유한 산화물인 것을 특징으로 하는 전계 효과 트랜지스터.

### 청구항 22

제 20 항에 있어서,

상기 표면 코팅층은 상기 기판과 상기 활성층 간의 밀착성을 개선하기 위한 밀착 개선층인 것을 특징으로 하는 전계 효과 트랜지스터.

### 청구항 23

소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

상기 활성층은, 비정질 산화물로 이루어져 있고,

상기 활성층과 기판과의 사이에는 표면 코팅층이 형성되어 있는 것을 특징으로 하는 전계 효과 트랜지스터.

## 명세서

### 기술 분야

<1>

본 발명은, 비정질 산화물을 사용한 전계 효과 트랜지스터에 관한 것이다.

### 배경 기술

<2>

최근, 액정 기술, 일렉트로루미네센스(EL), 및 관련 기술의 진보의 결과로서 FPD(Flat Panel Display)가 상업화되고 있다. 이 FPD는 비정질 실리콘 박막 또는 다결정 실리콘 박막을, 유리기판 위에 형성된 활성층으로서 사용하는 전계 효과 박막 트랜지스터(TFT)로 이루어진 액티브 매트릭스 회로에 의해 구동된다.

<3>

FPD의 두께 감소, 경량화, 및 임팩트 세기 증가를 위해, 유리 기판 대신에 경량 및 플렉시블 수지 기판의 사용이 연구되고 있다. 그러나, 실리콘 박막을 사용하는 트랜지스터의 제조는, 프로세스 시에 비교적 고온을 요구하기 때문에 실리콘 박막 트랜지스터는 적은 내열 수지 기판에 직접 형성될 수 없다.

<4>

따라서, TFT에 대해서, 저온에서 막 형성이 가능한 Zno 박막 등의 산화물 반도체 박막의 사용이 활발히 연구되고 있다(일本国 공개특허공보 제2003-298062호).

<5>

그러나, TFT의 전기적 특성 및 투명 특성, 게이트 절연체의 특성, 전류누설의 방지, 활성층과 기판 간의 밀착성을 모두 동시에 만족하는 트랜지스터는 취득되지 않았다.

### 발명의 상세한 설명

<6>

본 발명은 비정질 산화물을 이용하는 새로운 전계 효과 트랜지스터를 제공하는 것을 목적으로 한다.

<7>

또, 본 발명은, TFT의 전기적 특성 및 투명 특성, 게이트 절연체의 특성, 전류누설의 방지, 및 활성층과 기판과의 밀착 중 적어도 하나에 우수한 트랜지스터를 얻는 것을 목적으로 한다.

<8>

본 발명의 제1 국면에 따른, 전계 효과 트랜지스터는, 소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

<9>

상기 활성층은, 전자 캐리어 농도가  $10^{18}/\text{cm}^3$  미만인 비정질 산화물, 혹은 전자 이동도가 상기 전자 캐리어 농도의 증가와 함께 증가하는 경향이 있는 비정질 산화물로 이루어져 있고,

<10>

상기 소스 전극, 상기 드레인 전극, 및 상기 게이트 전극 중 적어도 1개는 가시광에 투명하다.

<11>

상기 전계 효과 트랜지스터는, 상기 소스 전극, 상기 드레인 전극, 및 상기 게이트 전극 중 적어도 1개에 접속

된 금속 배선을 갖는 것이 바람직하다.

<12> 상기 비정질 산화물은 In, Zn, 및 Sn 중 적어도 1개를 함유한 산화물 또는 In, Zn, 및 Ga를 함유한 산화물인 것이 바람직하다.

<13> 본 발명의 제2 국면에 따른 전계 효과 트랜지스터는, 소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

<14> 상기 활성층은, 전자 캐리어 농도인가  $10^{18}/\text{cm}^3$  미만인 비정질 산화물, 또는 전자 이동도가 상기 전자 캐리어 농도의 증가와 함께 증가하는 경향이 있는 비정질 산화물로 이루어져 있고,

<15> 상기 소스 전극, 상기 드레인 전극, 및 상기 게이트 전극 중 적어도 1개가 가시광에 투명한 제1 층과, 금속으로 구성된 제2 층으로 이루어진 적층 구조를 갖거나, 혹은

<16> 상기 소스 전극, 상기 드레인 전극, 및 상기 게이트 전극 중 적어도 1개에 접속된 배선이 가시광에 투명한 제1 층과, 금속으로 구성된 제2 층으로 이루어진 적층 구조를 갖는다.

<17> 본 발명의 제3 국면에 따른 전계 효과 트랜지스터는, 소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

<18> 상기 활성층은, 가시광에 투명한 비정질 산화물로 이루어져 있고, 상기 소스 전극, 상기 드레인 전극, 및 상기 게이트 전극 중 적어도 1개가 가시광에 투명하다.

<19> 상기 트랜지스터는, 노멀리 오프형(normaly-off type)의 트랜지스터인 것이 바람직하다.

<20> 상기 소스 전극, 상기 드레인 전극 또는 상기 게이트 전극에 속하는 광에 투명한 전극에는 금속 배선이 접속되어 있는 것이 바람직하다.

<21> 본 발명의 제4 국면에 따른 전계 효과 트랜지스터는, 소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

<22> 상기 활성층은, 전자 캐리어 농도가  $10^{18}/\text{cm}^3$  미만인 비정질 산화물로 이루어져 있고, 상기 게이트 절연체는, 상기 비정질 산화물과 접촉하고 있는 제1 층과, 상기 제1 층 위에 적층되어 있는, 상기 제1 층과 다른 제2 층으로 이루어져 있다.

<23> 상기 제1 층은,  $\text{HfO}_2$ ,  $\text{Y}_2\text{O}_3$ , 혹은  $\text{HfO}_2$ 나  $\text{Y}_2\text{O}_3$ 을 함유한 혼합 결정 화합물로 이루어진 절연층인 것이 바람직하다.

<24> 상기 비정질 산화물은 In, Zn 및 Sn 중 적어도 하나를 함유한 산화물, 혹은 In, Zn 및 Ga를 함유한 산화물인 것이 바람직하다.

<25> 상기 제1 층은 상기 활성층과의 계면 특성을 개선하기 위한 계면 개선층이고, 상기 제2 층은 전류의 누설을 방지하기 위한 전류 누설 방지층인 것이 바람직하다.

<26> 본 발명의 제5 국면에 따른 전계 효과 트랜지스터는, 소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

<27> 상기 활성층은, 비정질 산화물로 이루어져 있고, 상기 게이트 절연체는, 상기 비정질 산화물과 접촉하고 있는 제1 층과, 상기 제1 층 위에 적층되어 있는, 상기 제1 층과 다른 제2 층으로 이루어져 있다.

<28> 상기 비정질 산화물은 In, Zn 및 Sn을 함유한 산화물과, In 및 Zn을 함유한 산화물과, In 및 Sn을 함유한 산화물과, In을 함유한 산화물로 구성된 그룹으로부터 선택된 어느 하나인 것이 바람직하다.

<29> 상기 트랜지스터는 노멀리 오프형의 트랜지스터인 것이 바람직하다.

<30> 본 발명의 제6 국면에 따른 전계 효과 트랜지스터는, 소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

<31> 상기 활성층은, 전자 캐리어 농도인가  $10^{18}/\text{cm}^3$  미만인 비정질 산화물, 또는 전자 이동도가 상기 전자 캐리어 농도의 증가와 함께 증가하는 경향이 있는 비정질 산화물로 이루어져 있고,

<32> 상기 활성층과 상기 게이트 절연체 사이에는 패시베이션층이 형성되어 있다.

<33> 상기 비정질 산화물은 In, Zn 및 Sn 중 적어도 하나를 함유한 산화물, 혹은 In, Zn, 및 Ga을 함유한 산화물인 것이 바람직하다.

<34> 상기 패시베이션층은 전류의 누설을 방지하기 위한 전류 누설 방지층인 것이 바람직하다.

<35> 본 발명의 제7 국면에 따른 전계 효과 트랜지스터는, 소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

<36> 상기 활성층은, 비정질 산화물로 이루어져 있고,

<37> 상기 활성층과 상기 게이트 절연체 사이에는 패시베이션층이 형성되어 있다.

<38> 본 발명의 제8 국면에 따른 전계 효과 트랜지스터는, 기판 위에 소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

<39> 상기 활성층은, 전자 캐리어 농도가  $10^{18}/\text{cm}^3$  미만인 비정질 산화물, 또는 전자 이동도가 상기 전자 캐리어 농도의 증가와 함께 증가하는 경향이 있는 비정질 산화물로 이루어져 있고,

<40> 상기 활성층과 상기 기판 사이에는 표면 코팅층이 형성되어 있다.

<41> 상기 비정질 산화물은 In, Zn 및 Sn 중 적어도 하나를 함유한 산화물, 혹은 In, Zn, 및 Ga을 함유한 산화물인 것이 바람직하다.

<42> 상기 표면 코팅층은 상기 기판과 상기 활성층 간의 밀착성을 개선하기 위한 밀착 개선층인 것이 바람직하다.

<43> 본 발명의 제9 국면에 따른 전계 효과 트랜지스터는, 소스 전극과, 드레인 전극과, 게이트 절연체와, 게이트 전극과, 활성층을 구비하고,

<44> 상기 활성층은, 비정질 산화물로 이루어져 있고,

<45> 상기 활성층과 상기 기판과의 사이에는 표면 코팅층이 형성되어 있다.

<46> 본 발명의 발명자들에 의해 산화물 반도체에 대한 연구결과, 다결정 상(phase)의 상태에서, 다결정 입자들 간의 계면에 캐리어를 분산시켜 전자 이동도를 낮추기 위해서 상술한 ZnO를 형성한다는 것을 찾아냈다. 더 나아가서, ZnO는 산소 결함을 일으켜 많은 캐리어 전자를 발생시키기 쉬워, 전기 전도도를 낮추는 것이 어렵다는 것을 찾아냈다. 그것에 의해, 트랜지스터에 게이트 전압이 인가되지 않아도, 소스 단자와 드레인 단자 사이에 전류가 많이 흘러, TFT의 노멀리 오프 상태가 불가능하고, 또 트랜지스터의 온-오프 비를 크게 하는 것이 불가능하게 된다.

<47> 본 발명의 발명자들은, 일본국 공개특허공보 특개2000-044236호에 기재된 비정질 산화막  $\text{Zn}_x\text{M}_y\text{In}_z\text{O}_{(x+3y/2+3z/2)}$  ( $\text{M}$ 은 Al 및 Ga 중 적어도 한 개의 원소)을 연구했다. 이 재료는,  $1 \times 10^{18}/\text{cm}^3$  초과의 농도의 전자 캐리어를 함유하고, 단순한 투명 전극으로서 적합하다. 그렇지만, TFT의 채널층에 사용된  $1 \times 10^{18}/\text{cm}^3$  초과의 농도의 전자 캐리어를 함유한 산화물은 충분한 온-오프 비를 줄 수 없어, 노멀리 오프형의 TFT에는 적합하지 않다. 이와 같이, 종래의 비정질 산화막은  $1 \times 10^{18}/\text{cm}^3$  미만의 캐리어 농도의 막을 제공할 수 없다.

<48> 본 발명의 발명자들은, 전계 효과 트랜지스터의 활성층으로서  $1 \times 10^{18}/\text{cm}^3$  미만의 캐리어 농도의 비정질 산화물을 이용해 TFT를 제작했다. 이 TFT가 소망하는 특성을 갖고, 광방출장치와 같은 화상 표시 장치에 유용하다는 것을 발견했다.

<49> 더 나아가서, 본 발명의 발명자들은, 재료  $\text{InGaO}_3(\text{ZnO})_m$ 과, 이 재료의 막 형성 조건을 연구했고, 이 재료의 캐리어 농도가 막 형성시 산소 분위기 조건을 조절함으로써  $1 \times 10^{18}/\text{cm}^3$  미만으로 제어될 수 있다는 것을 알아냈다.

<50> 본 발명에 의하면, 활성층으로서 비정질 산화물을 이용해서 새로운 전계 효과 트랜지스터를 제공한다.

### 실시예

<63> 우선, 본 발명의 전계 효과 트랜지스터의 활성층의 구성에 대해서 설명한다.

<64> 본 발명의 발명자들은, 반절연성 산화물의 일부 비정질 박막이 전도 전자수의 증가와 함께 전자 이동도가 증가

하는 특성을 갖는다는 것을 찾아냈고, 더 나아가서 그러한 막을 이용해 제조된 TFT가 온-오프 비, 펀치-오프 상태에서의 포화 전류, 및 스위칭 속도 등의 개선된 트랜지스터 특성을 지닌다는 것도 찾아냈다.

<65> 박막 트랜지스터의 채널 층으로서 투명 반절연성 박막을 사용하면, 오프 상태에서(게이트 전압이 인가되지 않음) 드레인 단자와 소스 단자 간의 전류가  $10\text{마이크로암페어}$  미만으로 제어될 수 있고, 바람직하게는  $1\text{cm}^2/\text{V.sec}$  초과, 바람직하게는  $5\text{cm}^2/\text{V.sec}$  초과의 전자 이동도에 대하여,  $1\times 10^{18}/\text{cm}^3$  미만, 바람직하게는  $1\times 10^{16}/\text{cm}^3$  미만의 캐리어 농도에서  $0.1$  마이크로암페어 미만으로 제어될 수 있다. 또, 이 박막을 사용하면, 펀치-오프 후의 포화 전류가  $10\text{마이크로암페어}$  이상으로 증가될 수 있고, 온-오프 비는,  $1\text{cm}^2/\text{V.sec}$  초과, 바람직하게는  $5\text{cm}^2/\text{V.sec}$  초과의 전자 이동도에 대하여  $1\times 10^3$  초과하도록 상승할 수 있다.

<66> TFT의 펀치-오프 상태에서, 고전압은 게이트 단자에 인가되고 있고, 그 채널 내에는 고밀도의 전자가 존재하고 있다. 따라서, 본 발명에 따르면, 전자 이동도가 증가한 만큼 포화 전류가 증가할 수 있다. 그것에 의해, 온-오프 비의 증대, 포화 전류의 증대, 및 스위칭 속도의 증가 등, 거의 모든 트랜지스터 특성들이 향상된다. 반면에, 일반적인 화합물 중에서는, 전자의 수가 증가하면, 전자들 간의 충돌에 의해 전자 이동도가 감소한다.

<67> 상기 TFT의 구조로서는, 반도체 채널층 위에 게이트 절연체와 게이트 단자를 순차적으로 형성하는 스텝거(톱 게이트) 구조나, 게이트 단자 위에 게이트 절연체와 반도체 채널층을 순차적으로 형성하는 역 스텝거(바텀 게이트) 구조를 사용할 수 있다.

<68> 활성층을 구성하는 비정질 산화물의 구체적인 예로서는, 결정상태에 있어서의  $\text{InGaO}_3(\text{ZnO})_m$ ( $m$ 은 6미만의 자연수)로 나타내는  $\text{In}-\text{Ga}-\text{Zn}-\text{O}$ 를 포함하는 산화물이 있다. 다른 예로서는,  $1\times 10^{18}/\text{cm}^3$  미만의 농도의 전자 캐리어를 함유한,  $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ ( $m$ 은 6미만의 자연수;  $0 < x \leq 1$ )로 나타내는  $\text{In}-\text{Ga}-\text{Zn}-\text{Mg}-\text{O}$ 를 포함하는 산화물이 있다.

<69> 비정질 산화막은 바람직하게는  $1\text{cm}^2/\text{V.sec}$ 보다 큰 전자 이동도를 나타낸다.

<70> 상기 막을 채널층으로서 사용하면, 트랜지스터 오프 상태에서  $0.1$  마이크로암페어 미만의 게이트 전류에 의해 노멀리 오프되고,  $1\times 10^3$  초과의 온-오프 비를 가지며, 가시광에 투명하고 블렉시블한 TFT를 제조할 수 있다.

<71> 상기 투명막에 있어서는, 전도 전자 수의 증가와 함께 전자 이동도가 증가한다. 투명막을 형성하는 기판은 유리 기판, 플라스틱 기판, 및 플라스틱 필름을 포함한다.

<72> 상기 투명 산화막을 채널층으로서 사용하는 바람직한 실시 예에 있어서,  $\text{SnO}_2$ ,  $\text{In}_2\text{O}_3$ ,  $\text{ITO}$ ,  $\text{Ti}_2\text{O}_3$ ,  $\text{TiOF}$ ,  $\text{SrTiO}_3$ ,  $\text{EuO}$ ,  $\text{TiO}$ , 또는  $\text{VO}$ 로 형성되어 있는 층들 중 적어도 하나로부터 전극층을 투명전극으로서 형성해 트랜지스터를 제조한다.

<73> 상기 투명 산화막을 채널층으로서 이용하는 또 다른 바람직한 실시 예에 있어서는,  $\text{Au}$ ,  $\text{Ag}$ ,  $\text{Al}$ , 또는  $\text{Cu}$ 로 구성되는 층들 중 적어도 1개로부터 전극층을 전극으로서 형성해서 트랜지스터를 제조한다.

<74> 상기 투명 산화막을 채널층으로서 사용하는 또 다른 바람직한 실시 예에 있어서는,  $\text{Y}_2\text{O}_3$  또는  $\text{HfO}_2$ , 그것의 혼합 결정 화합물, 또는,  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{TiO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{PbTiO}_3$ ,  $\text{BaTa}_2\text{O}_6$ ,  $\text{SrTiO}_3$ ,  $\text{MgO}$ , 또는  $\text{AlN}$ , 혹은 그것의 비정질체로 구성되는 층들 중 적어도 1개로부터 게이트 절연체를 형성해서 트랜지스터를 제조한다.

<75> 또 다른 바람직한 실시 예에 있어서, 전기 저항을 증가시키기 위한 불순물을 의도적으로 첨가하지 않고, 산소 가스를 포함한 분위기 중에서 막을 형성한다.

<76> 비정질 산화막을 생성하는 프로세스와, 비정질 산화물을 이용해 TFT를 생성하는 프로세스에 대해서는, 제1 내지 제3 실시 예의 설명 후에 더 상세히 설명한다.

<77> 전계 효과 트랜지스터의 활성층 이외의 구조적인 요구사항들을, 제1 내지 제3 실시 예로 분류해서 본 발명의 제1 내지 제9 국면에 따라 설명한다.

<78> 이하의 제1 내지 제3 실시 예에 있어서는, 상술한 바와 같은 활성층, 전극, 게이트 절연체 재료 등을 이용하는 것이 바람직하다. 그렇지만, 이하의 실시 예의 발명은 상기 활성층 등에 한정되는 것은 아니다.

<79> (제1 실시 예: 투명 S, D, G 전극 또는 적층 전극)

<80> 본 실시 예의 전계 효과 트랜지스터는 상술한 본 발명의 제1, 제2, 및 제3 국면의 카테고리에 속한다.

<81> 설명에서 "가시광에 투명하다"란, 가시광 파장 영역의 적어도 일부에 재료가 투명한 상태를 의미한다. 투명도는 광 흡수가 없는 상태뿐만 아니라 가시광의 일부를 관통한 상태도 의미한다. 본 발명에 있어서, 가시광의 투과율은 40%초과이고, 더 바람직하게는 60%초과이며, 더 바람직하게는 80%초과이다.

<82> 이와 같이, 고도의 투명 디바이스는 트랜지스터를 구성하는 다른 부재 또는 전극의 적어도 일부를 투명하게 함으로써 실현된다.

<83> 바람직하게는, 소스 전극, 드레인 전극, 게이트 전극, 및 게이트 절연체는 모두 가시광에 투명하다.

<84> 가시광에 투명한 전극의 예로서는,  $\text{SnO}_2$ ,  $\text{In}_2\text{O}_3$ , ITO,  $\text{Ti}_2\text{O}_3$ ,  $\text{TiOF}$ ,  $\text{SrTiO}_3$ ,  $\text{EuO}$ ,  $\text{TiO}$  또는  $\text{VO}$ 로부터 형성된 것들이 있다.

<85> 일반적으로, 가시광에 투명한 전극 재료는 낮은 전기 전도도 또는 높은 전기 저항을 갖는다. 따라서, 그러한 전극 재료로부터 완전히 형성된 배선을 갖는 디스플레이 장치는 높은 기생 저항을 가질 것이다. 따라서, 배선은 가시광에 투명한 재료로 형성된 제1 층과, 금, 구리, 알루미늄 등의 금속 또는 이 금속을 함유한 합금으로 형성된 제2 층의 적층 구조를 갖는다. 특히, 예를 들면, 투명한 제1 층을 트랜지스터 주변에 사용하고, 다른 부분을 제1 층과 제2 층의 적층으로 형성하며, 리드-배선(lead-wiring)를 높은 전기 전도도를 갖는 제2 층으로 형성함으로써, 기생 저항을 감소시킬 수 있다. 물론, 상기 소스 전극, 드레인 전극, 또는 게이트 전극 자체는 적층 구조로 형성되어도 된다.

<86> 본 발명의 제3 국면에 따른 전계 효과 트랜지스터의 활성층은 상술한 바와 같이 가시광에 투명한 비정질 산화물로 구성된다. 이 활성층은 노멀리 오프형의 트랜지스터를 구성하는 것이 바람직하다.

<87> 제1 국면의 발명의 관점에서, 본 발명의 제3 국면에 의하면, 활성층은  $1 \times 10^{18}/\text{cm}^3$  초과의 농도의 캐리어를 함유한 비정질 산화물로 형성되어 있어, 캐리어 농도의 증가와 함께 전자 이동도가 증가하지 않고, 가시광에 투명하며, 소스 전극, 드레인 전극, 및 게이트 전극의 적어도 하나는 가시광에 투명하다.

<88> 이와 같이, 투명도의 영역이 넓은 디바이스는, 트랜지스터를 구성하는 다른 부재 또는 전극의 적어도 일부를 투명하게 함으로써 제조될 수 있다.

<89> (제2 실시 예:다층 게이트 절연체)

<90> 본 실시 예의 전계 효과 트랜지스터는 본 발명의 제4 및 제5 국면의 카테고리에 속한다. 본 실시 예의 활성층은 결정상태에 있어서의  $\text{InGaO}_3(\text{ZnO})_m$ ( $m$ 은 6미만의 자연수)로 나타내는 적어도  $\text{In-Ga-Zn-O}$ 를 함유하고,  $1 \times 10^{18}/\text{cm}^3$  미만의 농도의 전자 캐리어를 함유한 투명 비정질 산화물, 또는 결정상태에서의  $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ ( $m$ 은 6미만의 자연수;  $0 < x \leq 1$ )로 나타내는  $\text{In-Ga-Zn-Mg-O}$ 를 함유한 투명 비정질 산화물로 구성되는 것이 바람직하다.

<91> 게이트 절연체를 구성하는 제1 층은 예를 들면,  $\text{HfO}_2$  또는  $\text{Y}_2\text{O}_3$ , 또는 그것의 혼합 결정 화합물로 구성된다. 제2 층은, 예를 들면,  $\text{SiO}_2$ ,  $\text{Si}_3\text{N}_4$ ,  $\text{TiO}_2$ ,  $\text{Ta}_2\text{O}_5$ ,  $\text{PbTiO}_3$ ,  $\text{BaTa}_2\text{O}_6$ ,  $\text{SrTiO}_3$ ,  $\text{MgO}$ , 또는  $\text{AlN}$ , 혹은 상기 물질을 함유한 비정질체로 구성된다.

<92> 상기 제1 층과 제2 층의 재료는 예이며, 상기 제1 및 제2 층의 재료는 상기 제2 및 제1 층에 대하여 각각 사용되어도 된다.

<93>  $\text{HfO}_2$  및  $\text{Y}_2\text{O}_3$ 는 높은 유전율에 의해 높은 전류 구동 능력을 갖는 우수한 재료이다. 발명자들의 지견에 의하면,  $\text{InGaO}_3(\text{ZnO})_m$  또는  $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ 로 구성된 채널층과 결합하여  $\text{HfO}_2$  또는  $\text{Y}_2\text{O}_3$ 를 게이트 절연체로 사용하면, 낮은 임계값 및 매우 높은 이동도를 나타내는 TFT가 제작된다. 그것의 메카니즘은 알려져 있지 않지만, 아마도  $\text{HfO}_2$  또는  $\text{Y}_2\text{O}_3$ 은  $\text{InGaO}_3(\text{ZnO})_m$  또는  $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ 와 우수한 계면을 형성해서 계면 특성을 향상시키는 역할을 한다.

<94> 더 나아가서 게이트 절연체는 게이트 누설을 일으키지 않는 것이 필요하다. 게이트 누설은 도 5에 나타낸 바와 같이 소스 전극(6)과 드레인 전극(5)의 단부의 단차 부분에서 발생하기 쉽다. 따라서, 게이트 절연층(3)의 두께

는 소스 전극(6)과 드레인 전극(5)의 두께와 같거나 그 두께의 2배인 것이 바람직하다.

<95> 그렇지만, Hf 및 Y는 고가이기 때문에, HfO<sub>2</sub> 또는 Y<sub>2</sub>O<sub>3</sub>의 두꺼운 게이트 절연체는 대면적 TFT 패널의 제조 시에 중대한 비용 증가의 요인이 된다.

<96> 한편, HfO<sub>2</sub> 또는 Y<sub>2</sub>O<sub>3</sub>은 InGaO<sub>3</sub>(ZnO)<sub>m</sub> 또는 InGaO<sub>3</sub>(Zn<sub>1-x</sub>Mg<sub>x</sub>O)<sub>m</sub> 등의 비정질 산화물과 충분한 계면을 형성할 수 있다. 따라서, 그러한 게이트 절연체는 채널층과의 계면 근방에만 사용되고, SiO<sub>2</sub> 및 Al<sub>2</sub>O<sub>3</sub> 등의 저렴한 재료로 제2 게이트 절연층을 소정의 두께로 적층한다. 즉, 제2 게이트 전극은 전류 누설 방지층으로서 기능을 한다.

<97> 이와 같이, HfO<sub>2</sub> 또는 Y<sub>2</sub>O<sub>3</sub>의 우수한 계면 특성을 충분히 이용하면서 게이트 누설을 효율적으로 방지할 수 있다. 따라서, 본 발명에 의하면, Hf나 Y의 양을 감소해도, 높은 이동도나 낮은 임계값을 나타내며, 게다가 게이트 누설 없이 신뢰성이 높은 TFT를 얻는 것이 가능하다. 이와 같이 상기의 구성은, 고성능과 저비용화를 양립할 수 있다는 점에서, 대면적 TFT 패널에 특히 적합하다.

<98> 본 발명자들의 의견에 따라, InGaO<sub>3</sub>(ZnO)<sub>m</sub> 또는 InGaO<sub>3</sub>(Zn<sub>1-x</sub>Mg<sub>x</sub>O)<sub>m</sub>로 구성된 채널층 위에 게이트 절연층을 형성하기 전에, 채널층 표면에 도전층 등을 형성하거나, 에칭을 하거나 할 때, 문제를 생길 경우가 있다. 즉 형성된 TFT의 전류에 시간이 지남에 따라 변화가 생기거나, 게이트의 단락이 생기기 쉬워진다. 그 상세한 메커니즘은 알려져 있지 않지만, 아마도 채널층에 예기치 않은 불순물이 확산하거나, 표면의 평탄성이 손상되거나, 파티클이 생기거나 하는 것에 의해 그러한 현상이 생길 수도 있다.

<99> 도 7a 내지 7f는 상기 문제를 회피하기 위한 TFT의 구성과 그 제조방법을 나타낸다.

<100> (7a) 기판(2700) 위에 채널층(2701)을 형성한다.

<101> (7b) 표면에 마스크(2702)를 덮고, 드레인 전극(2703)과 소스 전극(2704)을 형성한다. 마스크(2702)는 채널층(2701)의 표면에서 약간 들어 올려져, 채널층(2701)의 표면과의 접촉을 방지한다. 마스크(2702)를 떼어내면 드레인 전극(2703)과 소스 전극(2704)이 남아 있다.

<102> (7c) 제1 게이트 절연체(2705)와 제2 게이트 절연체(2706)를 형성한다. 스텝 7a 내지 7c에서, 마스크의 착탈의 조작은 진공 등의 외부 공기의 중단으로 행하는 것이 바람직하다.

<103> (7d) 드레인 전극과 접속하기 위한 스루 홀(2707)을 형성하고, 게이트 절연체 2705, 2706을 통해서 소스 전극과 접속하기 위한 스루 홀(2708)을 형성한다.

<104> (7e) 도전층(2709)을 형성한다.

<105> (7f) 도전막(2709)을 패터닝해서, 드레인 전극으로부터 인출하기 위한 배선(2710)과, 소스 전극으로부터 인출하기 위한 배선(2711)과, 게이트 전극(2712)을 형성한다.

<106> 이상의 공정에 있어서, 채널층(2701)의 표면은, 도전층 및 그 외의 막의 형성 및 에칭에 의해 손상되지 않기 때문에, 성능 및 신뢰성이 높은 TFT를 얻을 수 있다.

<107> 도 8a 내지 8f 및 도 9g 내지 91은 게이트 누설을 방지하고, 게이트 전극의 구동 능력을 높이기 위한 한층 더 효과적인 TFT의 구성과 그 제조방법을 나타낸다.

<108> (8a) 기판(2800) 위에 채널층(2801)을 형성한다.

<109> (8b) 제1 게이트 절연체(2802)를 형성한다. 공정 8a 및 8b에 있어서, 외부 공기와의 중단, 예를 들면 진공 중에서 동작을 수행하는 것이 바람직하다.

<110> (8c) 포토 레지스트(2803)를 도포한다.

<111> (8d) 포토 레지스트(2803)를 패터닝한다.

<112> (8e) 제1 게이트 절연체(2802)를 에칭해서 드레인 전극의 개구부(2804)와 소스 전극(2805)의 개구부(2805)를 형성한다.

<113> (8f) 제1 도전층(2806)을 형성한다.

<114> (9g) 도전층(2806)의 불필요한 부분을 화살표 A 방향으로 리프트 오프한다.

<115> (9h) 드레인 전극(2807) 및 소스 전극(2808)을 형성한다.

<116> (9i) 제2 게이트 절연체(2809)를 형성한다.

<117> (9j) 제2 게이트 절연체를 패터닝하여, 소스 전극과 접속하기 위한 스루 홀(2810)과 드레인 전극과 접속하기 위한 스루 홀(2811)을 형성한다.

<118> (9k) 제2 도전층(2812)을 형성한다.

<119> (9l) 제2 도전막(2812)을 패터닝하여, 드레인 전극으로부터 인출하기 위한 배선(2813)과, 소스 전극으로부터 인출하기 위한 배선(2814)과, 게이트 전극(2815)을 형성한다.

<120> 이상의 공정에 있어서, 제1 게이트 절연체(2802)는, 채널층(2801)을 완전히 덮고 있지만, 드레인 전극(2808) 및 소스 전극(2809)을 덮고 있지 않다. 그러므로, 제1 게이트 절연체(2802), 드레인 전극(2808), 및 소스 전극(2809)의 표면의 높이를 균등하다. 따라서, 제2 게이트 절연체(2809)에는 거의 단차가 생기지 않기 때문에, 게이트에서 누출이 생기지 않고, 또 그만큼 제2 게이트 절연체(2809)를 얇게 할 수 있어, 게이트 전극의 용량이 높아지고 구동능력도 높아진다.

<121> 도 7a 내지 7f와, 도 8a 내지 8f와, 도 9g 내지 9l에 나타낸 구성 및 공정은, 일반적인 절연재료로 구성된 게이트 절연체에 관해서도 효과적이라고 예상된다. 그렇지만, 적어도 In-Ga-Zn-O을 함유하고, 결정상태에 있어서의  $\text{InGaO}_3(\text{ZnO})_m$  (m: 6미만의 자연수)로 나타내고,  $1 \times 10^{18} / \text{cm}^3$  미만의 농도의 캐리어를 함유한 상기 투명 비정질 산화물, 또는 In-Ga-Zn-Mg-O을 포함하고, 결정 상태의  $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$  (m: 6미만의 자연수,  $0 < x \leq 1$ )로 나타내는 투명 비정질 산화물을 사용하고, 또  $\text{HfO}_2$ 이나  $\text{Y}_2\text{O}_3$ 로 구성되는 게이트 절연체를 사용하는 채널층에 대해서는 상기 구성 및 공정이 특히 효과적이다.

<122> 이와 같이, 본 발명에 의하면, 이동도가 높고, 임계값이 낮고, 게다가 게이트 누출이 적고, 특성이 안정한 TFT를 얻는 것이 가능하다. 특히, 본 발명에 따라 제조된 대면적 TFT 패널은, 신뢰성이 높은 균형된 특성을 지진다.

<123> (제3 실시 예: 패시베이션, 표면 코팅층)

<124> 본 실시 예의 전계 효과 트랜지스터는, 본 발명의 상기 제7, 제8, 및 제9 국면의 카테고리에 속한다.

<125> 제5 국면의 패시베이션층은, 2가지의 개념을 포함한다. 제1 개념의 패시베이션층은, 활성층과 게이트 절연층 사이에 형성된 분리층이며, 상기 활성층 또는 게이트 절연층과 다른 재료로 구성된다. 제1 개념의 패시베이션층을, 이하 "패시베이션층"이라고 칭한다. 이 패시베이션층은, 예를 들면, 비정질 실리콘 산화물, 비정질 실리콘 질화물, 티탄 산화물, 알루미늄 산화물, 마그네슘 산화물 등으로 이루어져 있다.

<126> 제2 개념의 패시베이션층은, 산소 플라즈마로 처리된 활성층의 가장 바깥쪽의 표면 부분이다. 제2 개념의 패시베이션층을 형상하기 위한 처리를 이하 "패시베이션 처리"라고 칭한다. 이 개념에 있어서, 활성층과 게이트 절연층과 다른 재료로 구성된 다른 층을 형성하지 않는다. 물론, 패시베이션 처리 후에는, 비정질 실리콘 산화물로 구성된 제1 개념의 패시베이션층을 더 형성해도 된다.

<127> 이 패시베이션층 또는 패시베이션 처리는 게이트 절연체의 능력저하를 방지할 수 있고, 이 패시베이션층은 전류 누설 방지층으로서 기능을 한다.

<128> 본 발명의 제6 국면의 전계 효과 트랜지스터의 표면 코팅층은, 비정질 실리콘 질화물, 비정질 실리콘 산화물, 비정질 실리콘 질화물, 티탄 산화물, 알루미늄 산화물, 마그네슘 산화물 등의 재료로 형성된다. 이 표면 코팅층은 상기 패시베이션층과 같은 재료 또는 다른 재료로 구성되어도 된다.

<129> 표면 코팅층은, 기판과 활성층과의 밀착성을 개선하거나, 막 박리를 방지하기 위한 밀착 개선층으로서 기능을 하거나, 전류 누설을 줄이거나 하는 것 등이 가능하다. 더 나아가서, 표면 코팅층은, 기판의 요철을 완화할 수 있어, 전류 누설을 감소시킬 수 있고, 트랜지스터의 온-오프비도 개선할 수 있다.

<130> 투명막을 사용하는 상술한 박막 트랜지스터에 있어서, 게이트 절연체는,  $\text{Al}_2\text{O}_3$ ,  $\text{Y}_2\text{O}_3$ , 또는  $\text{HfO}_2$ 나 그것을 2개 이상 함유한 혼합 결정 화합물로 구성되는 것이 바람직하다. 게이트 절연 박막과 얇은 채널층과의 계면에 어떠한 결함이 있으면, 전자 이동도가 감소하고, 트랜지스터 특성에 히스테리시스가 발생한다. 이 전류 누설은 게이트 절연체의 종류에 크게 의존한다. 따라서, 게이트 절연체는 채널층에 적합하도록 선정되어야 한다.

<131> 상기 문제는, 고유전율의 절연층을 사용하여 전자 이동도를 증가시킬 수 있는, 계면 패시베이션층을 도입함으로써 개선된다. 이와 같이, 본 발명의 일 국면인 계면 패시베이션층은, 전류 누설 및 히스테리시스가 작고, 전자 이동도가 큰 TFT를 형성할 수 있다. 게이트 절연층 및 채널층을 실온에서 형성할 수 있기 때문에, TFT를, 스태거 구조 또는 역 스태거 구조 어느 쪽으로든 형성할 수 있다.

<132> 박막 트랜지스터(TFT)는, 게이트 단자, 소스 단자, 및 드레인 단자를 구비한 3단자 소자이다. TFT는 세라믹 재료, 유리 재료, 또는 플라스틱 재료로 이루어진 절연 기판 위에 형성된 반도체막을, 전자 또는 홀의 이동을 위한 채널층으로서 사용하고, 게이트에 전압을 인가해서 채널층에 흐르는 전류를 제어하여 소스 단자와 드레인 단자 간의 전류를 스위칭하는 능동 소자다.

<133> 산소 결손량을 제어해서 원하는 전자 캐리어 농도를 제어할 수 있다.

<134> 상기 제1 내지 제3 본 발명에 있어서는, 투명 산화막의 산소량(산소 결손량)을, 소정농도의 산소를 포함한 분위기 중에서 상기 막을 형성함으로써 제어한다. 다른 방법으로, 막 형성 후에, 해당 산화막을 산소를 포함한 분위기 중에서 후처리해서 산소 결손량을 제어(저감 혹은 증가)하는 것도 괜찮다.

<135> 효과적으로 산소 결손량을 제어하기 위해서는, 산소를 포함한 분위기 중의 온도를, 0°C~300°C의 범위, 바람직하게는, 25°C~250°C의 범위, 더 바람직하게는 100°C~200°C의 범위에서 제어한다.

<136> 물론, 산소를 포함한 분위기 중에서 막을 형성한 후에, 산소를 포함한 분위기 중에서 후처리해도 좋다. 다른 방법으로, 의도된 전자 캐리어 농도( $1 \times 10^{18}/\text{cm}^3$  미만)를 취득할 수 있는 것이면, 산소 분압의 제어 없이 막을 형성하고, 산소를 함유한 분위기 중에서 후처리한다.

<137> 본 발명에 있어서의 전자 캐리어 농도의 하한은, 제조된 산화막을 이용하는 소자, 회로 혹은 장치의 종류에 의존해서, 예를 들면  $1 \times 10^{14}/\text{cm}^3$  이다.

<138> (비정질 산화물)

<139> 이하 본 발명의 상기 실시 예 1 내지 3에 사용된 활성층에 대해서 설명한다.

<140> 본 발명에 있어서의 비정질 산화물의 전자 캐리어 농도는 실온에서 측정된 값이다. 실온은 0°C에서 약 40°C정도 까지의 온도, 예를 들면, 25°C이다. 본 발명에 있어서의 비정질 산화물의 전자 캐리어 농도는 0°C~40°C 범위 전반에 걸쳐  $1 \times 10^{18}/\text{cm}^3$  초과해야 한다. 예를 들면, 25°C의 온도에서의  $10^{18}/\text{cm}^3$  미만의 전자 캐리어 농도는 수용 가능하다.  $1 \times 10^{17}/\text{cm}^3$  미만 혹은  $1 \times 10^{16}/\text{cm}^3$  미만의 낮은 전자 캐리어 농도에서, 노멀리 오프형의 TFT를 높은 수율로 제조할 수 있다.

<141> 본 명세서에 있어서, " $10^{18}/\text{cm}^3$  미만"은 "바람직하게는  $1 \times 10^{18}/\text{cm}^3$  미만, 더 바람직하게는  $1.0 \times 10^{18}/\text{cm}^3$  미만"을 의미한다.

<142> 전자 캐리어 농도는 Hall Effect의 계측에 의해 측정될 수 있다.

<143> 본 발명에 있어서의 비정질 산화물은, 할로(halo) 패턴을 나타내고, X선 회절 분광계에서 특징적인 회절선이 없는 산화물이다.

<144> 본 발명의 비정질 산화물에 있어서, 전자 캐리어 농도의 하한은 예를 들면  $1 \times 10^{12}/\text{cm}^3$  이지만, TFT의 채널층으로서 적용가능하면 한정되지 않는다.

<145> 따라서, 본 발명에 있어서, 전자 캐리어 농도는 예를 들면,  $1 \times 10^{12}/\text{cm}^3 \sim 1 \times 10^{18}/\text{cm}^3$ 의 범위, 바람직하게는  $1 \times 10^{13}/\text{cm}^3 \sim 1 \times 10^{17}/\text{cm}^3$ 의 범위, 더 바람직하게는  $1 \times 10^{15}/\text{cm}^3 \sim 1 \times 10^{16}/\text{cm}^3$ 의 범위에 있도록 후술하는 예에서와 같이 비정질 산화물의 재료, 조성비, 제조 조건 등을 제어함으로써 조절된다.

<146> InZnGa 산화물 이외의 비정질 산화물은, In 산화물,  $\text{In}_x\text{Zn}_{1-x}$  산화물( $0.2 \leq x \leq 1$ ),  $\text{In}_x\text{Sn}_{1-x}$  산화물( $0.8 \leq x \leq 1$ ), 및  $\text{In}_x(\text{Zn}, \text{Sn})_{1-x}$  산화물( $0.15 \leq x \leq 1$ )로부터 적절하게 선택될 수 있다.  $\text{In}_x(\text{Zn}, \text{Sn})_{1-x}$  산화물은 또한  $\text{In}_x(\text{Zn}_y\text{Sn}_{1-y})_{1-x}$ ( $0 \leq y \leq 1$ )로 표현될 수도 있다.

<147> In 산화물은 Zn이나 Sn 어느 것도 포함하지 않을 때, In이 Ga:  $\text{In}_x\text{Ga}_{1-x}$  산화물( $0 \leq x \leq 1$ )로 부분적으로 대체될 수

있다.

<148> 본 발명의 발명자들에 의해 제조되는  $1 \times 10^{18}/\text{cm}^3$ 의 전자 캐리어 농도의 비정질 산화물에 대해서는 후에 상세히 설명한다.

<149> 상술한 산화물의 하나의 그룹은 결정상태에 있어서의  $\text{InGaO}_3(\text{ZnO})_m$ ( $m$ 은 6미만의 자연수)로 표현되고,  $1 \times 10^{18}/\text{cm}^3$  미만의 농도의 전자 캐리어를 함유한, In-Ga-Zn-O로 구성되는 것을 특징으로 한다.

<150> 상술한 산화물의 다른 그룹은, 결정상태에서의  $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ ( $m$ 은 6미만의 자연수;  $0 < x \leq 1$ )로 표현되고,  $1 \times 10^{18}/\text{cm}^3$  미만의 농도의 전자 캐리어를 함유한, In-Ga-Zn-Mg-O로 구성되는 것을 특징으로 한다.

<151> 그러한 산화물로 구성된 막은 바람직하게는  $1\text{cm}^2/\text{V.sec}$  초과의 전자 이동도를 나타내도록 디자인되는 것이 바람직하다.

<152> 상기 막을 채널층으로서 사용하면, 트랜지스터 오프 상태에서 게이트 전류가 0.1 마이크로암페어 미만의 노멀리 오프이며,  $1 \times 10^3$  초과의 온-오프 비를 갖고, 가시광선에 투명하고, 블랙시블한 TFT를 제조할 수 있다.

<153> 상기 막에 있어서는, 전도 전자의 증가와 함께 전자 이동도가 증가한다. 투명막을 형성하는 기판은 유리 기판, 플라스틱 기판, 및 플라스틱 필름을 포함한다.

<154> 상기 비정질 산화막을 채널층으로서 사용하면,  $\text{Al}_2\text{O}_3$ ,  $\text{Y}_2\text{O}_3$ , 혹은  $\text{HfO}_2$ 나 그것의 혼합 결정 화합물로 이루어진 층들 중 적어도 하나는 게이트 절연체로서 유용하다.

<155> 바람직한 실시 예에 있어서는, 전기 저항을 증가시키기 위한 불순물을 의도적으로 비정질 산화물에 첨가하지 않고, 산소 가스를 포함한 분위기 중에서 막을 형성한다.

<156> 본 발명의 발명자들은, 반절연성 산화물의 비정질 박막이, 전도 전자수의 증가와 함께, 전자 이동도가 증가하는 특성을 지녔다는 것을 찾아냈고, 더 나아가서, 그 막을 사용해서 TFT를 제조하면, 온-오프비, 핀치-오프 상태에서의 포화 전류, 및 스위칭 속도 등의 트랜지스터 특성이 더욱 향상한다는 것을 찾아냈다. 이와 같이, 노멀리 오프형의 TFT를 비정질 산화물을 이용해서 제조할 수 있다.

<157> 비정질 산화 박막을 박막 트랜지스터의 채널층으로서 사용하면, 전자 이동도는  $1\text{cm}^2/\text{V.sec}$  초과, 바람직하게는  $5\text{cm}^2/\text{V.sec}$  초과할 수 있다. 오프 상태에서(게이트 전압이 인가되지 않음) 드레인 단자와 소스 단자 간의 전류가 10마이크로암페어 미만으로 제어될 수 있고, 바람직하게는  $1 \times 10^{18}/\text{cm}^3$  미만, 바람직하게는  $1 \times 10^{16}/\text{cm}^3$  미만의 캐리어 농도에서 0.1 마이크로암페어 미만으로 제어될 수 있다. 또, 이 박막을 사용하면, 핀치-오프 후의 포화 전류가 10마이크로암페어 이상으로 증가할 수 있고, 온-오프 비는,  $1\text{cm}^2/\text{V.sec}$ 초과, 바람직하게는  $5\text{cm}^2/\text{V.sec}$ 초과의 전자 이동도에 대하여  $1 \times 10^3$  초과하도록 상승할 수 있다.

<158> TFT의 핀치-오프 상태에서, 고전압은 게이트 단자에 인가되고 있고, 그 채널 내에는 고밀도의 전자가 존재하고 있다. 따라서, 본 발명에 따르면, 전자 이동도가 증가한 만큼 포화 전류가 증가할 수 있다. 그것에 의해, 온-오프 비의 증대, 포화 전류의 증대, 및 스위칭 속도의 증가 등, 트랜지스터 특성들을 향상시킬 수 있다. 반면에, 일반적인 화합물 중에서는, 전자의 수가 증가하면, 전자들 간의 충돌에 의해 전자 이동도가 감소한다.

<159> 상기 TFT의 구조로서는, 반도체 채널층 위에 게이트 절연체와 게이트 단자를 순차적으로 형성하는 스텝거(톱 게이트) 구조나, 게이트 단자 위에 게이트 절연체와 반도체 채널층을 순차적으로 형성하는 역 스텝거(바텀 게이트) 구조를 사용할 수 있다.

<160> (막 형성을 위한 제1 프로세스: PLD법)

<161> 결정상태에 있어서의  $\text{InGaO}_3(\text{ZnO})_m$ ( $m$ 은 6미만의 자연수)의 조성을 갖는 비정질 산화물 박막은,  $m$ 이 6미만인 경우에,  $800^\circ\text{C}$  이상의 고온까지 안정하고,  $m$ 이 증가함에 따라, 즉  $\text{InGaO}_3$ 에 대한  $\text{ZnO}$ 의 비가 증대하여  $\text{ZnO}$ 의 조성에 가까이 감에 따라 산화물의 결정화화가 쉬워진다. 따라서, 비정질 TFT의 채널층으로서 사용하기 위해 산화물의 값  $m$ 이 6미만인 것이 바람직하다.

<162>  $\text{InGaO}_3(\text{ZnO})_m$  조성을 갖는 다결정 소결체를 타겟으로서 사용해서, 기상 성막법으로 막을 형성하는 것이 바람직하다. 기상 성막법 중에서도, 스퍼터링법, 펄스 레이저 증착법이 적합하다. 양산성의 관점에서는, 스퍼터링법이 특히 적합하다.

<163> 그렇지만, 일반적인 조건 하에서 상기 비정질 막을 형성하면, 산소 결손이 생겨, 전자 캐리어 농도를  $1 \times 10^{18}/\text{cm}^3$  미만, 전기 전도도를  $10\text{S}/\text{cm}$  이하로 할 수 없다. 그러한 박막을 사용했을 경우, 노멀리 오프의 트랜지스터를 구성하는 것이 불가능하다.

<164> 본 발명의 발명자들은, 도 11에 나타낸 장치를 이용해서 펄스 레이저 증착법으로 In-Ga-Zn-O 막을 제작했다.

<165> 도 11에 나타낸 바와 같이, PLD 성막장치를 이용해서 막을 형성했다.

<166> 도 11에 있어서, 참조번호 701은 RP(rotary pump), 702는 TMP(turbo molecular pump), 703은 예비 챔버, 704는 RHEED용 전자총, 705는 기관을 회전시켜 수직으로 이동시키기 위한 기관 홀딩수단, 706은 레이저 도입창, 707은 기관, 708은 타겟, 709는 방사원, 710은 가스 입구, 711은 타겟을 회전시켜서 수직으로 이동시키기 위한 타겟 홀딩수단, 712는 바이패스 라인, 713은 메인 라인, 714는 TMP(turbo molecular pump), 715는 RP(rotary pump), 716은 티탄 게터(getter) 펌프, 717은 셔터, 718은 IG(ion manometer), 719는 PG(Pirani gage), 720은 BG(baratron gage), 721은 성장 챔버이다.

<167> KrF 액시머 레이저를 이용한 펄스 레이저 증착법에 의해,  $\text{SiO}_2$  유리 기관(코닝사제: 1737) 위에 In-Ga-Zn-O 형 비정질 산화물 반도체 박막을 증착했다. 증착 전의 전처리로서, 아세톤, 에탄올, 및 초고순도 물로 각각 5분 동안 탈지하기 위한 기관을 초음파적으로 세정했고, 공기 중에서  $100^\circ\text{C}$ 에서 건조시켰다.

<168> 다결정 타겟은,  $\text{InGaO}_3(\text{ZnO})_4$  소결체(사이즈: 20mm 직경, 5mm 두께)로서, 원재료(용매: 에탄올)로서  $\text{In}_2\text{O}_3$ ,  $\text{Ga}_2\text{O}_3$ , 및  $\text{ZnO}$ (각 4N 시약)을 습식 혼합하고, 이 혼합물을 ( $1000^\circ\text{C}$ , 2시간) 하소하며, 그것을 건식 분쇄하고, 그것을 ( $1550^\circ\text{C}$ , 2시간) 소결시킴으로써 제작되었다. 이 타겟은 90  $\text{S}/\text{cm}$ 의 전기 전도도를 가졌다.

<169> 성장 챔버의 최종의 진공을  $2 \times 10^{-6}\text{Pa}$ 가 되도록 제어하고, 성장시의 산소 분압을 6.5Pa가 되도록 제어함으로써 막을 형성했다. 성장 챔버(721) 내의 산소 분압은 6.5Pa였고, 기관 온도는  $25^\circ\text{C}$ 였다. 타겟(708)과 막 홀딩 기관(707) 간의 거리는 30mm였고, 도입창(716)을 통해서 도입된 파워는  $1.5\text{--}3 \text{mJ}/\text{cm}^2$ /펄스의 범위에 있었다. 펄스 폭은 20nsec였고, 반복 주파수는 10Hz였으며, 조사 스폿 사이즈는  $1 \times 1 \text{ mm}$  스퀘어였다. 상기 조건 하에서, 7nm/min의 속도로 막을 형성했다.

<170> SAXS(Small Angle X-ray Scattered)법(박막법, 입사각:  $0.5^\circ$ )으로, 취득한 박막을 검사한 바, 회절 피크는 검출되지 않았다. 이와 같이 제작한 In-Ga-Zn-O 타입 박막은 비정질이라고 판정되었다. X선 반사율 및 그것의 패턴의 해석으로부터, 평균 자승 거칠기(Rrms)는 약 0.5nm이며, 막 두께는 약 120nm이라는 것을 알았다. 형광 X선 분광계의 분석(XRF)으로부터, 막의 금속 조성비는  $\text{In:Ga:Zn} = 0.98:1.02:4$ 라는 것을 알았다. 전기 전도도는 약  $1 \times 10^{-2} \text{S}/\text{cm}$  미만이었다. 전자 캐리어 농도는  $1 \times 10^{18}/\text{cm}^3$  미만이라고 추정되었다. 전자 이동도는 약  $5\text{cm}^2/\text{V}\cdot\text{sec}$ 이라고 추정되었다. 광 흡수 스펙트럼의 해석으로부터, 제작한 비정질 박막의 광 밴드갭 에너지 폭은, 약 3eV라고 추정되었다.

<171> 상기 결과로부터, 제작한 In-Ga-Zn-O 타입 박막이, 결정의  $\text{InGaO}_3(\text{ZnO})_4$ 에 가까운 조성의 비정질 상을 가지며, 산소결손이 적고, 전기 전도도가 낮은 투명한 평탄 박막이라는 것을 알았다.

<172> 특히, 도 1을 참조해서 상기 막 형성에 대해서 설명한다. 도 1은, 상기 예에서와 같은 막 형성 조건 하에서 가정한 결정상태에서의  $\text{InGaO}_3(\text{ZnO})_m$ ( $m$ 은 6미만의 정수)의 조성의 막의 산소분압에 대한, 형성된 투명한 비정질 산화물 박막의 전자 캐리어 농도의 의존성을 나타낸다.

<173> 상기 예에서와 같은 조건 하에서 4.5Pa 초파의 산소분압을 가진 분위기 중에서 막을 형성함으로써, 도 1에 나타낸 바와 같이 전자 캐리어 농도를  $1 \times 10^{18}/\text{cm}^3$  미만으로 저하시킬 수 있었다. 이 막 형성 시, 기관은 의도적으로 가열하지 않는 상태에서 거의 실온으로 유지되었다. 플렉시블 플라스틱 필름을 기관으로서 사용하기 위해서는, 기관 온도는  $100^\circ\text{C}$  미만의 온도로 유지되는 것이 바람직하다.

<174> 산소분압을 높게 하면 전자 캐리어 농도를 감소시킬 수 있다. 예를 들면, 도 1에 나타낸 바와 같이, 기관온도

25°C, 산소분압 5Pa에서 형성된 얇은  $\text{InGaO}_3(\text{ZnO})_4$  막은, 낮은 전자 캐리어 농도  $1 \times 10^{16} / \text{cm}^3$ 를 가졌다.

<175> 취득한 박막에 있어서, 도 2에 나타낸 바와 같이 전자 이동도는  $1 \text{cm}^2 / \text{V.sec}$ 보다 커졌다. 그렇지만, 이 예에서와 같이 6.5Pa보다 큰 산소 분압에서 펠스 레이저 증착으로 증착된 막은 거친 표면을 지니고 있어, TFT의 채널층에는 적합하지 않다.

<176> 따라서, 노멀리 오프형의 트랜지스터는 상기 예에 있어서의 펠스 레이저 증착법으로 4.5Pa보다 큰, 바람직하게는 5Pa보다 크지만, 6.5Pa보다는 작은 산소 분압에서 형성된 결정상태에 있어서의  $\text{InGaO}_3(\text{ZnO})_m$  ( $m: 6\text{미만의 수}$ )로 나타내는 투명한 얇은 비정질 산화물을 이용해서 형성될 수 있다.

<177> 상기 취득한 박막은  $1 \text{cm}^2$  /보다 큰 전자 이동도를 나타냈고, 온-오프비는  $1 \times 10^3$ 보다 크게 할 수 있었다.

<178> 상술한 바와 같이, 이 예에 나타낸 조건 하에서 PLD법으로  $\text{InGaZn}$  산화막을 형성할 때, 산소분압은 바람직하게는 4.5Pa~6.5Pa의 범위에서 제어된다.

<179>  $1 \times 10^{18} / \text{cm}^3$ 의 전자 캐리어 농도를 달성하기 위해서는, 산소분압 조건, 성막장치의 구성, 성막 재료의 종류 및 조성을 제어해야 한다.

<180> 다음에, 도 5에 나타낸 톱 게이트형 MISFET 소자를, 6.5Pa의 산소분압에서 상술한 장치로 비정질 산화물을 형성함으로써 제작했다. 특히, 유리기판(1) 위에, 120nm 두께의 반절연성 비정질  $\text{InGaO}_3(\text{ZnO})_4$  막을, 비정질 얇은  $\text{Ga-Ga-Zn-0}$  막의 제작법에 의해 채널층(2)으로서 형성했다. 한층 더 그 위에, 챔버 내의 산소분압을 1Pa미만으로 해서, 펠스 레이저 증착법에 의해 전기 전도도가 큰  $\text{InGaO}_3(\text{ZnO})_4$  막과 금막을 각각 30nm의 두께로 적층했다. 다음에, 포토리소그래피법 및 리프트 오프법에 의해, 드레인 단자(5) 및 소스 단자(6)를 형성했다. 최후에, 게이트 절연체(3)로서 사용하는  $\text{Y}_2\text{O}_3$  막을 전자빔 증착법에 의해 형성했다(두께: 90nm, 비유전률: 약 15, 리크 전류밀도:  $0.5 \text{MV/cm}^2$ 의 인가시에  $1 \times 10^{-3} \text{A/cm}^2$ ). 그 위에, 금막을 형성했고, 포토리소그래피법과 리프트 오프법에 의해, 게이트 단자(4)를 형성했다.

<181> MISFET 소자의 특성 평가

<182> 도 6은 실온하에서 측정한 MISFET 소자의 전류-전압 특성을 나타낸다. 드레인 전압  $V_{DS}$ 의 증가에 따라 드레인 전류  $I_{DS}$ 가 증가한 것으로부터 채널이 n형 반도체라는 것을 안다. 이것은, 비정질 In-Ga-Zn-0형 반도체가 n형이라고 하는 사실과 일치한다.  $I_{DS}$ 는  $V_{DS}=6\text{V}$ 에서 포화(핀치 오프)하는, 전형적인 반도체 트랜지스터의 거동을 나타낸다. 이득 특성의 조사 결과,  $V_{DS}=4\text{V}$  인가시에 있어서의 게이트 전압  $V_{GS}$ 의 임계값은 약  $-0.5\text{V}$ 이라는 것을 발견했다.  $V_G=10\text{V}$ 에서는  $I_{DS}=1.0 \times 10^{-5} \text{A}$ 의 전류가 흘렀다. 이것은 게이트 바이어스에 의해 In-Ga-Zn-0형 비정질 반도체 박막 내의 캐리어 유기에 대응한다.

<183> 트랜지스터의 온-오프비는,  $1 \times 10^3$ 보다 커졌다. 출력 특성으로부터, 전계 효과 이동도는 약  $7 \text{cm}^2 (\text{Vs})^{-1}$ 이라고 산출되었다. 가시광의 조사에 의해서, 같은 측정에 따라 제작한 소자의 트랜지스터 특성은 변화되지는 않았다.

<184> 본 발명에 의하면, 전기 저항이 높고, 전자 이동도도 높으며, 낮은 농도에서 전자 캐리어를 포함한 채널층을 갖는 박막 트랜지스터를 제작할 수 있다.

<185> 상기 비정질 산화물은 전자 캐리어 농도의 증가와 함께 전자 이동도가 증가하는 우수한 특성을 지니고 있으며, 축퇴 전도를 나타낸다. 이 예에 있어서는, 유리 기판 위에 박막을 형성했다. 그렇지만, 플라스틱 기판 또는 필름은 실온에서 막을 형성할 수 있기 때문에 기판으로서 유용하다. 또, 이 예에서 취득한 비정질 산화물은, 적은 양의 가시광을 흡수하여 투명한 플렉시블 TFT를 제공한다.

<186> (막 형성을 위한 제2 프로세스: 스팍터링법(SP법))

<187> 이하, 아르곤 가스를 분위기 가스로서 사용해서 고주파 SP법으로 막을 형성하는 것에 대해서 설명한다.

<188> 도 12에 나타낸 장치를 이용해서 SP법을 수행했다. 도 12에서, 참조번호 807은 막 형성용 기판, 808은 타겟, 805는 냉각기구를 구비한 기판 홀딩수단, 814는 터보 분자 펌프, 815는 로터리 펌프, 817은 셔터, 818은 이온

마노미터, 819는 Pirani 게이지, 821은 성장 챔버, 830은 게이트 밸브이다.

<189> 막 형성용 기판(807)은, 아세톤, 에탄올, 및 초고순도 물로 각각 5분 동안 탈지하기 위해 초음파적으로 세정했고, 공기 중에서 100°C에서 건조시켰던  $\text{SiO}_2$  유리 기판(코닝사제:1737)이었다.

<190> 타겟은,  $\text{InGaO}_3(\text{ZnO})_4$ (사이즈: 20mm 직경, 5mm 두께)의 조성을 갖는 다결정 소결체로서, 원재료(용매:에탄올)로서  $\text{In}_2\text{O}_3$ ,  $\text{Ga}_2\text{O}_3$ , 및  $\text{ZnO}$ (각 4N 시약)을 습식 혼합하고, 이 혼합물을 (1000°C, 2시간) 하소하며, 그것을 건식 분쇄하고, 그것을 (1550°C, 2시간) 소결시킴으로써 제작되었다. 이 타겟(808)은 90 S/cm의 전기 전도도를 가졌고, 반절연성을 가졌다.

<191> 성장 챔버(821)의 최종의 진공도는  $1 \times 10^{-4}$  Torr이었다. 성장시, 산소 및 아르곤 가스의 총 압력은  $4 \sim 0.1 \times 10^{-1}$  Pa의 범위 내로 일정하게 유지되었다. 산소에 대한 아르곤의 분압비는  $1 \times 10^{-3} \sim 2 \times 10^{-1}$  Pa의 산소분압의 범위 내에서 변경되었다.

<192> 기판 온도는 실온이었다. 막 형성을 위한 기판(807)과 타겟(808) 간의 거리는 30mm이었다.

<193> 입력된 전력은 RF 180W이었고, 막 형성 속도는 10nm/min이었다.

<194> SAXS(Small Angle X-ray Scattered)법(박막법, 입사각:0.5°)으로, 츄득한 박막을 검사한 바, 희석 피크는 검출되지 않았다. 이와 같이 제작한 In-Ga-Zn-O타입의 박막은 비정질이라고 판정되었다. X선 반사율 및 그것의 패턴의 해석으로부터, 평균 자승 거칠기(Rrms)는 약 0.5nm이며, 막 두께는 약 120nm이라는 것을 알았다. 형광 X선 분광계의 분석(XRF)으로부터, 막의 금속 조성비가  $\text{In:Ga:Zn}=0.98:1.02:4$ 라는 것을 알았다.

<195> 다양한 산소분압의 분위기에서 막을 형성했고, 그 결과로 얻는 비정질 산화막에 대한 전기 전도도를 측정했다. 도 3은 그 결과를 나타낸다.

<196> 도 3에 나타낸 바와 같이,  $3 \times 10^{-2}$  Pa보다 큰 산소 분압을 가진 분위기에서 막을 형성함으로써 전기 전도도를 10S/cm미만으로 저하시킬 수 있다. 산소 분압을 증가시키면 전자 캐리어 수를 감소시킬 수 있다.

<197> 도 3에 나타낸 바와 같이, 예를 들면, 기판온도 25°C, 산소분압  $1 \times 10^{-1}$  Pa에서 형성된 얇은  $\text{InGaO}_3(\text{ZnO})_4$ 막은, 약  $1 \times 10^{-10}$  S/cm의 낮은 전기 전도도를 가졌다. 또, 산소분압  $1 \times 10^{-1}$  Pa에서 형성된 얇은  $\text{InGaO}_3(\text{ZnO})_4$ 막은, 매우 높은 전기 저항을 가졌고, 전기 전도도를 측정할 수 없었다. 이 막에 의해, 전자 이동도를 측정할 수 없었지만, 전자 캐리어 농도가 높은 막의 값으로부터의 외삽(extrapolation)에 의해 전자 이동도가 약  $1 \text{cm}^2/\text{V.sec}$ 이라고 추정했다.

<198> 따라서,  $1 \times 10^{-3}$ 보다 큰 온-오프비를 가진 노멀리 오프형의 트랜지스터를,  $3 \times 10^{-2}$  Pa보다 큰, 바람직하게는  $5 \times 10^{-1}$  Pa보다 큰 분압의 산소를 포함한 아르곤 분위기에서 스퍼터링 증착법에 의해 제작된 결정상태에 있어서의  $\text{InGaO}_3(\text{ZnO})_m$ ( $m$ :6미만의 자연수)으로 표현되는 In-Ga-Zn-O로 구성된 투명한 얇은 비정질 산화물을 이용해서 취할 수 있었다.

<199> 이 예에서 사용하는 재료 및 장치를 이용하면,  $3 \times 10^{-2}$  Pa~ $5 \times 10^{-1}$  Pa의 범위에 있는 산소 분압에서 스퍼터링법에 의해 막을 형성한다. 부수적으로, 펄스 레이저 증착법 또는 스퍼터링법에 의해 제작된 박막에 있어서, 도 2에 나타낸 바와 같이, 전자 이동도는 전도 전자 수의 증가와 함께 증가한다.

<200> 상술한 바와 같이, 산소 분압을 제어함으로써 산소 결손을 감소시킬 수 있고, 그것에 의해 전자 캐리어 농도를 감소시킬 수 있다. 비정질 박막에 있어서는, 다결정 상태와 다르게 비정질 상태에서는 특히 입자 계면이 존재하지 않기 때문에, 전자 이동도가 높을 수 있다.

<201> 부수적으로, 유리기판 대신에 두께 200 $\mu\text{m}$ 의 폴리에틸렌 테레프탈레이트(PET) 필름을 사용하는 경우에는, 그 위에 형성된  $\text{InGaO}_3(\text{ZnO})_4$ 의 비정질 산화막의 특성이 변화하지 않았다.

<202> 타겟으로서, 다결정  $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ ( $m$ 은 6미만의 자연수,  $0 < x \leq 1$ )을 사용하면, 1Pa 미만의 산소분압에서도, 고저항 비정질막  $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_m$ 을 얻을 수 있다. 예를 들면, Zn의 80atom%을 Mg으로 치환한 타겟을 사용했을

경우, 산소 분압 0.8Pa의 분위기에서, 펠스 레이저 증착법으로  $1 \times 10^{16} / \text{cm}^2$  미만(저항: 약  $1 \times 10^{-2} \text{ S/cm}$ )의 전자 캐리어 농도를 달성할 수 있다. 이러한 막에 있어서, 전자 이동도는, Mg 무첨가 막보다 작지만, 그 감소정도는 적고, 실온에서의 전자 이동도는 약  $5 \text{ cm}^2 / \text{V.sec}$ 으로, 비정질 실리콘보다 약 1디지트 정도 크다. 같은 조건 하에서 막을 형성했을 경우, Mg 함유량의 증가에 대하여, 전기 전도도와 전자 이동도는, 모두 저하한다. 그러므로, Mg의 함유량은, 20%~85%(0.2 < x < 0.85)의 범위인 것이 바람직하다.

<203> 상술한 바와 같이, 산소분압을 제어함으로써, 산소결함을 저감할 수 있고, 특정한 불순물 이온을 첨가하는 일 없이, 전자 캐리어 농도를 감소할 수 있다. 비정질 박막에서는, 다결정 상태와는 다르게, 본질적으로 입자 계면이 존재하지 않기 때문에, 전자 이동도를 높게 할 수 있다. 한층 더, 특정한 불순물을 첨가하지 않고 전기 전도도를 감소시킬 수 있으므로, 불순물에 의한 산란 없이, 전자 이동도를 높게 유지할 수 있다.

<204> 상기 비정질 산화막을 이용한 박막 트랜지스터에 있어서,  $\text{Al}_2\text{O}_3$ ,  $\text{Y}_2\text{O}_3$ ,  $\text{HfO}_2$ , 및 그것들의 화합물을 2개 이상 포함한 혼합 결정 화합물을 게이트 절연체로 포함하는 것이 바람직하다.

<205> 게이트 절연 박막과 채널층 박막과의 계면에 결함이 존재하면, 박막이 전자 이동도를 저하시키고, 트랜지스터 특성에 히스테리시스가 생긴다. 또한, 전류 누설이 게이트 절연체의 종류에 크게 의존한다. 이 때문에, 채널층에 적합한 게이트 절연체를 선정할 필요가 있다.  $\text{Al}_2\text{O}_3$ 막을 사용하면, 전류 누설을 감소시킬 수 있고,  $\text{Y}_2\text{O}_3$ 막을 사용하면 히스테리시스를 작게 할 수 있으며, 고유전율의  $\text{HfO}_2$ 막을 사용하면, 전자 이동도를 증가시킬 수 있다. 상기 화합물의 혼합 결정을 사용하면, 전류 누설이 작고, 히스테리시스가 적으며, 전자 이동도가 큰 TFT를 형성할 수 있다. 게이트 절연체 형성 프로세스 및 채널층 형성 프로세스는, 실온에서 행하는 것이 가능하기 때문에, TFT를, 스태거 구조 또는 역 스태거 구조로 형성할 수 있다.

<206> 이와 같이 형성된 TFT는, 게이트 단자, 소스 단자, 및 드레인 단자를 구비한 3단자 소자이다. 이 TFT는, 세라믹, 유리, 또는 플라스틱의 절연 기판 위에 반도체 박막을 전자 또는 홀의 이동을 위한 채널층으로서 형성함으로써 형성되고, 게이트 단자에 전압을 인가하여, 채널층에 흐르는 전류를 제어하여 소스 단자와 드레인 단자 간의 전류를 스위칭하는 기능을 갖는 능동 소자로서 기능을 한다.

<207> 본 발명에 있어서, 산소 결손량을 제어함으로써 의도한 전자 캐리어 농도를 실현하는 것은 중요하다.

<208> 상기 설명에 있어서, 막 형성 분위기 내의 산소 농도를 제어함으로써 비정질 산화막 내의 산소의 양을 제어한다. 다른 방법으로는, 바람직한 실시 예로서 산소를 함유한 분위기에서의 산화막의 후처리에 의해 산소 결손량을 제어(감소 또는 증가)할 수 있다.

<209> 효과적으로 산소 결손량을 제어하기 위해서는, 산소를 포함한 분위기 중의 온도를  $0^\circ\text{C} \sim 300^\circ\text{C}$ 의 범위, 바람직하게는,  $25^\circ\text{C} \sim 250^\circ\text{C}$ 의 범위, 더 바람직하게는  $100^\circ\text{C} \sim 200^\circ\text{C}$ 의 범위에서 제어한다.

<210> 물론, 산소를 포함한 분위기 중에서 막을 형성하고, 산소를 포함한 분위기 중에서 후처리해도 좋다. 다른 방법으로, 의도한 전자 캐리어 농도( $1 \times 10^{18} / \text{cm}^3$  미만)를 실현할 수 있으면, 산소 분압을 제어하지 않고 막을 형성하고, 산소를 함유한 분위기 중에서 후처리를 한다.

<211> 본 발명에 있어서의 전자 캐리어 농도의 하한은, 제조된 산화막을 이용하는 소자, 회로 혹은 장치의 종류에 의존해서, 예를 들면  $1 \times 10^{14} / \text{cm}^3$ 이다.

<212> (재료계의 확대)

<213> 다른 재료계에 대한 연구를 진척시킨 결과, Zn, In 및 Sn 중, 적어도 1종류의 원소의 산화물로 이루어진 비정질 산화물은, 캐리어 농도가 작고, 전자 이동도가 큰 비정질 산화막에 유용한다는 것을 알아냈다. 이 비정질 산화막은, 전도 전자수의 증가와 함께, 전자 이동도가 증가한다고 하는 특이한 특성을 지진다는 것을 찾아냈다. 그 막을 사용해서, 온-오프비, 핀치 오프 상태에서의 포화 전류, 스위칭 속도 등의 트랜지스터 특성이 우수한 노멀리 오프형의 TFT를 제작할 수 있다.

<214> 상기의 Zn, In 및 Sn 중, 적어도 1종류의 원소를 포함한 비정질 산화물에, 이하에 나타낸 1종류의 원소를 추가적으로 넣어서 복합 산화물을 형성할 수 있고, 상기 추가 원소는, 아래와 같다.

<215> Zn보다 원자 번호가 작은 2족 원소 M2(Mg, Ca),

<216> In보다 원자 번호가 작은 3족 원소 M3(B, Al, Ga, Y),

<217> Sn보다 원자 번호가 작은 4족 원소 M4(Si, Ge, Zr),

<218> 5족 원소 M5(V, Nb, Ta) 및 Lu, W.

<219> 본 발명에 있어서, 이하의 (a)~(h)의 특징 중 어느 하나를 갖는 산화물이 유용하다.

<220> (a) 전자 캐리어 농도가,  $1 \times 10^{18} / \text{cm}^3$  미만의 비정질 산화물,

<221> (b) 전자 캐리어 농도의 증가와 함께 전자 이동도가 증가하는 비정질 산화물(실온은 약 0°C~40°C 범위의 온도를 의미한다. "비정질 화합물"은, X선 회절 스펙트럼에 있어서, 특이한 회절 패턴을 나타내지 않고, 할로 패턴만을 나타내는 화합물을 의미한다. 전자 이동도는, Hall 효과로 측정된 것을 의미한다),

<222> (c) 실온에서의 전자 이동도가,  $0.1 \text{cm}^2 / \text{V.sec}$ 보다 높은 상기 항목 (a) 또는 (b)에 기재된 비정질 산화물,

<223> (d) 축퇴 전도를 나타내는 상기 항목 (b) 내지 (c) 중 어느 하나에 기재된 비정질 산화물("축퇴 전도"는, 전기 저항의 온도 의존성에 있어서의 열 활성화 에너지가, 30meV 이하인 상태를 의미한다.),

<224> (e) Zn, In 및 Sn 중, 적어도 1종류의 원소를 구성원소로서 포함하는 상기 항목 (a) 내지 (d) 중 어느 하나에 기재된 비정질 산화물,

<225> (f) 상기 항목 (e)에 기재된 비정질 산화물과, 추가적으로 전자 캐리어 농도를 낮추기 위한 Zn보다 원자 번호가 작은 2족 원소 M2(Mg, Ca), In보다 원자 번호가 작은 3족 원소 M3(B, Al, Ga, Y), Sn보다 작은 원자 번호가 작은 4족 원소 M4(Si, Ge, Zr), 5족 원소 M5(V, Nb, Ta) 및 Lu, W 중 적어도 1종류의 원소로 구성된 비정질 산화막,

<226> (Zn, In 및 Sn보다 원자 번호가 작은 M2, M3, M4의 원소는 각각 매우 높은 이온성을 지니고 있어, 산소 결손이 적고, 전자 캐리어 농도가 감소한다. 원소 Lu는 Ga보다 원자 번호가 크고, 이온 반경이 작으며, M3와 같은 기능을 하기 위해 매우 높은 이온성을 갖는다. M5는 플러스 파이브 발렌트(plus five-valent)가 되도록 이온화 가능하며, 강하게 산소와 결합 가능하고, 산소 결손을 일으키는 것이 쉽지 않다. W는 플러스 식스 발렌트가 되도록 이온화 가능하고, 산소와 강하게 결합 가능하며, 산소 결손을 일으키는 것이 쉽지 않다.)

<227> (g) 결정상태에 있어서의  $\text{In}_{1-x}\text{M}_{3x}\text{O}_3(\text{Zn}_{1-y}\text{M}_2\text{O})_m$  ( $0 \leq x \leq 1$ ,  $0 \leq y \leq 1$ ,  $m$ 은 0 또는 6미만의 자연수) 조성을 갖는 단일 화합물 또는  $m$ 의 수가 다른 화합물의 혼합체로 구성된, 상기 항목 (a) 내지 (f) 중 어느 하나에 기재된 비정질 산화막, M3의 예는 Ga이며, M2의 예는 Mg이다.

<228> (h) 플라스틱 기판 또는 플라스틱 필름 위에 형성된 상기 항목 (a) 내지 (g) 중 어느 하나에 기재된 비정질 산화막.

<229> 또한, 본 발명은, 상기 기재된 비정질 산화물 또는 비정질 산화막을 채널층으로서 사용한 전계 효과 트랜지스터를 제공한다.

<230> 전자 캐리어 농도가  $1 \times 10^{18} / \text{cm}^3$  미만이지만,  $1 \times 10^{15} / \text{cm}^3$  초과의 비정질 산화막을 채널층으로서 사용하고, 소스 단자, 드레인 단자 및 게이트 절연체를 개재한 게이트 단자를 갖는 전계 효과 트랜지스터를 제작한다. 소스 및 드레인 단자 사이에 5V 정도의 전압을 인가했을 때, 게이트 전압을 인가하지 않을 때의 소스 및 드레인 단자 간의 전류는 약  $1 \times 10^{-7}$  암페어이다.

<231> 산화물 결정의 전자 이동도는, 금속 이온의 s궤도의 중첩의 증가에 따라, 커진다. 원자 번호가 큰 Zn, In, Sn의 산화물 결정에 있어서는, 0.1로부터  $200 \text{cm}^2 / \text{V.sec}$ 까지의 범위 내에 전자 이동도가 있다.

<232> 산화물에서는, 산소와 금속이온이 이온 결합에 의해 결합하고 있기 때문에, 화학 결합의 방향성이 없고, 구조가 랜덤하다. 따라서, 비정질 상태의 산화물에서도, 전자 이동도는, 결정상태의 전자 이동도와 비교하는 것이 가능하다.

<233> 다른 한편, Zn, In, 또는 Sn 대신에 원자 번호가 작은 원소를 사용하면, 전자 이동도가 감소한다. 그것에 의해, 본 발명의 비정질 산화물의 전자 이동도는, 약  $0.01 \sim 20 \text{cm}^2 / \text{V.sec}$ 의 범위에 있다.

<234> 상기 산화물로 구성된 채널층을 갖는 트랜지스터에 있어서,  $Al_2O_3$ ,  $Y_2O_3$ ,  $HfO_2$ , 또는 그것을 적어도 두 개 이상 포함한 혼합 결정 화합물로부터 게이트 절연체를 형성하는 것이 바람직하다.

<235> 게이트 절연 박막과 채널층 박막과의 계면에 결함이 존재하면, 전자 이동도가 낮아지고, 트랜지스터 특성에 허스테리시스가 생긴다. 또한, 전류 누설은 게이트 절연체의 종류에 크게 의존한다. 이 때문에, 채널층에 적합한 게이트 절연체를 선정할 필요가 있다.  $Al_2O_3$ 막을 사용하면, 전류 누설을 감소시킬 수 있고,  $Y_2O_3$ 막을 사용하면 허스테리시스를 작게 할 수 있으며, 고유전율의  $HfO_2$ 막을 사용하면, 전자 이동도를 증가시킬 수 있다. 상기 화합물의 혼합 결정을 사용하면, 전류 누설이 작고, 허스테리시스가 적으며, 전자 이동도가 큰 TFT를 형성할 수 있다. 게이트 절연체 형성 프로세스 및 채널층 형성 프로세스는, 실온에서 행하는 것이 가능하므로, TFT는, 스태거 구조 또는 역 스태거 구조로 형성될 수 있다.

<236> 기상법에 의해  $In_2O_3$  산화막을 형성할 수 있고, 막 형성 분위기에 약 0.1Pa 정도의 분압의 수분을 첨가해서, 형성된 막을 비정질로 만든다.

<237> 비정질 막 상태의  $ZnO$  및  $SnO_2$ 은, 각각 쉽게 형성될 수 없다. 비정질 상태의  $ZnO$ 막을 형성하기 위해서,  $In_2O_3$ 을, 20atom% 정도 첨가한다. 비정질 상태의  $SnO_2$ 막을 형성하기 위해서,  $In_2O_3$ 을, 90atom% 정도 첨가한다.  $Sn-In-O$ 형 비정질막을 형성할 경우에는, 약 0.1Pa정도의 분압의 막 형성 분위기 중에 질소 가스를 도입한다.

<238> 상기의 비정질막에,  $Zn$ 보다 원자 번호가 작은 2족 원소  $M2(Mg, Ca)$ ,  $In$ 보다 원자 번호가 작은 3족 원소  $M3(B, Al, Ga, Y)$ ,  $Sn$ 보다 원자 번호가 작은 4족 원소  $M4(Si, Ge, Zr)$ , 5족 원소  $M5(V, Nb, Ta)$  및  $Lu, W$ 로부터 선택된 복합 산화물을 구성할 수 있는 원소를 첨가해도 된다. 상기 원소를 첨가하면, 실온에서 비정질막을 안정화시킬 수 있고, 비정질 막 형성을 위한 조성 범위를 넓힐 수 있다.

<239> 특히, 공유 결합성을 형성하는  $B$ ,  $Si$ ,  $Ge$ 의 첨가는, 비정질 상 안정화에 유효하다. 이온 반경의 차이가 큰 이온으로 구성된 복합 산화물의 첨가는, 비정질 상 안정화에 유효하다. 예를 들면,  $In-Zn-O$ 계에서는, 실온에서 안정한 막을 형성하기 위해서,  $In$ 을 약 20atom%이상 함유해야 한다. 그렇지만,  $Mg$ 을  $In$ 과 같은 양 첨가하면, 약 15atom% 초과의  $In$ 의 조성 범위에서 안정한 비정질 막을 형성할 수 있다.

<240> 기상법에 의한 막 형성에 있어서, 막 형성 분위기를 제어함으로써, 전자 캐리어 농도가,  $1 \times 10^{15} / \text{cm}^3 \sim 1 \times 10^{18} / \text{cm}^3$ 의 범위인 비정질 산화막을 얻을 수 있다.

<241> 펠스 레이저 증착법(PLD법), 스퍼터링법(SP법), 및 전자 빔 증착법 등의 기상법을 이용해 비정질 산화막을 적절하게 형성할 수 있다. 기상법 중, PLD법은, 물질 조성 제어의 용이함의 관점에서 적합하지만, SP법은 양산의 관점에서 적합하다. 그렇지만, 성막법은 이것에 한정되지 않는다.

<242> (PLD법에 의한  $In-Zn-Ga-O$ 타입의 비정질 산화막의 형성)

<243>  $InGaO_3(ZnO)$  또는  $InGaO_3(ZnO)_4$ 조성을 갖는 타겟으로서 다결정 소결체를 이용해, KrF 엑시머 레이저를 이용한 PLD법에 의해, 유리 기판(코닝사제:1737) 위에  $In-Zn-Ga-O$  타입의 비정질 산화물을 증착했다.

<244> 전에 언급했던 도 11에 나타낸 장치를 사용했고, 막 형성 조건은 상기 장치에 대하여 전에 언급한 것과 같았다.

<245> 기판 온도는 25°C였다.

<246> SAXS(Small Angle X-ray Scattering)법(박막법, 입사각:0.5°)으로, 취득한 2개의 박막을 검사한바, 회절 피크는 검출되지 않았으므로, 2개의 다른 타겟을 이용해 제작된  $In-Ga-Zn-O$ 타입의 박막은 모두 비정질이라고 판정되었다.

<247> 유리 기판의  $In-Zn-Ga-O$ 타입의 비정질 산화막의 X선 반사율 및 그것의 패턴의 해석으로부터, 이 박막의 평균 자승 거칠기( $R_{rms}$ )는 약 0.5nm이며, 막 두께는 약 120nm이라는 것을 알았다. 형광 X선 분광계의 분석(XRF)으로부터,  $InGaO_3(ZnO)$ 의 다결정 소결체의 타겟으로 취득된 막은 금속 조성비가  $In:Ga:Zn=1.1:1.1:0.9$ 이고,  $InGaO_3(ZnO)_4$ 의 다결정 소결체의 타겟으로 취득된 막은 금속 조성비가  $In:Ga:Zn=0.98:1.02:4$ 이라는 것을 알았다.

<248>  $InGaO_3(ZnO)_4$ 의 조성을 갖는 타겟을 이용해서 다양한 산소 분압의 성막 분위기에서 비정질 산화막을 형성했다. 형성된 비정질 산화막에 대한 전자 캐리어 농도를 측정했다. 그 결과는 도 1에 나타나 있다. 도 1에 나타낸 바

와 같이, 4.2Pa보다 큰 산소 분압을 가진 분위기에서 막을 형성함으로써, 전자 캐리어 농도를  $1 \times 10^{18} / \text{cm}^3$  미만으로 낮출 수 있다. 이 막 형성시, 기판은 의도적인 가열 없이 거의 실온으로 유지되었다. 6.5Pa보다 낮은 산소 분압에서는, 취득한 비정질 산화막의 표면이 평탄했다.

<249> 5Pa의 산소 분압에서,  $\text{InGaO}_3(\text{ZnO})_4$  타겟으로 형성된 비정질막 내에서는, 전자 캐리어 농도가  $1 \times 10^{16} / \text{cm}^3$  이었고, 전기 전도도가  $1 \times 10^{-2} \text{S/cm}$  이었으며, 전자 이동도가 약  $5 \text{cm}^2 / \text{V.sec}$  이라고 추정되었다. 광 흡수 스펙트럼의 해석으로부터, 형성된 비정질 산화막의 광 밴드갭 에너지 폭은, 약 3eV라고 추정되었다.

<250> 산소 분압이 더 높아지면, 전자 캐리어 농도는 더 낮아진다. 도 1에 나타낸 바와 같이, 6Pa의 산소 분압에서 25°C의 기판 온도에서 형성된 In-Zn-Ga-O타입의 비정질 산화막에 있어서는, 전자 캐리어 농도가  $8 \times 10^{15} / \text{cm}^3$  로 낮아졌다(전기 전도도: 약  $8 \times 10^{-3} \text{S/cm}$ ). 이 막의 전자 이동도는  $1 \text{cm}^2 / \text{V.sec}$  이상이라고 추정되었다. 그렇지만, PLD법에 의해, 6.5Pa 이상의 산소 분압에서는, 중착된 막이 거친 표면을 지니고 있어, TFT의 채널층으로서 사용하기에는 적합하지 않다.

<251>  $\text{InGaO}_3(\text{ZnO})_4$  의 조성을 갖는 다결정 소결체로 구성된 타겟을 이용해서 다양한 산소 분압의 막 형성 분위기에서 In-Zn-Ga-O타입의 비정질 산화막을 형성했다. 그 결과로 얻는 막에 대한 전자 캐리어 농도와 전자 이동도 간의 관계를 추정했다. 그 결과가 도 2에 나타나 있다.  $1 \times 10^{16} / \text{cm}^3$  에서  $1 \times 10^{20} / \text{cm}^3$  로의 전자 캐리어 농도의 증가에 대응하여, 약  $3 \text{cm}^2 / \text{V.sec}$  에서 약  $11 \text{cm}^2 / \text{V.sec}$  로 전자 이동도가 증가했다. 다결정 소결된  $\text{InGaO}_3(\text{ZnO})$  타겟에 의해 취득된 비정질 산화막에 대하여 같은 경향을 관측했다.

<252> 유리기판 대신에 두께  $200 \mu\text{m}$ 의 폴리에틸렌 테레프탈레이트(PET) 필름 위에 형성된 In-Zn-Ga-O 타입의 비정질 산화막은 같은 특성을 지녔다.

<253> (PLD법에 의한 In-Zn-Ga-Mg-O 타입의 비정질 산화막의 형성)

<254>  $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_4 (0 < x \leq 1)$ 의 막을,  $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_4$  타겟( $0 < x \leq 1$ )으로 PLD법에 의해 유리기판 위에 형성했다. 사용된 장치는 도 11에 나타낸 것이었다.

<255>  $\text{SiO}_2$ 유리 기판(코닝사제:1737)을 기판으로서 사용했다. 전처리로서, 아세톤, 에탄올, 및 초고순도 물로 각각 5분 동안 탈지하기 위한 기판을 초음파적으로 세정했고, 공기 중에서 100°C에서 건조시켰다. 이 타겟은,  $\text{InGaO}_3(\text{Zn}_{1-x}\text{Mg}_x\text{O})_4 (x=1-0)$ 의 소결체(사이즈: 20mm 직경, 5mm 두께)이었다.

<256> 이 타겟은, 원재료  $\text{In}_2\text{O}_3$ ,  $\text{Ga}_2\text{O}_3$ , 및  $\text{ZnO}$ (각 4N 시약)(용매:에탄올)을 습식 혼합하고, 이 혼합물을 (1000°C, 2시간) 하소하며, 그것을 건식 분쇄하고, 그것을 (1550°C, 2시간) 소결시킴으로써 제작되었다. 성장 챔버 내의 최종 압력은  $2 \times 10^{-6} \text{Pa}$  이었다. 성장 시의 산소 분압은 0.8Pa로 제어되었다. 기판 온도는 실온(25°C)이었다. 타겟과 막 형성용 기판 간의 거리는 30mm이었다. 펄스 폭이 20nsec이고, 반복 주파수가 10Hz이며, 조사 스폿 사이즈가  $1 \times 1 \text{mm}$  스퀘어인  $1.5 \text{mJ/cm}^2$ /펄스의 파워로 KrF 엑시머 레이저를 조사했다. 막 형성 속도는 7nm/min이었다. 막 형성 분위기 중의 산소 분압은 0.8Pa이었다. 기판 온도는 25°C였다.

<257> SAXS(Small Angle X-ray Scattered)법(박막법, 입사각:  $0.5^\circ$ )으로, 취득한 박막을 검사한 바, 회절 피크는 검출되지 않았다. 이와 같이 제작한 In-Ga-Zn-Mg-O타입의 박막은 비정질이었다. 그 결과의 막은 평탄한 표면을 가졌다.

<258> 서로 다른 x값(서로 다른 Mg 함유량)의 타겟을 사용해서, x값에 대한 전기 전도도, 전자 캐리어 농도, 및 전자 이동도의 의존성을 조사하기 위해서 산소분압이 0.8Pa인 막 형성 분위기에서 In-Zn-Ga-Mg-O 타입의 비정질 산화막을 형성했다.

<259> 도 4a, 4b 및 4c는 그 결과를 나타낸다. 0.4보다 큰 x값에서, 산소분압이 0.8Pa인 분위기에서 PLD법에 의해 형성된 비정질 산화막에 있어서는, 전자 캐리어 농도가  $1 \times 10^{18} / \text{cm}^3$  미만으로 감소했다. 0.4보다 큰 x값의 비정질막에 있어서는, 전자 이동도가  $1 \text{cm}^2 / \text{V}$ 보다 커졌다.

<260> 도 4a, 4b, 및 4c에 나타낸 바와 같이, Zn의 80atom%을 Mg으로 치환한 타겟을 사용해, 산소 분압 0.8Pa(전기 저

항: 약  $1 \times 10^{-2}$  S.cm)에서 펄스 레이저 증착법에 의해 제작된 막 내에서  $1 \times 10^{16}$  /cm<sup>3</sup> 미만의 전자 캐리어 농도를 실현할 수 있었다. 이러한 막에 있어서, 전자 이동도는, Mg 무첨가 막보다 감소하지만, 그 감소 정도는 작다. 막에서의 전자 이동도는 약 5cm<sup>2</sup>/V.sec으로, 비정질 실리콘보다 약 1디지트 정도 크다. 같은 막 형성 조건 하에서, Mg 함유량의 증가와 함께, 막의 전기 전도도와 전자 이동도가 모두 저하한다. 그러므로, 막 내의 Mg의 함유량은, 바람직하게는, 20atom%~85atom%이다(0.2 < x < 0.85, 더 바람직하게는 0.5 < x < 0.85).

<261> 유리기판 대신에 두께 200μm의 폴리에틸렌 테레프탈레이트(PET) 필름 위에 형성된 InGaO<sub>3</sub>(Zn<sub>1-x</sub>Mg<sub>x</sub>O)<sub>4</sub>(0 < x ≤ 1)의 비정질막은 같은 특성을 지녔다.

<262> (PLD법에 의한 In<sub>2</sub>O<sub>3</sub> 비정질 산화막의 형성)

<263> KrF 액시머 레이저를 이용한 PLD법에 의해, In<sub>2</sub>O<sub>3</sub> 다결정 소결체로 구성된 타겟을 이용해서 두께 200μm의 PET막 위에 In<sub>2</sub>O<sub>3</sub>막을 형성했다.

<264> 사용된 장치가 도 11에 나타나 있다. 막 형성을 위한 기판은 SiO<sub>2</sub> 유리 기판(코닝사제:1737)이었다.

<265> 증착 전의 전처리로서, 아세톤, 에탄올, 및 초고순도 물로 각각 5분 동안 탈지하기 위한 기판을 초음파적으로 세정했고, 공기 중에서 100°C에서 건조시켰다.

<266> 이 타겟은, In<sub>2</sub>O<sub>3</sub> 소결체(사이즈: 20mm 직경, 5mm 두께)로서, 원재료 In<sub>2</sub>O<sub>3</sub>(4N 시약)(1000°C, 2시간) 하소하며, 그것을 건식 분쇄하고, 그것을 (1550°C, 2시간) 소결시킴으로써 제작되었다.

<267> 성장 챔버의 최종의 진공은  $2 \times 10^{-6}$  Pa였고 성장시 산소 분압은 5Pa였으며, 기판 온도는 25°C였다.

<268> 수증기 분압은 0.1Pa였고, 산소 래디컬(Radical) 생성장치에 의해 200W를 인가하여, 산소 래디컬을 발생시켰다.

<269> 타겟과 막 홀딩 기판 간의 거리는 40mm였고, KrF 액시머 레이저의 파워는 0.5 mJ/cm<sup>2</sup>/펄스였으며, 펄스 폭은 20nsec였고, 반복 주파수는 10Hz였으며, 조사 스폿 사이즈는 1×1 mm 스퀘어였다.

<270> 막 형성 속도는 3nm/min이었다.

<271> SAXS(Small Angle X-ray Scattered)법(박막법, 입사각:0.5°)으로, 취득한 박막을 검사한 바, 회절 피크는 검출되지 않았고, 이와 같이 제작한 In-0타입의 박막은 비정질이라는 것이 표시되었다. 막 두께는 80nm이었다.

<272> 취득한 In-0 타입의 비정질 산화막에 있어서, 전자 캐리어 농도는  $5 \times 10^{17}$  /cm<sup>3</sup>이었고, 전자 이동도는, 약 7cm<sup>2</sup>/V.sec이었다.

<273> (PLD법에 의한 In-Sn-0타입 비정질 산화막의 형성)

<274> KrF 액시머 레이저를 사용한 PLD법에 의해, (In<sub>0.9</sub>Sn<sub>0.1</sub>)<sub>0.3.1</sub>의 다결정 소결체로 구성된 타겟을 이용해서, 두께 200μm의 PET 필름 위에 In-Sn-0 타입 산화막을 형성했다. 사용한 장치가 도 11에 나타나 있다.

<275> 막 형성을 위한 기판은 SiO<sub>2</sub> 유리기판(코닝사제:1737)이었다.

<276> 증착 전의 전처리로서, 아세톤, 에탄올, 및 초고순도 물로 각각 5분 동안 탈지하기 위한 기판을 초음파적으로 세정했고, 공기 중에서 100°C에서 건조시켰다.

<277> 이 타겟은, In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub> 소결체(사이즈: 20mm 직경, 5mm 두께)로서, 원재료 In<sub>2</sub>O<sub>3</sub>-SnO<sub>2</sub>(4N 시약)(용매: 에탄올)을 습식 혼합하고, 그 혼합물을 (1000°C, 2시간) 하소하며, 그것을 건식 분쇄하고, 그것을 (1550°C, 2시간) 소결시킴으로써 제작되었다.

<278> 기판은 실온으로 유지되었다. 산소 분압은 5Pa이었다. 질소 분압은, 0.1Pa이었다. 산소 래디컬 생성장치에 의해 200W를 인가하여, 산소 래디컬을 발생시켰다.

<279> 타겟과 막 홀딩 기판 간의 거리는 30mm였고, KrF 액시머 레이저의 파워는 1.5 mJ/cm<sup>2</sup>/펄스였으며, 펄스 폭은 20nsec였고, 반복 주파수는 10Hz였으며, 조사 스폿 사이즈는 1×1 mm 스퀘어였다.

<280> 막 형성 속도는 6nm/min이었다.

<281> SAXS(Small Angle X-ray Scattered)법(박막법, 입사각:0.5°)으로, 취득한 박막을 검사한 바, 회절 피크는 검출되지 않았고, 이와 같이 제작한 In-Sn-0타입의 산화막은 비정질이라는 것이 표시되었다.

<282> 취득한 In-Sn-0타입의 비정질 산화막에 있어서, 전자 캐리어 농도는,  $8 \times 10^{17} / \text{cm}^3$ 이었고, 전자 이동도는, 약  $5 \text{cm}^2 / \text{V.sec}$ 이었다. 막 두께는, 100nm이었다.

<283> (PLD법에 의한 In-Ga-0타입의 비정질 산화막의 형성)

<284> 막 형성을 위한 기판은  $\text{SiO}_2$  유기기판(코닝사제:1737)이었다.

<285> 증착 전의 전처리로서, 아세톤, 에탄올, 및 초고순도 물로 각각 5분 동안 탈지하기 위한 기판을 초음파적으로 세정했고, 공기 중에서 100°C에서 건조시켰다.

<286> 이 타겟은,  $(\text{In}_2\text{O}_3)_{1-x}-(\text{Ga}_2\text{O}_3)_x$ (x=0-1)의 소결체(사이즈: 20mm 직경, 5mm 두께)였다. 예를 들면, x=0.1에서, 타겟은  $(\text{In}_{0.9}\text{Ga}_{0.1})_2\text{O}_3$ 의 다결정 소결체이다.

<287> 이 타겟은, 원재료  $\text{In}_2\text{O}_3-\text{Ga}_2\text{O}_2$ (4N 시약)(용매: 에탄올)을 습식 혼합하고, 그 혼합물을 (1000°C, 2시간) 하소하며, 그것을 건식 분쇄하고, 그것을 (1550°C, 2시간) 소결시킴으로써 제작되었다.

<288> 성장 챔버의 최종의 압력은  $2 \times 10^{-6} \text{Pa}$ 였다. 성장시 산소 분압은 1Pa였다.

<289> 기판 온도는 실온이었다. 타겟과 막 홀딩 기판 간의 거리는 30mm였다. KrF 액시머 레이저의 파워는  $1.5 \text{ mJ/cm}^2 / \text{펄스}$ 였다. 펄스 폭은 20nsec였다. 반복 주파수는 10Hz였다. 조사 스폿 사이즈는  $1 \times 1 \text{ mm}$  스퀘어였다. 막 형성 속도는 6nm/min이었다.

<290> 기판 온도는, 25°C이었다. 산소분압은 1Pa이었다. SAXS(Small Angle X-ray Scattered)법(박막법, 입사각:0.5°)에 의해, 취득한 박막을 검사한 바, 회절 피크는 검출되지 않았고, 취득한 In-Ga-0 타입의 산화막은 비정질이라는 것이 표시되었다. 막 두께는 120nm이었다.

<291> 취득한 In-Ga-0 타입의 비정질 산화막에 있어서, 전자 캐리어 농도는,  $8 \times 10^{16} / \text{cm}^3$ 이었고, 전자 이동도는, 약  $1 \text{cm}^2 / \text{V.sec}$ 이었다.

<292> (In-Zn-Ga-0타입 비정질 산화막을 가진 TFT 소자의 제작(유리 기판))

<293> 도 5에 나타낸 틈 게이트형 TFT 소자를 제작했다.

<294> 우선, 유리 기판(1) 위에,  $\text{InGaO}_3(\text{ZnO})_4$  조성을 가진 다결정 소결체로 구성된 타겟을 이용해서 산소 분압 5Pa에서, 상술한 PLS 장치에 의해 In-Ga-Zn-0 타입 비정질 산화막을 제작했다. 형성된 In-Ga-Zn-0막은 두께 120nm이었고, 채널층(2)으로서 사용되었다.

<295> 한층 더 그 위에, 챔버 내의 1Pa미만의 산소 분압에서 PLD법에 의해 전기 전도도가 큰 또 다른 In-Ga-Zn-0타입 비정질막 및 금층을 각각 30nm의 두께로 적층했다. 포토리소그래피법과 리프트 오프법에 의해, 드레인 단자(5) 및 소스 단자(6)를 형성했다.

<296> 최후로, 게이트 절연체(3)로서의  $\text{Y}_2\text{O}_3$ 막을 전자빔 증착법에 의해 형성했다(두께:90nm, 비유전률: 약 15, 리크 전류밀도:  $0.5 \text{MV/cm}^2$  인가시에  $1 \times 10^{-3} \text{A/cm}^2$ ). 한층 더 그 위에, 금막을 형성했고, 포토리소그래피법과 리프트 오프 법에 의해, 게이트 단자(4)를 형성했다. 채널길이는, 50 $\mu\text{m}$ 이었고, 채널 폭은, 200 $\mu\text{m}$ 이었다.

<297> TFT 소자의 특성평가

<298> 도 6은, 실온에서 측정한 TFT 소자의 전류-전압특성을 나타낸다. 드레인 전압  $V_{DS}$ 의 증가에 따라 드레인 전류  $I_{DS}$ 가 증가한 것으로부터, 채널이 n형 전도라는 것을 안다.

<299> 이것은, 비정질 In-Ga-Zn-0타입 반도체가 n형이라고 하는 사실과 일치한다.  $I_{DS}$ 는  $V_{DS}=6\text{V}$ 에서 포화(핀치 오프)하

는 전형적인 반도체 트랜지스터의 거동을 나타낸다. 이득특성의 조사로부터,  $V_{DS}=4V$  인가 시에 있어서의 게이트 전압  $V_{GS}$ 의 임계값은 약  $-0.5V$ 라는 것을 알았다.  $V_G=10V$ 에서는  $I_{DS}=1.0 \times 10^{-5}A$ 의 전류가 흘렀다. 이것은 게이트 바이어스에 의해 절연체로서의 In-Ga-Zn-O 타입 비정질 반도체 박막 내에 캐리어를 유기하는 것에 대응한다.

<300> 트랜지스터의 온-오프비는,  $1 \times 10^3$ 보다 커졌다. 출력 특성으로부터, 전계 효과 이동도는 포화 영역에 있어서 약  $7\text{cm}^2(\text{Vs})^{-1}$ 이라고 산출되었다. 가시광의 조사에 의해 같은 측정에 따라 제작한 소자의 트랜지스터 특성은 변하지 않았다.

<301>  $1 \times 10^{18}/\text{cm}^3$  미만의 전자 캐리어 농도의 비정질 산화물은 TFT의 채널층으로서 유용한다. 전자 캐리어 농도는 더 바람직하게는  $1 \times 10^{17}/\text{cm}^3$  미만이고, 더욱더 바람직하게는  $1 \times 10^{16}/\text{cm}^3$  미만이다.

<302> (In-Zn-Ga-O 타입 비정질 산화막을 갖는 TFT소자의 제작(비정질 기판))

<303> 도 5에 나타낸 틈 게이트형 TFT 소자를 제작했다.

<304> 우선, 폴리에틸렌 테레프탈레이트(PET) 필름(1) 위에, 상술한 PLS 장치에 의해,  $\text{InGaO}_3(\text{ZnO})$  조성을 갖는 다결정 소결체로 구성된 타겟을 이용해서 산소분압 5Pa의 분위기에서, In-Ga-Zn-O 타입 비정질 산화막을 형성했다. 이 형성된 막은 두께 120nm을 갖고, 채널층(2)으로서 사용되었다.

<305> 한층 더 그 위에, 챔버 내의 1Pa미만의 산소 분압에서, PLD법에 의해 전기 전도도가 큰 다른 In-Ga-Zn-O 타입 비정질막 및 금층을 각각 30nm의 두께로 적층했다. 포토리소그래피법과 리프트 오프법에 의해, 드레인 단자(5) 및 소스 단자(6)를 형성했다.

<306> 최후에, 게이트 절연체(3)를 전자빔 증착법에 의해 형성했다. 한층 더 그 위에, 금막을 형성했고, 포토리소그래피법과 리프트 오프법에 의해, 게이트 단자(4)를 형성했다. 채널길이는,  $50\mu\text{m}$ 이었고, 채널 폭은,  $200\mu\text{m}$ 이었다.  $\text{Y}_2\text{O}_3$ (두께 140nm),  $\text{Al}_2\text{O}_3$ (두께 130 $\mu\text{m}$ ), 및  $\text{HfO}_2$ (두께:140 $\mu\text{m}$ )의 3종류의 게이트 절연체 중 하나를 이용해서 상기의 구조의 TFT를 3개 제작했다.

<307> TFT 소자의 특성평가

<308> PET 필름 위에 형성한 TFT 소자는 실온에서 측정한 도 6에 나타낸 것과 같은 전류-전압특성을 지녔다. 드레인 전압  $V_{DS}$ 의 증가에 따라 드레인 전류  $I_{DS}$ 가 증가한 것으로부터, 채널이 n형 전도라는 것을 안다. 이것은, 비정질 In-Ga-Zn-O 타입의 반도체가 n형이라고 하는 사실과 일치한다.  $I_{DS}$ 는  $V_{DS}=6V$ 에서 포화(핀치오프)하는 전형적인 트랜지스터의 거동을 나타낸다.  $V_G=0V$ 에서는  $I_{DS}=1.0 \times 10^{-8}A$ 의 전류가 흘렀고,  $V_G=10V$ 에서는,  $I_{DS}=2.0 \times 10^{-5}A$ 의 전류인가 흘렀다. 이것은 게이트 바이어스에 의해 절연체의 In-Ga-Zn-O 타입의 비정질 반도체 산화막 내에 캐리어를 유기하는 것에 대응한다.

<309> 트랜지스터의 온-오프비는,  $1 \times 10^3$ 보다 커졌다. 출력 특성으로부터, 전계 효과 이동도를 산출한 바, 이 이동도는 포화 영역에 있어서 약  $7\text{cm}^2(\text{Vs})^{-1}$ 이었다.

<310> PET 필름 위에 형성된 소자를, 곡률반경 30mm에서 굽곡시켰고, 이 상태에서, 트랜지스터 특성을 측정했다. 그렇지만, 트랜지스터 특성에 있어서 변화는 관측되지 않았다. 가시광의 조사에 의해 트랜지스터 특성은 변화하지 않았다.

<311> 게이트 절연체로서  $\text{Al}_2\text{O}_3$ 막을 사용한 TFT도, 도 6에 나타낸 것과 유사한 트랜지스터 특성을 지녔다.  $V_G=0V$ 에서는  $I_{DS}=1.0 \times 10^{-8}A$ 의 전류가 흘렀고,  $V_G=10V$ 에서는,  $I_{DS}=5.0 \times 10^{-6}A$ 의 전류가 흘렀다. 트랜지스터의 온-오프비는,  $1 \times 10^2$ 보다 커졌다. 출력 특성으로부터, 전계 효과 이동도를 산출한 바, 이 이동도는 포화 영역에 있어서 약  $2\text{cm}^2(\text{Vs})^{-1}$ 이었다.

<312> 게이트 절연체로서  $\text{HfO}_2$ 막을 사용한 TFT도, 도 6에 나타낸 것과 유사한 트랜지스터 특성을 지녔다.  $V_G=0V$ 에서는  $I_{DS}=1 \times 10^{-8}A$ 의 전류가 흘렀고,  $V_G=10V$ 에서는,  $I_{DS}=1.0 \times 10^{-6}A$ 의 전류가 흘렀다. 트랜지스터의 온-오프비는,  $1 \times$

$10^2$ 보다 컸다. 출력 특성으로부터, 전계 효과 이동도를 산출한 바, 이 이동도는 포화 영역에 있어서 약  $10\text{cm}^2(\text{Vs})^{-1}$ 이었다.

<313> (PLD법에 의한  $\text{In}_2\text{O}_3$  비정질 산화막을 사용한 TFT 소자의 제작)

도 5에 나타낸 톱 게이트형 TFT 소자를 제작했다.

<315> 우선, 폴리에틸렌 테레프탈레이트(PET) 필름(1) 위에, PLD법에 의해, 채널층 (2)으로서 두께 80nm의  $\text{In}_2\text{O}_3$  타입의 비정질 산화막을 형성했다.

<316> 한층 더 그 위에, 챔버 내의 산소분압을 1Pa미만으로 하고, 산소 래디컬 생성장치에의 인가 전압을 제로로 해서, PLD법에 의해, 전기 전도도가 큰 또 다른  $\text{In}_2\text{O}_3$  비정질막 및 금층을 각각 30nm의 두께로 적층했다. 포토리 소그래피법과 리프트 오프법에 의해, 드레인 단자(5) 및 소스 단자(6)를 형성했다.

<317> 최후에, 게이트 절연체(3)로서의  $\text{Y}_2\text{O}_3$ 막을 전자빔 증착법에 의해 형성했다. 한층 더 그 위에, 금막을 형성했고, 포토리소그래피법과 리프트 오프법에 의해, 게이트 단자(4)를 형성했다.

<318> TFT소자의 특성평가

<319> PET 필름 위에 형성한 TFT 소자에 대한 전류-전압특성을 실온에서 검사했다. 드레인 전압  $V_{DS}$ 의 증가에 따라, 드레인 전류  $I_{DS}$ 가 증가한 것으로부터, 채널이 n형 전도체라는 것을 안다. 이것은,  $\text{In}-0$  타입의 비정질 산화막이 n형 전도체라고 하는 사실과 일치한다.  $I_{DS}$ 는  $V_{DS}=6\text{V}$ 정도에서 포화(핀치 오프)하는 전형적인 트랜지스터의 거동을 나타낸다.  $V_G=0\text{V}$ 에서는  $I_{DS}=2\times 10^{-8}\text{A}$ 의 전류가 흘렀고,  $V_G=10\text{V}$ 에서는,  $I_{DS}=2.0\times 10^{-6}\text{A}$ 의 전류인가 흘렀다. 이것은 게이트 바이어스에 의해 절연체의  $\text{In}-0$ 타입의 비정질 반도체 산화막 내에 캐리어를 유기하는 것에 대응한다.

<320> 트랜지스터의 온-오프비는, 약  $1\times 10^2$ 이었다. 출력 특성으로부터, 전계 효과 이동도를 산출한 바, 이 이동도는 포화 영역에 있어서 약  $1\times 10\text{cm}^2(\text{Vs})^{-1}$ 이었다. 유리 기판 위에 형성된 TFT 소자도 같은 특성을 지녔다.

<321> PET 필름 위에 형성된 소자를, 곡률반경 30mm에서 굴곡시켰고, 이 상태에서, 트랜지스터 특성을 측정했다. 트랜지스터 특성에는 변화가 관측되지 않았다.

<322> (PLD법에 의한  $\text{In}-\text{Sn}-0$  타입 비정질 산화막을 사용한 TFT 소자의 제작)

도 5에 나타낸 톱 게이트형 TFT 소자를 제작했다.

<324> 우선, 폴리에틸렌 테레프탈레이트(PET)막(1) 위에, PLD법에 의해, 채널층 (2)으로서 두께 100nm의  $\text{In}-\text{Sn}-0$  타입의 비정질 산화막을 형성했다.

<325> 한층 더 그 위에, 챔버 내의 산소분압을 1Pa미만으로 하고, 산소 래디컬 생성장치에의 인가 전압을 제로로 해서, PLD법에 의해, 전기 전도도가 큰 다른  $\text{In}-\text{Sn}-0$  비정질막 및 금층을 각각 30nm의 두께로 적층했다. 포토리 소그래피법과 리프트 오프법에 의해, 드레인 단자(5) 및 소스 단자(6)를 형성했다.

<326> 최후에, 게이트 절연체(3)로서의  $\text{Y}_2\text{O}_3$ 막을 전자빔 증착법에 의해 형성했다. 한층 더 그 위에, 금막을 형성했고, 포토리소그래피법과 리프트 오프법에 의해, 게이트 단자(4)를 형성했다.

<327> TFT 소자의 특성평가

<328> PET막 위에 형성한 TFT에 대한 전류-전압 특성을 실온에서 검사했다. 드레인 전압  $V_{DS}$ 의 증가에 따라 드레인 전류  $I_{DS}$ 가 증가한 것으로부터, 채널이 n형 전도체라는 것을 안다. 이것은,  $\text{In}-\text{Sn}-0$  타입의 비정질 산화막이 n형 전도체라고 하는 사실과 일치한다.  $I_{DS}$ 는  $V_{DS}=6\text{V}$ 정도에서 포화(핀치 오프)하는 전형적인 트랜지스터의 거동을 나타낸다.  $V_G=0\text{V}$ 에서는  $I_{DS}=5\times 10^{-8}\text{A}$ 의 전류가 흘렀고,  $V_G=10\text{V}$ 에서는,  $I_{DS}=5.0\times 10^{-5}\text{A}$ 의 전류인가 흘렀다. 이것은 게이트 바이어스에 의해 절연체의  $\text{In}-\text{Sn}-0$  타입 비정질 산화막 내에 전자 캐리어를 유기하는 것에 대응한다.

<329> 트랜지스터의 온-오프비는, 약  $1\times 10^3$ 이었다. 출력 특성으로부터, 전계 효과 이동도를 산출한 바, 이 이동도는

포화 영역에 있어서 약  $5\text{cm}^2(\text{Vs})^{-1}$ 이었다. 유리 기판 위에 형성된 TFT 소자도 같은 특성을 지녔다.

<330> PET막 위에 형성된 소자를, 곡률반경 30mm에서 굴곡시켰고, 이 상태에서, 트랜지스터 특성을 측정했다. 트랜지스터 특성에는 변화가 관측되지 않았다.

<331> (PLD법에 의한 In-Ga-O 타입 비정질 산화막을 사용한 TFT 소자의 제작)

<332> 도 5에 나타낸 톱 게이트형 TFT 소자를 제작했다.

<333> 우선, 폴리에틸렌 테레프탈레이트(PET) 필름(1) 위에, 예 6에 나타낸 PLD법에 의해, 채널층(2)으로서 두께 120nm의 In-Ga-O 타입의 비정질 산화막을 형성했다.

<334> 한층 더 그 위에, 챔버 내의 산소분압을 1Pa미만으로 하고, 산소 래디컬 발생장치에의 인가 전압을 제로로 해서, PLD법에 의해, 전기 전도도가 큰 다른 In-Ga-O 비정질막 및 금층을 각각 30nm의 두께로 적층했다. 포토리소그래피법과 리프트 오프법에 의해, 드레인 단자(5) 및 소스 단자(6)를 형성했다.

<335> 최후에, 게이트 절연체(3)로서의  $\text{Y}_2\text{O}_3$ 막을 전자빔 증착법에 의해 형성했다. 한층 더 그 위에, 금막을 형성했고, 포토리소그래피법과 리프트 오프법에 의해, 게이트 단자(4)를 형성했다.

<336> TFT 소자의 특성평가

<337> PET 필름 위에 형성한 TFT 소자에 대한 전류-전압 특성을 실온에서 검사했다. 드레인 전압  $V_{DS}$ 의 증가에 따라 드레인 전류  $I_{DS}$ 가 증가한 것으로부터, 채널이 n형 전도체라는 것을 안다. 이것은, In-Ga-O 타입의 비정질 산화막이 n형 전도체라고 하는 사실과 일치한다.  $I_{DS}$ 는  $V_{DS}=6\text{V}$ 정도에서 포화(핀치 오프)하는 전형적인 트랜지스터의 거동을 나타낸다.  $V_G=0\text{V}$ 에서는  $I_{DS}=1\times 10^{-8}\text{A}$ 의 전류가 흘렀고,  $V_G=10\text{V}$ 에서는,  $I_{DS}=1.0\times 10^{-6}\text{A}$ 의 전류가 흘렀다. 이것은 게이트 바이어스에 의해 절연체의 In-Ga-O타입 비정질 산화막 내에 전자 캐리어를 유기하는 것에 대응한다.

<338> 트랜지스터의 온-오프비는, 약  $1\times 10^2$ 이었다. 출력 특성으로부터, 전계 효과 이동도를 산출한 바, 이 이동도는 포화 영역에 있어서 약  $0.8\text{cm}^2(\text{Vs})^{-1}$ 이었다. 유리 기판 위에 형성된 TFT 소자도 같은 특성을 지녔다.

<339> PET 필름 위에 형성된 소자를, 곡률반경 30mm에서 굴곡시켰고, 이 상태에서, 트랜지스터 특성을 측정했다. 트랜지스터 특성에는 변화가 관측되지 않았다.

<340>  $1\times 10^{18}/\text{cm}^3$  미만의 전자 캐리어 농도의 비정질 산화물은 TFT의 채널층으로서 유용한다. 전자 캐리어 농도는 더 바람직하게는  $1\times 10^{17}/\text{cm}^3$  미만이고, 더욱더 바람직하게는  $1\times 10^{16}/\text{cm}^3$  미만이다.

<341> 상기 실시 예에 관하 예에 대하여 설명한다. 본 발명은, 제1 실시 예의 발명뿐만 아니라 제2 실시 예와 결합한, 더 나아가서 제3 실시 예와 결합한 제1 실시 예의 발명도 포함한다. 본 발명은 어쨌든 이하에 나타낸 예에 한정되지 않는다.

<342> A. 제1 발명의 예

<343> (예 1:비정질 In-Ga-Zn-O 박막의 제작)

<344> KrF 엑시머 레이저를 사용한 펄스 레이저 증착법에 의해,  $\text{InGaO}_3(\text{ZnO})_4$  조성을 가진 다결정 소결체를 타겟으로서 사용해서, 유리 기판(코닝사제:1737) 위에 In-Zn-Ga-O 타입 비정질 산화물을 증착했다.

<345> 도 5에 나타낸 바와 같이, 이 박막에 의해, 톱 게이트형 MISFET 소자를 제작한다.

<346> 우선, 유리 기판(1) 위에 상기의 비정질 In-Ga-Zn-O 박막의 제작법에 의해, 채널층(2)으로서 두께 40nm의 반절연성 비정질막  $\text{InGaO}_3(\text{ZnO})_4$ 을 형성한다.

<347> 한층 더 그 위에, 펄스 레이저 증착법에 의해, 전도도가 큰  $\text{In}_2\text{O}_3$  비정질막 및 금층을 각각 30nm의 두께로 적층한다. 포토리소그래피법과 리프트 오프법에 의해, 드레인 단자(5) 및 소스 단자(6)를 형성한다.

<348> 최후에, 게이트 절연체(3)로서의  $\text{Y}_2\text{O}_3$ 막을 전자빔 증착법에 의해 형성한다(두께 100nm, 비유전률: 약 15). 한층 더 그 위에, 금막을 형성했고, 포토리소그래피법과 리프트 오프법에 의해, 게이트 단자(4)를 형성했다.

<349> 특히, 적어도 드레인 전극과 소스 전극 중 하나에 대하여 금막을 형성하지 않고 투명성을 유지함으로써 TFT를 국부적으로 가시광에 투명하게 할 수 있다. 다른 방법으로, 소스 전극, 드레인 전극, 또는 게이트 전극을 형성할 때에, 고도전율의 ITO를 사용하고, 그 위에 금막을 형성하지 않는다. 이러한 상황에서, 가시광 영역에서 투명한 TFT를 형성할 수 있다. 그러한 TFT는 디스플레이 상에서의 구동이라고 하는 면에서 바람직하다.

<350> 바람직하게는, 소스 전극, 드레인 전극 및 게이트 전극은 투명하고, 전기 접속을 위한 배선은 전도도가 높은 금 속으로부터 형성된다. 이 상황에서, 소스 전극, 드레인 전극 또는 게이트 전극 근방에서는, 투명 전극 위에 금 속 배선을 적층한다.

<351> (예 2 : MISFET 소자의 제작)

<352> 상기 예 1과 같이, 도 5에 나타낸 톱 게이트형 MISFET 소자를 제작한다.

<353> 유리 기판(1) 위에 채널층(2)으로서 두께 30nm의 반절연성 비정질막  $\text{InGaO}_3(\text{ZnO})_4$ 을 형성한다.

<354> 한층 더 그 위에, 펄스 레이저 증착법에 의해 전기 전도도가 큰  $\text{SnO}_2$ 막을 40nm의 두께로 적층한다. 포토리소그래피법과 리프트 오프법에 의해, 드레인 단자(5) 및 소스 단자(6)를 형성한다.

<355> 최후에, 게이트 절연체(3)로서의  $\text{TiO}_2$ 막을 전자빔 증착법에 의해 형성한다(두께: 110nm, 비유전률: 약 11). 한층 더 그 위에, 금막을 형성했고, 포토리소그래피법과 리프트 오프법에 의해, 게이트 단자(4)를 형성했다.

<356> 이와 같이, 드레인 단자와 소스 단자의 부분에서는 가시광에 투명한 디바이스를 제작한다.

<357> B. 제2 발명의 예

<358> (예 3: 비정질 In-Ga-Zn-O 박막의 제작)

<359> KrF 엑시머 레이저를 사용한 펄스 레이저 증착법에 의해,  $\text{InGaO}_3(\text{ZnO})_4$  조성을 갖는 다결정 소결체를 타겟으로서 사용해서, 유리 기판(코닝사제:1737) 위에 In-Zn-Ga-O 타입 비정질 산화물을 증착한다.

<360> 도 7a 내지 7f에 나타낸 공정을 통해서 톱 게이트형 TFT 패널을 제작한다.

<361> (a) 12cm×12cm의 유리 기판(2700) 위에, 상기의 비정질 In-Ga-Zn-O 박막의 제작법에 의해, 채널층(2701)으로서 사용하는 두께 120nm의 반절연성 비정질  $\text{InGaO}_3(\text{ZnO})_4$ 막을 형성한다.

<362> (b) 기판을 챔버 내에 보유한 채로, 채널층(2701) 위에 마스크(702)를 덮고, 챔버 내의 산소분압을 1Pa미만으로 해서 펄스 레이저 증착법에 의해, 전기 전도도가 큰 다른  $\text{InGaO}_3(\text{ZnO})_4$ 막 및 금층을 각각 30nm의 두께로 적층하여, 드레인 전극(703)과 소스 전극(704)을 형성한다. 이 도면에서는,  $\text{InGaO}_3(\text{ZnO})_4$ 막과 금막을 구별하지 않았다.

<363> (c) 기판을 챔버 내에 보유한 채로, 마스크(2702)를 제거하고,  $\text{Y}_2\text{O}_3$ 막을 전자빔 증착법에 의해 제1 게이트 절연체(2705)(두께:10nm, 비유전률: 약 15)로서 형성한다.  $\text{SiO}_2$ 막을 전자빔 증착법에 의해 제2 게이트 절연체(2706)(두께: 80nm, 비유전률: 약 3.8)로서 형성한다.

<364> (d) 막 위에 포토레지스트를 코팅하고, 드레인 전극에의 스루 홀(2707)과 소스 전극에의 스루 홀(2708)의 패턴을 형성한다. 게이트 절연체 2705, 2706을 예칭해서 스루 홀 2707, 2708을 형성한다.

<365> (e) 그 위에 저항 가열법에 의해 A1을 증착하여, 두께 100nm의 도전층(2709)을 형성한다.

<366> (f) 도전층(2709)을 패터닝해서, 드레인 전극으로부터의 인출 배선(2710), 소스 전극으로부터의 인출 배선(2711), 및 게이트 전극(2712)을 형성한다. 그것에 의해 형성공정을 종료한다.

<367> 상기 공정을 통해서, 기판 위에는 게이트 절연층의 2층을 갖는  $10 \times 10$  매트릭스의 100개의 TFT가 동일한 간격으로 형성되어 있다.

<368> (예 4:TFT 패널의 제작)

<369> 도 8a 내지 8f 및 9g 내지 91의 공정을 통해서 톱 게이트형 TFT 패널을 제작한다.

<370> (a) 12cm×12cm의 유리 기판(2800) 위에, 채널층(2801)로서 사용하는 두께120nm의 반절연성 비정질

InGaO<sub>3</sub>(ZnO)<sub>4</sub>막을 형성한다.

<371> (b) 기판을 챔버 내에 보유한 채로, Y<sub>2</sub>O<sub>3</sub>막을, 전자빔 증착법에 의해 제1 게이트 절연체(2802)(두께:30nm, 비유전률: 약 15)로서 형성한다.

<372> (c) 이 막 위에 포토레지스트(2803)를 코팅한다.

<373> (d) 포토레지스트(2803)를 패터닝한다.

<374> (e) 제1 게이트 절연체(2802)를 선택적으로 에칭하여, 드레인 전극의 개구(2804) 및 소스 전극의 개구(2805)를 형성한다.

<375> (f) 챔버 내의 산소분압을 예를 들면 1Pa미만으로 해서, 펄스 레이저 증착법에 의해 전기 전도도가 큰 다른 InGaO<sub>3</sub>(ZnO)<sub>4</sub>막 및 금층을 그 위에 각각 30nm의 두께로 적층해서, 제1 도전층(2806)을 형성한다. 이 도면에서, InGaO<sub>3</sub>(ZnO)<sub>4</sub>막과 금막은 차이가 없다.

<376> (g) 제1 도전층(2806)의 불필요한 부분을 리프트 오프한다.

<377> (h) 드레인 전극(2807)과 소스 전극(2808)을 형성한다.

<378> (i) SiO<sub>2</sub>막을 제2 게이트 절연층(2809)으로서 (두께:30nm, 비유전률: 약 3.8) 형성한다.

<379> (j) 제2 게이트 절연체(2809)를 패터닝해서 드레인 전극에의 스루 홀(2810)과 소스 전극에의 스루 홀(2811)을 형성한다.

<380> (k) 저항 가열법에 의해 그 위에 Al을 증착하여, 두께 100nm의 제2 도전층(2812)을 형성한다.

<381> (l) 제2 도전층(2812)을 패터닝하여, 드레인 전극으로부터의 인출 배선(2813), 소스 전극으로부터의 인출 배선(2814), 및 게이트 전극(2815)을 형성한다. 그것에 의해, 형성공정을 종료한다.

<382> 상기 공정을 통해서, 기판 위에는 게이트 절연층의 2층을 갖는 10×10 매트릭스의 100개의 TFT가 동일한 간격으로 형성되어 있다.

<383> 이 예에서 설명한 구성에 의해, 게이트의 단락 등의 결함의 형성을 방지하고, 전류의 시간 경과에 따른 변화도 저지한다. 따라서, 본 발명에 의하면, 대면적의 액정 패널 및 유기 EL 패널의 구동에 적합한 신뢰성 높은 TFT 패널을 제작할 수 있다.

<384> C. 제3 발명의 예

<385> (예 5:비정질 In-Ga-Zn-O 박막의 제작)

<386> KrF 엑시머 레이저를 사용한 펄스 레이저 증착법에 의해, 유리 기판(코닝사제: 1737)위에 In-Zn-Ga-O 타입 비정질 산화물 박막을 퇴적한다.

<387> 도 10에 나타낸 텁 게이트형 MISFET 소자를 제작한다.

<388> 플라스틱 필름(PET)(5001) 위에, 본 발명의 하나인 표면 코팅층 5010(비정질 질화 실리콘층: 300nm)을 퇴적한다.

<389> 그 위에, 상기의 비정질 In-Ga-Zn-O 박막의 제작법에 의해, 채널층(5002)으로서 두께 35nm의 반절연성 비정질 InGaO<sub>3</sub>(ZnO)<sub>4</sub>막을 퇴적한다.

<390> 한층 더 그 위에, 본 발명의 하나인 계면 패시베이션층 5100(비정질 실리콘층:3nm)을 퇴적한다.

<391> 또한, 상기 반절연성 비정질 산화물보다 전기 전도도가 큰 InGaO<sub>3</sub>(ZnO)<sub>4</sub> 및 금층을 각각 30nm의 두께로 그 위에 적층한다. 포토리소그래피법과 리프트 오프법에 의해, 드레인 단자(5007) 및 소스 단자(5006)를 형성한다.

<392> 최후에, 게이트 절연체(5003)로서 Y<sub>2</sub>O<sub>3</sub>막을 형성하고(두께:70nm, 비유전률: 약 15), 그 위에 금막을 형성하며, 포토리소그래피법과 리프트 오프법에 의해, 게이트 단자(5004)를 형성한다.

<393> 상기 표면 코팅층 등의 박막제작에 있어서, 비정질 실리콘, 산화 티탄, 산화 알루미늄, 산화 마그네슘 등의 다른 재료를 사용할 수도 있다. 이것은, 기판과의 밀착성의 개선, 기판 표면의 요철의 감소, 및 소자의 전류 누설

방지에 바람직하다.

<394> 패시베이션층 등의 박막제작에 있어서, 비정질 질화 실리콘, 산화 티탄, 산화 알루미늄, 산화 마그네슘 등의 다른 재료를 사용할 수도 있다. 이것은, 게이트 절연층을 개선할 수 있고, 소자의 전류 누설을 방지할 수 있다고 하는 면에서 바람직하다.

<395> 이 경우에, 간단한 패시베이션 처리만으로도, 충분한 경우도 있다. 예를 들면, 채널의 가장 바깥쪽의 표면만 산소 플라스마 처리( $O_2$ :5sccm, 20W, 20sec)를 실시해도, 게이트 절연층과의 계면을 개선할 수 있어, 전류 누설을 억제할 수 있다고 하는 면에서 효과적이다. 바람직하게는, 패시베이션 처리 후에, 계면 패시베이션층을 추가적으로 적층해도, 소자의 전류 누설을 억제할 수 있다.

<396> 본 발명의 투명 산화막을 이용한 트랜지스터는, LCD 및 유기 EL 디스플레이지 장치의 스위칭 소자로서 유용하다. 본 발명은, 플라스틱 필름, IC 카드, ID 태그 등의 플렉시블 재료를 이용한 플렉시블 디스플레이 디바이스에 폭넓게 응용할 수 있다.

<397> 본 출원은 본 명세서에 참고로 통합되어 있는 2004년 11월 10일자로 출원된 일본 특허출원번호 제2004-326683호로부터 우선권을 주장한다.

### 도면의 간단한 설명

<51> 도 1은 펄스 레이저 증착법으로 형성된 In-Ga-Zn-O계 비정질 산화물의 캐리어 농도와 막 형성 중의 산소 분압의 관계를 나타내는 그래프이다.

<52> 도 2는 펄스 레이저 증착법으로 형성된 In-Ga-Zn-O계 비정질 산화물의 캐리어의 농도와 전자 이동도의 관계를 나타내는 그래프이다.

<53> 도 3은 아르곤 가스를 사용한 고주파 스퍼터링법으로 형성된 In-Ga-Zn-O계 비정질 산화물의 전기 전도도와 막 형성 중의 산소 분압의 관계를 나타내는 그래프다.

<54> 도 4a, 4b, 및 4c는 산소 분압 0.8Pa의 분위기 중에서, 펄스 레이저 증착법에 의해 형성된  $InGaO_3(Zn_{1-x}Mg_xO)_4$  막의 X값에 의존하는 전기 전도도, 캐리어 농도, 및 전자 이동도의 변화를 나타내는 그래프다.

<55> 도 5는 예 6-10에서 제작한 톱 게이트형 TFT 소자의 구조를 나타내는 모식도이다.

<56> 도 6은 예 6에서 제작한  $Y_2O_3$ 을 게이트 절연체로서 사용하는 톱 게이트형 TFT 소자의 전류-전압특성을 나타내는 그래프다.

<57> 도 7a, 7b, 7c, 7d, 7e, 및 7f는 본 발명의 TFT의 제1의 제조 공정 예를 나타내는 도면이다.

<58> 도 8a, 8b, 8c, 8d, 8e, 및 8f는 본 발명의 TFT의 제2의 제조 공정 예를 나타내는 도면이다.

<59> 도 9g, 9h, 9i, 9j, 9k, 및 9l은 본 발명의 TFT의 제2의 제조 공정 예를 나타내는 도면이다.

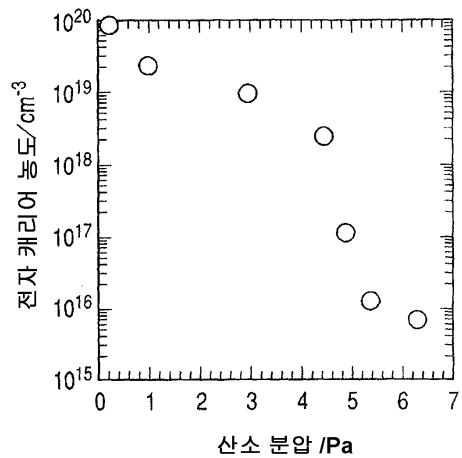
<60> 도 10은, 예 1에 제작한 톱 게이트형 MISFET 소자의 구조를 나타내는 모식도이다.

<61> 도 11은 PLD법으로 막을 형성하기 위한 장치를 나타내는 모식도이다.

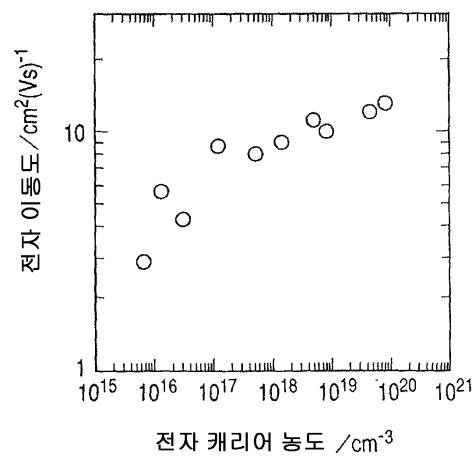
<62> 도 12는 스퍼터링 프로세스로 막을 형성하기 위한 장치를 나타내는 모식도이다.

## 도면

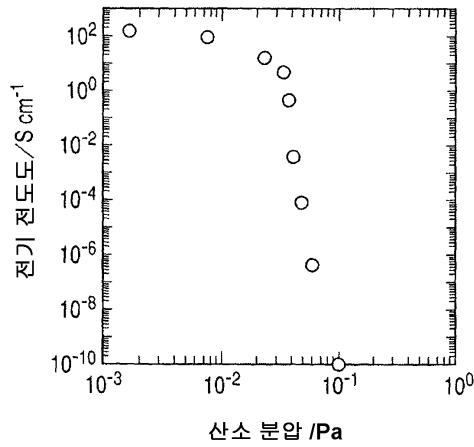
## 도면1



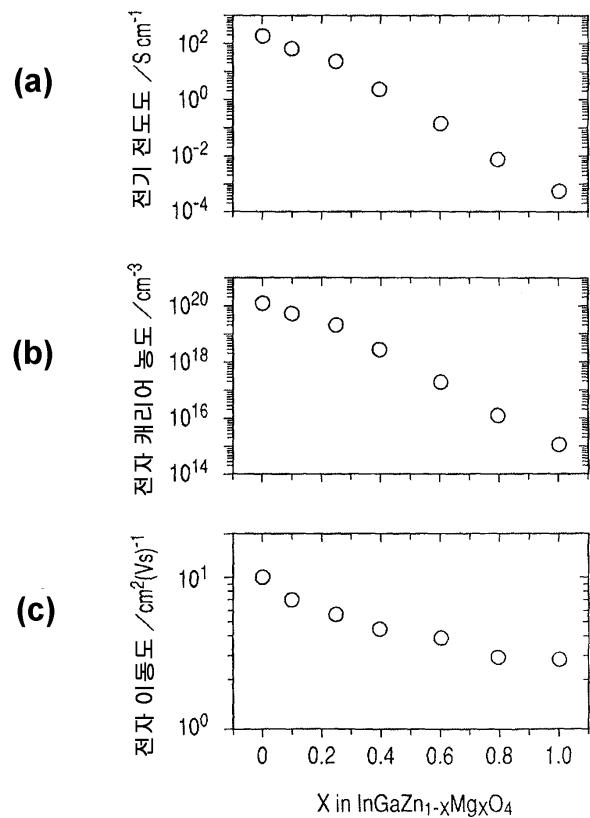
## 도면2



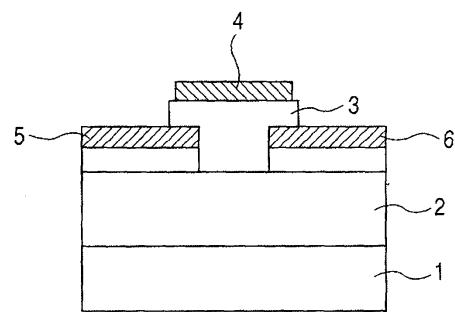
## 도면3



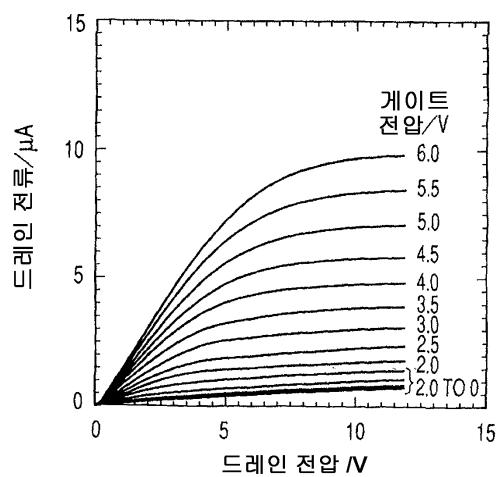
## 도면4



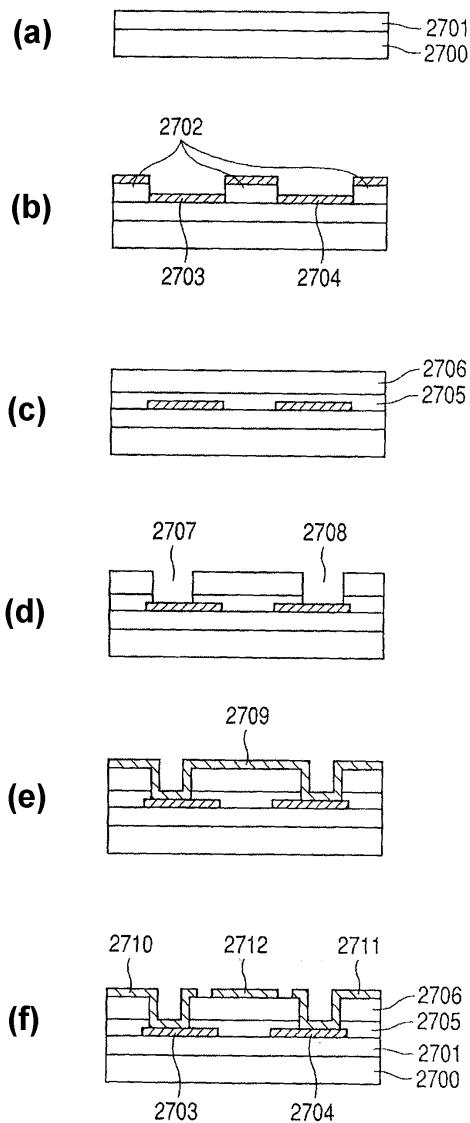
도면5



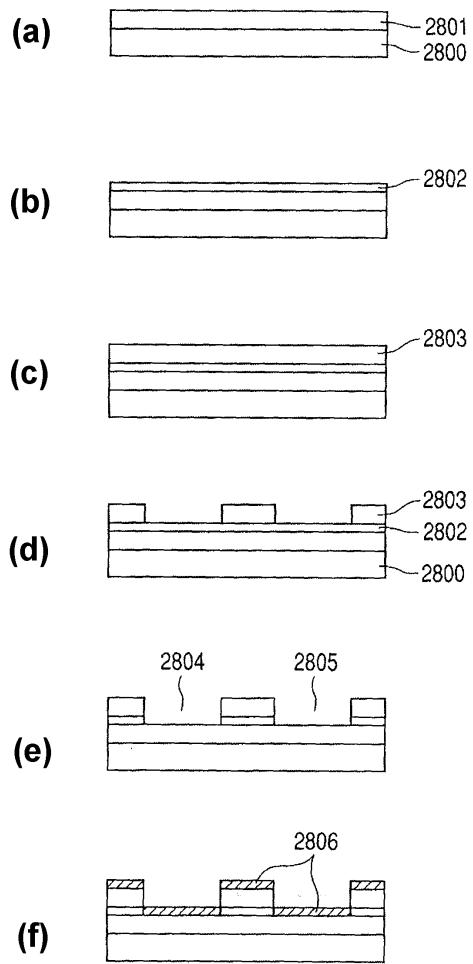
도면6



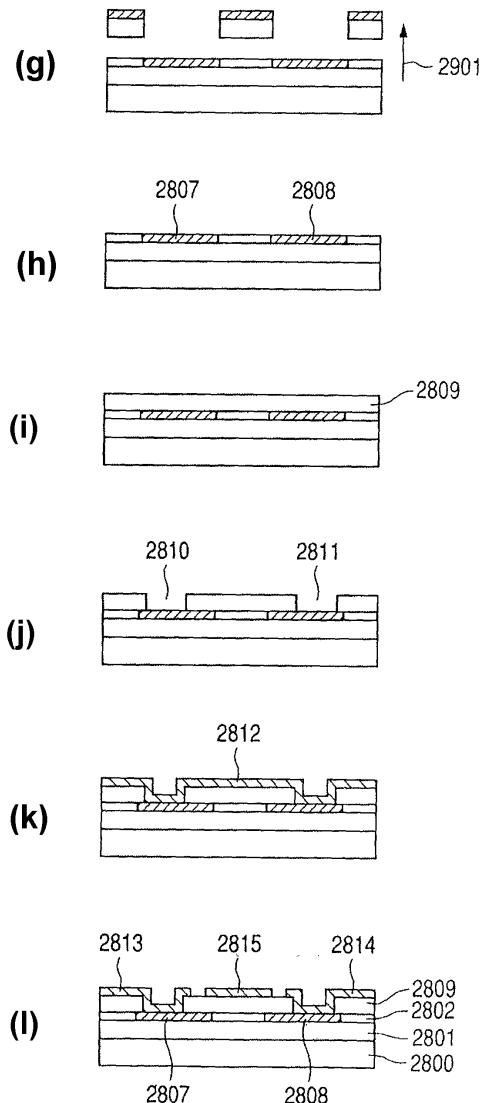
## 도면7



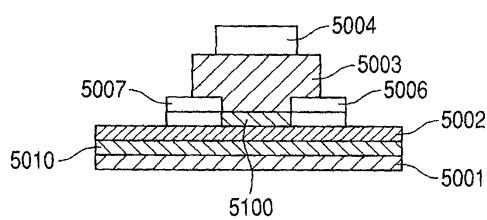
도면8



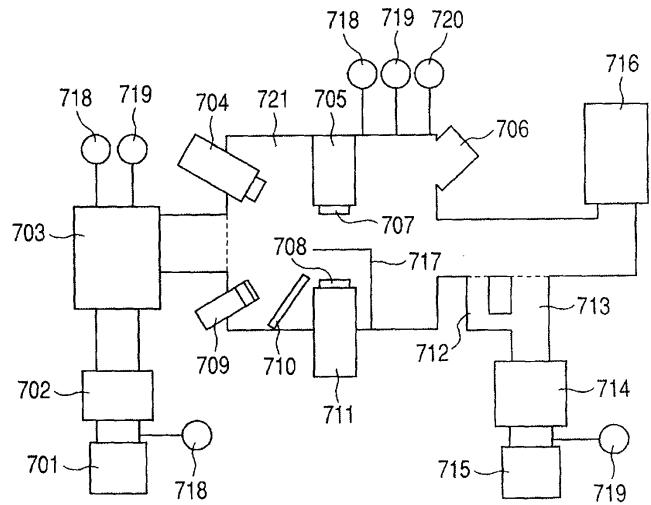
## 도면9



## 도면10



도면11



도면12

