

公告本

741619

申請日期	90 年 7 月 16 日
案 號	90117369
類 別	G09G 3/00

A4
C4

518529

(以上各欄由本局填註)

發 明 型 專 利 說 明 書		
一、發明 名稱	中 文	液晶顯示裝置
	英 文	
二、發明 人	姓 名	(1) 後藤充 (2) 早田浩子
	國 籍	(1) 日本 (2) 日本 (1) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
	住、居所	(2) 日本國東京都千代田區丸之內一丁目五番一號 新丸大樓日立製作所(股)知的所有權本部內
三、申請人	姓 名 (名稱)	(1) 日立製作所股份有限公司 株式会社日立製作所
	國 籍	(1) 日本 (1) 日本國東京都千代田區神田駿河台四丁目六番 地
	住、居所 (事務所)	
	代 表 人 姓 名	(1) 庄山悅彦

裝

訂

線

(由本局填寫)

承辦人代碼：
大 類：
I P C 分類：

A6

B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 2000 年 7 月 25 日 2000-223942 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明 (1)

〔本發明所屬之技術領域〕

本發明係有關於一種液晶顯示裝置，特別是有關於一種適用於可作多灰階顯示之液晶顯示裝置之影像信號線驅動手段（汲極驅動器）之有效的技術。

〔習知技術〕

每個畫素具有主動元件（例如薄膜電晶體），而對該主動元件進行切換（Switching）驅動的主動矩陣型液晶顯示裝置則廣泛地被使用作為筆記型電腦等的顯示裝置。

該主動矩陣型液晶顯示裝置，由於是經由主動元件，將影像信號電壓（與顯示資料對應的灰階電壓，以下稱為灰階電壓）施加在畫素電極，在各畫素間不會有串擾（crosstalk），因此不需要像單純矩陣型液晶顯示裝置般必須要有用於防止串擾之特殊的驅動方向，而能夠進行多灰階顯示。

該主動矩陣型液晶顯示裝置之一，則已知有具備有 T F T（Thin Film Transistor）方式的液晶顯示面板（T F T - L C D）、被配置在液晶顯示面板之上側的汲極驅動器、以及被配置在液晶顯示面板之側面的閘極驅動器與介面部的 T F T 方式的液晶顯示模組。

圖 2 4 為表示以往之 T F T 液晶顯示模組之一例之概略構成的方塊圖。

如同圖示，將多個的汲極驅動器 1 3 0 配置在液晶面板（T F T - L C O）1 0 之長邊側的一邊，而將多個的

裝

訂

線

五、發明說明（2）

閘極驅動器 1 4 0 配置在液晶顯示面板 1 0 之短邊側的一邊。

從個人電腦等之主電腦側所輸出的紅（R）、綠（G）、青（B）的3色的顯示資料（影像信號）、時脈信號、顯示時序信號，由同步信號（水平同步信號、垂直同步信號）所構成的控制信號，則經由介面連接器被輸入到顯示控制裝置（T F T 控制器）1 1 0。

來自顯示控制裝置 1 1 0 的控制信號以及顯示資料，則經由 T F T 控制器基板 3 0 1、汲極驅動器基板 3 0 2，而被輸入到各汲極驅動器 1 3 0。

又，來自顯示控制裝置 1 1 0 的控制信號，則經由 T F T 控制器基板 3 0 1、閘極驅動器基板 3 0 3，而被輸入到各閘極驅動器 1 4 0。

此外，在圖 2 4 中，乃省略掉位在 T F T 控制器基板上的配線層的圖示。

此外，在汲極驅動器基板以及閘極驅動器基板上，則也設有圖 2 4 所示之配線層以外的配線層，在圖 2 4 中，在汲極驅動器基板 3 0 2 只表示出 4 條，而在閘極驅動器基板 3 0 3 則只表示出 2 條的配線層。

汲極驅動器 1 3 0 以及閘極驅動器 1 4 0 則由半導體晶片（I C）所構成，該些半導體晶片（I C），則藉由所謂的 Tape Carrier 方式、或 Chip On Film 方式而被安裝在薄膜基板。

如圖 2 5 所示，在薄膜基板 3 1 0，從周邊形成配線

五、發明說明 (3)

層 (C O F A) , 而設在半導體晶片 (I C) 之周邊的端子 (B U M P) , 則被接合到該配線層 (C O F A) 。

在此, 汲極驅動器的端子 (B U M P) , 一般是設在其周邊部, 圖 2 6 即表示其一例。

如圖 2 6 所示, 輸入端子 (B U M P 2) , 如可連接來自汲極驅動器基板 3 0 2 的配線般地被配置在一邊, 而輸出端子 (B U M P 1) , 則被配置在其他 3 邊、或是包括在輸入端子 (B U M P 2) 所配置之邊的左右空間在內的 4 邊的周邊部。

又, 與各輸出端子 (B U M P 1) 對應之汲極驅動器內部的輸出電路, 一般則配合輸出端子位置, 而被排列成一行。

此外, 該種液晶顯示領域則例如記載於特開平 9 - 2 8 1 9 3 0 號公報中。

[本發明所要解決的課題]

近年來, T F T 方式之液晶顯示模組等的液晶顯示裝置, 隨著要求液晶顯示面板的大畫面化, 乃導致液晶顯示面板之畫素數目的增加以及高精細化, 伴隨此, 閘極信號線以及汲極信號線也會增加, 而連汲極驅動器的輸出入端子數也不得不增加。

例如, X G A 規格的液晶顯示面板, 汲極信號線的數目為 3 0 7 2 (= 1 0 2 4 × 3 (R G B)) 條, 而使用輸出端子數為 3 8 4 個的汲極驅動器, 因此, 對於 X G A

五、發明說明(4)

規格的液晶顯示面板為必要的汲極驅動器數目成為 $8 (= 3072 / 384)$ 個。

相較於此，隨著高精細化成為 U X G A，其汲極信號線的數目為 4800 ($= 1600 \times 3$ (RGB)) 條，與上述的情形同樣地，若是使用輸出端子數為 384 個的汲極驅動器時，則對於 U X G A 規格的液晶顯示面板為必要的汲極驅動器數成為 $12.5 (= 4800 / 384)$ 個。

如此般，隨著液晶顯示面板的高精細化，每個液晶顯示面板的汲極線數目會增加，且所必要的汲極驅動器的數目也會增加。

因此，顯示控制裝置 110 的負載電容會增加，而有變得無法驅動汲極驅動器 130 的問題。

爲了要即使液晶顯示面板高精細化，汲極驅動器的數目也不會變化，則必須要增加每個汲極驅動器的輸出端子數目。

一般而言，構成汲極驅動器的半導體晶片 (IC)，其外形形狀為橫長的板狀，若是增加每個汲極驅動器的輸出端子 (BUMP) 數目時，則半導體晶片 (IC) 必須更要加長橫方向的長度。

又，半導體晶片 (IC)，係在一個半導體晶圓上形成多個後，經切離而形成，因此，隨著變成橫方向長度更長之橫長的半導體晶片 (IC)，則從一個晶圓所能夠取得的晶片數目會減少，遂導致一個半導體晶片 (IC) 的

五、發明說明 (5)

價格變貴。

更者，當成為橫方向長度更長的橫長的半導體晶片 (I C) 時，則在一個半導體晶圓面上，當藉由所謂的 Step And Repeat 的曝光來形成半導體晶片時，則擔心會超過該曝光範圍。

爲了解決此一問題，則必須要使用更昂貴的曝光裝置，遂導致一個的半導體晶片 (I C) 的價格變貴。

另一方面，隨著市場的成熟，液晶顯示裝置更會被要求降價，但是當構成汲極驅動器 1 3 0 的半導體晶片 (I C) 變貴時，則有液晶顯示裝置的價格變貴的問題。

又，隨著汲極信號線的增加，必然地，汲極驅動器 1 3 0 的輸出端子 (B U M P 1) 的間距也會變小，因此擔心在選擇半導體晶片 (I C) 時會有難以檢查 (Probing) 的問題。

更者，隨著汲極信號線的增加，1 個汲極驅動器 1 3 0 的電路規模會變大，因此，擔心由半導體晶片 (I C) 內部之配線阻抗所造成之電壓降低情形會到達無法忽視的地步。

本發明則是用於解決上述習知技術的問題，本發明之目的，針對液晶顯示裝置提供一即使液晶顯示元件的畫素數目增加，也能夠充分應付，且可以降低成本的技術。

又，本發明之其他目的，針對液晶顯示裝置，提供一即使影像線驅動手段之積體電路裝置的輸出端子數目增加，也能夠簡單地進行檢查的技術。

五、發明說明(6)

又，本發明之其他目的，針對液晶顯示裝置提供一即使影像線驅動手段之半導體積體電路裝置的輸出端子數目增加，也能夠防止因為半導體積體電路裝置內部之配線層造成電壓降低的技術。

本發明之上述目的與新的特徵，可由本說明書的記載以及所附圖面而明白。

[解決課題的手段]

在本案所揭露的發明中，若是要簡單地說明代表例的概要說明，則如下所述。

本發明之液晶顯示裝置，其主要係針對一具備有：具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有半導體積體電路裝置，

上述半導體積體電路裝置具有：

被設在上述半導體積體電路裝置之長邊方向的第1輸出端子部及；

被設在上述第1輸出端子部之上述半導體積體電路裝置之短邊方向的兩側，而產生用於供給到上述各影像信號線之灰階電壓的一對的輸出電路部。

又，本發明之液晶顯示裝置，其主要係針對一具備有：
：具有多個畫素、與將和顯示資料對應的灰階電壓施加在

五、發明說明 (7)

上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有多個半導體積體電路裝置，

上述半導體積體電路裝置具有：

在上述半導體積體電路裝置之長邊方向的中央部，而設在上述半導體積體電路裝置之短邊方向的輸入電路部；

在上述輸入電路部之上述半導體積體電路裝置之短邊方向之中央部的兩側，被設在上述半導體積體電路裝置之長邊方向的第1輸出端子部及；

被設在上述第1輸出端子部之上述半導體積體電路裝置之短邊方向的兩側，而產生用於供給到上述各影像信號線之灰階電壓的一對的輸出電路部。

又，本發明之最佳的實施形態在上述第1輸出端子部以及上述輸出電路部以外的領域，具有至少沿著上述半導體積體電路裝置之2個短邊的周邊部而設的第2輸出端子部。

又，本發明之最佳的實施形態，上述一對的輸出電路部，則交互地設置用來產生正極性之灰階電壓的正極性輸出電路部、以及用來產生負極性之灰階電壓的負極性輸出電路部。

又，本發明之最佳的實施形態，在上述一對之輸出電路部的其中一個輸出電路部設有用來產生正極性之灰階電壓的正極性輸出電路部，

五、發明說明(8)

而在上述一對的輸出電路部的另一個的輸出電路部，設有用來產生負極性之灰階電壓的負極性輸出電路部。

又，本發明之最佳的實施形態，上述輸出電路部，具有緩衝電路、解碼電路、資料鎖存部、以及移位暫存器電路，

上述緩衝電路、解碼電路、資料鎖存部、以及移位暫存器，則從上述第 1 輸出端子開始，在上述半導體積體電路的短邊方向依序配置上述緩衝電路、解碼電路、資料鎖存部、移位暫存器電路。

又，本發明液晶顯示裝置，其主要係針對一具備有：具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有多個半導體積體電路裝置，

上述半導體積體電路裝置具有：

設在上述半導體積體電路裝置之短邊方向的輸入電路部；

在上述輸入電路部之上述半導體積體電路裝置之長邊方向的兩側，被設在上述半導體積體電路裝置之長邊方向的多個輸出端子部及；

針對上述各輸出端子部，被設在上述各輸出端子部之上述半導體積體電路裝置之短邊方向的兩側，而產生供給到上述各影像信號線之灰階電壓的一對的輸出電路部。

五、發明說明(9)

又，本發明之液晶顯示裝置，其主要係針對一具備有：
具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有：形成多個配線層的薄膜基板、以及被搭載在上述薄膜基板上的半導體積體電路裝置，

上述半導體積體電路裝置，則在上述半導體積體電路裝置之周邊部以外的領域具有被設在上述半導體積體電路裝置之長邊方向的多個凸部電極，

上述薄膜基板之配線層的一部分，除了一端與上述半導體積體電路裝置的各凸部電極連接外，也設成從上述一端延長到上述薄膜基板的周邊部為止，且包含上述一端的部份，則被上述半導體積體電路裝置所覆蓋。

又，本發明之液晶顯示裝置，其主要係針對一具備有：
為具有一對基板、與被挾持在上述一對基板之間的液晶的液晶顯示元件，而具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述液晶層之多個畫素的多個的影像信號線的液晶顯示元件及；

將與顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有被搭載在上述一對基板之其

五、發明說明 (10)

中一基板上的半導體積體電路裝置，

上述半導體積體電路裝置，在上述半導體積體電路裝置之周邊部以外的領域具有被設在上述半導體積體電路裝置之長邊方向的多個的凸部電極，

在上述其中一個基板所形成之影像信號線的一部分，除了端子部與上述半導體積體電路裝置的各凸部電極連接外，包含上述端子部的領域則為上述半導體積體電路裝置所覆蓋。

又，本發明之最佳的實施形態中，上述多個的凸部電極，則在上述半導體積體電路裝置的長邊方向形成多列。

又，本發明之最佳的實施形態中，上述多列之一部分列的凸部電極，則將上述半導體積體電路之長邊方向的長度，設成較位在上述其中一個影像信號線從該列開始延長之方向上之列的凸部電極在上述半導體積體電路裝置之長邊方向的長度為長。

又，本發明之液晶顯示裝置，其主要係針對一具備有：
具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有形成有多個配線層的薄膜基板、以及被搭載在上述薄膜基板上的半導體積體電路裝置，

上述半導體積體電路裝置具有多個的凸部電極，而上

五、發明說明 (11)

述多個的凸部電極的一部分，則藉由被設在上述薄膜基板上的配線層，而在電氣上互相彼此連接。

又，本發明之液晶顯示裝置，其主要係針對一具備有：
具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有形成有多個配線層的薄膜基板、以及被搭載在上述薄膜基板上的半導體積體電路裝置

，
上述半導體積體電路裝置具有多個的凸部電極，而上述多個的凸部電極的一部分，則藉由被設在上述薄膜基板上的配線層，而在電氣上互相連接，

在連接上述凸部電極彼此的配線層，則從外部被施加有輸入信號。

發明之實施形態

以下請參照圖面來說明本發明之實施形態。

此外，在用來說明發明之實施形態的全部的圖中，凡具有相同功能者，則附加相同符號，且省略其反覆的說明。

〔實施形態〕

(本發明所適用之顯示裝置的基本構成)

五、發明說明 (12)

圖 1 為表示本發明所適用之 T F T 方式之液晶顯示模組之概略構成的方塊圖。

圖 1 所示之液晶顯示模組 (L C M)，則將汲極驅動器 1 3 0 配置在液晶顯示面板 (T F T - L C D) 1 0 之長邊側的一邊，又，將閘極驅動器 1 4 0 配置在液晶顯示面板 1 0 之短邊側的一邊。

液晶顯示面板 1 0 例如由 $1600 \times 800 \times 3$ 的畫素所構成。

此外，在此所謂的 1 個畫素則意味著紅 (R)、綠 (G)、青 (B) 的 1 個畫素 (P i x)。

從個人電腦等之主電腦側所輸出之紅 (R)、綠 (G)、青 (B) 的 3 色的顯示資料 (影像信號)、時脈信號、顯示時序信號、由同步信號 (水平同步信號、垂直同步信號) 所構成的控制信號，則經由介面連接器而被輸入到顯示控制裝置 (T F T 控制器) 1 1 0。

在本實施形態中，介面部 1 0 0，則被安裝在上述之圖 2 4 所示之 T F T 控制器基板 3 0 1，而汲極驅動器 1 3 0，則被安裝在上述之圖 2 4 所示之汲極驅動器基板 3 0 2，而閘極驅動器 1 4 0，則被安裝在上述之圖 2 4 所示之閘極驅動器基板 3 0 3。

在此，構成汲極驅動器 1 3 0 以及汲極驅動器 1 4 0 之半導體晶片 (I C)，則藉由所謂的帶載體 (Tape Carrier Package) 方式、或是 Chip On Film 方式，而被安裝在薄膜基板 3 1 0。

五、發明說明 (13)

此外，上述的半導體晶片 (IC)，也可以藉由 Chip On Glass 方式，直接被安裝到液晶顯示面板 10 之其中一個的透明基板。

(圖 1 所示之液晶顯示面板 10 的構成)

圖 2 為圖 1 所示之液晶顯示面板 10 之一例的等效電路的說明圖。

如圖 2 所示，液晶顯示面板 10 具有被形成為矩陣狀之多個的畫素。

各畫素則被配置在相鄰的 2 條信號線 (汲極信號線 (D) 或 閘極信號線 (G))、與相鄰之 2 條的信號線 (閘極信號線 (G) 或 汲極信號線 (D)) 的交差領域內。

各畫素具有薄膜電晶體 (TFT 1、TFT 2)，各畫素的薄膜電晶體 (TFT 1、TFT 2) 的源極，則被連接到畫素電極 (ITO 1)。

又，由於在畫素電極 (ITO 1) 與共通電極 (ITO 2) 之間設有液晶層，因此，液晶電容 (CLC) 乃等效地被連接到畫素電極 (ITO 1) 與共通電極 (ITO 2) 之間。

更者，在薄膜電晶體 (TFT 1、TFT 2) 的源極與前段的閘極信號線 (G) 之間，則連接有附加電容 (CADD)。

圖 3 為表示圖 1 所示之液晶顯示面板 10 之其他例之等效電路的說明圖。

五、發明說明 (14)

在圖 2 所示的例子中，在前段的閘極信號線 (G) 與源極之間形成有附加電容 (C A D D)，但是在圖 3 所示之例子的等效電路中，則是在共通信號線 (C N) 與源極之間形成保持電容 (C S T G)，兩者並不相同。

本發明雖然兩者均可適用，但是在前者的方式中，前段之閘極信號線 (G) 脈衝會經由附加電容 (C A D D) 而跳入畫素電極 (I T O 1)，但是在後者的方式中，由於沒有跳入的情形，因此可進行更良好的顯示。

此外，圖 2、圖 3 表示縱向電場方式之液晶顯示面板的等效電路，在圖 2、圖 3 中，A R 為顯示領域。

又，圖 2、圖 3 雖然是電路圖，但是是對應於實際上之幾何學上的配置而設。

在圖 2、圖 3 所示的液晶顯示面板 1 0 中，被配置在列方向之各畫素的薄膜電晶體 (T F T 1、T F T 2) 的汲極，則分別被連接到汲極信號線 (D)，各汲極信號線 (D)，則被連接到用於將灰階電壓施加在列方向之各畫素之液晶上的汲極驅動器 1 3 0。

又，被配置在行方向之各畫素中的薄膜電晶體 (T F T 1、T F T 2) 的閘極，則分別被連接到閘極信號線 (G)，各閘極信號線 (G)，則被連接到在 1 水平掃描期間，會將掃描驅動電壓 (正的偏向電壓或負的偏向電壓) 供給到在行方向之各畫素的薄膜電晶體 (T F T、T F T 2) 之閘極的閘極驅動器 1 4 0。

五、發明說明 (15)

(圖 1 所示之介面部 1 0 0 的構成與動作概要)

圖 1 所示之介面部 1 0 0 係由顯示控制裝置 1 1 0 與電源電路 1 2 0 所構成。

顯示控制裝置 1 1 0 係由 1 個半導體積體電路 (L S I) 所構成，根據從電腦本體側所送來之時脈信號、顯示器時脈信號、水平同步信號、垂直同步信號之各顯示控制信號以及顯示用資料 (R 、 G 、 B)，來控制・驅動汲極驅動器 1 3 0 以及閘極驅動器 1 4 0。

顯示控制裝置 1 1 0，當輸入顯示器時脈信號時，則判斷此為顯示開始位置，而將開始時脈 (顯示資料開始取入信號)，經由信號線 1 3 5 而輸出到第 1 個的汲極驅動器 1 3 0，更者，則將所接受到之單純 1 列的顯示資料，經由顯示資料的匯流排 1 3 3 輸出到汲極驅動器 1 3 0。

此時，顯示控制裝置 1 1 0，會經由信號線 1 3 1，將作為用於將顯示資料鎖存 (latch) 在各汲極驅動器

1 3 0 之資料鎖存電路之顯示控制信號的顯示資料鎖存用時脈 (C L 2) (以下只稱為時脈 (C L 2)) 加以輸出。

以外，在本實施形態中，如上述的圖 2 4 所示，來自顯示控制裝置 1 1 0 的控制信號以及顯示資料等，則經由 T F T 控制器基板 3 0 1、汲極驅動器基板 3 0 2 被輸入到各汲極驅動器 1 3 0。

來自本體電腦側的顯示資料，則例如是 6 位元，將 1 個畫素單位，亦即，紅 (R)、綠 (G)、青 (B) 的各

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

資料設成 1 組，而在每單位時間被轉送。

又，根據被輸入到第 1 個的汲極驅動器 1 3 0 的開始脈衝，來控制在第 1 個的汲極驅動器 1 3 0 中之資料鎖存電路的鎖存動作。

當在該第 1 個之汲極驅動器 1 3 0 中之資料鎖存電路的鎖存動作結束時，則開始脈衝會從第 1 個的汲極驅動器 1 3 0 被輸入到第 2 個的汲極驅動器 1 3 0，來控制在第 2 個的汲極驅動器 1 3 0 中之資料鎖存電路的鎖存動作。

以下，同樣地控制在各汲極驅動器 1 3 0 中之資料鎖存電路的鎖存動作，以防止將錯誤的顯示資料寫入到資料鎖存電路。

顯示控制裝置 1 1 0，當顯示器時序信號的輸入結束、或是從輸入顯示器時序信號開始經過所定之一定時間時，則表示 1 個水平單位的顯示資料已經結束，而將作為將積蓄在各汲極驅動器 1 3 0 中之資料鎖存電路的顯示資料輸出到液晶顯示面板 1 0 之汲極信號線 (D) 之顯示控制信號的輸出時序控制用時脈 (C L 1) (以下只稱為時脈 (C L 1))，經由信號線 1 3 2 輸出到各汲極信號線 1 3 0。

又，顯示控制裝置 1 1 0，在輸入垂直同步信號後，當輸入第 1 個的顯示器時序信號時，則將此判斷為第 1 個的顯示行，且經由信號線 1 4 2，將圖框開始指示信號輸出到閘極驅動器 1 4 0。

更者，顯示控制裝置 1 1 0，則根據水平同步信號，

訂

線

五、發明說明（ 17）

在每個水平掃描時間，如依序將正的偏向電壓施加在液晶顯示面板 10 之各閘極驅動器（G）般地，經由信號線 141，將作為 1 水平掃描時間週期之移位時脈的時脈（CL3）輸出到閘極驅動器 140。

藉此，被連接到液晶顯示面板 10 之各閘極信號線（G）的多個的薄膜電晶體（TFT1、TFT2），則在 1 水平掃描期間內導通。藉由以上的動作，可將畫素顯示在液晶顯示面板 10。

（圖 1 所示之電源電路 120 的構成）

圖 1 所示的電源電路 120，係由正電壓產生電路 121、負電壓產生電路 122、共通電極（對向電極）電壓產生電路 123、閘極電壓產生電路 124 所構成。

正電壓產生電路 121、負電壓產生電路 122，則分別由串聯電阻分壓電路所構成，正電壓產生電路 121 則輸出正極性之 5 個值的灰階基準電壓（ $V''_0 \sim V''_4$ ），而負電壓產生電路 122 則輸出負極性之 5 個值的灰階基準電壓（ $V''_5 \sim V''_9$ ）。

該正極性的灰階基準電壓（ $V''_0 \sim V''_4$ ）以及負極性的灰階基準電壓（ $V''_5 \sim V''_9$ ），則被供給到各汲極驅動器 130。

又，在各汲極驅動器 123，則也經由信號線 134 被供給來自顯示控制裝置 110 的極性反轉信號（交流化信號：M）。

五、發明說明 (18)

共通電極電壓產生電路 1 2 3 則產生施加在共通電極 (I T O 2) 的驅動電壓，而閘極電壓產生電路 1 2 4 則產生施加在薄膜電晶體 (T F T 1 、 T F T 2) 之閘極的驅動電壓 (正的偏向電壓以及負的偏向電壓) 。

(圖 1 所示之液晶顯示模組的交流化驅動方法)

一般而言，液晶層，當長時間被施加相同的電壓 (直流電壓) 時，則液晶層的斜率會被固定，結果會引起殘像現象，而縮短液晶層的壽命。

爲了要防止此一情形，液晶顯示模組，則每某個一定時間，使施加在液晶層的電壓交流化，亦即，以施加在共通電極的電壓作爲基準，使施加在畫素電極的電壓，每一定時間，即朝正電壓側 / 負電壓側變化。

將交流電壓施加在該液晶層的驅動方法，則已知有共通 (common) 對稱法與共通 (common) 反轉法的 2 種方法。

所謂的共通反轉法，即是一讓施加在共通電極的電壓與施加在畫素電極的電壓交互地反轉成正、負的方法。

又，所謂的共通對稱法，則是一將施加在共通電極的電壓設成一定，以施加在共通電極的電壓作爲基準，而使施加在畫素電極的電壓交互地反轉成正、負的方法。

共通對稱法，施加在畫素電極 (I T O 1) 之電壓的振幅，則爲共通反轉法時的 2 倍，而有只需未開發出閾值電壓低的液晶，則無法使用低耐壓之驅動器的缺點，但是

五、發明說明 (19)

可以使用在低消耗電力與顯示品質方面皆優越之點反轉法或 N 行反轉法。

以下，則說明點反轉法。

圖 4 為用來說明液晶顯示模組的驅動方法，當使用點反轉法時，從汲極驅動器 130 輸出到汲極信號線 (D) 之液晶驅動電壓 (亦即，施加在畫素電極 (I T O 1) 的灰階電壓) 的極性的說明圖。

液晶顯示模組的驅動方法，當使用點反轉法時，如圖 4 所示，例如，在奇數圖框的奇數行，會從汲極驅動器 130，將相對於被施加在共通電極 (I T O 2) 的液晶驅動電壓 (V C O M) 為負極性的液晶驅動電壓 (在圖 4 中以 ● 來表示) 施加在第奇數個的汲極信號線 (D)，而將相對於被施加在共通電極 (I T O 2) 的液晶驅動電壓 (V C O M) 為正極性的液晶驅動電壓 (在圖 4 中以 ○ 來表示) 施加在第偶數個的汲極信號線 (D)。

更者，在奇數圖框的偶數行，則從汲極信號線 130，將正極性的液晶驅動電壓施加在第奇數個的汲極信號線 (D)，又，將負極性的液晶驅動電壓施加在第偶數個的汲極信號線 (D)。

又，各行的極性，則針對每個圖框被反轉，亦即，如圖 4 所示，在偶數圖框的奇數行，則從汲極驅動器 130，將正極性的液晶驅動電壓施加在第奇數個的汲極信號線 (D)，又，將負極性的液晶驅動電壓施加在第偶數個的汲極信號線 (D)。

五、發明說明 (20)

更者，在偶數圖框的偶數行，則從汲極驅動器 1 3 0，將負極性的液晶驅動電壓施加在第奇數個的汲極信號線 (D)，又，將正極性的液晶驅動電壓施加在第偶數個的汲極信號線 (D)。

又，各行的極性，則針對各圖框而被反轉，亦即，如圖 4 所示，在偶數圖框的奇數行中，從汲極驅動器 1 3 0，將正極性的液晶驅動電壓施加在第奇數個的汲極信號線 (D)，又，將負極性的液晶驅動電壓施加在第偶數個的汲極信號線 (D)。

更者，在偶數圖框的偶數行中，從汲極驅動器 1 3 0，將負極性的液晶驅動電壓施加在第奇數個的汲極信號線 (D)，又，將正極性的液晶驅動電壓施加在第偶數個的汲極信號線 (D)。

藉由使用該點反轉法，由於施加在相鄰的汲極信號線 (D) 的電壓成為逆極性，因此，在共通電極 (I T O 2) 及薄膜電晶體 (T F T 1、T F T 2) 之閘極所流的電流會彼此抵消，而能夠減少消耗電力。

又，由於在共通電極 (I T O 2) 所流的電流少，且電壓降也不會變大，因此，共通電極 (I T O 2) 的電壓位準會安定，且能夠將顯示品質的降低情形抑制到最小限度。

(圖 1 所示之汲極驅動器 1 3 0 的構成)

圖 5 為圖 1 所示之汲極驅動器 1 3 0 之一例之概略構

五、發明說明 (21)

成的方塊圖。

此外，汲極驅動器 1 3 0 係由 1 個半導體積體電路 (L S I) 所構成。

在同一圖中，灰階電壓產生電路 1 5 1，則根據從正電壓產生電路 1 2 1 所輸入之正極性的 5 個值的灰階基準電壓 ($V''_0 \sim V''_4$) 而產生正極性之 6 4 個灰階的灰階電壓，且根據從負電壓產生電路 1 2 2 所輸入之負極性的 5 個值的灰階基準電壓 ($V''_5 \sim V''_9$)，而產生負極性之 6 4 個灰階的灰階電壓，且分別將正極性以及負極性之 6 4 個灰階的灰階電壓，經由電壓匯流排輸出到解碼電路 1 5 7。

又，移位暫存電路 1 5 3，則根據從時脈控制電路 1 5 2 所輸出，而同步於時脈 (CL_2) 的移位時脈產生資料取入用信號，且將其輸出到鎖存電路 (1) 1 5 5。

從顯示控制裝置 1 1 0 所輸入的顯示資料，則暫時為輸入鎖存電路 1 5 4 所鎖存 (latch)。

鎖存電路 (1) 1 5 5，則根據從移位暫存器 1 5 3 所輸出的資料取入用信號，而同步於從顯示控制裝置 1 1 0 所輸入的時脈 (CL_2)，而將從輸入鎖存電路 1 5 4 所輸出之各色每 6 個位元的顯示資料鎖存相當於輸出線的數目。

鎖存電路 (2) 1 5 6，則根據從顯示控制裝置 1 1 0 所輸入的時脈 (CL_1)，將在鎖存電路 (1) 1 5 5 內的顯示資料加以鎖存。

訂

線

五、發明說明（ 22）

為該鎖存電路（ 2 ）所取入的顯示資料，則經由內部的移位電路而被輸入到解碼電路 1 5 7 。

解碼電路 1 5 7，則從正極性的 6 4 個灰階的灰階電壓、或負極性之 6 4 個灰階的灰階電壓，選出與顯示資料對應的 1 個灰階電壓（ 6 4 個灰階中的 1 個灰階電壓），且將其輸出到緩衝電路 1 5 8。

緩衝電路 1 5 8 則放大所輸入之灰階電壓（電流放大），且將其輸入到各汲極信號線（ D ）。

圖 6 為更具體地說明圖 5 所示之汲極驅動器 1 3 0 之一例的構成的方塊圖。

在同一圖中，1 5 3 為圖 5 所示的移位暫存電路、1 5 7 為圖 5 所示之解碼電路、資料鎖存部 2 6 2 則表示圖 5 所示的鎖存電路（ 1 ） 1 5 5 與鎖存電路（ 2 ） 1 5 6 的鎖存部、移位電路 2 6 3 則表圖 5 所示之鎖存電路（ 2 ）內部的移位電路。

更者，放大電路 2 6 4、與用於切換放大電路 2 6 4 之輸出的輸出選擇電路 2 6 5，則構成圖 5 所示的緩衝電路 1 5 7。

在此，顯示資料選擇電路 2 6 1 以及輸出選擇電路 2 6 5，則根據極性反轉信號（ M ）而被控制。

又，Y 1、Y 2、Y 3、Y 4、Y 5、Y 6 則分別表示第 1 個、第 2 個、第 3 個、第 4 個、第 5 個、第 6 個的汲極信號線（ D ）。

圖 6 所示的汲極驅動器 1 3 0，則根據顯示資料選擇

五、發明說明 (23)

電路 2 6 1 來切換被輸入到資料鎖存部 2 6 2（更詳細地說為圖 5 所示的鎖存電路（1）1 5 5）的資料取入用信號，且將連續的顯示資料輸入到相鄰的資料鎖存部 2 6 2。

解碼電路 1 5 7，則是由從由灰階電壓產生電路 1 5 1 所供給之正極性的 6 4 個灰階的灰階電壓中，選出與由各資料鎖存部 2 6 2（更詳細地說為圖 5 所示的鎖存電路（2）1 5 6）所輸出之顯示用資料對應之正極性的灰階電壓的高電壓用解碼電路 2 5 1、以及從由灰階電壓產生電路 1 5 1 所供給之負極性的 6 4 個灰階之灰階電壓之中，選出與由各資料鎖存部 2 6 2 所輸出的顯示用資料對應之負極性的灰階電壓的低電壓用解碼電路 2 5 2 所構成。

該高電壓用解碼電路 2 5 1 與低電壓用解碼電路 2 5 2，則針對每個相鄰的資料鎖存部 2 6 2 而設。

放大電路 2 6 4 係由高電壓用放大電路 2 7 1 與低電壓用放大電路 2 7 2 所構成。

在高電壓用解碼電路 2 5 1 中所產生之正極性灰階電壓，則被輸入到高電壓用放大電路 2 7 1，而高電壓用放大電路 2 7 1 則輸出正極性的灰階電壓。

在低電壓用解碼電路 2 5 2 中所產生之負極性的灰階電壓，則被輸入到低電壓用放大電路 2 7 2，而低電壓用放大電路 2 7 2 則輸出負極性的灰階電壓。

在點反轉法中，連續的顯示資料的灰階電壓乃彼此呈

五、發明說明 (24)

相反的極性，由於放大電路 2 6 4 的排列成為高電壓用放大電路 2 7 1 → 低電壓用放大電路 2 7 2 → 高電壓用放大電路 2 7 1 → 低電壓用放大電路 2 7 2，因此，藉由顯示資料選擇電路 2 6 1 來切換被輸入到資料鎖存部 2 6 2 的顯示資料，將連續的顯示資料輸入到彼此相鄰之資料鎖存部 2 6 2，配合此，藉由輸出選擇電路 2 6 5 來切換從高電壓用放大電路 2 7 1 或低電壓用放大電路 2 7 2 所輸出的輸出電壓，而輸出到輸出有各色之灰階電壓的汲極信號線 (D)，例如第 1 圖的汲極信號線 (Y 1) 與第 4 個的汲極信號線 (Y 4)。

在圖 6、圖 7 的例子中，將低電壓用電路與高電壓用電路分別設成 1 / 2 之端子數 (並非是輸出端子全數)，因此能夠縮小半導體晶片 (I C) 的晶片尺寸。

圖 8 為表示圖 6，圖 7 所示之高電壓用解碼電路 2 5 1 以及低電壓用解碼電路 2 5 2 之一例之概略構成的電路圖。

在圖 8 所示的例子中，圖 6 所示之高電壓用解碼電路 2 5 1 或低電壓用解碼電路 2 5 2，係由將強化型 (enhancement) M O S 電晶體以及空乏型 (depletion) M O S 電晶體串聯連接之電晶體列 (T R P 2、T R P 3) 所構成。

圖 6、圖 7 所示之高電壓用放大電路 2 7 1、以及低電壓用放大電路 2 7 2，則如圖 9 所示，係由將操作放大器 (O P) 之反轉輸入端子 (B U M P) (-) 與輸出端

五、發明說明 (25)

子 (B U M P) 串聯，而其非反轉輸入端子 (B U M P) (+) 則被設成爲輸入端子 (B U M P) 的電壓跟隨 (voltage follower) 電路所構成。

在此，在低電壓用放大電路 2 7 2 中所使用的操作放大器 (O P)，例如由圖 1 0 所示之差動放大電路所構成，更者，在高電壓用放大電路 2 7 1 中所使用的操作放大器 (O P)，則例如由圖 1 1 所示之差動放大電路所構成。

圖 1 2 爲表示圖 7 所示之輸出選擇電路 2 5 6 之一例之一選擇電路之電路構成的電路圖。

如同一圖所示，圖 7 所示之輸出選擇電路 2 6 5 之一選擇電路，則具有：被連接在高電壓用放大電路 2 7 1 與第 n 個的汲極信號 (Y_n) 之間的 P M O S 電晶體 (P M 1)，被連接在高電壓用放大電路 2 7 1 與第 ($n + 3$) 個的汲極信號 (Y_{n+3}) 之間的 P M O S 電晶體 (P M 2)、被連接到低電壓用放大電路 2 7 2 與第 ($n + 3$) 個的汲極信號 (Y_{n+3}) 之間的 N M O S 電晶體 (N M 1)、以及被連接到低電壓用放大電路 2 7 2 與第 n 個的汲極信號 (Y_n) 之間的 N M O S 電晶體 (N M 2)。

在反相器 (I N V) 中被反轉之 N O R 電路 (N O R 1) 所輸出、以及在反相器 (I N V) 中被反轉之 N O R 電路 (N O R 2) 的輸出，則分別在移位 level (shift) 電路 (L S) 中被移位，而被輸入到 P M O S 電晶

五、發明說明 (26)

體 (P M 1) 的閘極以及 P M O S 電晶體 (P M 2) 的閘極。

同樣地，在反相器 (I N V) 中被反轉之 N A N D 電路 (N A N D 2) 的輸出、以及在反相器 (I N V) 中被反轉之 N A N D 電路 (N A N D 1) 的輸出，則分別在移位電路 (L S) 中被移位，而被輸入到 N M O S 電晶體 (N M 1) 的閘極、以及 N M O S 電晶體 (N M 2) 的閘極。

在此，極性反轉信號 (M) 則被輸入到 N A N D 電路 (N A N D 1) 與 O R 電路 (N O R 1)，而在反相器 (I N V) 中被反轉的極性反轉信號 (M)，則被輸入到 N A N D 電路 (N A N D 2) 以及 N O R 電路 (N O R 2)。

又，輸出致能信號 (E N B) 則被輸入到 N A N D 電路 (N A N D 1、N A N D 2)，而在反相器 (I N V) 中被反轉的極性反轉信號 (M)，則被輸入到 N O R 電路 (N O R 1、N O R 2)。

在表 1 則表示 N A N D 電路 (N A N D 1、N A N D 2) 與 N O R 電路 (N O R 1、N O R 2) 的邏輯值表、與在此時之各 M O S 電晶體 (P M 1、P M 2、N M 1、N M 2) 的 O N · O F F 狀態。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

表 1

ENB	M	NOR1	PM1	NAND2	NM1	NAND1	PM2	NOR2	NM2
L	*	L	OFF	H	OFF	H	OFF	L	OFF
H	H	L	OFF	H	OFF	L	ON	H	ON
	L	H	ON	L	ON	H	OFF	L	OFF

* 表示與交流化信號 (M) 無關。

由表 1 可知，當輸出致能信號 (E N B) 為 L o w 位準 (以下為 L 位準) 時，則 N A N D 電路 (N A N D 1 、 N A N D 2) 成為 H i g h 位準 (以下為 H 位準) ，而 N O R 電路 (N O R 1 、 N O R 2) 成為 L 位準，各 M O S 電晶體 (P M 1 、 P M 2 、 N M 1 、 N M 2) 成為 O F F 狀態。

在切換掃描行時，則連高電壓用放大電路 2 7 1 與低電壓用放大電路 2 7 2 也會成為不安定的狀態。

該輸出致能信號 (E N B) ，係為了在切換掃描行的期間內，防止各放大電路 (2 7 1 、 2 7 2) 的輸出被輸出到各汲極信號線 (D) 而設。

此外，在本實施形態中，該輸出致能信號 (E N B) ，雖然是使用時脈 (C L 1) 的反轉信號，但是也可以對時脈 (C L 2) 進行計數，而在內部產生。

又，由表 1 可知，當輸出致能信號 (E N B) 為 H 位準時，則根據極性反轉信號 (M) 的 H 位準或 L 位準，各 N A N D 電路 (N A N D 1 、 N A N D 2) 成為 H 位準或

(請先閱讀背面之注意事項再填寫本頁)

註

訂

線

五、發明說明 (28)

L 位準，而各 NOR 電路 (NOR 1) 成為 H 位準或 L 位準。

因此，PMOS 電晶體 (PM 1) 以及 NMOS 電晶體 (NM 1) 或為 OFF 或 ON，PMOS 電晶體 (PM 2) 以及 NMOS 電晶體 (NM 2) 成為 ON 或 OFF，高電壓用放大電路 2 7 1 的輸出則被輸出到汲極信號線 (Y_{n+3})，低電壓用放大電路 2 7 2 的輸出則被輸出到汲極信號線 (Y_n)、或是高電壓用放大電路 2 7 1 的輸出被輸出到汲極信號線 (Y_n)、低電壓用放大電路 2 7 2 的輸出被輸出到汲極信號線 (Y_{n+3})。

(本實施形態之液晶顯示模組之特徵構成)

圖 1 3 為構成本實施形態之汲極驅動器 1 3 0 之半導體晶片 (IC) 的內部電路之佈局的說明圖。

如同一圖所示，本實施形態的特徵，係將數目相當於輸出端子數，而由移位暫存器電路 1 5 3、資料鎖存部 2 6 2、解碼電路 1 5 7 以及緩衝電路 1 5 8 所構成的輸出電路方塊呈 2 段地重疊配置在半導體晶片 (IC) 的短邊方向。

此外，如圖 1 3 所示，在半導體晶片 (IC) 之短邊方向的中央部設有輸出端子 (凸部電極) 領域 (a) 2 0，而上述呈 2 段地被重疊配置的輸出電路方塊 (block)，則從該輸出端子領域 (a) 2 0 開始，依緩衝電路 1 5 8、解碼電路 1 5 7、資料鎖存部 2 6 2 以及移位暫存器電

五、發明說明 (29)

路 1 5 3 的順序而設。

又，在半導體晶片 (I C) 之長邊方向的中央部設有輸入電路・配線領域 2 3，而將顯示資料、時脈等供給到呈 2 段地被重疊配置的輸出電路方塊。

如此般，在本實施形態中，藉由將同一形狀的輸出端子部分配置在接近的領域 (輸出端子領域 (a))，可以削減浪費的空間，且能夠縮小輸出端子部分的面積。此外，以為輸入端子領域。

在本實施形態中，由於將輸出電路方塊呈 2 段地重疊配置，因此，將移位暫存器電路 1 5 3 配置在各段。

因此，相較於圖 6、圖 7 所示的汲極驅動器 1 3 0，本實施形態的汲極驅動器 1 3 0，則移位暫存器電路形成領域會增加。

然而，移位暫存器電路 1 5 3，係一可以在低耐壓的製程中所製造的低電壓電路，且，由於電路規模小，因此，即使成為 2 倍，面積的增加情形也可以忽視。

如此般，在本實施形態中，由於將占了構成汲極驅動器 1 3 0 之半導體晶片 (I C) 之大部分的灰階電壓輸出電路部分分割為 2，因此，相較於將圖 2 6 所示之灰階電壓輸出電路在晶片之長邊方向配置成一系列的情形，可將半導體晶片 (I C) 之晶片之長邊方向 (橫方向) 的長度設成大約一半 (1 / 2 倍)。

但是在本實施形態中，半導體晶片 (I C) 之晶片之短邊方向的長度，則相較於將圖 2 6 所示之灰階電壓輸出

五、發明說明 (30)

電路在晶片之長邊方向配置成一系列的情形大約成爲 2 倍。

亦即，本實施形態，構成汲極驅動器 130 的半導體晶片 (IC)，其外形形狀並不是細長的板狀，而是更接近於正方形。

因此，在本實施形態中，從一個晶圓所能夠取得的晶片數，相較於以往之細長的板狀可以增加，且當藉由所謂的 Step And Repeat 的曝光，而在一個半導體晶圓面上形成半導體晶圓 (IC) 時，由於可以使用便宜的裝置，因此能夠減低半導體晶片 (IC) 的成本。

此外，在本實施形態中，輸出端子 (B U M P 1) 的配置，則是根據半導體晶片 (IC) 尺寸、輸出端子數、以及輸出端子間的距離而決定，當半導體晶片 (IC) 的尺寸大時，則雖然是配置在最接近於緩衝電路 158 之圖 13 中的輸出端子領域 (a) 20，但半導體晶片 (IC) 的面積會變得更小。

而當半導體晶片 (IC) 的尺寸小時，則也可以使用輸出端子領域 (b) 21。

又，在本實施形態中，由於輸出端子 (B U M P 1) 係被配置在半導體晶片 (IC) 的中央附近，因此，當以 Chip On Film 方式將半導體晶片 (IC) 安裝在薄膜基板上時，則用於連接半導體晶片 (IC) 之輸出端子 (B U M P 1) 與液晶顯示面板 10 之汲極線 (D) 的薄膜基板上的配線層 (C O F A)，則一部分會與半導體晶片 (IC) 重疊。

裝

訂

線

五、發明說明 (31)

因此，在本實施形態中，藉由將薄膜基板上的配線層（C O F A）設成如圖 1 4 所示的佈局，如圖 1 3 所示，薄膜基板 3 1 0 的配線層（C O F A）與半導體晶圓（I C）的輸出端子（B U M P 1）不會接觸，即可在電氣上將半導體晶片（I C）的輸出端子（B U M P 1）與液晶顯示面板 1 0 的汲極線（D）連接。

此外，將端子領域設於半導體晶片的中央部，在半導體記憶體等領域乃廣為人知，而該半導體領域將端子領域設在中央部的理由，其目的主要在於減少在晶片內之配線延遲情形，而並非如本發明般係爲了要降低半導體晶片的成本。

〔實施形態 2〕

圖 1 5 係表示構成本發明之實施形態 2 之汲極驅動器 1 3 0 之半導體晶片（I C）之內部電路之佈局的說明圖。

在本實施形態中，將在上述實施形態 1 中所說明之呈 2 段重疊配置的輸出電路方塊分別分離成用於輸出正極性之灰階電壓的輸出電路方塊、以及用於產生負極性之灰階電壓的輸出電路方塊。

亦即，分離成解碼電路 1 5 7 爲高電壓用解碼電路 2 5 1，而放大電路 2 6 4 爲高電壓用放大電路 2 7 1 所構成的輸出電路方塊（在圖 1 6 中，相當於上側的輸出電路方塊，圖中則表示爲 H V）、以及解碼電路 1 5 7 爲低

五、發明說明 (32)

電壓用解碼電路 2 5 2，而放大電路 2 6 4 為低電壓用放大電路 2 7 2 所構成的輸出電路方塊（在圖 1 6 中，相當於下側的輸出電路方塊，圖中則表示為 L V）。

此外，移位暫存器 1 5 3，則根據在時脈控制電路內之移位時脈產生電路 2 5 4 中所產生的移位時脈而動作，在圖 1 5 中，則以虛線的箭頭來表示移位暫存器 1 5 3 的移位方向。

在圖 1 5 中，在解碼電路部分所附記的數字，則對應於輸出端子（B U M P 1），該圖 1 5 的數字，則根據極性反轉信號（M）的位準（H 位準或 L 位準），例如從 N o . 1 換成 N o . 2，而從 N o . 2 換成 N o . 1。

此外，在本實施形態中，移位暫存器電路 1 5 3，則必須 1 次針對 3 個輸出端子（B U M P 1）輸出資料取入用信號。

此外，在上述實施形態中，移位暫存器電路 1 5 3，則 1 次針對 6 個輸出端子（B U M P 1）輸出資料取入用信號。

在本實施形態中，針對具有 $64 \text{ 個灰階} \times 2 = 128$ 條的電壓匯流排線的解碼電路 1 5 7、以及具有 $6 \text{ 位元} \times 6 = 36$ 條的顯示資料匯流排的資料鎖存部 2 6 2，可以縮小電路面積。

圖 1 6 係表示半導體晶片（I C）內之習知之解碼電路 1 5 7 的構造的模式圖。

如圖 1 6 所示，以往，解碼電路 1 5 7，則將開關元

五、發明說明 (33)

件配置在低電壓側之 64 個灰階的電壓匯流排線、與高電壓側之 64 個灰階的電壓匯流排線之共計 128 條的鋁配線（以下稱為 AL 配線）之下。

在此，例如當著眼於高電壓側（圖中表示為高）時，則在 128 條的電壓匯流排線中會被使用到者，由於只有位在高電壓側之 64 個灰階共 64 條，因此，剩下來之低電壓側之 64 條的空間，當開關元件的大小不被限制時，則會成為一浪費的空間。

若著眼於低電壓側也是相同，因此，此時的面積設成（ $a \times b$ ）。

圖 17 為表示半導體晶片（IC）內之本實施形態之解碼電路 157 之構造的模式圖。

如圖 17 所示，高電壓用解碼器 271 的開關元件被配置在高電壓側 64 個灰階之配線之下，而低電壓用解碼器 272 的開關元件被配置在低電壓側 64 個灰階之配線之下。

因此，在本實施形態中，如圖 17 所示之習知之解碼電路 157 般並不存在浪費的空間。

此外，在目前的製程中，由 AL 配線 150 來支配面積的情形多，因此，開關元件配置在 AL 配線 150 之下。

此時的面積為（ $a \times b$ ）／2，而成為圖 17 所示之習知之解碼電路 157 的一半（ $1/2$ ）。

如此般，在本實施形態中，功能仍相同，但可以將電

五、發明說明 (34)

路面積減半。

連在資料鎖存部 2 6 2，根據完全同樣的理由，可以將電路面積減半，因此能夠大幅地削減汲極驅動器整體的面積。

[實施形態 3]

圖 1 8 為表示構成本發明之實施形態 3 之汲極驅動器 1 3 0 之半導體晶片 (I C) 之內部電路的佈局的說明圖。

在本實施形態中，係將在上述實施形態 1 中所說明之輸出電路方塊呈 4 段地重疊配置。

在本實施形態中，藉由將同一形狀的輸出端子 (B U M P 1) 配置在接近的領域，可以削減浪費的空間，又，能夠縮小輸出端子領域 2 0 的面積。

但是在本實施形態中，相較於上述之實施形態 1 的 2 段構成，雖然是只增加解碼電路 1 5 7 以及資料鎖存部 2 6 2 之面積，但可以更加縮短長邊方向 (橫方向) 的長度。

因此，隨著輸出端子數的增加，在藉由 Step And Repeat 的曝光，在晶圓形成半導體晶片 (I C) 時，可以收斂在該曝光範圍內。

又，在本實施形態中，輸出端子 (B U M P 1)，由於呈 2 段地被配置在半導體晶片 (I C) 的中央附近，因此，當以 Chip On Film 方式，將半導體晶片 (I C) 安裝

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (35)

在薄膜基板上時，則用於連接半導體晶片 (I C) 之輸出端子 (B U M P 1)、與液晶顯示面板 1 0 之汲極線 (D) 的薄膜基板上的配線層，其中一部分則與半導體晶片 (I C) 重疊。

因此，在本實施形態中，藉著將薄膜基板上的配線層 (C O F A) 設成如圖 1 9 所示的佈局，如圖 1 8 所示，在薄膜基板 3 1 0 的配線層 (C O F A) 與半導體晶片 (I C) 的端子不接觸的情形下，在電氣上可將半導體晶片 (I C) 的輸出端子 (B U M P 1) 與液晶顯示面板 1 0 之汲極線 (D) 加以連接。

[實施形態 4]

圖 2 0 為用於說明構成本發明之實施形態 4 之汲極驅動器 1 3 0 之半導體晶片 (I C) 之輸出端子 (B U M P 1) 之配置情形的說明圖。

如同圖所示，在本實施形態中，輸出端子 (B U M P 1) 乃被形成為 2 列，該些輸出端子 (B U M P 1)，則藉由在薄膜基板 3 1 0 上所形成的配線層 (C O F A)，在電氣上與液晶顯示面板 1 0 的汲極線 (D) 連接。

此時，當將輸出端子 (B U M P 1) 形成為多列時，由於在薄膜基板 3 1 0 上所形成之配線層 (C O F A) 的間隔變窄，因此，薄膜基板 3 1 0 的配線層 (C O F A) 與相鄰之輸出端子 (B U M P 1) 的間隙會變小，而有導

五、發明說明 (36)

致發生短路不良之機率增加的問題。

在此，在本實施形態中，針對接近於薄膜基板 310 之配線層 (COFA) 之拉出方向之列的端子 (BUMP 1) (亦即，相對於圖 20 中之第 1 列的端子 (BUMP 1) 為第 2 列的端子 (BUMP 2))，縮短輸出端子 (BUMP 1) 在列方向的長度，藉此，可以加長薄膜基板 310 之配線層 (COFA) 與相鄰之輸出端子 (BUMP 1) 的間隔 (圖 20 的 La)，以避免發生短路不良的情形。

又，隨著輸出端子 (BUMP 1) 的間隔 (pitch) 變小，當進行探針檢查時，會因為探針與輸出端子 (BUMP 1) 發生偏移而發生問題。

在此，本實施形態，當針對被配置成 n ($n > 1$) 段的輸出端子 (BUMP 1)，每隔 n 個端子實施探針檢查時，則藉由加長距在薄膜基板 310 上所形成之配線層 (COFA) 的拉出方向，被配置在遠方的輸出端子 (BUMP 1) (圖 15 之第 1 列的輸出端子 (BUMP 1)) 在列方向的長度，藉由在該列進行探針檢查，可以避免在進行探針檢查時，因為探針與輸出端子 (BUMP 1) 的偏移而發生問題。

如此般，在本實施形態中，藉由縮短在接近於在基板 310 上所形成配線層 (COFA) 之拉出方向之列的輸出端子 (圖 20 中之第 1 列的輸出端子 (BUMP 1)) 在列方向的長度，可以避免輸出端子 (BUMP 1) 與在

訂

線

五、發明說明（ 37）

薄膜基板 3 1 0 上所形成之配線層（ C O F A ）發生短路不良的情形，更者，在作探針試驗時，可以避免因為探針與輸出端子（ B U M P 1 ）發生偏移而導致連接上發生問題。

〔實施形態 5〕

圖 2 1 為用於說明本發明之實施形態 5 之汲極驅動器 1 3 0 之半導體晶片（ I C ）的端子（ B U M P ）的一部分、與在薄膜基板 3 1 0 上所形成之配線層（ C O F B ）之一部分的說明圖。

圖 2 1 所示之配線層（ C O F B ）係用來連接被安裝在薄膜基板 3 1 0 之半導體晶片（ I C ）的端子（ B U M P ）。

隨著液晶顯示裝置的高精細化以及畫面尺寸的擴大，當要求汲極驅動器 1 3 0 達成高性能化時，則對於構成汲極驅動器 1 3 0 之半導體晶片（ I C ）內的電源配線層、時脈配線層等，會因為負載阻抗的影響而產生輸出延遲的問題。

在此，如本實施形態般，藉著以低阻抗的薄膜基板 3 1 0 配線層（ C O F B ）來補強或是置換半導體晶片（ I C ）的金屬配線，以提高汲極驅動器 1 3 0 的驅動能力。

又，如圖 2 2 所示，可以用同一配線來連接多個端子（ B U M P ），更者，可將該配線層（ C O F B ）連接到

五、發明說明 (38)

在薄膜基板 3 1 0 之外周所形成之配線層的輸入端子。

或是如圖 2 3 所示，將無法配置在半導體晶片 (I C) 之外周的端子 (B U M P) 設在內側，藉由將薄膜基板 3 1 0 的配線層 (C O F B) 連接到該設在內側的端子 (B U M P)，可以將電壓供給到該設在內側的端子 (B U M P)。

此外，在上述各實施形態中，雖然是說明將本發明適用在縱向電場方式之液晶顯示面板的實施形態，但並不限定於此，本發明也適用於橫向電場方式的液晶顯示面板。

又，上述各實施形態，雖然是說明驅動方法使用點反轉方式的實施形態，但並不限定於此，本發明也可以適用於針對每一行、或是每一圖框，使施加在畫素電極 (I T O 1) 以及共通電極 (I T O 2) 的驅動電壓反轉的共通 (common) 反轉法。

更者，本發明也可以適用於單純矩陣型液晶顯示裝置。

以上，雖然是根據上述實施形態具體地說明本發明人所提出之發明，但本發明並不限於上述實施形態，在不脫離其主旨的範圍內，當然可進行各種的變更。

〔發明的效果〕

若是簡單地說明由在本案所揭露的發明中之代表例所得到的效果，則如下所述。

(1) 根據本發明，可以降低液晶顯示裝置的成本。

五、發明說明（ 39）

（ 2 ）根據本發明，可以簡化液晶顯示裝置的檢查。

（ 3 ）根據本發明，可以防止因為半導體積體電路裝置的配線層造成電壓降低。

圖面之簡單說明：

圖 1 為表示本發明所適用之 T F T 方式之液晶顯示模組之概略構造的方塊圖。

圖 2 為表示圖 1 所示之液晶顯示面板之一例的等效電路圖。

圖 3 為表示圖 1 所示之液晶顯示面板之其他例的等效電路圖。

圖 4 為液晶顯示模組的驅動方法，在使用點反轉法時，用來說明從汲極驅動器被輸出到汲極信號線（ D ）之液晶驅動電壓之極性的說明圖。

圖 5 為表示圖 1 所示之汲極驅動器之一例之概略構成的方塊圖。

圖 6 為用來更具體地說明圖 5 所示之汲極驅動器之一例的構成的方塊圖。

圖 7 為用來更具體地說明圖 5 所示之汲極驅動器之其他例的構成的方塊圖。

圖 8 為表示圖 6 、圖 7 所示之高電壓用解碼電路、以及低電壓用解碼電路之一例之概略構成的電路圖。

圖 9 為表示圖 6 、圖 7 所示之高電壓用放大電路、低電壓用放大電路之一例之概略構成的電路圖。

五、發明說明 (40)

圖 1 0 為表示在圖 9 所示之低電壓用放大電路之操作放大器中所使用的差動放大電路的電路圖。

圖 1 1 為表示在圖 9 所示之高電壓用放大電路之操作放大器中所使用的差動放大電路的電路圖。

圖 1 2 為表示圖 7 所示之輸出選擇電路之一例之選擇電路之電路構成的電路圖。

圖 1 3 為表示構成本發明之形態①之汲極驅動器之半導體晶片 (I C) 之內部電路之佈局的說明圖。

圖 1 4 為表示本發明之實施形態 1 之在薄膜基板上之配線層 (C O F A) 之佈局的說明圖。

圖 1 5 為表示構成本發明之形態②之汲極驅動器之半導體晶片 (I C) 之內部電路之佈局的說明圖。

圖 1 6 為表示在半導體晶片 (I C) 內之以往之解碼電路之構造的模式圖。

圖 1 7 為表示在半導體晶片 (I C) 內之本發明之實施形態之解碼電路之構造的模式圖。

圖 1 8 為表示構成本發明之實施形態 3 之汲極驅動器之半導體晶片 (I C) 之內部電路之佈局的說明圖。

圖 1 9 為表示本發明之實施形態 3 之在薄膜基板上之配線層 (C O F A) 之佈局的說明圖。

圖 2 0 為用來說明構成本發明之實施形態 4 之汲極驅動器之半導體晶片 (I C) 之輸出端子 (B U M P 1) 之配置情形的說明圖。

圖 2 1 為用來說明構成本發明之實施形態 5 之汲極驅

裝

訂

線

五、發明說明 (41)

動器之半導體晶片 (I C) 之端子 (B U M P) 的一部分、與在薄膜基板所形成之配線層 (C O F B) 之一部分的說明圖。

圖 2 2 為圖 2 1 之變形例的說明圖。

圖 2 3 為圖 2 1 之變形例的說明圖。

圖 2 4 為表示以往之 T F T 液晶顯示模組之一例之概略構成的方塊圖。

圖 2 5 為以往之安裝了汲極驅動器之薄膜基板的說明圖。

圖 2 6 為以往之汲極驅動器之端子部構成的說明圖。

元件對照表

10:液晶顯示面板(TFT-LCD)	20:輸出端子領域(a)
21:輸出端子領域(b)	22:輸入端子領域
23:輸入電路・配線領域	100:介面部
110:顯示控制裝置	120:電源電路
121,122:電壓產生電路	123:共通電極電壓產生電路
124:閘極電壓產生電路	130:汲極驅動器
131,132,134,135:信號線	141,142:信號線
133:顯示資料的匯流排線	140:閘極驅動器
150:鋁配線	151:灰階電壓產生電路
152:時脈控制電路	153:移位暫存器電路
154:解碼電路	155:鎖存電路(1)
156:鎖存電路(2)	157:解碼電路

五、發明說明 (42)

- | | |
|-------------------------------|--------------|
| 158:緩衝電路 | 251:高電壓用解碼電路 |
| 252:低電壓用解碼電路 | 254:移位時脈產生電路 |
| 261:顯示資料選擇電路 | 262:資料鎖存部 |
| 263:位準移位電路 | 264:放大電路 |
| 265:輸出選擇電路 | 271:高電壓用放大電路 |
| 272:低電壓用放大電路 | 301:TFT控制基板 |
| 302:汲極驅動器基板 | 303:閘極驅動器基板 |
| 310:薄膜基板 | |
| D、Y:汲極信號線(影像信號 G:閘極信號線(掃描信號線或 | |
| 線或垂直信號線) | 水平信號線) |
| ITO1:畫素電極 | ITO2:共通電路 |
| CN:共通信號線 | TFT:薄膜電晶體 |
| CLC:液晶電容 | CSTG:保持電容 |
| CADD:附加電容 | PM:PMOS電晶體 |
| NM:NMOS電晶體 | LS:位準移位電路 |
| TRP:電晶體列 | NAND:NAND電路 |
| AND:AND電路 | NOR:NOR電路 |
| INV:反相器 | OP:操作放大器 |
| IC:半導體晶片 | BUMP:端子 |
| BUMP1:輸出端子 | BUMP2:輸入端子 |
| COFA、COFB:配線層 | |

(請先閱讀背面之注意事項再填寫本頁)

註

訂

線

四、中文發明摘要 (發明之名稱： 液晶顯示裝置)

〔課題〕本發明提供一即使液晶顯示元件的畫素數增加，也能夠充分地應付，且可以降低價格的液晶顯示元件。

〔解決手段〕

係針對一具備有液晶顯示元件，以及用來供給與顯示資料對應之灰階電壓的影像信號線驅動手段的液晶顯示裝置，其中影像線驅動手段具有多個的半導體積體電路裝置，各半導體積體電路裝置，則在上述半導體積體電路裝置之長邊方向的中央部，具有設在上述半導體積體電路裝置之短邊方向的輸入電路，位在上述輸入電路部之上述半導體積體電路裝置之短邊方向的中央部的兩側，而被設在上述半導體積體電路裝置之長邊方向的第1的輸出端子部，以及被設在上述第1的輸出端子部之上述半導體積體電路裝置之短邊方向的兩側，而產生供給到上述各影像信號線之灰階電壓的一對的輸出電路部。

英文發明摘要 (發明之名稱：)

六、申請專利範圍

1．一種液晶顯示裝置，其主要係針對一具備有：具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有半導體積體電路裝置，

上述半導體積體電路裝置具有：

被設在上述半導體積體電路裝置之長邊方向的第1輸出端子部及；

被設在上述第1輸出端子部之上上述半導體積體電路裝置之短邊方向的兩側，而產生用於供給到上述各影像信號線之灰階電壓的一對的輸出端子部。

2．一種液晶顯示裝置，其特徵在於：

在上述第1輸出端子部以及上述輸出電路部以外的領域，具有至少沿著上述半導體積體電路裝置之2個短邊的周邊部而設的第2輸出端子部。

3．一種液晶顯示裝置，其主要係針對一具備有：具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有多個半導體積體電路裝置，

上述半導體積體電路裝置具有：

在上述半導體積體電路裝置之長邊方向的中央部，而

六、申請專利範圍

設在上述半導體積體電路裝置之短邊方向的輸入電路部；

在上述輸入電路部之上述半導體積體電路裝置之短邊方向之中央部的兩側，被設在上述半導體積體電路裝置之長邊方向的第1輸出端子部及；

被設在上述第1輸出端子部之上述半導體積體電路裝置之短邊方向的兩側，而產生用於供給到上述各影像信號線之灰階電壓的一對的輸出電路部。

4. 一種液晶顯示裝置，其主要係針對一具備有：具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有多個半導體積體電路裝置，

上述半導體積體電路裝置具有：

設在上述半導體積體電路裝置之短邊方向的輸入電路部；

在上述輸入電路部之上述半導體積體電路裝置之長邊方向的兩側，被設在上述半導體積體電路裝置之長邊方向的第1輸出端子部及；

被設在上述第1輸出端子部之上述半導體積體電路裝置之短邊方向的兩側，而產生用於供給到上述各影像信號線之灰階電壓的一對的輸出電路部。

5. 如申請專利範圍第4項之液晶顯示裝置，在上述第1輸出端子部以及上述輸出電路部以及的領域，具有至

六、申請專利範圍

少沿著上述半導體積體電路裝置之2個短邊的周邊部而設的第2輸出端子部。

6. 如申請專利範圍第4項之液晶顯示裝置，上述輸出電路部具有緩衝電路、解碼電路、資料鎖存部、及移位暫存器電路，

上述緩衝電路、解碼電路、資料鎖存部、以及移位暫存器，則從上述第1輸出端子開始，在上述半導體積體電路的短邊方向依序配置上述緩衝電路、解碼電路、資料鎖存部、移位暫存器電路。

7. 如申請專利範圍第4項之液晶顯示裝置，上述一對的輸出電路部，則交互地設置用來產生正極性之灰階電壓的正極性輸出電路部、以及用來產生負極性之灰階電壓的負極性輸出電路部。

8. 如申請專利範圍第7項之液晶顯示裝置，上述正極性輸出電路部以及負極性輸出電路部，具有緩衝電路、解碼電路、資料鎖存部、以及移位暫存器電路，

上述緩衝電路、解碼電路、資料鎖存部、以及移位暫存器，則從上述第1輸出端子開始，在上述半導體積體電路的短邊方向依序配置上述緩衝電路、解碼電路、資料鎖存部、移位暫存器電路。

9. 如申請專利範圍第4項之液晶顯示裝置，在上述一對之輸出電路部的其中一個輸出電路部設有用來產生正極性之灰階電壓的正極性輸出電路部，

而在上述一對的輸出電路部的另一個的輸出電路部，

六、申請專利範圍

設有用來產生負極性之灰階電壓的負極性輸出電路部。

10. 如申請專利範圍第9項之液晶顯示裝置，上述正極性輸出電路部以及負極性輸出電路部，具有緩衝電路、解碼電路、資料鎖存部、以及移位暫存器電路，

上述緩衝電路、解碼電路、資料鎖存部、以及移位暫存器，則從上述第1輸出端子開始，在上述半導體積體電路的短邊方向依序配置上述緩衝電路、解碼電路、資料鎖存部、移位暫存器電路。

11. 一種液晶顯示裝置，其主要係針對一具備有：具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有多個半導體積體電路裝置，

上述半導體積體電路裝置具有：

設在上述半導體積體電路裝置之短邊方向的輸入電路部；

在上述輸入電路部之上述半導體積體電路裝置之長邊方向的兩側，被設在上述半導體積體電路裝置之長邊方向的多個輸出端子部及；

針對上述各輸出端子部，被設在上述各輸出端子部之上述半導體積體電路裝置之短邊方向的兩側，而產生供給到上述各影像信號線之灰階電壓的一對的輸出電路部。

12. 一種液晶顯示裝置，其主要係針對一具備有：

六、申請專利範圍

具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有：形成多個配線層的薄膜基板、以及被搭載在上述薄膜基板上的半導體積體電路裝置，

上述半導體積體電路裝置，則在上述半導體積體電路裝置之周邊部以外的領域具有被設在上述半導體積體電路裝置之長邊方向的多個凸部電極，

上述薄膜基板之配線層的一部分，除了一端與上述半導體積體電路裝置的各凸部電極連接外，也設成從上述一端延長到上述薄膜基板的周邊部為止，且包含上述一端的部，則被上述半導體積體電路裝置所覆蓋。

1 3 . 如申請專利範圍第 1 2 項之液晶顯示裝置，上述多個凸部電極乃在上述半導體積體電路裝置之長邊方向形成多列。

1 4 . 如申請專利範圍第 1 3 項之液晶顯示裝置，上述多列之一部分列的凸部電極，上述半導體積體電路裝置之長邊方向的長度，則被設成較位在從該列開始，上述薄膜基板之配線層延長的方向上的列的凸部電極在上述半導體積體電路裝置的長邊方向的長度為長。

1 5 . 一種液晶顯示裝置，其主要係針對一具備有：為具有一對基板、與被挾持在上述一對基板之間的液晶的

六、申請專利範圍

液晶顯示元件，而具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述液晶層之多個畫素的多個的影像信號線的液晶顯示元件及；

將與顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有被搭載在上述一對基板之其中一基板上的半導體積體電路裝置，

上述半導體積體電路裝置，在上述半導體積體電路裝置之周邊部以外的領域具有被設在上述半導體積體電路裝置之長邊方向的多個的凸部電極，

在上述其中一個基板所形成之影像信號線的一部分，除了端子部與上述半導體積體電路裝置的各凸部電極連接外，包含上述端子部的領域則為上述半導體積體電路裝置所覆蓋。

1 6 . 如申請專利範圍第 1 5 項之液晶顯示裝置，上述多個的凸部電極，則在上述半導體積體電路裝置的長邊方向形成多列。

1 7 . 如申請專利範圍第 1 6 項之液晶顯示裝置，上述多列之一部分列的凸部電極，則將上述半導體積體電路之長邊方向的長度，設成較位在上述其中一個影像信號線從該列開始延長之方向上之列的凸部電極在上述半導體積體電路裝置之長邊方向的長度為長。

1 8 . 一種液晶顯示裝置，其主要係針對一具備有：

訂

線

六、申請專利範圍

具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有形成有多個配線層的薄膜基板、以及被搭載在上述薄膜基板上的半導體積體電路裝置，

上述半導體積體電路裝置具有多個的凸部電極，而上述多個的凸部電極的一部分，則藉由被設在上述薄膜基板上的配線層，而在電氣上互相彼此連接。

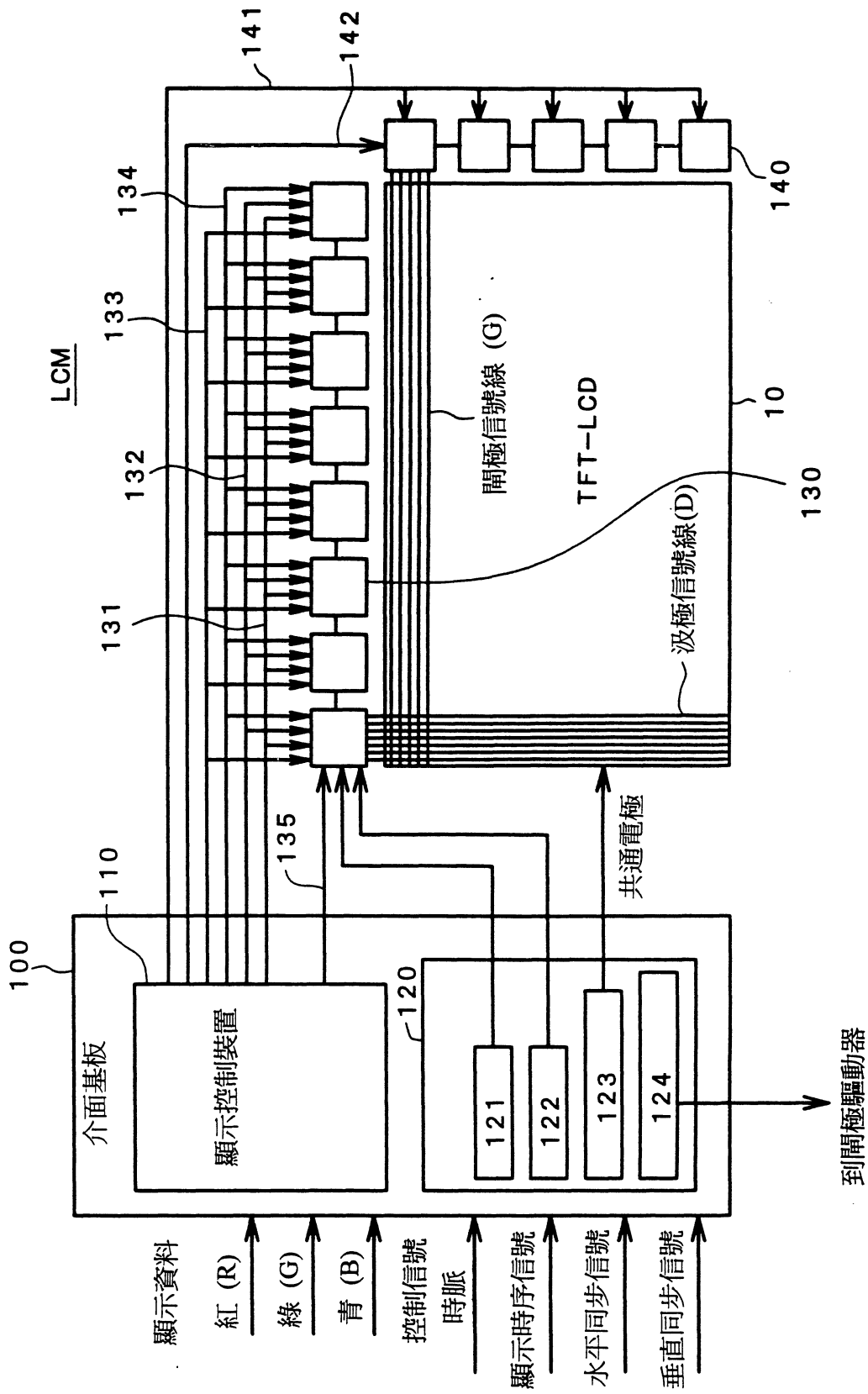
19. 一種液晶顯示裝置，其主要係針對一具備有：具有多個畫素、與將和顯示資料對應的灰階電壓施加在上述多個畫素之多個影像信號線的液晶顯示元件、以及將和顯示資料對應的灰階電壓供給到上述各影像信號線之影像信號線驅動手段的液晶顯示裝置，其特徵在於：

上述影像線驅動手段具有形成有多個配線層的薄膜基板、以及被搭載在上述薄膜基板上的半導體積體電路裝置，

上述半導體積體電路裝置具有多個的凸部電極，而上述多個的凸部電極的一部分，則藉由被設在上述薄膜基板上的配線層，而在電氣上互相連接，

在連接上述凸部電極彼此的配線層，則從外部被施加有輸入信號。

圖 1



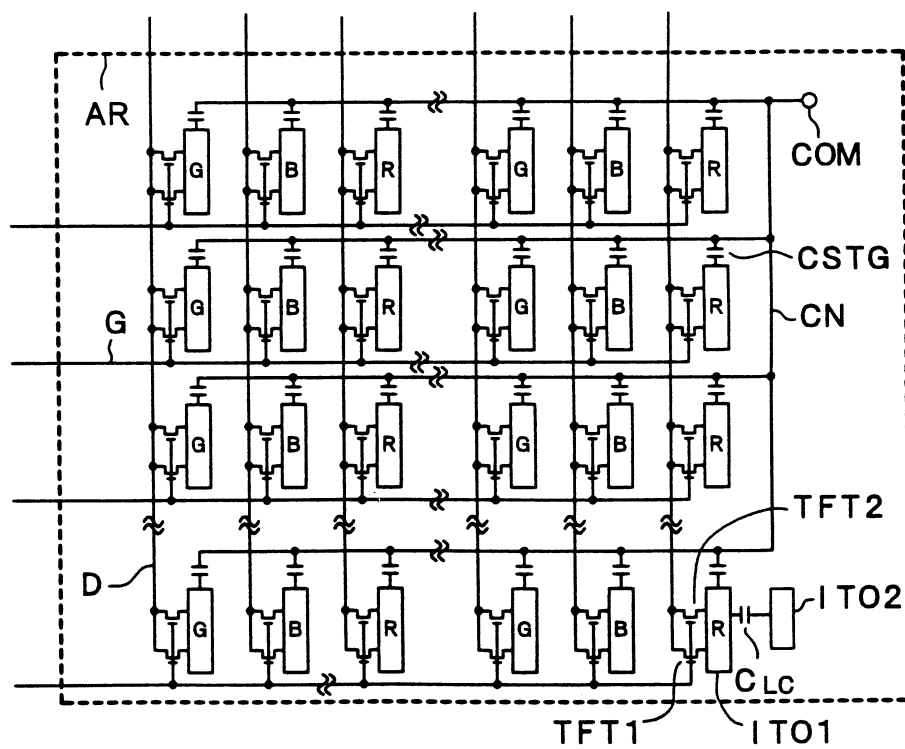


圖 4

奇數圖框

[illegible]

偶數圖框

1 ○●○●○●○●○●○●

2 ●○●○●○●○●○●○●

3 ○●○●○●○●○●○●○

4 ●○●○●○●○●○●○●

5 ○●○●○●○●○●○●○

6 ●○●○●○●○●○●○●

| .
| .
| .
| .
| .
| .
| .
| .
| .

圖 5

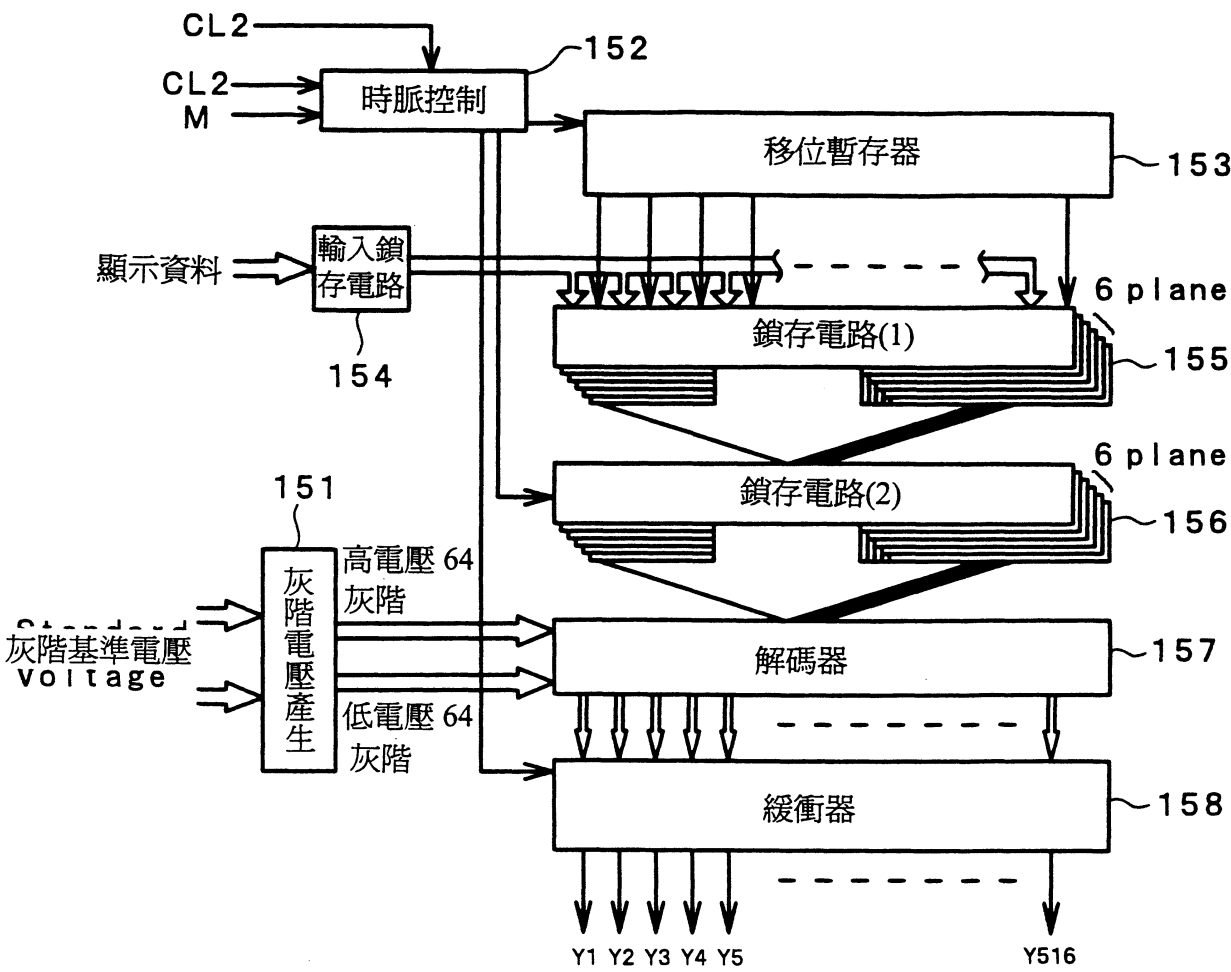


圖 6

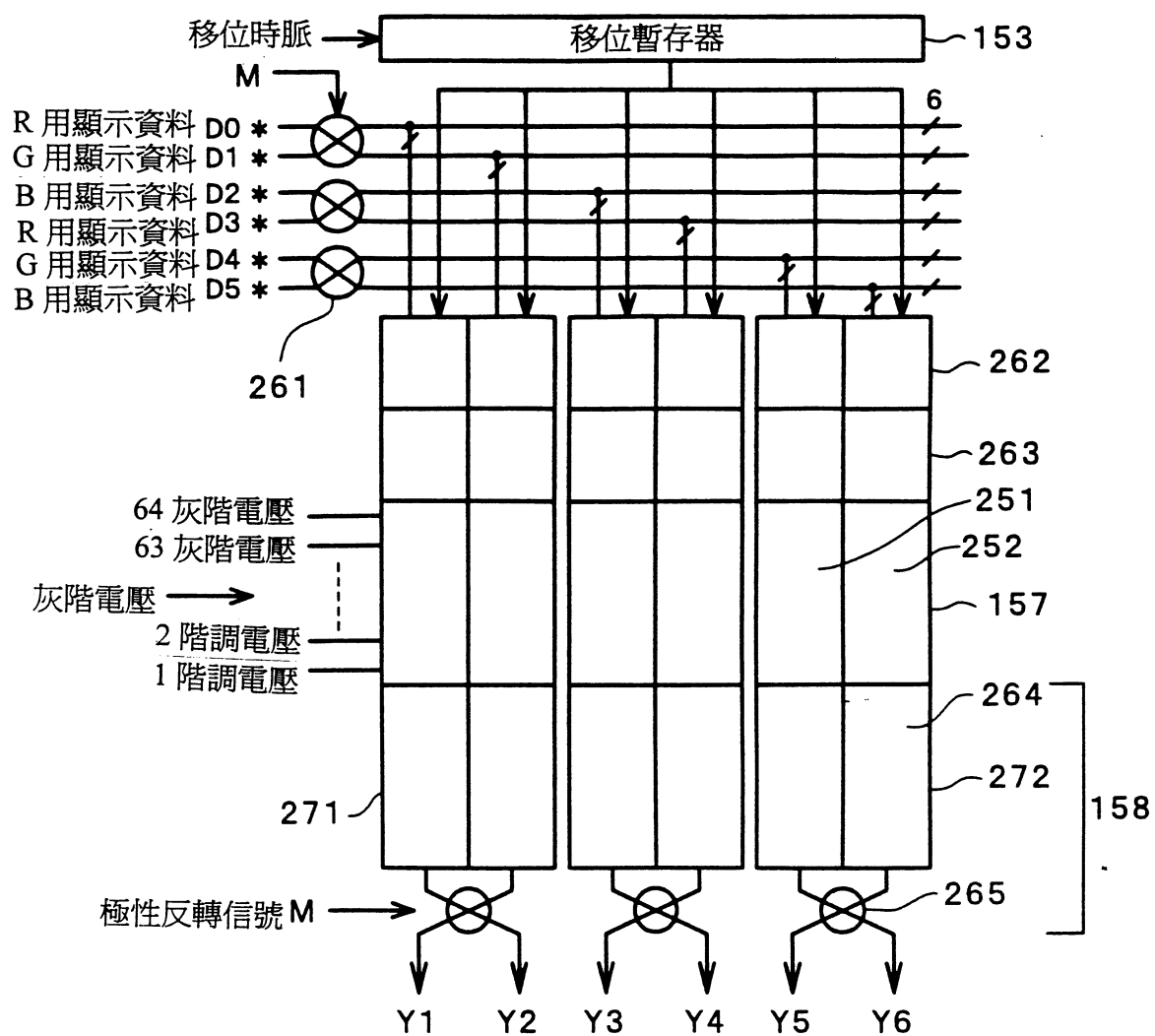


圖 7

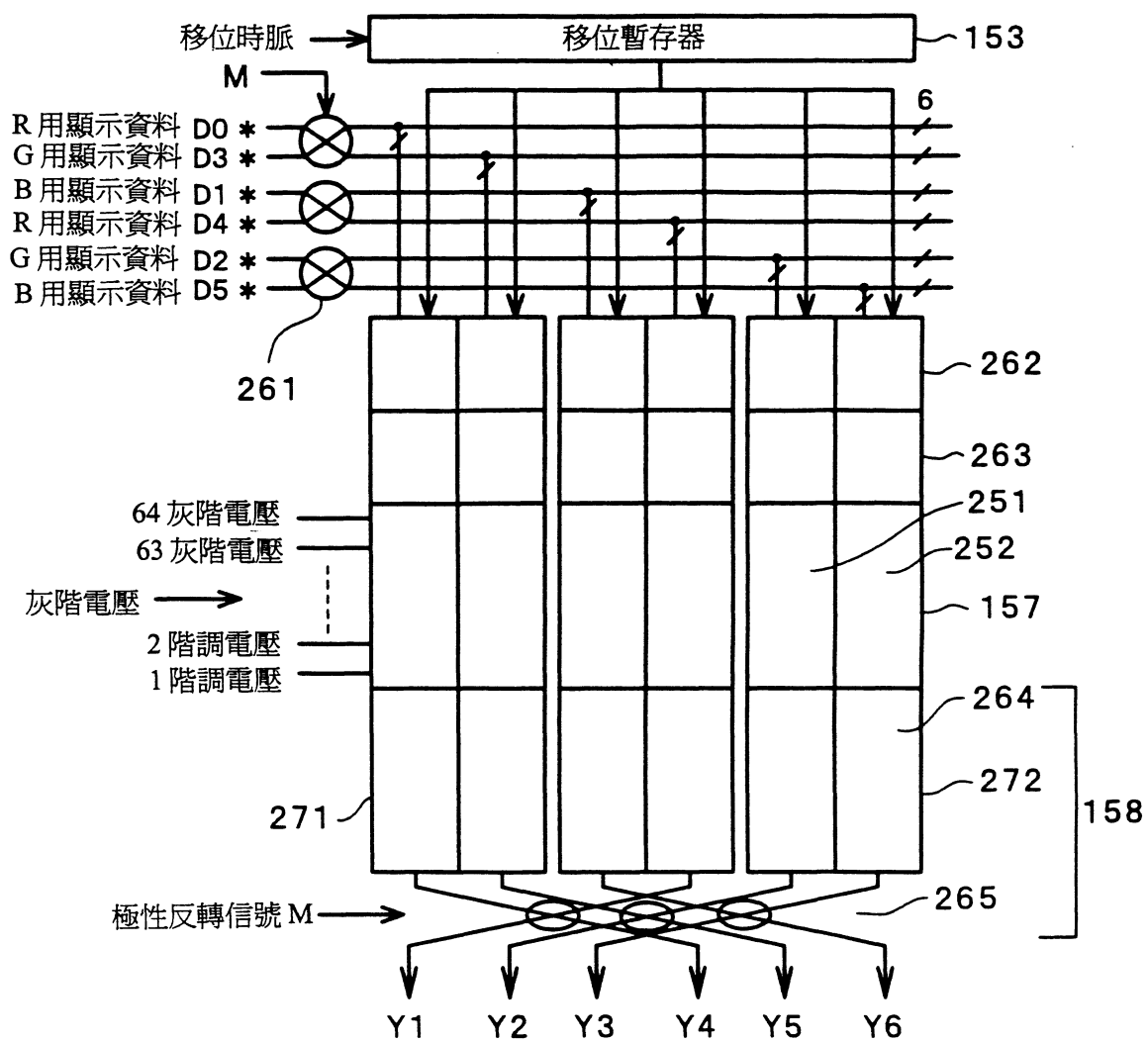
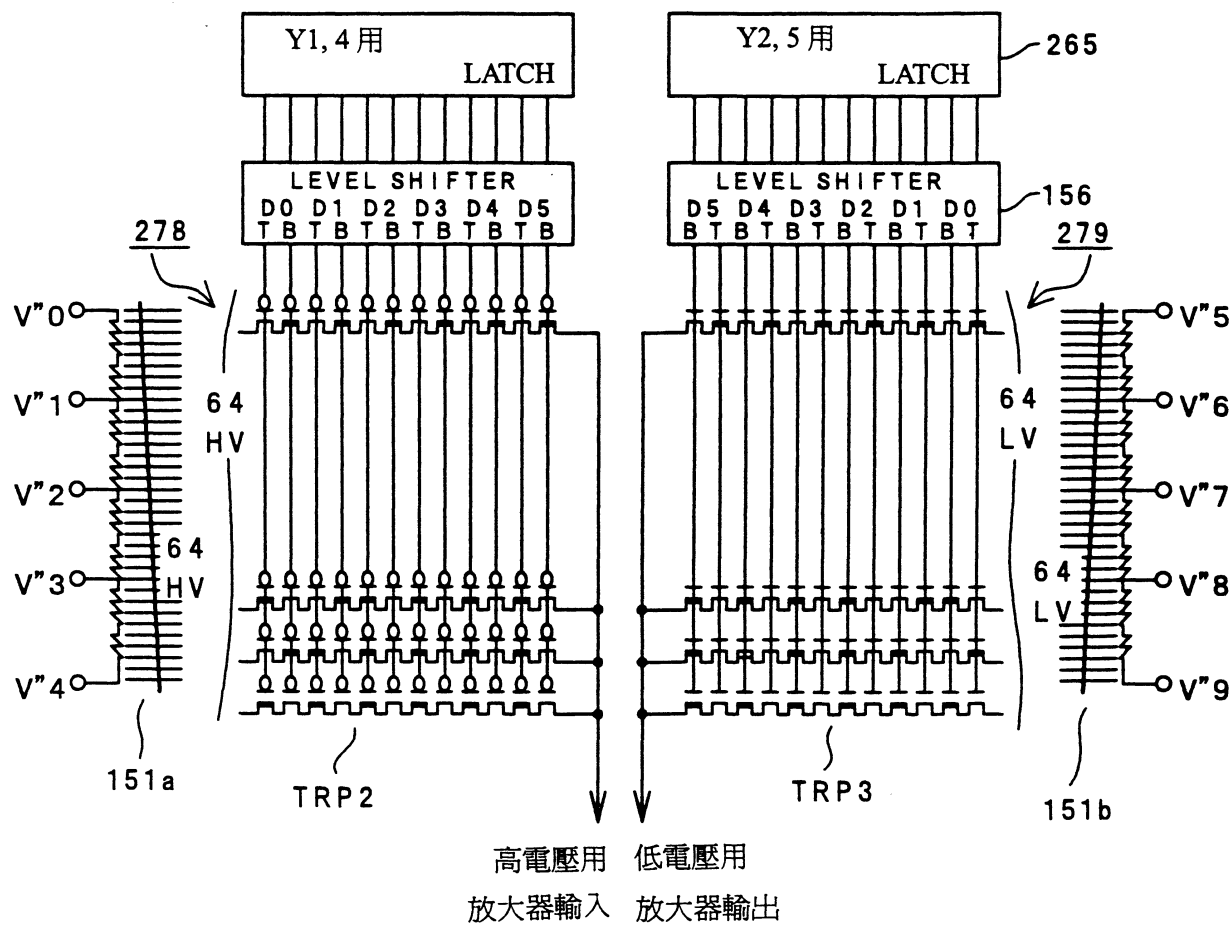


圖 8



N 通道 MOS

P 通道 MOS

空乏型
N 通道 MOS

空乏型
P 通道 MOS

圖 9

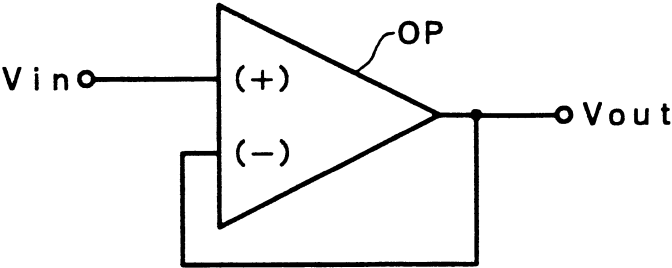


圖 10

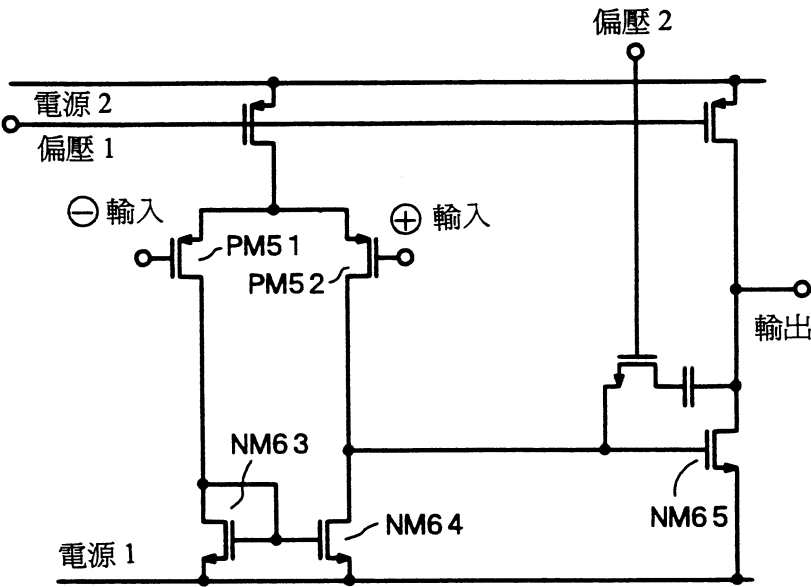


圖 1 1

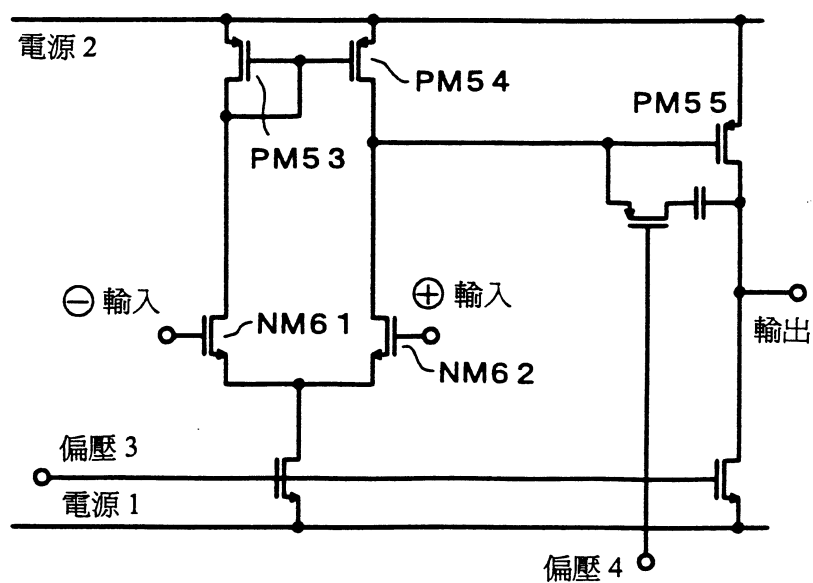


圖 12

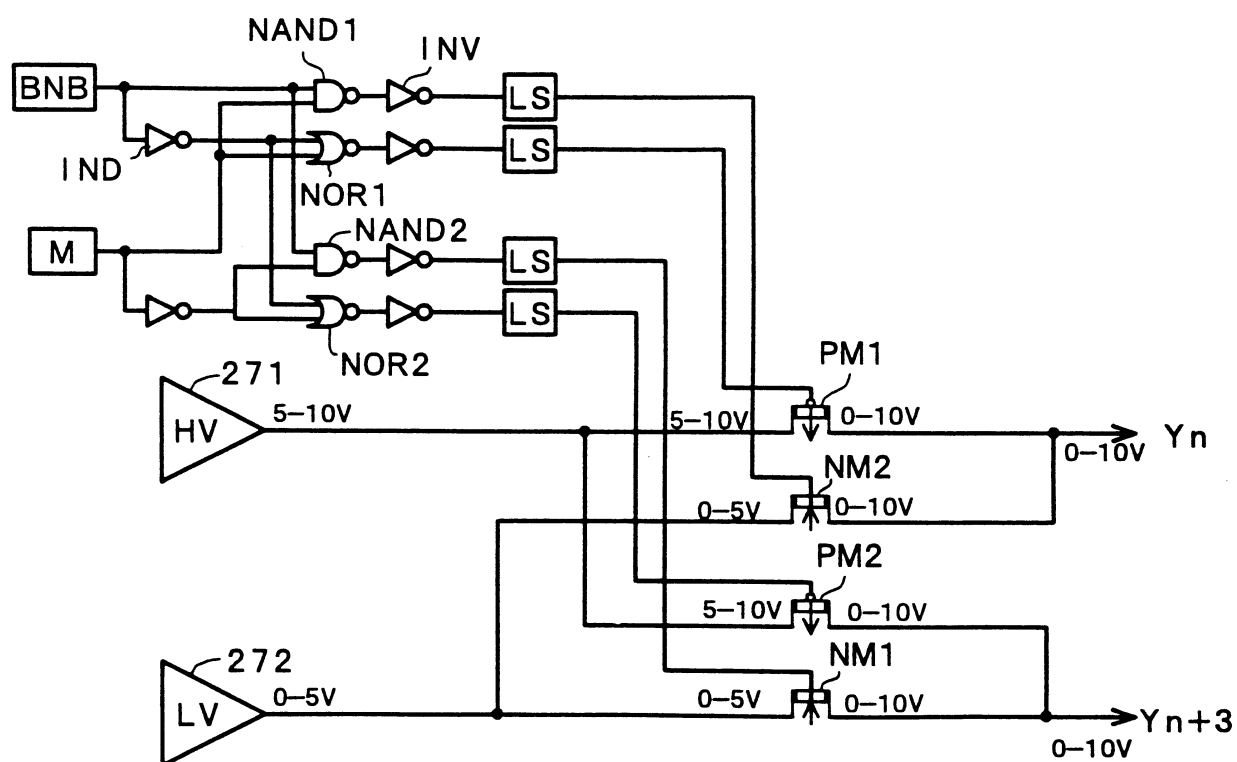
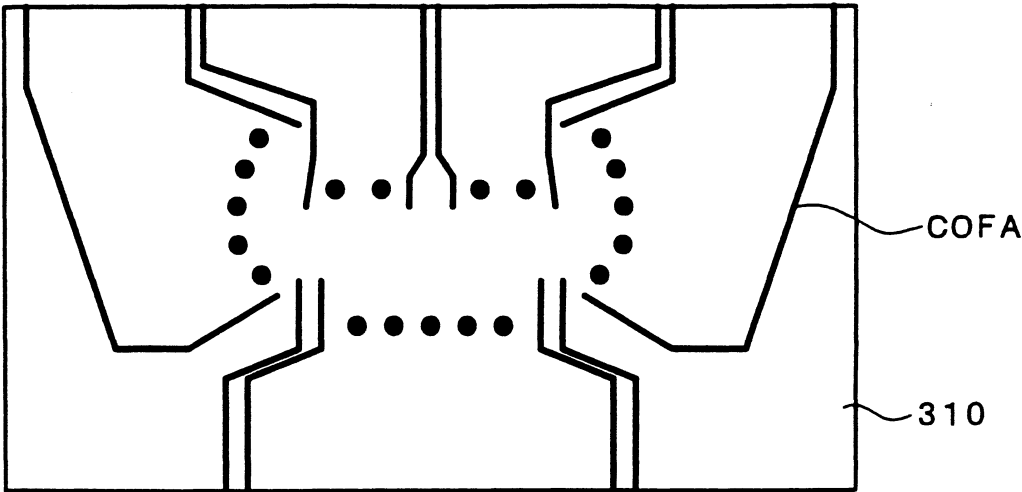


圖 1 4



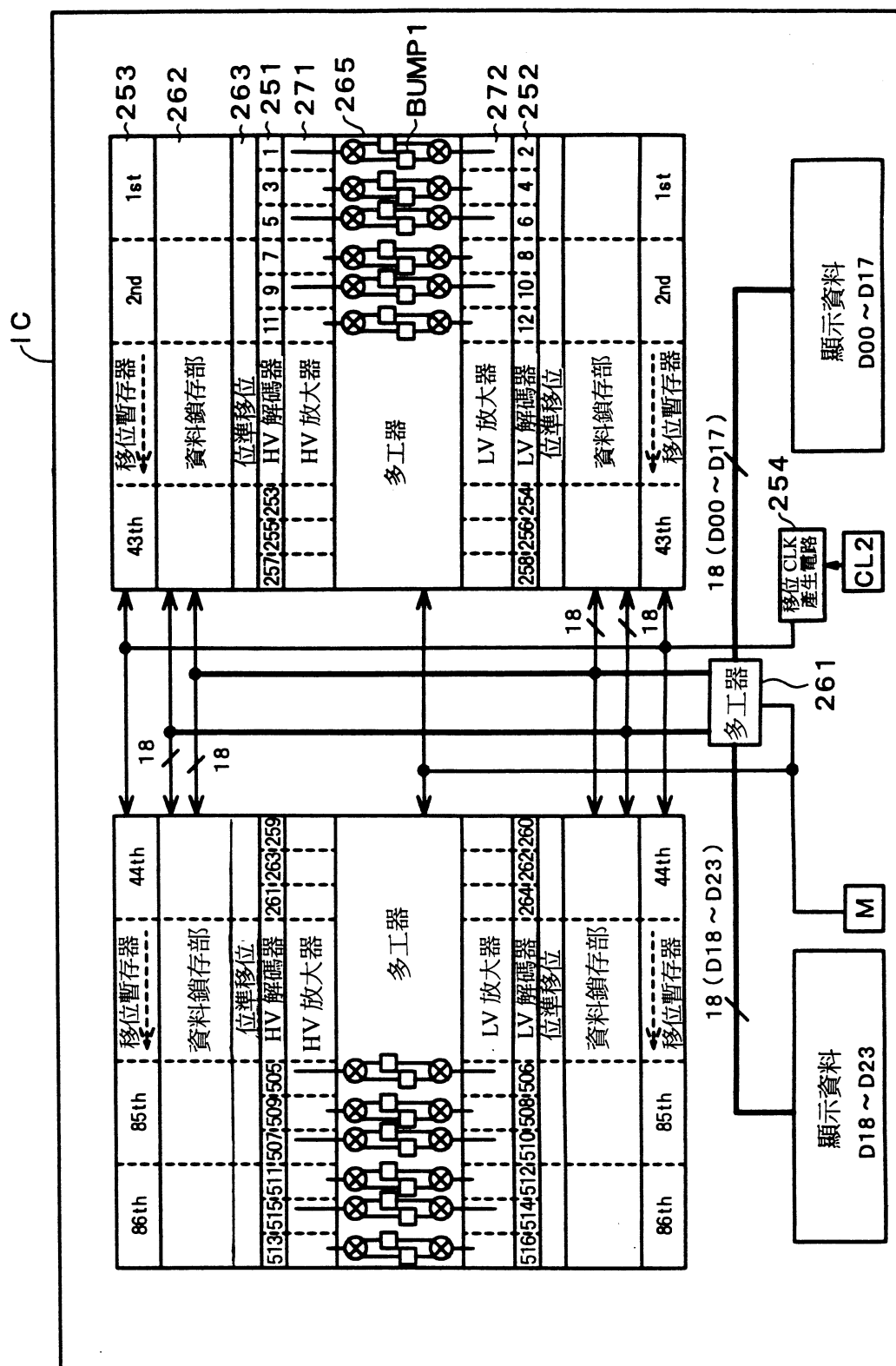


圖 1 6

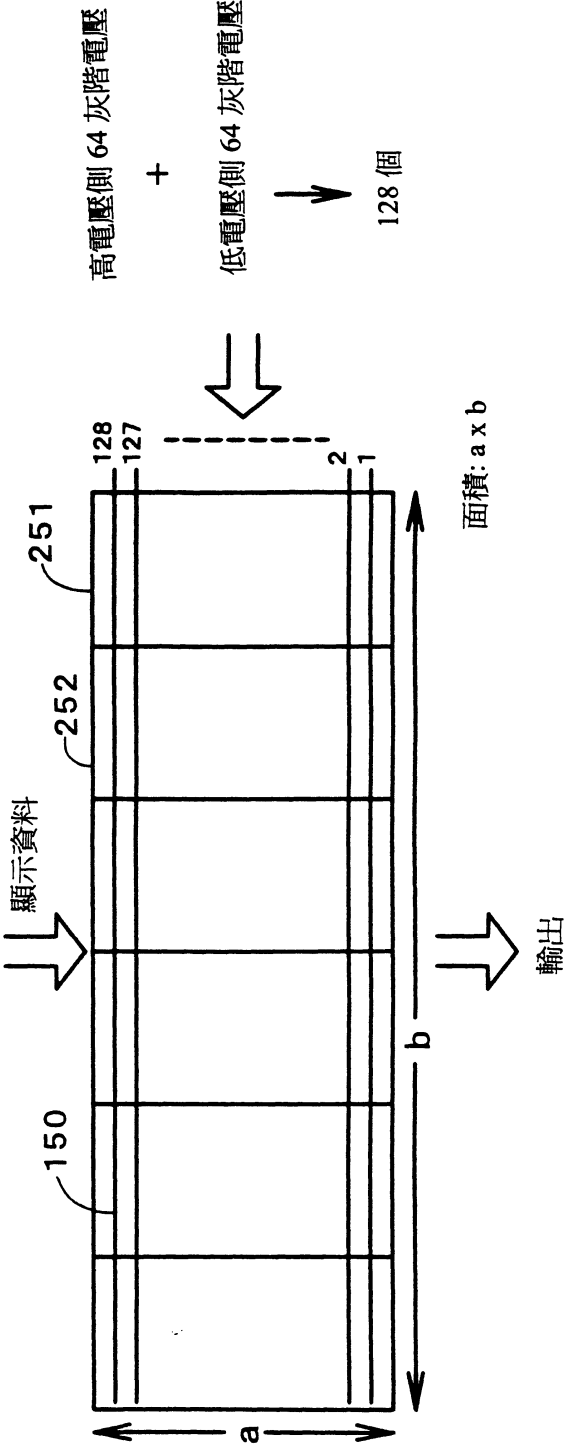


圖 1 7

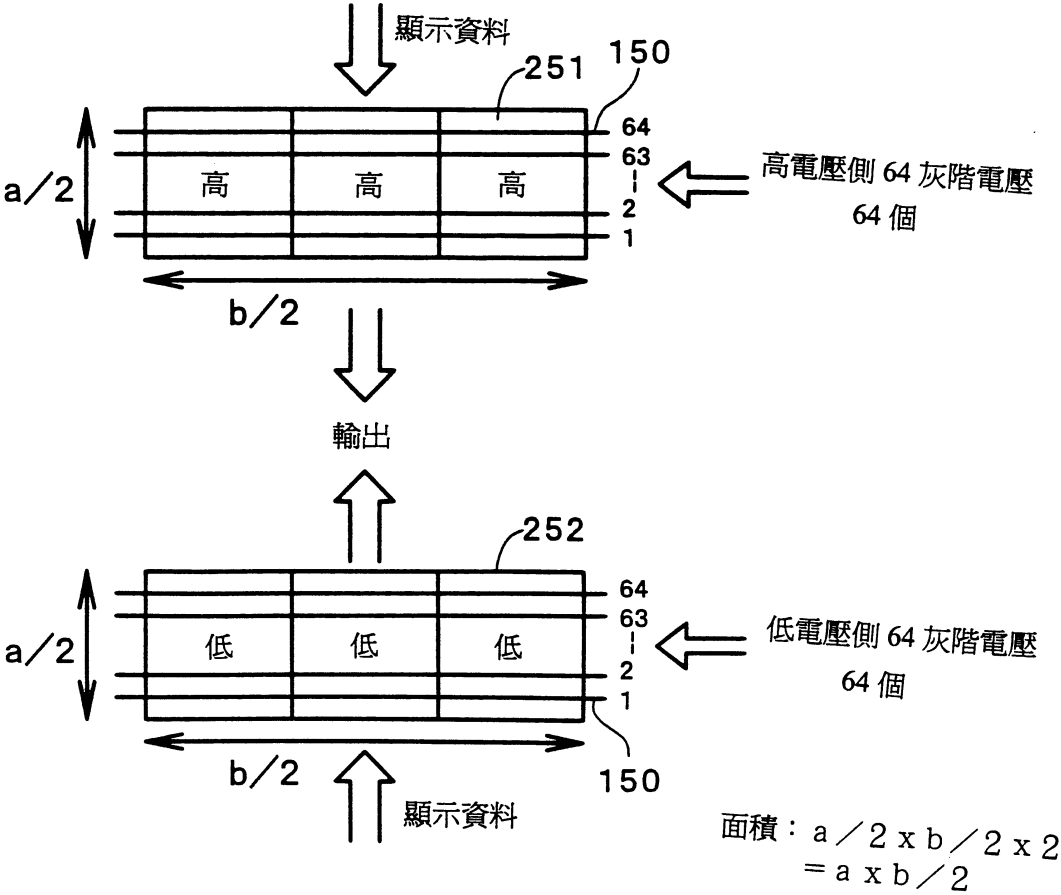


圖 18

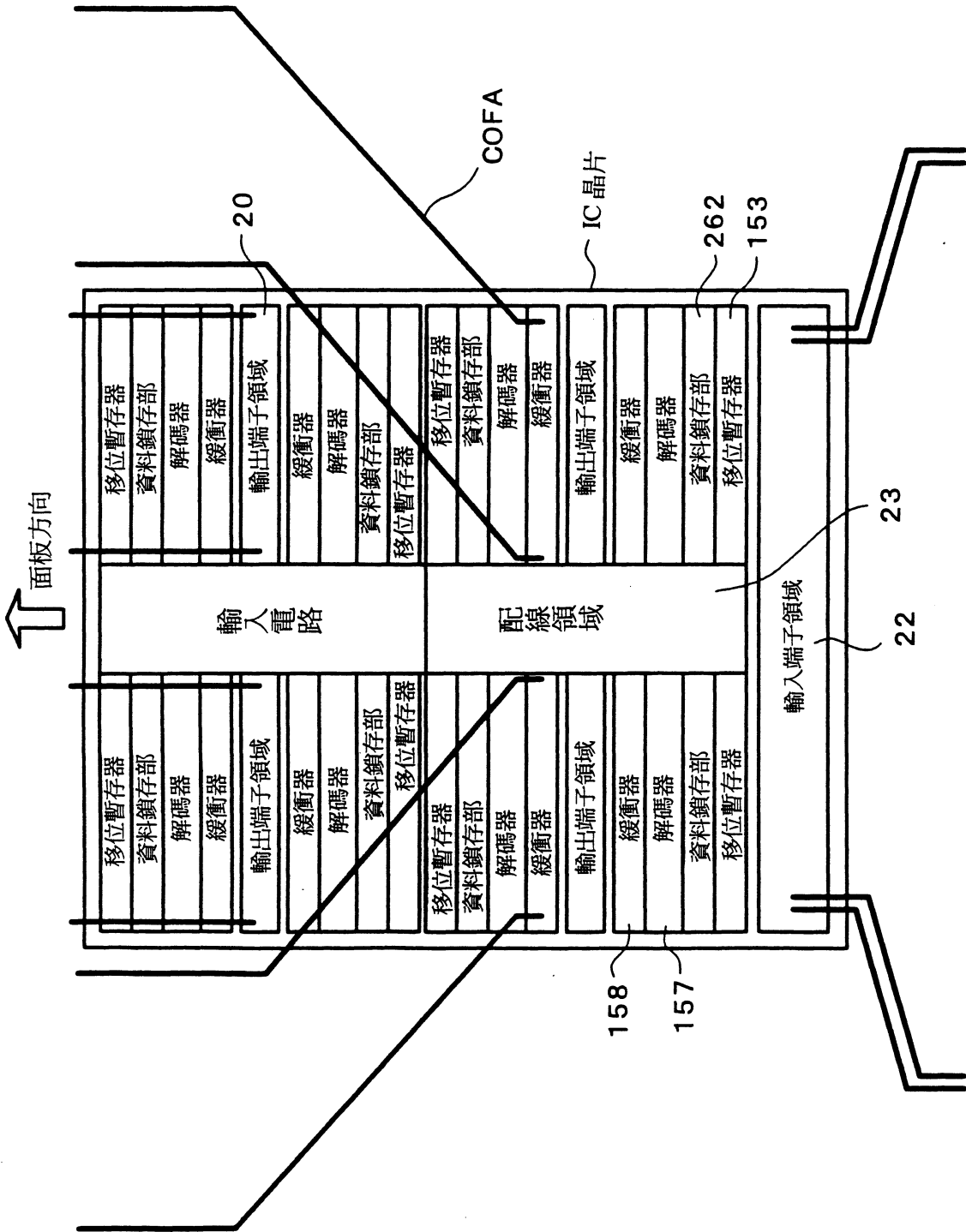


圖 1 9

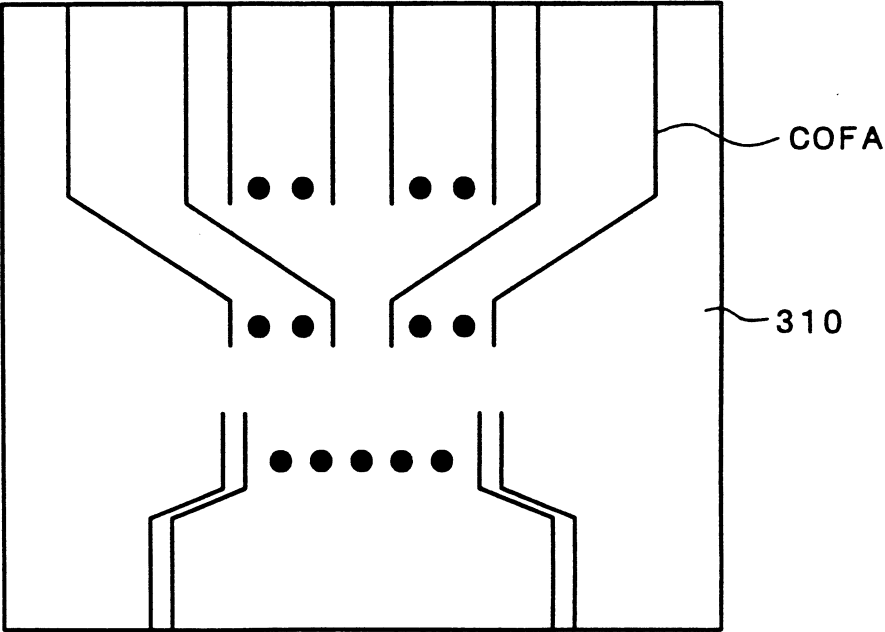


圖 20

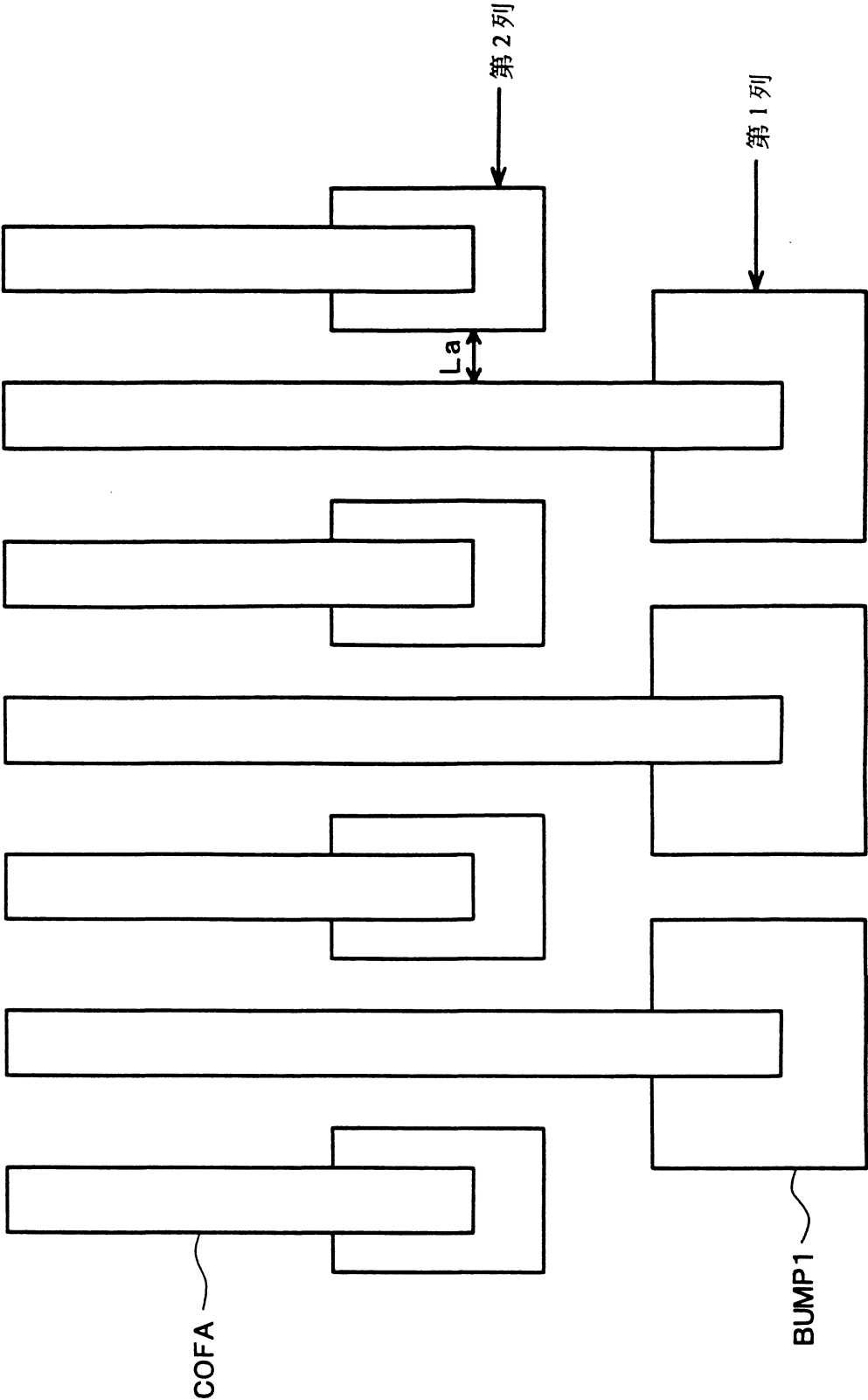


圖 2 1

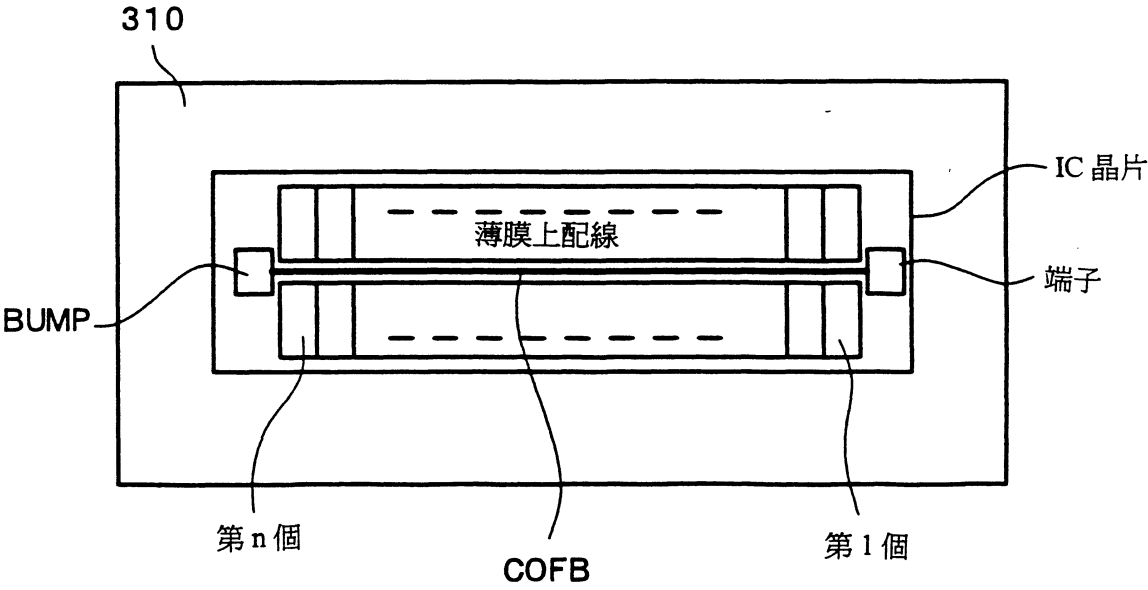


圖 2 2

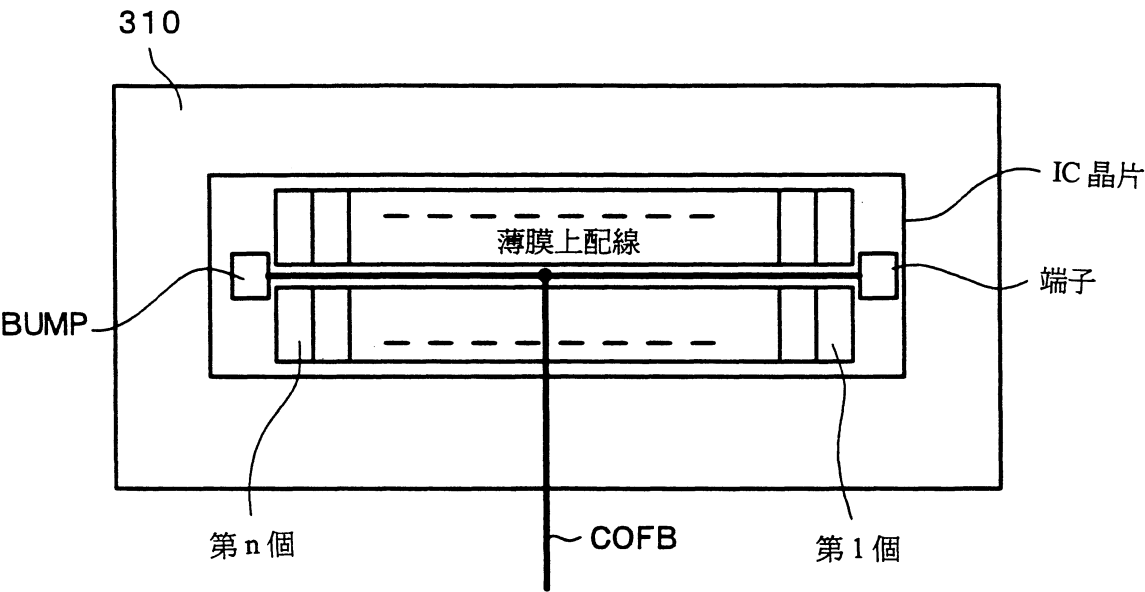


圖 2 3

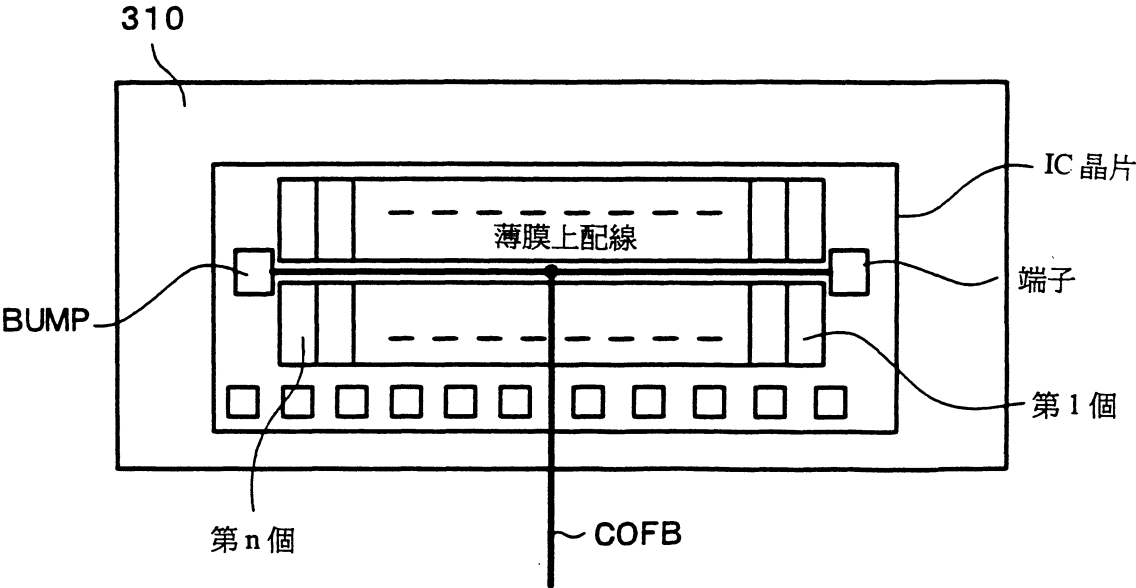


圖 2 4

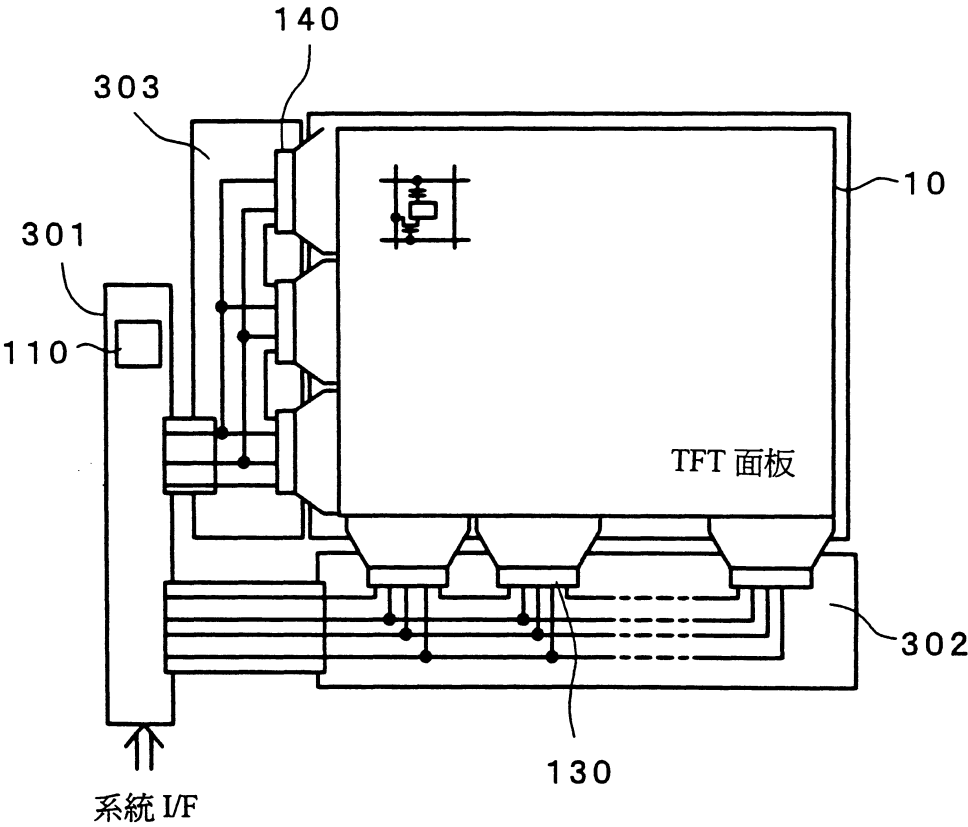


圖 2 5

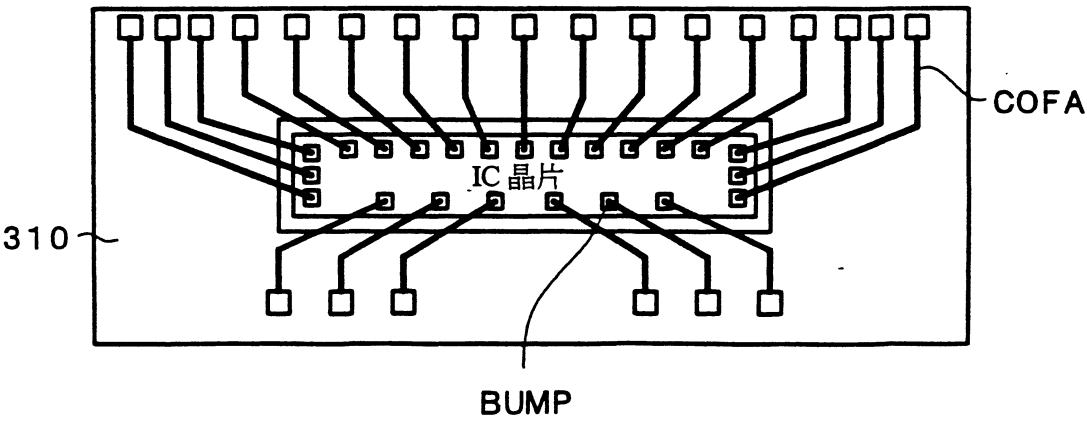


圖 2 6

